[19]中华人民共和国国家知识产权局

[51]Int.Cl[6]
H01L 21/320
H01L 21/768 H01L 21/28

[12]发明专利申请公开说明书

[21]申请号 98120479.1

[43]公开日 1999年5月12日

[11]公开号 CN 1216398A

[22]申请日 98.10.26 [21]申请号 98120479.1

[30]优先权

[32]97.10.31 [33]JP [31]316089/97

[71]申请人 日本电气株式会社

地址 日本国京都府

[72]发明人 大西秀明

[74]专利代理机构 中科专利代理有限责任公司

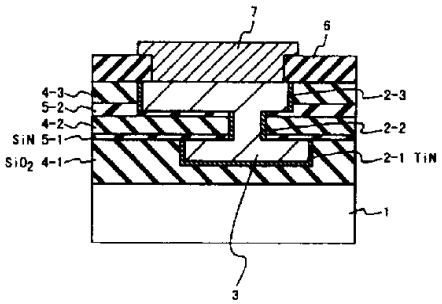
代理人 卢 纪

权利要求书1页 说明书6页 附图页数6页

[54]发明名称 用铜布线膜生产半导体器件的方法

[57]摘要

在一种生产半导体器件的方法中，用镶嵌法在夹层绝缘膜上形成一层铜布线膜。在铜布线膜和夹层绝缘膜上形成一层保护性绝缘膜。然后在保护性绝缘膜中形成窗孔。接着在保护性绝缘膜上淀积一层含Al薄膜填充窗孔。在此情况下，可将含Al膜加工成图形。或对含Al膜进行化学机械抛光将其嵌入窗孔内。



ISSN1008-4274

权 利 要 求 书

1、一种半导体器件的生产方法，其特征在于，它包括的步骤有：

用一种镶嵌法在一层夹层绝缘膜中形成一层铜布线膜；

在所述铜布线膜和所述夹层绝缘膜上形成一层保护性绝缘膜；

在所述保护性绝缘膜中形成一窗孔；以及

在所述保护性绝缘膜上淀积一层含Al的薄膜填充所述的窗口。

2、按照权利要求1所述的一种方法，其特征在于，它还包括将所述含Al的薄膜加工成图形的步骤。

3、按照权利要求1所述的一种方法，其特征在于，它还包括对所述含Al的薄膜实施CMP（化学机械抛光）法使所述含Al的薄膜嵌入所述窗孔内的步骤。

4、按照权利要求1至3中的任一方法，其特征在于，所述含Al的薄膜是从由Al、Al-Si和Al-Si-Cu所组成的一组材料中选出的。

5、按照权利要求1至3中所述的任一方法，其特征在于，所述形成铜布线膜的步骤还包括用一层阻止铜原子扩散的薄膜将除所述窗孔之外的整个所述铜布线膜的表面包围住。

6、按照权利要求5所述的方法，其特征在于，所述阻止铜原子扩散的薄膜是由一层氮化物膜组成的。

7、按照权利要求1至3中所述的任一方法，其特征在于，所述在所述保护性绝缘膜中形成一窗孔的步骤还包括在形成所述窗孔后用一种干刻蚀法从所述铜膜上去除氧化铜。

8、按照权利要求7所述的方法，其特征在于，所述的干刻蚀法是利用稀释的HF气体和H(hfac)气进行的O_2 的等离子体刻蚀。

9、按照权利要求1至3中所述的任一方法，其特征在于，所述的窗孔是用作Al焊点的窗孔。

说　　明　　书

用铜布线膜生产半导体器件的方法

本发明涉及一种半导体器件的生产方法，更具体地涉及一种使用铜布线膜的半导体器件的生产方法。

与大规模集成电路（LSI）精细图形的实现相联系的是布线膜的电阻增大。由于这一原因，使其与电路元件中的延迟时间相比，在LSI中因布线膜而相对增加了延迟时间。在电源线中产生的电位降以及时钟信号的延迟偏离均引起了误差运行。而且还提高了流入布线膜的电流密度并因电迁移造成的断线降低了布线膜的可靠性。因而，在进入四分之一微米以下的年代之后需有一种新的布线材料取代常规使用的铝（Al）布线膜。

目前，铜的布线膜已有希望作为进入四分之一微米以下年代后的新的布线材料，这是由于铜具有低的电阻率并有高的抗电迁移能力。

作为一种典型的实现铜布线膜的方法，使用了一种沟槽布线法（镶嵌法），它在夹层绝缘膜上形成沟槽并用化学机械抛光（CMP）法形成布线膜。

作为另一种方法，是用迄今一直使用的干法刻蚀形成布线膜。在此方法中，由于铜的卤化物的蒸汽压力很低，很难进行干刻蚀。而且，在刻蚀之后形成夹层绝缘膜当中还要求有隔离台阶的镀膜效能。由于这些原因，就使镶嵌法成为实现这种铜布线膜的有希望的方法。在由Y.Tsuchiya等人发表的“通过使用在原处进行化学汽相清洁工艺得到铜的超低直接接触电阻”一文中对镶嵌法作了描述（1997年超大规模集成电路（VLSI）工艺讨论会的论文摘要，第59-60页）。

图 1 中所示是形成保护性绝缘膜并对焊点区开孔的情形。参阅图 1，标号101表示Si基片；102（102-1、102-2和102-3）为TiN膜起着阻止铜原子扩散和提高适应性的势垒膜作用；103为一层铜布线膜；104

（104-1、104-2和104-3）为SiO_2膜起着夹层绝缘膜的作用；105（105-1和105-2）为SiN膜起着势垒绝缘膜的作用防止铜原子的扩散；106为一层保护性绝缘膜（最好用SiN）；以及108为一层铜的氧化层。

镶嵌法是在形成沟槽之后所用的一种方法，铜膜103是用CVD（化学汽相沉积）法、镀层法等类似的方法淀积的。在此之后，用夹层绝缘膜分别作为终止层，用CMP法对铜膜103进行抛光。这样，就使多余的铜膜从布线区以外的区域去除。因而，这就难以在铜布线膜的表面上形成一层势垒金属膜。若是在保护性绝缘膜106形成之后开出焊点部分的孔，就露出了铜布线膜103。

前述的常规镶嵌法具有以下的问题。也就是具体地说，在进行夹层绝缘膜的开孔的刻蚀中或是在光刻胶的剥离步骤中，铜的布线膜易受氧化，使得在图 1 中所示的焊点部位形成一层氧化铜膜108。

若是以组装LSI的状态进行焊接布线，则由于在氧化铜膜108和金或类似的焊线之间的适应性脆弱，就产生了许多不合格的焊接部位。

作为解决这一问题的方法，例如，有如图 2 中所示的在日本专利申请公报（J P-A-平2-123740）中公开的一种结构。按照这一结构，在铜膜的下面形成一层作为势垒膜的TiN膜202（202-1和202-2），而且在铜布线膜203的表面上叠压一层Al膜207。在图 2 中标号209表示一个钨之类的材料栓，用它填充一穿孔。

按照这一结构，由于为获得良好的焊接性能在铜布线层的表面上形成Al膜，因而就不致发生前述的问题。但因这一结构不能用镶嵌法形成，很难对铜布线膜进行一次刻蚀。还有，这一结构的台阶镀膜效能和铜布线膜的平整度都较差。

本发明对上述问题的着眼点有所专长。因而，本发明的一项目的是要提供一种半导体器件的生产方法，它利用由具有优良的台阶镀膜效能和平整度的镶嵌方法形成的铜布线膜进行装配步骤而使所生产的半导体器件具有优良的焊接性能。

为了实现本发明的一种方式，一种生产半导体器件的方法，包括有步骤：

用镶嵌法在夹层绝缘膜中形成一层铜布线膜；

在铜布线膜和夹层绝缘膜上形成一层保护性绝缘膜；

在保护性绝缘膜中形成窗孔；以及

在保护性绝缘膜上淀积一层含Al的膜以填充窗口。

该方法还可包括对含Al膜进行图形加工的步骤。或者还可以包括对含Al膜进行CMP法的步骤，使含Al膜嵌入窗孔内。

在上述情况中，最好含Al膜是从由Al、Al－Si和Al－Si－Cu组成的一组材料中选出的。还有，当形成铜布线膜时，除窗孔以外的铜布线膜的整个表面上最好用一层防止铜原子扩散的薄膜包围住。在此情况下，阻止铜原子扩散的薄膜是由一层氮化膜组成的。

还有，当在保护性绝缘膜中形成窗孔时，在形成窗孔后经干法刻蚀从铜膜上去除氧化铜。此时，用稀释的HF气体和H(hfac)气进行O_2 的等离子体刻蚀。

窗孔是用作Al焊点的窗孔。

为了实现本发明的另一种方式，一种生产半导体器件的方法包括有步骤：

用镶嵌法在夹层绝缘膜中形成一层铜布线膜，同时用一层阻止铜原子扩散的薄膜包围上表面之外的整个铜布线膜的表面；

在铜布线膜和夹层绝缘膜上形成一层保护性绝缘膜；

在保护性绝缘膜中形成一窗孔；

在保护性绝缘膜上淀积含Al膜填充窗孔；以及

对含Al膜加工图形形成焊点。

为了实现本发明的又一种方式，一种生产半导体器件的方法包括有步骤：

用镶嵌法在夹层绝缘膜中形成一层铜布线膜，同时用一层阻止铜原子扩散的薄膜包围除上表面之外的整个铜布线膜的表面；

在铜布线膜和夹层绝缘膜上形成一层保护性绝缘膜；

在保护性绝缘膜中形成一窗孔；

在保护性绝缘膜上淀积含Al膜填充窗孔；以及

用CMP方法将含Al膜嵌入窗孔内。

图 1 为用第一常规方法生产的半导体器件的剖面图；

图 2 为用第二常规方法生产的半导体器件的剖面图；

图 3 绘示用本发明第一实施例的生产方法生产的半导体器件的结构剖面图；

图 4 A至 4 E为用本发明第一实施例的生产方法生产的半导体器件的结构剖面图；以及

图 5 绘示用本发明第二实施例的生产方法生产的半导体器件的结构剖面图；

这里将参照附图对本发明的一种生产半导体器件的方法进行如下描述。

首先，这里将对本发明第一实施例的生产方法作以下描述。图 3 示出用本发明第一实施例的方法生产的半导体器件的结构剖面图。在第一实施例中，所形成的半导体器件要有两层布线膜。在一实际的半导体器件中，尽管在Si基片 1 上已形成了诸如MOS晶体管、双极晶管之类的半导体器件，但为了简化说明在图中予以省略。

参阅图 3，按照与图 1 所描绘的常规生产方法相类似的方式，用镶嵌法在硅基片 1 上形成铜布线膜 3，并为形成焊点对保护性绝缘膜 6 开孔。

在开孔的焊点部位内的铜布线膜 3 上形成Al膜 7 。Al膜通常已广泛地用作一层半导体器件的金属布线膜。Al膜与Au、Al之类的焊线有良好的适应性，并在装配步骤中难以造成不合格焊接的问题。

图 4 A至 4 E是按照生产步骤的顺序绘示的用本发明第一实施例的方法生产的半导体器件的结构剖面图。

在硅基片 1 上形成诸如MOS晶体管之类的器件（未示出）之后，用CVD工艺形成一层SiO_2 绝缘膜4-1作为夹层膜以获得 1 μm厚度的薄膜。利用光刻步骤和干法刻蚀步骤在绝缘膜4-1中形成550nm深度的沟槽。不过在此省略掉对它的说明。在此之后，形成一接触孔以获取器件的电极。

在沟槽已经形成之后，形成一层50nm膜厚的TiN的氮化物膜2-1，而后用CVD法形成一层500nm膜厚的铜布线膜3。形成氮化物膜2-1的目的是为了阻止铜的扩散以及提高适应性。用CMP（化学机械抛光）法从布线区

以外的区域中去除TiN的氮化膜2-1和铜布线膜 3 。其结果是，TiN的氮化膜2-1起着布线膜 3 的铜原子的阻挡膜的作用。这样，就用镶嵌法形成铜布线膜 3 的底部。

随后，如图 4 B 中所示，用CVD工艺形成多层薄膜。也就是，用以阻止铜布线膜 3 的铜原子扩散的100nm膜厚的一层SiN的氮化物膜5-1，而后作为夹层绝缘膜形成的500nm膜厚的一层SiO_2 膜4-2。接着，形成用以阻止铜布线膜 3 的铜原子扩散的一层300nm膜厚的SiN的氮化物膜5-2，而后作为夹层绝缘膜形成的500nm膜厚的一层SiO_2 膜4-3。此后，形成700nm深的沟槽达到SiN的氮化物膜内侧。然后，形成600nm的沟槽作为与已在夹层绝缘膜4-1中形成的第一铜布线膜 3 相接触的通孔。沟槽和通孔是经过光刻步骤和干法刻蚀步骤形成的。

沟槽和通孔经受CVD工艺淀积一层TiN的氮化物膜。进行一次作为各向异性刻蚀工艺的返刻蚀工艺形成只在沟槽和通孔的侧壁上才有的50nm膜厚的TiN的氮化物膜2-2和2-3。TiN的氮化物膜2-2和2-3阻止以后形成的铜布线膜 3 的铜原子扩散。此时，在返刻蚀工艺后露出的第一铜布线膜 3 的表面上形成一层氧化铜膜。由于这一原因，通过O_2 等离子体和稀释的HF气体与H(hfac)气去除因刻蚀而产生的氧化铜膜和淀积物。

接着，如图 4 C 中所示，通过CVD工艺形成1.3μm膜厚的一层铜膜。然后，经CMP工艺从布线区以外的区域去除铜膜。这样，就用镶嵌法形成铜布线膜 3 的上部。

接着，经一次CVD工艺形成500nm膜厚的一层保护性绝缘膜（在此例中为一层S iN的氮化物膜）。然后，经光刻步骤和干法刻蚀步骤进行保护性绝缘膜 6 的图形加工，在保护性绝缘膜 6 中开出焊点部位的窗孔。

此时，在焊点部位开孔的刻蚀中所露出的铜布线膜 3 的上部表面上形成一层氧化铜膜。此氧化铜膜由使用稀释的HF气体和H(hfac)气的O_2 等离子体去除掉。

接着，如图 4 E 中所示，用溅射法淀积一层Al膜达 1 μm的膜厚。经光刻步骤和刻蚀步骤加工Al膜图形形成一层覆盖焊点部位的Al膜 7 。

接着，按照本发明第二实施例生产半导体器件的方法。图5绘示按照本发明第二实施例的方法生产的半导体器件的结构剖面图。参阅图 5 ，

在第二实施例的半导体器件中，用镶嵌法还形成了Al膜７。

在第二实施例中的半导体器件生产方法与图４Ａ至４Ｄ中第一实施例的方法相同。经此之后，用溅射法淀积铝膜达到１μｍ的膜厚。使Al膜经受CMP工艺使其仅在焊点部位处留下Al膜。这样，就形成嵌入的Al膜７。

按照这一方法，与第一实施例相比，由于未使用光刻步骤，工艺步骤得到简化。

已就使用Al膜的情形对实施例进行了描述，然而，本发明显然也能应用于使用诸如AlSi和Al-Si-Cu之类的其它含Al膜取代Al膜。

按照本发明半导体器件的生产方法，用镶嵌法形成铜布线膜并将保护性绝缘膜开孔。然后，只以含Al膜盖住焊点部位。

如上所述，在本发明中，用镶嵌法形成铜布线膜，并形成保护性绝缘膜。然后，穿过保护性绝缘膜形成焊点部位。这样，就露出铜布线膜的表面。淀积含Al膜，而后进行CMP步骤或是光刻步骤和刻蚀步骤，使含Al膜只留在焊点部位上。因而，由于铝膜有良好的焊接性能，就在装配时消除了焊线和焊点之间的适应性问题。

还由于在本发明的半导体器件生产方法中，是用镶嵌法形成铜布线膜的，它使布线具有良好的台阶镀覆性能并能获得平整度。

此外，在本发明的半导体器件生产方法中，用由诸如SiN膜和TiN膜之类的氮化物膜形成阻止铜原子扩散的薄膜包围住铜布线膜。

如以上所述，按照本发明，由于在半导体器件的焊点部位上已形成的铜布线膜被具有良好焊接性能的Al膜盖住，在装配步骤中难以出现有关在焊线和焊点之间的适应性问题，这就提高了可靠性和成品率。

还由于能用镶嵌法形成铜布线膜，布线具有良好的台阶镀覆性能并能形成平整度。

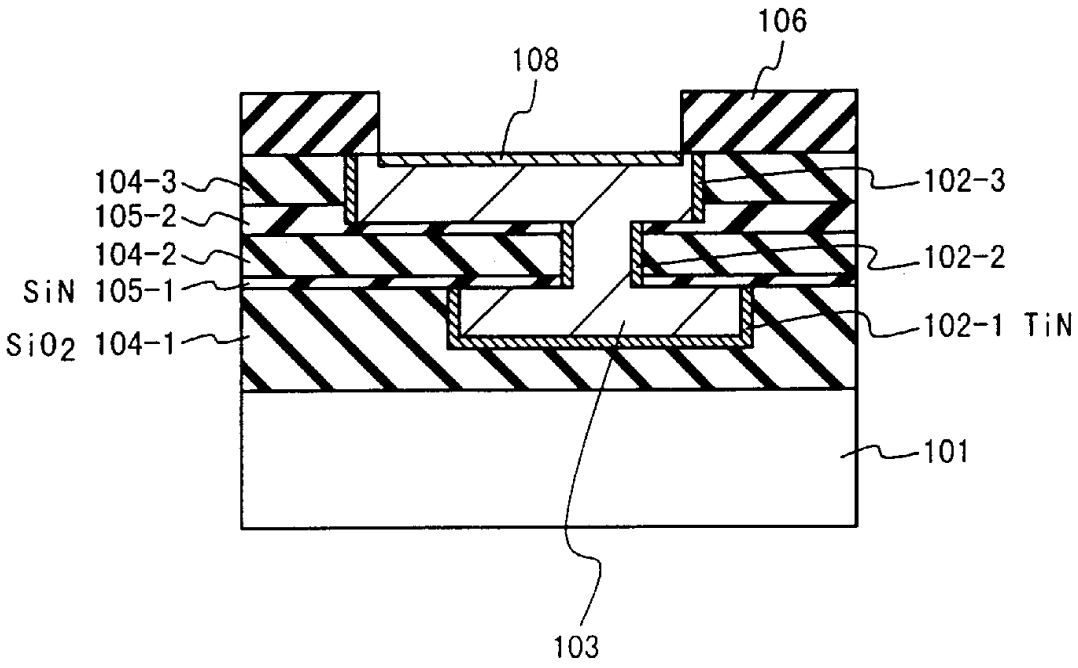

106
108
104-3
105-2
104-2
SiN 105-1
SiO2 104-1
102-3
102-2
102-1 TiN
101
103

图 1

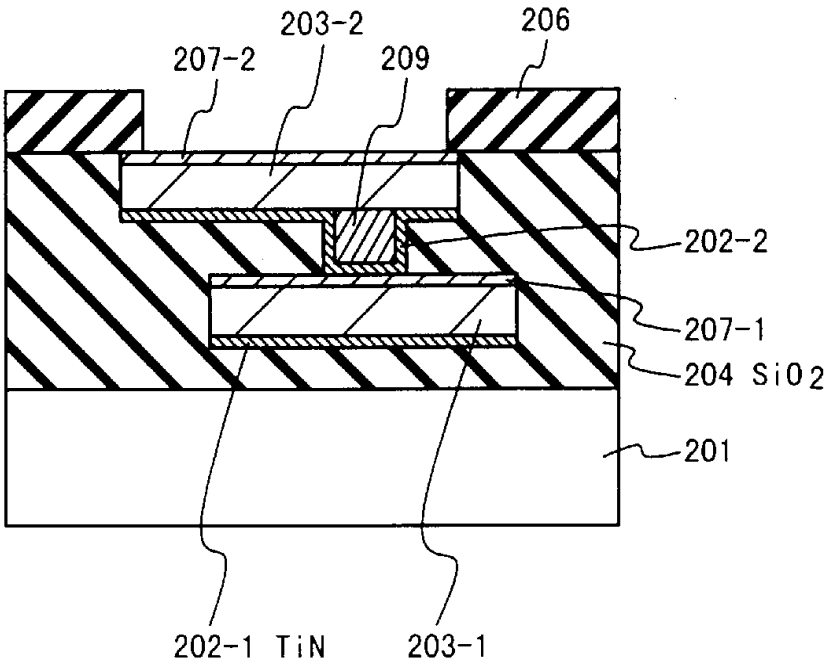


图 2

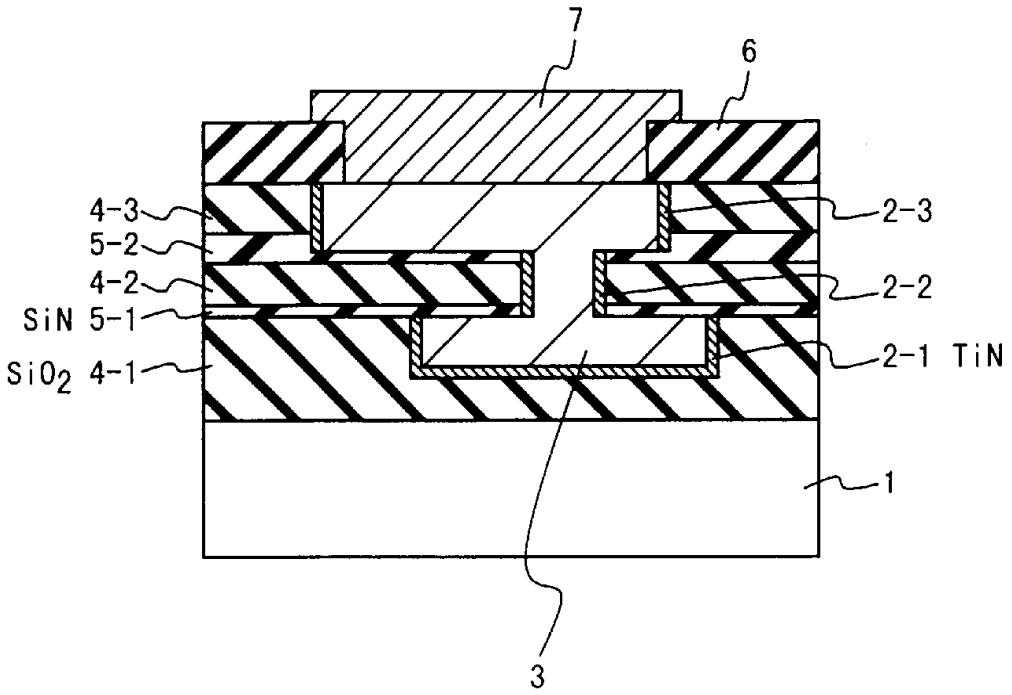


图 3

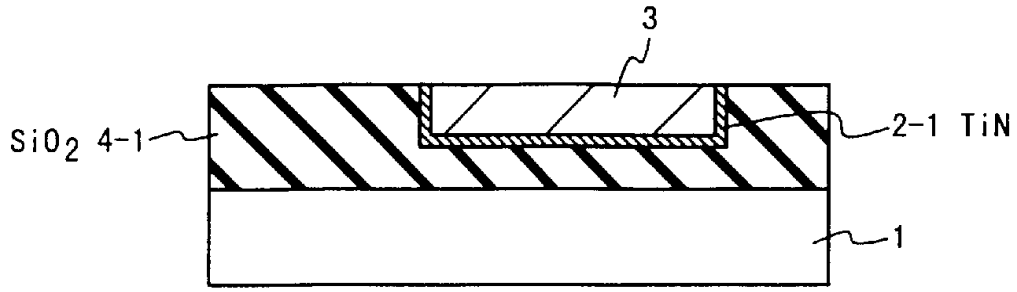

3
SiO2 4-1
2-1 TiN
1

图 4A

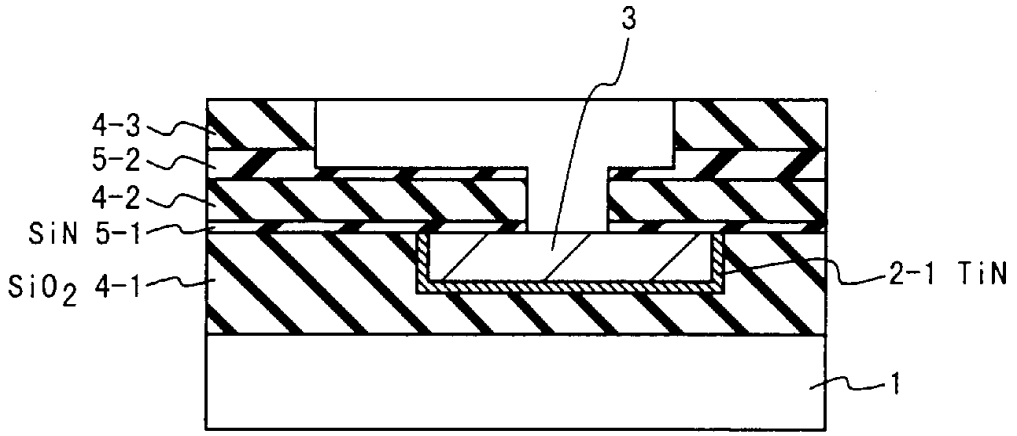

3
4-3
5-2
4-2
SiN 5-1
SiO2 4-1
2-1 TiN
1

图 4B

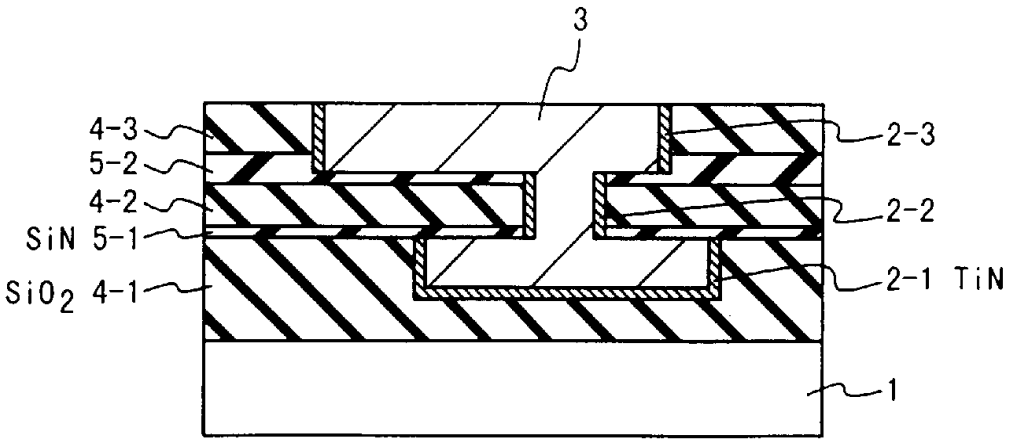

3
4-3
5-2
4-2
SiN 5-1
SiO2 4-1
2-3
2-2
2-1 TiN
1

图 4C

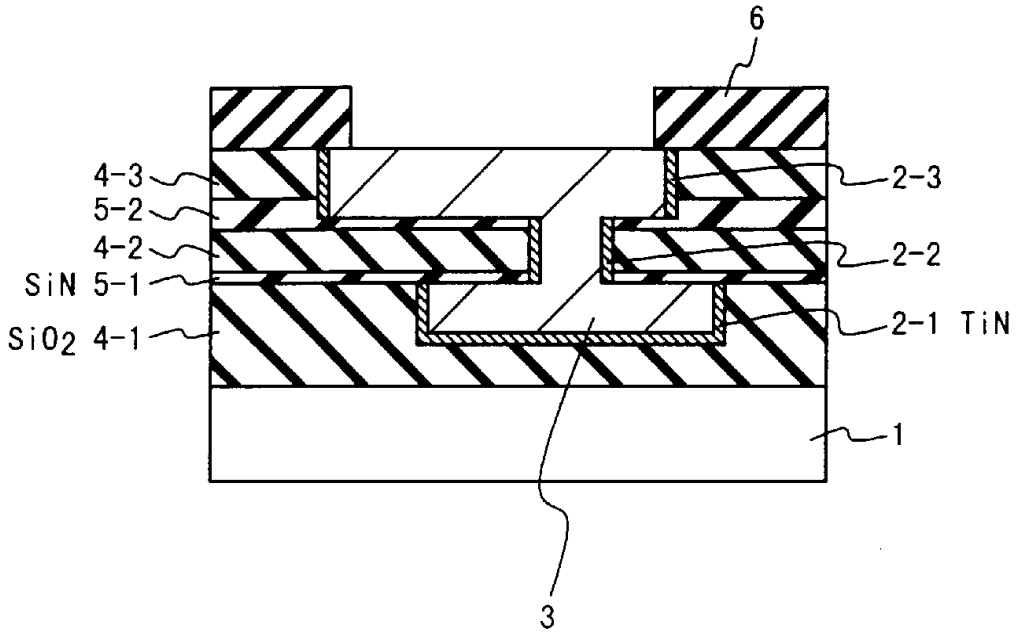

6
4-3
5-2
4-2
SiN 5-1
SiO2 4-1
2-3
2-2
2-1 TiN
1
3

图 4D

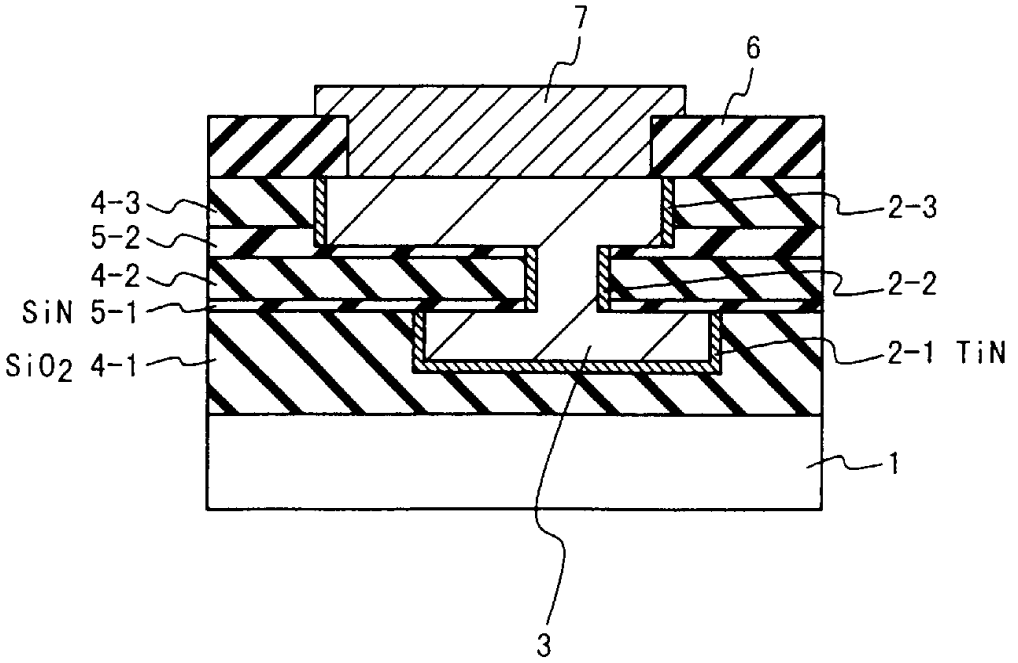

7
6
4-3
5-2
4-2
SiN 5-1
SiO2 4-1
2-3
2-2
2-1 TiN
1
3

图 4E

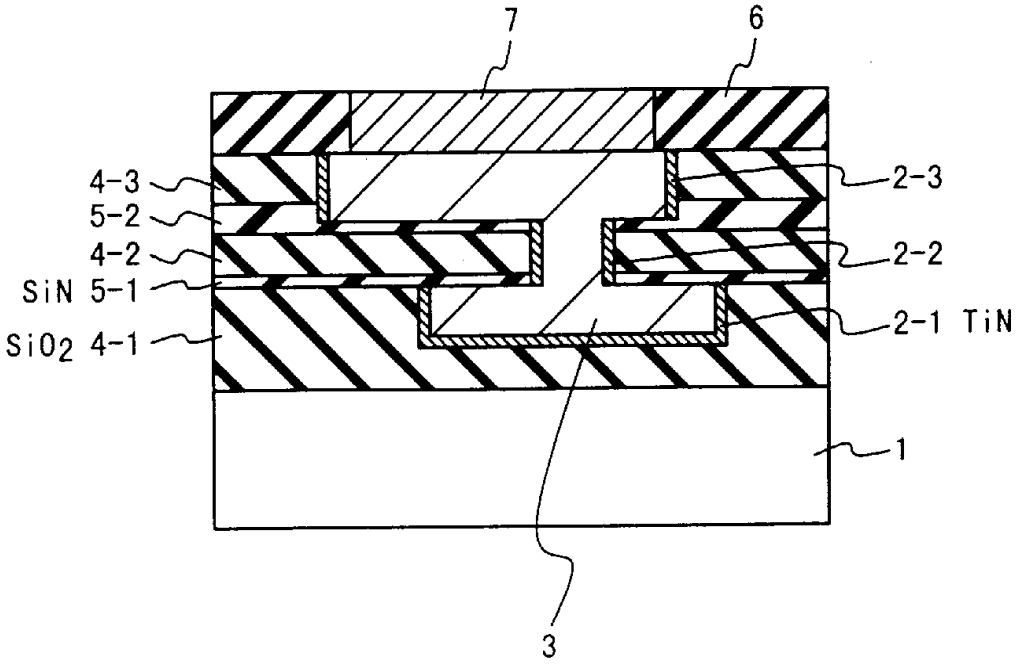


图 5