(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
*H03K 5/05* (2006.01)

(45) 공고일자 2007년07월06일
(11) 등록번호 10-0684050
(24) 등록일자 2007년02월12일

(21) 출원번호 10-1998-0008926
(22) 출원일자 1998년03월17일
심사청구일자 2003년03월14일

(65) 공개번호 10-1998-0080329
(43) 공개일자 1998년11월25일

(30) 우선권주장 97-062841 1997년03월17일 일본(JP)

(73) 특허권자
소니 가부시끼 가이샤
일본국 도쿄도 시나가와쿠 키타시나가와 6쵸메 7반 35고

(72) 발명자
구마타 이치로
일본 도쿄도 시나가와쿠 기다시나가와 6-7-35 소니(주)내

(74) 대리인
정상구
이병호
신현문
이범래

심사관 : 여인홍

전체 청구항 수 : 총 44 항

# (54) 지연회로및그것을이용한발진회로

(57) 요약

본 발명은 지연 시간을 세밀하게 제어할 수 있고, 간단한 회로 구성으로 디지털 신호로 제어 가능한 지연 회로 및 그것을 이용한 발진 회로를 실현하는 것을 목적으로 하며, 이를 해결하기 위해 본 발명에서는 복수의 지연 소자를 직렬 접속하여 지연 회로를 구성하고, 각 지연 소자를 트랜지스터(P1)와 이것보다 구동 능력이 큰 트랜지스터(N1), 트랜지스터(N2)와 이것보다 구동 능력이 큰 트랜지스터(P2)로 구성하고, 트랜지스터(P1)의 게이트에 입력 신호를 인가하고, 트랜지스터(N1)의 게이트에 프리차지 신호(precharge signal)를 인가하며, 트랜지스터(P2)의 게이트에 프리차지 신호의 반전 신호를 인가하고, 트랜지스터(N2)의 게이트는 중간 노드(A)에 접속하고, 입력 신호($S_{IN}$)을 프리차지 신호로서 각 지연 소자에 입력하고, 입력 신호($S_{IN}$)가 하이 레벨일 때, 노드(A)가 로우 레벨, 출력 단자(OUT)가 하이 레벨의 상태이고 입력 신호($S_{IN}$)의 하강 에지를 각 지연 소자에 의해 순차 전파하여, 지연 신호가 얻어지도록 하고 있다.

대표도

도 1

## 특허청구의 범위

## 청구항 1.

제 1 또는 제 2 레벨을 가지는 입력 신호를 소정의 시간만큼 지연시켜 출력하는 지연 회로에 있어서,

제어 신호를 수신하여 상기 제어 신호에 따라 제 1 노드를 제 1 레벨로 유지하는 제 1 유지 수단,

상기 제어 신호에 따라, 제 2 노드를 제 2 레벨로 유지하는 제 2 유지 수단,

입력 신호를 수신하여 상기 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환되었을 때, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 1 전환 수단, 및

상기 제 1 노드의 레벨 변화에 따라, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하고, 상기 제 2 노드의 신호를 출력하는 제 2 전환 수단을 가지는 지연 회로.

## 청구항 2.

제 1 항에 있어서,

상기 제 1 유지 수단은, 상기 제 1 레벨을 공급하는 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지고,

상기 제 2 유지 수단은, 상기 제 2 레벨을 공급하는 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며,

상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 접속되고, 상기 입력 신호를 수신하여 상기 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 2의 제 2 도전형 트랜지스터를 가지며,

상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 접속되고, 상기 제 1 노드의 레벨 변화에 따라 온/오프 상태가 제어되며, 상기 제 1 노드가 상기 제 1 레벨로부터 상기 제 2 레벨로 변화하였을 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하는 제 2의 제 1 도전형 트랜지스터를 가지며,

상기 제 1 유지 수단을 이루는 제 1의 제 1 도전형 트랜지스터의 구동 능력이 상기 제 1 전환 수단을 이루는 제 2의 제 2 도전형 트랜지스터보다 크게 설정되고, 상기 제 2 유지 수단을 이루는 제 1의 제 2 도전형 트랜지스터의 구동 능력이 상기 제 2 전환 수단을 이루는 제 2의 제 1 도전형 트랜지스터보다 크게 설정되어 있는, 지연 회로.

## 청구항 3.

제 1 항에 있어서,

상기 제 1 유지 수단은, 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지고,

상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며,

상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 직렬로 접속되어 있는 제 2의 제 2 도전형 트랜지스터와 제 3의 제 2 도전형 트랜지스터를 가지며, 상기 제 2의 제 2 도전형 트랜지스터는 상기 입력 신호를 수신하여, 상기 입력

신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 1 레벨로 유지되어 있을 때 도통 상태로 설정되고, 상기 제 3의 제 2 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 1 유지 수단을 이루는 상기 제 1의 제 1 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 상기 제 2 및 제 3의 제 2 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 1 노드가 상기 제 1 레벨에서 상기 제 2 레벨로 전환되고,

상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 직렬로 접속되어 있는 제 2의 제 1 도전형 트랜지스터와 제 3의 제 1 도전형 트랜지스터를 가지고, 상기 제 2의 제 1 도전형 트랜지스터는 상기 제 1 노드의 레벨에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 2 레벨로 유지되어 있는 때 도통 상태로 설정되며, 상기 제 3의 제 1 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 2 유지 수단을 이루는 상기 제 1의 제 2 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 상기 제 2의 및 제 3의 제 1 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 2 노드가 상기 제 2 레벨에서 상기 제 1 레벨로 전환되는, 지연 회로.

## 청구항 4.

적어도 두개의 지연 소자가 직렬로 접속되고, 제 1 또는 제 2 레벨을 가지는 지연 입력 신호를 소정의 시간만큼 지연시켜 출력하는 지연 회로에 있어서,

상기 각 지연 소자는 제어 신호를 수신하여 상기 제어 신호에 따라 제 1 노드를 제 1 레벨로 유지하는 제 1 유지 수단,

상기 제어 신호에 따라, 제 2 노드를 제 2 레벨로 유지하는 제 2 유지 수단,

입력 신호를 수신하여, 상기 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 1 전환 수단, 및

상기 제 1 노드의 레벨 변화에 따라, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하고, 상기 제 2 노드의 신호를 후단(後段)의 지연 소자의 입력 신호로서 후단의 지연 소자로 출력하는 제 2 전환 수단을 가지며,

상기 지연 입력 신호는 처음 단(初段)의 지연 소자의 입력 신호로서 처음 단의 지연 소자에 입력되고, 또한 각 지연 소자의 상기 제어 신호로서 각 지연 소자에 입력되는, 지연 회로.

## 청구항 5.

제 4 항에 있어서,

상기 제 1 유지 수단은, 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지며,

상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며,

상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 접속되고, 상기 입력 신호를 수신하여, 상기 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 2의 제 2 도전형 트랜지스터를 가지며,

상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 접속되고, 상기 제 1 노드의 레벨 변화에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 1 레벨로부터 상기 제 2 레벨로 변화하였을 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하는 제 2의 제 1 도전형 트랜지스터를 가지며,

상기 제 1 유지 수단을 이루는 제 1의 제 1 도전형 트랜지스터의 구동 능력이 상기 제 1 전환 수단을 이루는 제 2의 제 2 도전형 트랜지스터보다 크게 설정되고, 상기 제 2 유지 수단을 이루는 제 1의 제 2 도전형 트랜지스터의 구동 능력이 상기 제 2 전환 수단을 이루는 제 2의 제 1 도전형 트랜지스터보다 크게 설정되어 있는, 지연 회로.

## 청구항 6.

제 4 항에 있어서,

상기 제 1 유지 수단은, 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지고,

상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며,

상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 직렬로 접속되어 있는 제 2의 제 2 도전형 트랜지스터와 제 3의 제 2 도전형 트랜지스터를 가지며, 상기 제 2의 제 2 도전형 트랜지스터는 상기 입력 신호를 수신하여, 상기 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 1 레벨로 유지되어 있을 때 도통 상태로 설정되고, 상기 제 3의 제 2 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 1 유지 수단을 이루는 상기 제 1의 제 1 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 상기 제 2 및 제 3의 제 2 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 1 노드가 상기 제 1 레벨에서 상기 제 2 레벨로 전환되고,

상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 직렬로 접속되어 있는 제 2의 제 1 도전형 트랜지스터와 제 3의 제 1 도전형 트랜지스터를 가지며, 상기 제 2의 제 1 도전형 트랜지스터는 상기 제 1 노드의 레벨에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 2 레벨로 유지되어 있는 때 도통 상태로 설정되고, 상기 제 3의 제 1 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 2 유지 수단을 이루는 상기 제 1의 제 2 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 상기 제 2 및 제 3의 제 1 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 2 노드가 상기 제 2 레벨에서 상기 제 1 레벨로 전환되는, 지연 회로.

## 청구항 7.

제어 신호에 따라 지연 시간이 설정되는 지연 회로에 있어서,

제 1 입력 단자의 입력 신호를 소정의 시간으로 지연하여 제 1 출력 단자로 출력시키는 제 1 지연 소자,

상기 제어 신호에 따라, 상기 제 1 지연 소자의 출력 신호와 제 2 입력 단자의 입력 신호 중 어느 것을 선택하여 출력하는 선택 수단, 및

상기 선택 수단의 출력 신호를 소정의 시간으로 지연하여 제 2 출력 단자로 출력시키는 제 2 지연 소자로 이루어지는 기본 회로를 복수단(複數段) 가지며,

전단(前段)의 기본 회로의 상기 제 1 출력 단자는, 후단의 기본 회로의 상기 제 1 입력 단자에 접속되고, 전단의 기본 회로의 상기 제 2 입력 단자는, 후단의 기본 회로의 상기 제 2 출력 단자에 접속되어 있는, 지연 회로.

## 청구항 8.

제어 신호에 따라 지연 시간이 설정되는 지연 회로에 있어서,

제 1 입력 단자의 입력 신호를 반전하여 제 1 노드로 출력하는 제 1 반전 수단,

상기 제 1 노드의 신호를 반전하여 제 1 출력 단자로 출력하는 제 2 반전 수단,

제 2 입력 단자의 입력 신호를 반전하여 제 2 노드로 출력하는 제 3 반전 수단,

상기 제 2 노드의 신호를 반전하여 출력하는 제 4 반전 수단,

상기 제 1 입력 단자와 제 2 출력 단자의 사이에 접속되고, 제 1 제어 신호에 따라 온/오프 상태가 제어되는 제 1 스위치, 및

상기 제 1 및 제 2 노드 사이에 접속되고, 제 2 제어 신호에 따라 온/오프 상태가 제어되는 제 2 스위치로 이루어지는 지연 소자를 복수단(複數段) 가지며,

전단의 지연 소자의 상기 제 1 출력 단자는, 후단의 지연 소자의 상기 제 1 입력 단자에 접속되고, 전단의 지연 소자의 상기 제 2 입력 단자는, 후단의 지연 소자의 상기 제 2 출력 단자에 접속되어 구성되는 있는, 지연 회로.

## 청구항 9.

제 8 항에 있어서,

상기 제 1 반전 수단은, 게이트가 상기 제 1 입력 단자에 접속되고, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 1 노드에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

게이트가 프리차지 제어 신호(precharge control signal)의 입력 단자에 접속되고, 드레인이 상기 제 1 노드에 접속되고, 소스가 제 2 전원에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 큰 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 10.

제 9 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 11.

제 8 항에 있어서,

상기 제 1 반전 수단은, 소스가 제 1 전원에 접속되고, 게이트가 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

소스가 상기 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고, 드레인이 상기 제 1 노드에 접속되고, 게이트가 상기 제 1 입력 단자에 접속되어 있는 제 2의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1 노드에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 12.

제 11 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 13.

제 8 항에 있어서,

상기 제 2 반전 수단은, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 1 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1 출력 단자에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 제 1 노드에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 작은 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 14.

제 13 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 15.

제 8 항에 있어서,

상기 제 2 반전 수단은, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 1 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

드레인이 상기 제 1 출력 단자에 접속되고, 게이트가 상기 제 1 노드에 접속되어 있는 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 2의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 16.

제 15 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 17.

제 8 항에 있어서,

상기 제 3 반전 수단은, 게이트가 상기 제 2 입력 단자에 접속되고, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 2 노드에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

게이트가 프리차지 제어 신호의 입력 단자에 접속되고, 드레인이 상기 제 2 노드에 접속되고, 소스가 제 2 전원에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 큰 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 18.

제 17 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 19.

제 8 항에 있어서,

상기 제 3 반전 수단은, 소스가 제 1 전원에 접속되고, 게이트가 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

소스가 상기 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고, 드레인이 상기 제 2 노드에 접속되고, 게이트가 상기 제 2 입력 단자에 접속되어 있는 제 2의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 2 노드에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 20.

제 19 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 21.

제 8 항에 있어서,

상기 제 4 반전 수단은, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 2 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 2 출력 단자에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 제 2 노드에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 작은 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 22.

제 21 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 23.

제 8 항에 있어서,

상기 제 4 반전 수단은, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 2 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

드레인이 상기 제 2 출력 단자에 접속되고, 게이트가 상기 제 2 노드에 접속되어 있는 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 2의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 24.

제 23 항에 있어서,

상기 프리차지 제어 신호는 처음 단의 지연 소자에 입력되는 입력 신호인, 지연 회로.

## 청구항 25.

제 8 항에 있어서,

상기 제 1 스위치는, 게이트에 상기 제 1 제어 신호가 인가되고, 확산층이 각각 상기 제 1 입력 단자와 제 2 출력 단자에 접속되어 있는 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 26.

제 8 항에 있어서,

상기 제 2 스위치는, 게이트에 상기 제 2 제어 신호가 인가되고, 확산층이 각각 상기 제 1 및 제 2 노드에 접속되어 있는 트랜지스터에 의해 구성되어 있는, 지연 회로.

## 청구항 27.

제 8 항에 있어서,

상기 제 2 반전 수단에 접속되고, 상기 제 1 제어 신호를 수신하여, 상기 제 1 스위치가 도통 상태로 설정되어 있는 때, 상기 제 1 출력 단자를 소정의 레벨로 유지하는 유지 수단을 가지는, 지연 회로.

## 청구항 28.

지연 회로의 출력 신호를 입력측으로 귀환시켜, 상기 지연 회로의 지연 시간에 따른 발진 주파수로 발진하는 발진 회로에 있어서,

상기 지연 회로는 복수의 지연 소자가 직렬로 접속되어 구성되고, 각 지연 소자는 제어 신호를 수신하여, 상기 제어 신호에 따라 제 1 노드를 제 1 레벨로 유지하는 제 1 유지 수단,

상기 제어 신호에 따라, 제 2 노드를 제 2 레벨로 유지하는 제 2 유지 수단,

입력 신호를 수신하여, 상기 입력 신호가 상기 제 1 레벨에서 상기 제 2 레벨로 전환될 때, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 1 전환 수단, 및

상기 제 1 노드의 레벨 변화에 따라, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하고, 상기 제 2 노드의 신호를 후단의 지연 소자의 입력 신호로서 후단의 지연 소자로 출력하는 제 2 전환 수단에 의해서 구성되고,

최종단의 지연 소자의 출력 신호를 반전하고, 반전 신호를 처음 단의 지연 소자의 입력 신호로서 처음 단의 지연 소자에 입력하는 반전 수단을 가지며, 상기 처음 단의 지연 소자의 입력 신호는, 각 지연 소자의 상기 제어 신호로서, 각 지연 소자로 공급되는 발진 회로.

## 청구항 29.

제 28 항에 있어서,

상기 제 1 유지 수단은 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지고,

상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며,

상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 접속되고, 상기 입력 신호를 수신하여, 상기 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 2의 제 2 도전형 트랜지스터를 가지며,

상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 접속되고, 상기 제 1 노드의 레벨 변화에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 1 레벨로부터 상기 제 2 레벨로 변화하였을 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하는 제 2의 제 1 도전형 트랜지스터를 가지며,

상기 제 1 유지 수단을 이루는 제 1의 제 1 도전형 트랜지스터의 구동 능력이 상기 제 1 전환 수단을 이루는 제 2의 제 2 도전형 트랜지스터보다 크게 설정되고, 상기 제 2 유지 수단을 이루는 제 1의 제 2 도전형 트랜지스터의 구동 능력이 상기 제 2 전환 수단을 이루는 제 2의 제 1 도전형 트랜지스터보다 크게 설정되어 있는, 발진 회로.

## 청구항 30.

제 28항에 있어서,

상기 제 1 유지 수단은, 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지고,

상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며,

상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 직렬로 접속되어 있는 제 2의 제 2 도전형 트랜지스터와 제 3의 제 2 도전형 트랜지스터를 가지며, 상기 제 2의 제 2 도전형 트랜지스터는 상기 입력 신호를 수신하여, 상기 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 1 레벨로 유지되어 있는 때 도통 상태로 설정되고, 상기

제 3의 제 2 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 1 유지 수단을 이루는 상기 제 1의 제 1 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 상기 제 2 및 제 3의 제 2 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 1 노드가 상기 제 1 레벨로부터 상기 제 2 레벨로 전환되고,

상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 직렬로 접속되어 있는 제 2의 제 1 도전형 트랜지스터와 제 3의 제 1 도전형 트랜지스터를 가지며, 상기 제 2의 제 1 도전형 트랜지스터는 상기 제 1 노드의 레벨에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 2 레벨로 유지되어 있을 때 도통 상태로 설정되고, 상기 제 3의 제 1 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 2 유지 수단을 이루는 상기 제 1의 제 2 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 상기 제 2 및 제 3의 제 1 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 2 노드가 상기 제 2 레벨에서 상기 제 1 레벨로 전환되는, 발진 회로.

## 청구항 31.

지연 회로의 출력 신호를 입력측으로 귀환시켜, 제어 신호에 따라 발진 주파수가 제어되는 발진 회로에 있어서,

상기 지연 회로는, 복수의 기본 회로가 직렬 접속하여 구성되고, 각 기본 회로는 제 1 입력 단자의 입력 신호를 소정의 시간으로 지연하여 제 1 출력 단자로 출력시키는 제 1 지연 소자와, 상기 제어 신호에 따라 상기 제 1 지연 소자의 출력 신호와 제 2 입력 단자의 입력 신호 중 어느 것을 선택하여 출력하는 선택 수단과, 상기 선택 수단의 출력 신호를 소정의 시간으로 지연하여 제 2 출력 단자로 출력시키는 제 2 지연 소자를 가지며,

전단의 기본 회로의 상기 제 1 출력 단자는 후단의 기본 회로의 상기 제 1 입력 단자에 접속되고, 전단의 기본 회로의 상기 제 2 입력 단자는 후단의 기본 회로의 상기 제 2 출력 단자에 접속되고, 최종단의 기본 회로의 상기 제 1 출력 단자는 상기 제 2 입력 단자에 접속되고,

처음 단의 기본 회로의 상기 제 2 출력 단자의 출력 신호를 반전하여 반전 신호를 상기 처음 단의 기본 회로의 상기 제 1 입력 단자에 입력하는 반전 수단을 가지는 발진 회로.

## 청구항 32.

지연 회로의 출력 신호를 입력측으로 귀환시켜, 제어 신호에 따라 발진 주파수가 제어되는 발진 회로에 있어서,

상기 지연 회로는 복수의 지연 소자가 직렬 접속하여 구성되고, 각 지연 소자는 제 1 입력 단자의 입력 신호를 반전하여 제 1 노드로 출력하는 제 1 반전 수단과, 상기 제 1 노드의 신호를 반전하여 제 1 출력 단자로 출력하는 제 2 반전 수단과, 제 2 입력 단자의 입력 신호를 반전하여 제 2 노드로 출력하는 제 3 반전 수단과, 상기 제 2 노드의 신호를 반전하여 출력하는 제 4 반전 수단과, 상기 제 1 입력 단자와 제 2 출력 단자의 사이에 접속되고, 제 1 제어 신호에 따라 온/오프 상태가 제어되는 제 1 스위치와, 상기 제 1과 제 2 노드 사이에 접속되고, 제 2 제어 신호에 따라 온/오프 상태가 제어되는 제 2 스위치를 가지며,

전단의 지연 소자의 상기 제 1 출력 단자는, 후단의 지연 소자의 상기 제 1 입력 단자에 접속되고, 전단의 지연 소자의 상기 제 2 입력 단자는 후단의 지연 소자의 상기 제 2 출력 단자에 접속되고,

처음 단의 지연 소자의 상기 제 2 출력 단자의 출력 신호를 반전하여 반전 신호를 상기 처음 단의 지연 소자의 상기 제 1 입력 단자에 입력하는 반전 수단을 가지는, 발진 회로.

## 청구항 33.

제 32 항에 있어서,

상기 제 1 반전 수단은, 게이트가 상기 제 1 입력 단자에 접속되고, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 1 노드에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

게이트가 프리차지 제어 신호의 입력 단자에 접속되고, 드레인이 상기 제 1 노드에 접속되고, 소스가 제 2 전원에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 큰 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 34.

제 32 항에 있어서,

상기 제 1 반전 수단은, 소스가 제 1 전원에 접속되고, 게이트가 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

소스가 상기 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고, 드레인이 상기 제 1 노드에 접속되고, 게이트가 상기 제 1 입력 단자에 접속되어 있는 제 2의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1 노드에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 35.

제 32 항에 있어서,

상기 제 2 반전 수단은 소스가 제 1 전원에 접속되고, 드레인이 상기 제 1 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1 출력 단자에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 제 1 노드에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 작은 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 36.

제 32 항에 있어서,

상기 제 2 반전 수단은 소스가 제 1 전원에 접속되고, 드레인이 상기 제 1 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

드레인이 상기 제 1 출력 단자에 접속되고, 게이트가 상기 제 1 노드에 접속되어 있는 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 2의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 37.

제 32항에 있어서,

상기 제 3 반전 수단은, 게이트가 상기 제 2 입력 단자에 접속되고, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 2 노드에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

게이트가 프리차지 제어 신호의 입력 단자에 접속되고, 드레인이 상기 제 2 노드에 접속되고, 소스가 제 2 전원에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 큰 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 38.

제 32항에 있어서,

상기 제 3 반전 수단은, 소스가 제 1 전원에 접속되고, 게이트가 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

소스가 상기 제 1의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터의 드레인에 접속되고, 드레인이 상기 제 2 노드에 접속되고, 게이트가 상기 제 2 입력 단자에 접속되어 있는 제 2의 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 2 노드에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 입력 단자에 접속되어 있는 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 39.

제 32 항에 있어서,

상기 제 4 반전 수단은, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 2 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 2 출력 단자에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 제 2 노드에 접속되고, 구동 능력이 상기 제 1 도전형 절연 게이트형 전계 효과 트랜지스터보다 작은 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 40.

제 32 항에 있어서,

상기 제 4 반전 수단은, 소스가 제 1 전원에 접속되고, 드레인이 상기 제 2 출력 단자에 접속되고, 게이트가 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 1 도전형 절연 게이트형 전계 효과 트랜지스터,

드레인이 상기 제 2 출력 단자에 접속되고, 게이트가 상기 제 2 노드에 접속되어 있는 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터, 및

드레인이 상기 제 1의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터의 소스에 접속되고, 소스가 제 2 전원에 접속되고, 게이트가 상기 프리차지 제어 신호의 반전 신호의 입력 단자에 접속되어 있는 제 2의 제 2 도전형 절연 게이트형 전계 효과 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 41.

제 32 항에 있어서,

상기 제 1 스위치는, 게이트에 상기 제 1 제어 신호가 인가되고, 확산층이 각각 상기 제 1 입력 단자와 제 2 출력 단자에 접속되어 있는 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 42.

제 32 항에 있어서,

상기 제 2 스위치는, 게이트에 상기 제 2 제어 신호가 인가되고, 확산층이 각각 상기 제 1과 제 2 노드에 접속되어 있는 트랜지스터에 의해 구성되어 있는, 발진 회로.

## 청구항 43.

제 32 항에 있어서,

상기 제 2 반전 수단에 접속되고, 상기 제 1 제어 신호를 수신하여, 상기 제 1 스위치가 도통 상태로 설정되어 있을 때, 상기 제 1 출력 단자를 소정의 레벨로 유지하는 유지 수단을 가지는 발진 회로.

## 청구항 44.

제 1 및 제 2 제어 신호에 따라 발진 주파수와 듀티비가 제어되는 발진 신호를 생성하는 발진 회로에 있어서,

제 1 제어 신호에 따라 입력 신호에 제 1 지연 시간을 주어 출력하는 제 1 지연 회로,

상기 제 1 지연 회로의 출력 신호를 수신하여, 제 2 제어 신호에 따라 입력 신호에 제 2 지연 시간을 주어 출력하는 제 2 지연 회로, 및

상기 제 2 지연 회로의 출력 신호를 반전하고, 반전 신호를 상기 제 1 지연 회로의 입력 신호로서 상기 제 1 지연 회로로 출력하는 반전 수단을 가지며,

상기 제 1 지연 회로의 출력 신호를 발진 신호로서 외부로 출력하는 발진 회로.

명세서

# 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 입력 신호를 소정의 지연 시간만큼 지연시켜 출력하는 지연 회로 및 지연 회로를 이용하여 구성된 발진 회로, 특히 디지털 신호에 따라서 지연 시간 및 발진 주파수를 제어하는 지연 회로 및 이것을 이용한 발진 회로에 관한 것이다.

지연 시간을 디지털 제어 신호에 따라 임의로 설정할 수 있는 지연 회로의 일례를 도 32에 나타내고 있다. 도시하는 바와 같이, 지연 회로는 직렬로 접속되어 있는 n개의 단의 지연 소자(DLY1, DLY2, … , DLYn)와 이들의 지연 소자로부터의 n개의 출력 신호로부터 하나를 선택하여 출력하는 n 대 1 선택 회로(SEL)로 이루어진다. 직렬로 접속되어 있는 n개의 단의 지연 소자는, 입력 신호를 소정의 시간으로 지연한 지연 신호를 다음단의 지연 소자에 출력한다. 선택 회로(SEL)는 디지털 제어 신호에 따라 n개의 단의 지연 소자의 출력 신호로부터 하나를 선택하여 출력한다.

예를 들면, 각 지연 소자가 입력 신호에 동일하게 지연 시간($t_D$)을 부여한다고 하면, 도 32와 같이 구성된 지연 회로에 의해, 입력 신호에 대하여 $t_D$의 스텝으로 $t_D$ 내지 $nt_D$의 지연 시간을 임의로 줄일 수 있다.

지연 회로를 이용하여 구성한 발진 회로의 일례를 도 33에 나타내고 있다. 도시하는 바와 같이, 도 32에 나타내는 지연 회로에 인버터(INV1)가 설치되고, 선택 회로(SEL)의 출력 신호가 인버터(INV1)에 입력되고, 인버터(INV1)의 출력 신호는 지연 회로의 입력 신호로서 처음 단(初段)의 지연 소자(DLY1)에 입력된다. 선택 회로(SEL)의 출력 회로 단자로부터 발진 신호(클록 신호: CLK)가 얻어진다.

즉, 인버터를 통해 링 모양으로 접속된 지연 회로에 의해 발진 회로가 구성된다. 발진 회로의 발진 주파수는 지연 회로의 지연 시간에 의해 제어되기 때문에, 디지털 제어 신호에 의해 지연 시간을 제어하는 것으로 클록 신호(CLK)의 주파수를 제어할 수 있다.

또한, 디지털 신호로 발진 주파수를 제어하는 발진 회로의 또 하나의 예는, 도 34에 나타낸다. 본 예는 디지털/아날로그 변환기(D/A 컨버터: DAC)와 전압 제어 발진기(VCO)에 의해 구성되어 있고, 디지털/아날로그 변환기(DAC)에 의해 디지털 제어 신호가 아날로그 신호인 제어 전압 신호(VC)로 변환되고, 제어 전압 신호(VC)에 의해 전압 제어 발진기(VCO)의 발진 주파수가 제어된다. 이것에 따라, 전압 제어 발진기(VCO)에 의해 생성된 클록 신호(CLK)의 주파수는 디지털 제어 신호에 의해 제어할 수 있다.

도 35는 디지털 신호로 용량을 변화시켜, 용량 변화에 따라 발진 주파수를 제어하는 발진 회로의 일례를 나타내고 있다. 도시하는 바와 같이, 디지털 신호에 따라서 스위치 SW0, SW1, SW2, … , SWn의 온/오프 상태가 제어되고, 이것에 따라 발진 회로(OSC)에 접속되어 있는 용량 소자의 전체 용량 값이 제어된다. 발진 회로(OSC)의 발진 주파수는 접속되어 있는 용량 소자의 용량에 따라서 설정되기 때문에, 발진 회로(OSC)에서 얻은 클록 신호(CLK)의 주파수는 디지털 제어 신호에 의해 제어할 수 있다.

## 발명이 이루고자 하는 기술적 과제

그런데, 상술한 종래의 디지털 제어 발진 회로, 예를 들면 도 34과 35에 나타내는 발진 회로에서는, 아날로그적인 설계 요소를 포함하기 때문에, 발진 회로의 사양이나 LSI(대규모 집적 회로)의 프로세스마다 발진 주파수 범위와 리니어티(선형 특성), 회로 규모 등의 트레이드 오프를 고려한 번거로운 회로의 설계나 수정이 필요한 단점이 있다.

한편, 지연 소자로서 인버터나 버퍼라는 통상의 게이트 회로를 이용하고, 도 33에 나타낸 바와 같이 선택 회로와 함께 구성된 디지털 제어 발진 회로에서는 회로 구성이 간단하고, 또한 아날로그적인 요소가 없기 때문에, 발진 신호의 주파수의 제어나 회로 동작의 안정성이 좋다. 그러나, 통상의 지연 소자 1단(段)에서 지연되는 지연 시간은 크기 때문에, 주파수의 스텝 폭이 커서, 발진 주파수의 세밀한 설정이 곤란하다.

예를 들면, 지연 소자는 도 36에 나타낸 바와 같이 2개의 단의 인버터에 의해 구성된 경우, pMOS 트랜지스터(PT1)와 nMOS 트랜지스터(NT)에 의해 구성된 전단(前段)의 인버터의 출력 단자(A)는, 후단(後段)의 인버터를 구성하는 pMOS 트랜지스터(PT2) 및 nMOS 트랜지스터(NT2)의 양쪽의 게이트에 접속되고, 인버터의 부하가 커져, 동작 속도가 저하한다. 또한, 도 37의 파형도에 나타낸 바와 같이, 통상 인버터의 문턱값 전압은 전원 전압(VDD)의 반이고, 즉, 입력 신호의 레벨이 대략 VDD/2가 된 부근에서 인버터의 출력 신호 레벨이 변화하기 때문에, 인버터 1단에서 지연되는 지연 시간($t_D$)이 커진다.

본 발명은 이러한 사정을 감안하여 이루어진 것으로, 그 목적은 지연 시간을 세밀하게 제어할 수 있고, 발진 회로의 발진 주파수의 스텝 폭을 감소할 수 있고, 또한 간단한 회로 구성으로 디지털 신호로 제어 가능한 지연 회로 및 이것을 이용한 발진 회로를 제공하는 것에 있다.

상기 목적을 달성하기 위해서, 본 발명은 제 1 또는 제 2 레벨을 가지는 입력 신호를 소정의 시간만큼 지연시켜 출력하는 지연 회로에 있어서, 제어 신호를 수신하여, 해당 제어 신호에 따라 제 1 노드를 제 1 레벨로 유지하는 제 1 유지 수단과, 상기 제어 신호에 따라, 제 2 노드를 제 2 레벨로 유지하는 제 2 유지 수단과, 입력 신호를 수신하여, 해당 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 1 전환 수단과, 상기 제 1 노드의 레벨 변화에 따라, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하고, 해당 제 2 노드의 신호를 출력하는 제 2 전환 수단을 가진다.

또한, 본 발명에서는, 적합하게는 상기 제 1 유지 수단은, 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라서 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를

가지며, 상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라서 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며, 상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 접속되고, 상기 입력 신호를 수신하여, 해당 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 2의 제 2 도전형 트랜지스터를 가지며, 상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 접속되고, 상기 제 1 노드의 레벨 변화에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 1 레벨로부터 상기 제 2 레벨로 변화하였을 때, 비도통 상태로부터 도통 상태로 전환되고, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하는 제 2의 제 1 도전형 트랜지스터를 가지며, 상기 제 1 유지 수단을 이루는 제 1의 제 1 도전형 트랜지스터의 구동 능력이 상기 제 1 전환 수단을 이루는 제 2의 제 2 도전형 트랜지스터보다 크게 설정되고, 상기 제 2 유지 수단을 이루는 제 1의 제 2 도전형 트랜지스터의 구동 능력이 상기 제 2 전환 수단을 이루는 제 2의 제 1 도전형 트랜지스터보다 크게 설정되어 있다.

또한, 본 발명에서는, 적합하게는 상기 제 1 유지 수단은, 상기 제 1 전원과 상기 제 1 노드 사이에 접속되고, 상기 제어 신호에 따라서 온/오프 상태가 제어되고, 도통시에 상기 제 1 노드를 제 1 레벨로 유지하는 제 1의 제 1 도전형 트랜지스터를 가지며, 상기 제 2 유지 수단은, 상기 제 2 전원과 상기 제 2 노드 사이에 접속되고, 상기 제어 신호에 따라서 온/오프 상태가 제어되고, 도통시에 상기 제 2 노드를 제 2 레벨로 유지하는 제 1의 제 2 도전형 트랜지스터를 가지며, 상기 제 1 전환 수단은, 상기 제 2 전원과 상기 제 1 노드 사이에 직렬로 접속되어 있는 제 2의 제 2 도전형 트랜지스터와 제 3의 제 2 도전형 트랜지스터를 가지며, 상기 제 2의 제 2 도전형 트랜지스터는 상기 입력 신호를 수신하여, 해당 입력 신호에 따라 온/오프 상태가 제어되고, 상기 입력 신호가 상기 제 1 레벨로 유지되어 있는 때 도통 상태로 설정되고, 상기 제 3의 제 2 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 1 유지 수단을 이루는 상기 제 1의 제 1 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 해당 제 2 및 제 3의 제 2 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 1 노드가 상기 제 1 레벨에서 상기 제 2 레벨로 전환되고, 상기 제 2 전환 수단은, 상기 제 1 전원과 상기 제 2 노드 사이에 직렬로 접속되어 있는 제 2의 제 1 도전형 트랜지스터와 제 3의 제 1 도전형 트랜지스터를 가지며, 상기 제 2의 제 1 도전형 트랜지스터는 상기 제 1 노드의 레벨에 따라 온/오프 상태가 제어되고, 상기 제 1 노드가 상기 제 2 레벨로 유지되어 있는 때 도통 상태로 설정되고, 상기 제 3의 제 1 도전형 트랜지스터는 상기 제어 신호에 따라 온/오프 상태가 제어되고, 상기 제 2 유지 수단을 이루는 상기 제 1의 제 2 도전형 트랜지스터와 반대의 온/오프 상태로 설정되고, 해당 제 2 및 제 3의 제 1 도전형 트랜지스터가 도통 상태로 설정되었을 때, 상기 제 2 노드가 상기 제 2 레벨로부터 상기 제 1 레벨로 전환된다.

또한, 본 발명에서는, 적어도 두개의 지연 소자가 직렬로 접속되고, 제 1 또는 제 2 레벨을 가지는 지연 입력 신호를 소정의 시간만큼 지연시켜 출력하는 지연 회로에 있어서, 상기 각 지연 소자는 제어 신호를 수신하여, 해당 제어 신호에 따라 제 1 노드를 제 1 레벨로 유지하는 제 1 유지 수단과, 상기 제어 신호에 따라, 제 2 노드를 제 2 레벨로 유지하는 제 2 유지 수단과, 입력 신호를 수신하여, 해당 입력 신호가 상기 제 2 레벨에서 상기 제 1 레벨로 전환될 때, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 1 전환 수단과, 상기 제 1 노드의 레벨 변화에 따라, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하고, 해당 제 2 노드의 신호를 후단의 지연 소자의 입력 신호로서 후단의 지연 소자로 출력하는 제 2 전환 수단을 가지며, 상기 지연 입력 신호는 처음 단의 지연 소자의 입력 신호로서 처음 단의 지연 소자에 입력되고, 또한 각 지연 소자의 상기 제어 신호로서 각 지연 소자에 입력된다.

또한, 본 발명에서는, 제어 신호에 따라 지연 시간이 설정되는 지연 회로에 있어서, 제 1 입력 단자의 입력 신호에 소정의 지연 시간을 주어 제 1 출력 단자로 출력하는 제 1 지연 소자와, 상기 제어 신호에 따라, 상기 제 1 지연 소자의 출력 신호와 제 2 입력 단자의 입력 신호 중 어느 것을 선택하여 출력하는 선택 수단과, 상기 선택 수단의 출력 신호에 소정의 지연 시간을 주어 제 2 출력 단자로 출력하는 제 2 지연 소자로 이루어지는 기본 회로를 복수단(複數段) 가지며, 전단의 기본 회로의 상기 제 1 출력 단자는, 후단의 기본 회로의 상기 제 1 입력 단자에 접속되고, 전단의 기본 회로의 상기 제 2 입력 단자는, 후단의 기본 회로의 상기 제 2 출력 단자에 접속되어 구성되어 있다.

또한, 본 발명에서는, 제어 신호에 따라 지연 시간이 설정되는 지연 회로에 있어서, 제 1 입력 단자의 입력 신호를 반전하여 제 1 노드로 출력하는 제 1 반전 수단과, 상기 제 1 노드의 신호를 반전하여 제 1 출력 단자로 출력하는 제 2 반전 수단과, 제 2 입력 단자의 입력 신호를 반전하여 제 2 노드로 출력하는 제 3 반전 수단과, 상기 제 2 노드의 신호를 반전하여 출력하는 제 4 반전 수단과, 상기 제 1 입력 단자와 제 2 출력 단자의 사이에 접속되고, 제 1 제어 신호에 따라서 온/오프 상태가 제어되는 제 1 스위치와, 상기 제 1과 제 2 노드 사이에 접속되고, 제 2 제어 신호에 따라서 온/오프 상태가 제어되는 제 2 스위치로 이루어지는 지연 소자를 복수단 가지며, 전단의 지연 소자의 상기 제 1 출력 단자는, 후단의 지연 소자의 상기 제 1 입력 단자에 접속되고, 전단의 지연 소자의 상기 제 2 입력 단자는, 후단의 지연 소자의 상기 제 2 출력 단자에 접속되어 구성되어 있다.

또한, 본 발명에서는, 지연 회로의 출력 신호를 입력측으로 귀환시켜, 해당 지연 회로의 지연 시간에 따른 발진 주파수로 발진하는 발진 회로에 있어서, 상기 지연 회로는 복수의 지연 소자가 직렬로 접속되어 구성되고, 각 지연 소자는 제어 신호를 수신하여, 해당 제어 신호에 따라 제 1 노드를 제 1 레벨로 유지하는 제 1 유지 수단과, 상기 제어 신호에 따라, 제 2 노드를 제 2 레벨로 유지하는 제 2 유지 수단과, 입력 신호를 수신하여, 해당 입력 신호가 상기 제 1 레벨에서 상기 제 2 레벨로 전환될 때, 상기 제 1 노드를 상기 제 1 레벨에서 상기 제 2 레벨로 전환하는 제 1 전환 수단과, 상기 제 1 노드의 레벨 변화에 따라, 상기 제 2 노드를 상기 제 2 레벨에서 상기 제 1 레벨로 전환하고, 해당 제 2 노드의 신호를 후단의 지연 소자의 입력 신호로서 후단의 지연 소자로 출력하는 제 2 전환 수단에 의해 구성되고, 최종단의 지연 소자의 출력 신호를 반전하고, 반전 신호를 처음 단의 지연 소자의 입력 신호로서 처음 단의 지연 소자에 입력하는 반전 수단을 가지며, 해당 처음 단의 지연 소자의 입력 신호는, 각 지연 소자의 상기 제어 신호로서, 각 지연 소자에 공급된다.

또한, 본 발명에서는, 지연 회로의 출력 신호를 입력측으로 귀환시켜, 제어 신호에 따라 발진 주파수가 제어되는 발진 회로에 있어서, 상기 지연 회로는 복수의 기본 회로가 직렬 접속하여 구성되고, 각 기본 회로는, 제 1 입력 단자의 입력 신호에 소정의 지연 시간을 주어 제 1 출력 단자로 출력하는 제 1 지연 소자와, 상기 제어 신호에 따라, 상기 제 1 지연 소자의 출력 신호와 제 2 입력 단자의 입력 신호 중 어느 것을 선택하여 출력하는 선택 수단과, 상기 선택 수단의 출력 신호에 소정의 지연 시간을 주어 제 2 출력 단자로 출력하는 제 2 지연 소자를 가지며, 전단의 기본 회로의 상기 제 1 출력 단자는, 후단의 기본 회로의 상기 제 1 입력 단자에 접속되고, 전단의 기본 회로의 상기 제 2 입력 단자는, 후단의 기본 회로의 상기 제 2 출력 단자에 접속되고, 최종단의 기본 회로의 상기 제 1 출력 단자는, 상기 제 2 입력 단자에 접속되고, 또한, 처음 단의 기본 회로의 상기 제 2 출력 단자의 출력 신호를 반전하고, 반전 신호를 상기 처음 단의 기본 회로의 상기 제 1 입력 단자에 입력하는 반전 수단을 가진다.

또한, 본 발명에서는, 지연 회로의 출력 신호를 입력측으로 귀환시켜, 제어 신호에 따라 발진 주파수가 제어되는 발진 회로에 있어서, 상기 지연 회로는 복수의 지연 소자가 직렬 접속하여 구성되고, 각 지연 소자는, 제 1 입력 단자의 입력 신호를 반전하여 제 1 노드로 출력하는 제 1 반전 수단과, 상기 제 1 노드의 신호를 반전하여 제 1 출력 단자로 출력하는 제 2 반전 수단과, 제 2 입력 단자의 입력 신호를 반전하여 제 2 노드로 출력하는 제 3 반전 수단과, 상기 제 2 노드의 신호를 반전하여 출력하는 제 4 반전 수단과, 상기 제 1 입력 단자와 제 2 출력 단자의 사이에 접속되고, 제 1 제어 신호에 따라 온/오프 상태가 제어되는 제 1 스위치와, 상기 제 1과 제 2 노드 사이에 접속되고, 제 2 제어 신호에 따라 온/오프 상태가 제어되는 제 2 스위치를 가지며, 전단의 지연 소자의 상기 제 1 출력 단자는, 후단의 지연 소자의 상기 제 1 입력 단자에 접속되고, 전단의 지연 소자의 상기 제 2 입력 단자는, 후단의 지연 소자의 상기 제 2 출력 단자에 접속되고, 또한, 처음 단의 지연 소자의 상기 제 2 출력 단자의 출력 신호를 반전하고, 반전 신호를 상기 처음 단의 지연 소자의 상기 제 1 입력 단자에 입력하는 반전 수단을 가진다.

또한, 본 발명에서는, 제 1 및 제 2 제어 신호에 따라 발진 주파수와 듀티비가 제어되는 발진 신호를 생성하는 발진 회로에 있어서, 제 1 제어 신호에 따라 입력 신호에 제 1 지연 시간을 주어 출력하는 제 1 지연 회로와, 상기 제 1 지연 회로의 출력 신호를 수신하여, 제 2 제어 신호에 따라 입력 신호에 제 2 지연 시간을 주어 출력하는 제 2 지연 회로와, 상기 제 2 지연 회로의 출력 신호를 반전하고, 반전 신호를 상기 제 1 지연 회로의 입력 신호로서 상기 제 1 지연 회로에 출력하는 반전 수단을 가지며, 상기 제 1 지연 회로의 출력 신호를 발진 신호로서 외부로 출력한다.

본 발명에 의하면, 복수의 지연 소자가 직렬 접속하여 지연 회로가 구성되고, 지연 소자는 프리차지 제어 신호에 따라 미리 프리차지 상태로 설정되고, 입력 신호의 레벨 변화에 따라 각 지연 소자의 상태가 순차 변화하고, 신호 레벨의 변화가 각 지연 소자에 의해 순차 지연 회로의 출력측에 전달된다. 지연 소자의 지연 시간이 작기 때문에, 이것에 의하여 구성된 지연 회로의 지연 시간 조정을 세밀하게 행하는 것이 가능하다.

또한, 상하 2개의 단의 지연 소자로 이루어지는 기본 회로에 의해, 진행과 귀환의 두개의 신호 전파 경로를 형성하고 그 전파 경로 사이에 선택 수단을 설치하여, 사다리 모양 지연 회로가 구성된다. 입력되는 지연 제어 신호에 따라 선택 수단에 의해 신호의 전파 경로가 설정되고, 이것에 따라 지연 회로의 지연 시간이 제어된다. 이것에 의해, 기본 회로의 수를 증감함에 의해 지연 시간의 증감에 용이하게 대처할 수 있고, 또한 최대 지연 단(段)의 수가 최소 지연 시간에 영향을 주는 일없이, 지연 제어 신호에 대하여 지연량의 선형 특성이 계속될 수 있다.

또한, 본 발명에 의하면, 지연 경로를 제어하는 선택 수단은, 지연 제어 신호에 따라 온/오프 상태가 제어되는 스위치에 의해 구성되고, 실제의 회로에서는, 하나의 트랜지스터에 의해 실현할 수 있기 때문에, 회로의 규모의 축소화를 도모할 수 있고, 선택 수단에서의 불필요한 지연 시간의 발생을 억제할 수 있다.

본 발명의 지연 회로를 이용하여, 지연 회로의 출력 신호를 반전시켜 입력측으로 귀환시키는 것에 의해 환상 발진 회로(ring-configuration oscillator circuit)를 구성할 수 있다. 이와 같이 구성된 발진 회로에서, 세밀한 변화 스텝으로 발진 주파수 및 듀티비의 다른 복수의 발진 신호가 얻어지고, 또한, 지연 회로를 구성하는 기본 회로의 수를 증감함에 의해 광범위한 발진 주파수에 대처할 수 있고, 최소 발진 가능 주파수를 낮게 설정할 수 있고, 또한, 발진 회로의 최대 발진 가능 주파수는 최소 발진 주파수의 조정에 영향을 받지 않으므로, 제어 신호에 대하여 발진 회로의 발진 주파수의 선형 특성이 좋고, 발진 회로의 발진 가능한 주파수 범위를 넓게 설정할 수 있다.

또한, 본 발명에 의하면, 지연 시간을 각각 독립적으로 제어 가능한 제 1과 제 2 지연 회로를 직렬로 접속하고, 제 2 지연 회로의 출력 신호를 반전하여 제 1 지연 회로에 입력함에 의해 환상 발진 회로가 구성되고, 제 1 및 제 2 지연 회로의 지연 시간을 각각 독립적으로 설정함에 의해, 제 1 지연 회로의 출력측에서 발진 주파수 및 듀티비가 제어 가능한 발진 신호가 얻어진다.

## 발명의 구성

(제 1 실시예)

도 1은 본 발명과 관계되는 지연 회로의 제 1 실시예를 나타내는 회로도이다.

도시하는 바와 같이, 본 실시예의 지연 회로는 n단의 지연 소자(DLY1, DLY2, … , DLYn)에 의해 구성되어 있다. 이들의 지연 소자는 직렬로 접속되어 있다. 즉, 각 지연 소자의 입력 단자(IN)는 전단의 지연 소자의 출력 단자(OUT)에 접속되어 있다. 처음 단의 지연 소자(DLY1)의 입력 단자(IN)는 신호($S_{IN}$)의 입력 단자에 접속되어 있다. 또한, 각 지연 소자(DLY1, DLY2, … , DLYn)에 프리차지 신호 및 그 반전 신호의 입력 단자(PR, XPR)가 설치되어 있고, 각 지연 소자의 프리차지 신호의 입력 단자(PR)는 신호($S_{IN}$)의 입력 단자에 접속되고, 프리차지 신호의 반전 신호의 입력 단자(XPR)는, 신호($S_{IN}$)의 반전 신호($S_{XIN}$)의 입력 단자에 접속되어 있다.

지연 회로를 구성하는 지연 소자의 일례를 도 2에 나타내고 있다. 지연 소자는 pMOS 트랜지스터(P1, P2) 및 nMOS 트랜지스터(N1, N2)에 의해 구성되어 있다.

pMOS 트랜지스터(P1)의 게이트는 지연 소자의 입력 단자(IN)에 접속되고, 소스는 전원 전압(VDD)의 공급선에 접속되고, 드레인은 노드(A)에 접속되어 있다. nMOS 트랜지스터(N1)의 게이트는 프리차지 신호의 입력 단자(PR)에 접속되고, 드레인은 노드(A)에 접속되고, 소스는 접지되어 있다.

pMOS 트랜지스터(P2)의 게이트는 프리차지 신호의 반전 신호의 입력 단자(XPR)에 접속되고, 소스는 전원 전압(VDD)의 공급선에 접속되고, 드레인은 지연 소자의 출력 단자(OUT)에 접속되어 있다. nMOS 트랜지스터(N2)의 게이트는 노드(A)에 접속되고, 드레인은 출력 단자(OUT)에 접속되고, 소스는 접지되어 있다.

또한, 도 2에 있어서 트랜지스터의 부호의 크기는 그 트랜지스터의 구동 능력을 나타내고 있다. 즉, nMOS 트랜지스터(N1)의 구동 능력은 pMOS 트랜지스터(P1)의 구동 능력보다 크게 설정되고, pMOS 트랜지스터(P2)의 구동 능력은, nMOS 트랜지스터(N2)의 구동 능력보다 크게 설정되어 있다.

도 2에 나타내는 지연 소자에 있어서, 입력 단자(IN)에 하이 레벨, 예를 들면 전원 전압(VDD) 레벨의 신호가 인가되고, 프리차지 신호 입력 단자(PR)에 동일하게 하이 레벨의 신호가 인가되고, 그 반전 신호 입력 단자(XPR)에 로우 레벨의 신호, 예를 들면 접지 전위(GND) 레벨의 신호가 인가되어 있을 때, nMOS 트랜지스터(N1)과 pMOS 트랜지스터(P2)가 도통 상태에 있고, 노드(A)가 접지 전위(GND)로 유지되고, 출력 단자(OUT)가 전원 전압(VDD)의 레벨로 유지된다. 이 때, pMOS 트랜지스터(P1) 및 nMOS 트랜지스터(N2)가 동시에 비도통 상태에 있으므로, 프리차지 신호의 레벨이 변화한 경우라도 노드(A) 및 출력 단자(OUT)의 레벨이 전하에 의해 유지된다.

프리차지 신호가 로우 레벨에 있고, 또한 입력 단자(IN)에 인가되어 있는 입력 신호가 하이 레벨로부터 로우 레벨로 변화하였을 때, pMOS 트랜지스터(P1)가 비도통 상태로부터 도통 상태로 전환되고, 노드(A)가 로우 레벨로부터 하이 레벨로 레벨 변화하고, 이것에 따라서 nMOS 트랜지스터(N2)가 비도통 상태로부터 도통 상태로 전환되고, 지연 소자의 출력 단자(OUT)가 하이 레벨로부터 로우 레벨로 전환된다.

도 3은 도 1에 나타내는 지연 회로의 동작을 나타내는 파형도이고, 입력 신호($S_{IN}$) 및 그 반전 신호($S_{XIN}$), 각 지연 소자(DLY1, DLY2, … , DLYn)의 입출력 단자 및 각 지연 소자의 노드(A)의 파형을 나타내고 있다.

초기 상태에서는, 입력 신호($S_{IN}$)는 하이 레벨, 예를 들면, 전원 전압(VDD)으로 유지되고, 그 반전 신호($S_{XIN}$)는 로우 레벨, 예를 들면 접지 전위(GND)로 유지되어 있다. 각 지연 소자(DLY1, DLY2, … , DLYn)에서, 노드(A)가 로우 레벨로 유지되고, 출력 신호(OUT1, OUT2, … , OUTn)는 전원 전압(VDD) 레벨로 유지되어 있다.

시간($t_0$)에 있어서, 입력 신호($S_{IN}$)는 하이 레벨로부터 로우 레벨로 전환되고, 이것과 동시에, 반전 신호($S_{XIN}$)는 로우 레벨로부터 하이 레벨로 전환된다. 지연 소자(DLY1)에서, 입력 신호($S_{IN}$)의 레벨이 하강하여 pMOS 트랜지스터(P1)의 문턱값 전압($V_{thp}$)을 초과하면, pMOS 트랜지스터(P1)가 도통 상태가 되고, 노드(A)의 전위가 상승한다. 노드(A)의 전위가 nMOS 트랜지스터(N2)의 문턱값 전압($V_{thn}$)을 초과하면, nMOS 트랜지스터(N2)가 도통 상태가 되고, 지연 소자(DLY1)의 출력 신호(OUT1)가 하이 레벨로부터 로우 레벨로 전환된다. 즉, 입력 신호($S_{IN}$)의 하강 에지로부터 일정한 지연 소자 시간을 거쳐서, 지연 소자(DLY1)의 출력 신호(OUT1)가 하이 레벨로부터 로우 레벨로 전환된다.

지연 소자(DLY1)의 후단에 접속되어 있는 각 지연 소자(DLY2, DLY3, … , DLYn)에서는, 상술한 지연 소자(DLY1)와 같은 동작이 행하여지고, 각 지연 소자는 입력 신호의 하강 에지에 대하여 일정한 지연 시간을 부여한 지연 신호가 출력 단자로 출력된다.

여기에서, 각 지연 소자는 입력 신호에 대하여 동일하게 지연 시간($t_D$)을 부여한다고 하면, 지연 소자(DLY1, DLY2, … , DLYn)의 출력 신호는, 입력 신호에 대하여 각각 $t_D$, $2t_D$, … , $nt_D$의 지연 시간이 주어진다. n단의 지연 소자에 의해 입력 신호($S_{IN}$)에 대하여 최대($nt_D$)의 지연 시간이 주어진다.

시간($t_1$)에 있어서, 입력 신호($S_{IN}$)가 로우 레벨로부터 하이 레벨로 전환된다. 이것에 따라서 지연 소자(DLY1)에서는 nMOS 트랜지스터(N1)는 비도통 상태로부터 도통 상태로 전환되고, 노드(A)가 하이 레벨로부터 로우 레벨로 전환된다. 이 때문에, nMOS 트랜지스터(N2)가 도통 상태로부터 비도통 상태로 전환되고, 또한, 프리차지 신호의 반전 신호 단자에서 입력된 신호는 로우 레벨이 되기 때문에, pMOS 트랜지스터(P2)가 도통 상태가 되고, 지연 소자(DLY1)의 출력 신호(OUT1)가 하이 레벨이 된다.

다른 지연 소자(DLY2, DLY3, … , DLYn)에서, 입력 신호($S_{IN}$)가 하이 레벨로, 그 반전 신호($S_{XIN}$)가 로우 레벨로 전환된 순간, 모든 트랜지스터(P1, P2, N1, N2)가 도통 상태가 되고, 이들의 트랜지스터에 일순간 관통 전류가 흐른다. 그러나, 상술한 바와 같이 각 트랜지스터의 크기가 다르도록 형성되고, 이것에 따라 이들의 트랜지스터의 구동 능력도 다르다. 예를 들면, nMOS 트랜지스터(N1)의 구동 능력은 pMOS 트랜지스터(P1)의 구동 능력보다 크고, pMOS 트랜지스터(P2)는 nMOS 트랜지스터(N2)의 구동 능력보다 크게 된다. 이 때문에, 처음 단의 지연 소자(DLY1)의 상태 변화의 순차 전파(傳播)를 기다리지 않고서 각 지연 소자(DLY2, DLY3, … , DLYn)에서 노드(A)의 전위가 강하하고, 출력 단자의 전위가 상승한다. 그리고 이 상태 변화는 또한 pMOS 트랜지스터(P1)와 nMOS 트랜지스터(N2)의 구동 능력을 약하게 하게 되고, 그 결과, 처음 단의 지연 소자(DLY1)의 입력 신호($S_{IN}$)의 변화의 순차 전파를 기다리지 않고서 모든 지연 소자(DLY1, DLY2, … , DLYn)가 거의 동시에 변화하고, 출력 신호(OUT1, OUT2, … , OUTn)는 거의 동시에 하이 레벨로 전환된다.

입력 신호($S_{IN}$)가 하이 레벨, 그 반전 신호($S_{XIN}$)가 로우 레벨로 유지되어 있을 때, 각 지연 소자(DLY1, DLY2, … , DLYn)의 노드(A)가 로우 레벨, 출력 단자가 하이 레벨의 상태로 유지된다. 그리고, 시간($t_2$)에 있어서 입력 신호($S_{IN}$)가 하이 레벨로부터 로우 레벨로 내려가서, 각 지연 소자의 출력 신호(OUT1, OUT2, … , OUTn)는, 각각의 지연 시간을 거쳐서 하이 레벨로부터 로우 레벨로 변화한다.

상술한 바와 같이, 본 실시예에 의하면, 복수의 지연 소자를 직렬 접속하여 지연 회로를 구성하고, 각 지연 소자는 pMOS 트랜지스터(P1)와 이것보다 구동 능력이 큰 nMOS 트랜지스터(N1), nMOS 트랜지스터(N2)와 이것보다 구동 능력이 큰 pMOS 트랜지스터(P2)에 의해 구성하고, pMOS 트랜지스터(P1)의 게이트에 입력 신호를 인가하고, nMOS 트랜지스터(N1)의 게이트는 프리차지 신호 단자(PR)에 접속하고, pMOS 트랜지스터(P2)의 게이트는 프리차지 신호의 반전 신호 단자(XPR)에 접속하고, nMOS 트랜지스터(N2)의 게이트는 P1과 N1의 드레인으로 이루어지는 중간 노드(A)에 접속하고,

입력 신호($S_{IN}$)를 프리차지 신호로서 각 지연 소자에 입력하고, 이것이 하이 레벨로 유지되어 있을 때, 노드(A)가 로우 레벨, 출력 단자(OUT)가 하이 레벨의 프리차지 상태에 있고, 입력 신호($S_{IN}$)의 하강 에지를 각 지연 소자에 의해 순차 전파하고, 지연 회로의 출력 단자로부터 지연 신호(OUTn)가 얻어지기 때문에, 간단한 회로 구성으로 스텝 폭이 작은 지연 시간이 얻어진다.

(제 2 실시예)

도 4는 본 발명과 관계되는 지연 회로의 제 2 실시예를 나타내는 회로도이다.

도시하는 바와 같이 본 실시예의 지연 회로는 도 1에 나타내는 제 1 실시예와 거의 마찬가지로 직렬로 접속되어 있는 n단의 지연 소자(DLY1A, DLY2A, … , DLYnA)에 의해 구성되어 있다. 각 지연 소자의 입력 단자(IN)는 전단의 지연 소자의 출력 단자(OUT)에 접속되어 있다. 처음 단의 지연 소자(DLY1A)의 입력 단자(IN)는 신호($S_{IN}$)의 반전 신호(SXIN)의 입력 단자에 접속되어 있다. 또한, 각 지연 소자(DLY1A, DLY2A, … , DLYnA)에 프리차지 신호 및 그 반전 신호의 입력 단자(PR, XPR)가 설치되어 있고, 각 지연 소자의 프리차지 신호의 입력 단자(PR)는 신호($S_{IN}$)의 입력 단자에 접속되고, 프리차지 신호의 반전 신호의 입력 단자(XPR)는, 신호($S_{IN}$)의 반전 신호($S_{XIN}$)의 입력 단자에 접속되어 있다.

도 4의 지연 회로를 구성하는 지연 소자의 일례를 도 5에 나타내고 있다. 지연 소자는 pMOS 트랜지스터(P1, P2) 및 nMOS 트랜지스터(N1, N2)에 의해 구성되어 있다.

pMOS 트랜지스터(P2)의 게이트는 프리차지 신호의 반전 신호의 입력 단자(XPR)에 접속되고, 소스는 전원 전압(VDD)에 접속되고, 드레인은 노드(A)에 접속되어 있다. nMOS 트랜지스터(N2)의 게이트는 입력 신호 단자(IN)에 접속되고, 드레인은 노드(A)에 접속되고, 소스는 접지되어 있다.

pMOS 트랜지스터(P1)의 게이트는 노드(A)에 접속되고, 소스는 전원 전압(VDD)에 접속되고, 드레인은 출력 단자(OUT)에 접속되어 있다. nMOS 트랜지스터(N1)의 게이트는 프리차지 신호의 입력 단자(PR)에 접속되고, 드레인은 출력 단자(OUT)에 접속되고, 소스는 접지되어 있다.

또한, pMOS 트랜지스터(P2)는 nMOS 트랜지스터(N2)보다 구동 능력이 크고, nMOS 트랜지스터(N1)는 pMOS 트랜지스터(P1)보다 구동 능력이 크게 설정되어 있다.

지연 소자의 입력 신호 단자(IN)에 로우 레벨의 신호, 프리차지 신호의 입력 단자(PR)에 하이 레벨의 신호, 그 반전 신호 단자(XPR)에 로우 레벨의 신호가 각각 입력되어 있을 때, pMOS 트랜지스터(P2), nMOS 트랜지스터(N1)가 도통 상태로 유지되고, nMOS 트랜지스터(N2), pMOS 트랜지스터(P1)가 비도통 상태로 유지되어 있기 때문에, 노드(A)가 전원 전압(VDD)에 의해 프리차지되어, 하이 레벨로 유지되고, 출력 단자(OUT)는 접지 전위(GND)로 유지된다.

입력 단자(IN)의 신호가 로우 레벨로부터 하이 레벨로 변화하고, 또한 프리차지 신호가 하이 레벨로부터 로우 레벨로 변화하고, 그 반전 신호가 로우 레벨로부터 하이 레벨로 변화하는 경우에, nMOS 트랜지스터(N2)가 도통 상태로 전환되고, pMOS 트랜지스터(P2)가 비도통 상태로 전환되기 때문에, 노드(A)는 방전되어, 하이 레벨로부터 로우 레벨로 변화한다. 노드(A)의 전위 변화에 따라서 pMOS 트랜지스터(P1)는 비도통 상태로부터 도통 상태로 전환되고, 또한 nMOS 트랜지스터(N1)가 로우 레벨의 프리차지 신호에 의해 비도통 상태로 전환되기 때문에, 지연 소자의 출력 단자(OUT)는 전원 전압(VDD)에 의해 충전되어, 로우 레벨로부터 하이 레벨로 전환된다.

지연 소자(DLY1A)에서 후단으로 이러한 변화가 순차 전파하고, 입력 신호의 하강 에지가 일정한 지연 시간을 거쳐서, 말단의 지연 소자의 출력 신호(OUTn)가 로우 레벨로부터 하이 레벨로 상승한다.

도 6은 도 4에 나타내는 지연 회로의 동작을 나타내는 파형도이다. 이하, 도 6을 참조하면서, 본 실시예의 지연 회로의 동작을 설명한다.

도 6에 나타낸 바와 같이, 초기 상태에서는 입력 신호($S_{IN}$)는 하이 레벨로 유지되고, 그 반전 신호($S_{XIN}$)는 로우 레벨로 유지되어 있다. 각 지연(DLY1A, DLY2A, … , DLYnA)에서, 노드(A)는 전원 전압(VDD) 레벨로 프리차지되고, 출력 신호(OUT1, OUT2, … , OUTn)는 로우 레벨로 유지되어 있다.

시간($t_0$)에서 입력 신호($S_{IN}$)는 하이 레벨에서 로우 레벨로 전환되고, 이것과 동시에, 반전 신호($S_{XIN}$)는 로우 레벨에서 하이 레벨로 전환된다. 지연 소자(DLY1A)에서, nMOS 트랜지스터(N2)는 비도통 상태로부터 도통 상태로 전환되고, 노드(A)는 방전되고, 로우 레벨로 전환된다. 이것에 따라서 pMOS 트랜지스터(P1)가 비도통 상태로부터 도통 상태로 전환되고, 출력 단자는 전원 전압(VDD)에 의해 충전되어, 로우 레벨로부터 하이 레벨로 전환된다. 즉, 입력 신호($S_{IN}$)의 하강 에지, 즉, 그 반전 신호($S_{XIN}$)의 상승 에지로부터 일정한 지연 시간을 거쳐서, 지연 소자(DLY1A)의 출력 신호(OUT1)가 로우 레벨로부터 하이 레벨로 상승한다. 지연 소자(DLY1A)의 후단에 있는 각 지연 소자(DLY2A, DLY3A, … , DLYnA)에서, 마찬가지로 입력 단자(IN)에 입력된 신호에 대하여 소정의 지연 시간을 부여하여 지연 신호가 출력된다.

여기서, 각 지연 소자는 입력 신호에 대하여 동일하게 지연 시간($t_D$)을 부여한다고 하면, 지연 소자(DLY1A, DLY2A, … , DLYnA)의 출력 신호는, 입력 신호에 대하여 각각 $t_D$, $2t_D$, … , $nt_D$의 지연 시간이 주어진다. n단의 지연 소자에 의해 입력 신호($S_{IN}$)에 대하여 최대($nt_D$)의 지연 시간이 주어진다.

시간($t_1$)에서, 입력 신호($S_{IN}$)가 로우 레벨로부터 하이 레벨로 전환되고, 그 반전 신호($S_{XIN}$)는 하이 레벨로부터 로우 레벨로 전환된다. 이것에 따라서 지연 소자(DLY1A)에서 노드(A)는 로우 레벨로부터 하이 레벨로 변화하고, 출력 단자(OUT)는 하이 레벨로부터 로우 레벨로 변화한다.

다른 지연 소자(DLY2A, DLY3A, … , DLYnA)에서, 입력 신호($S_{IN}$)가 하이 레벨로, 그 반전 신호($S_{XIN}$)가 로우 레벨로 전환된 순간, 모든 트랜지스터(P1, P2, N1, N2)가 도통 상태가 되고, 이들의 트랜지스터에 일순간 관통 전류가 흐른다. 그러나, 상술한 바와 같이 각 트랜지스터의 크기가 다르도록 형성되고, 구동 능력이 다르기 때문에, 처음 단의 지연 소자(DLY1A)의 상태 변화의 순차 전파를 기다리지 않고서 각 지연 소자(DLY2A, DLY3A, … , DLYnA)에서 노드(A)의 전위가 상승하고, 출력 단자의 전위가 강하하다. 이 전위의 변화는 또한 nMOS 트랜지스터(N2)와 pMOS 트랜지스터(P1)의 구동 능력을 약하게 하게 되고, 그 결과, 처음 단의 지연 소자(DLY1A)의 신호 변화를 기다리지 않고서 모든 지연 소자(DLY1A, DLY2A, … , DLYnA)가 거의 동시에 변화하여, 출력 신호(OUT1, OUT2, … , OUTn)는 거의 동시에 로우 레벨로 전환된다.

그리고 시간($t_2$)에서, 입력 신호($S_{IN}$)는 하이 레벨로부터 로우 레벨로 변화하고 이것에 따라 각 지연 소자에 의해, 각각 소정의 지연 시간을 거쳐서 출력 신호(OUT1, OUT2, … , OUTn)가 로우 레벨로부터 하이 레벨로 변화한다.

도 7은 도 5에 나타내는 지연 소자의 상태 변화시의 파형을 나타내고 있다. 이 도면은 지연 소자의 입력 신호가 로우 레벨로부터 하이 레벨로 변화할 때, 노드(A) 및 출력 단자(OUT)의 레벨 변화를 나타내고 있다. 또한, 여기에서는 지연 소자의 프리차지 신호 입력 단자(PR)가 로우 레벨로 유지되고, 그 반전 신호의 입력 단자(XPR)가 하이 레벨로 유지되어 있다. 또한, 도 7의 파형도는, 노드(A)는 전원 전압(VDD)에 의해 프리차지되어, 하이 레벨로 유지되고, 출력 단자(OUT)는 로우 레벨로 유지되어 있다, 이른바 프리차지 상태를 초기 상태로 하여 지연 소자의 지연 동작을 나타내는 것이다.

도시하는 것같이, 입력 단자(IN)가 로우 레벨로 유지되어 있을 때, 노드(A)가 하이 레벨, 출력 단자(OUT)가 로우 레벨로 각각 유지되어 있다. 입력 단자(IN)에 인가된 신호의 레벨이 상승하고, 도시한 nMOS 트랜지스터(N1)의 문턱값 전압($V_{thn}$)을 초과한 경우, 노드(A)의 전위는 하이 레벨로부터 로우 레벨로 변화한다. 노드(A)의 전위가 pMOS 트랜지스터(P1)의 문턱값 전압($V_{thp}$)보다 낮게 되면, pMOS 트랜지스터(P1)가 도통 상태가 되어, 출력 단자(OUT)의 전위가 상승하고, 최종적으로 전원 전압(VDD) 레벨에 도달한다.

이와 같이 동작하는 지연 소자의 지연 시간($t_D$)는, 도 7에 나타내는 대로이다. 도 37에 나타내는 종래의 인버터가 2단 직렬로 구성된 지연 소자의 동작 파형과 비교하면, 본 실시예의 지연 소자의 지연 시간이 짧은 결과를 알 수 있다.

본 실시예의 지연 소자에서는 전단의 출력 단자에 후단의 지연 소자의 하나의 트랜지스터의 게이트만 접속되어, 각 지연 소자의 출력 단자의 부하 용량이 작다. 종래의 지연 소자에서는 전단의 출력 단자에 후단의 지연 소자의 두개의 트랜지스터의 게이트가 접속되어, 지연 소자의 부하 용량이 크다. 또한, 통상의 인버터에서는 입력 신호 전압이 거의 전원 전압(VDD)의 반의 레벨에 도달할 때 출력 신호 레벨이 변화하지만, 본 실시예의 지연 소자에서는, 트랜지스터의 문턱값 전압($V_{thp}$, $V_{thn}$)에서 출력 단자의 레벨이 변화한다. 이러한 이유들로 본 실시예의 지연 소자의 지연 시간이 종래의 인버터에 의해 구성된 지연 소자의 지연 시간보다 작고, 이것에 따라서 지연 시간의 세밀한 조정이 가능하다.

상술한 바와 같이, 본 실시예에 의하면, 복수의 지연 소자를 직렬 접속하여 지연 회로를 구성하고, 각 지연 소자를 pMOS 트랜지스터(P1)와 이것보다 구동 능력이 큰 nMOS 트랜지스터(N1), nMOS 트랜지스터(N2)와 이것보다 구동 능력이 큰 pMOS 트랜지스터(P2)에 의해 구성하고, nMOS 트랜지스터(N2)의 게이트에 입력 신호를 인가하고, pMOS 트랜지스터(P2)의 게이트는 프리차지 신호의 반전 신호의 입력 단자(XPR)에 접속하고, nMOS 트랜지스터(N1)의 게이트는 프리차지 신호의 입력 단자(PR)에 접속하고, pMOS 트랜지스터(P1)의 게이트는 P2과 N2의 드레인으로 이루어지는 중간 노드(A)에 접속하고, 입력 신호의 반전 신호($S_{XIN}$)를 프리차지 신호의 반전 신호로서 각 지연 소자에 입력하고, 입력 신호($S_{IN}$)가 하이 레벨로 유지되어 있을 때, 노드(A)가 하이 레벨, 출력 단자(OUT)가 로우 레벨의 상태에 있고, 입력 신호($S_{IN}$)의 하강 에지, 즉 반전 신호($S_{XIN}$)의 상승 에지를 각 지연 소자에 의해 순차 전파하고, 지연 회로의 출력 단자로부터 지연 신호(OUTn)가 얻어지기 때문에, 간단한 회로 구성으로 지연 회로를 형성할 수 있고, 또한 지연 스텝 폭이 작은 지연 시간이 얻어진다.

(제 3 실시예)

도 8은 본 발명과 관계되는 지연 회로의 제 3 실시예를 나타내는 회로도이다.

본 실시예는 지연 소자(DLY1B, DLY2B, … , DLYnB)와 선택기(SEL1, SEL2, … , SELn)에 의해 사다리 모양의 가변 지연 회로가 구성되어 있다. 각 지연 소자(DLY1B, DLY2B, … , DLYnB)는, 예를 들면 증폭 작용을 가지고 또한 입력과 출력의 논리 신호값이 반전하지 않는 지연 소자로 이루어진다. 각 선택기(SEL1, SEL2, … , SELn)는 지연 제어 신호(S1, S2, … , Sn)에 따라서 입력 단자(A, B)에 입력되는 2개의 신호 중 하나를 선택하여 출력 단자(OUT)로 출력한다.

도 8에 나타낸 바와 같이, 지연 소자(DLY1B, DLY2B, … , DLYnB)와 선택기(SEL1, SEL2, … , SELn)에 의해, 진행과 귀환의 두개의 경로가 구성되어 있다. 선택기(SEL1)의 입력 단자(A)는 신호($S_{IN}$)의 입력 단자(($T_{IN}$))에 접속되고, 입력 단자(B)는 지연 소자(DLY1B)의 출력 단자에 접속되어 있다. 지연 소자(DLY1B)의 입력 단자는 선택기(SEL2)의 출력 단자에 접속되어 있다. 선택기(SEL2)의 입력 단자(A)는 입력 단자($T_{IN}$)에 접속되고, 입력 단자(B)는 선택기(SEL3)의 출력 단자에 접속되어 있다.

지연 소자(DLY2B)의 입력 단자는 선택기(SEL2)의 입력 단자(A)와 함께 입력 단자($T_{IN}$)에 접속되어 있다. 선택기(SEL3)의 입력 단자(A)는 지연 소자(DLY2B)의 출력 단자에 접속되고, 입력 단자(B)는 지연 소자(DLY3B)의 출력 단자에 접속되어 있다. 지연 소자(DLY3B)의 입력 단자는 선택기(SEL4)의 출력 단자에 접속되어 있다. 지연 소자(DLY4B)의 입력 단자(A)는 지연 소자(DLY2B)의 출력 단자에 접속되고, 입력 단자(B)는 지연 소자(DLY5B)의 출력 단자에 접속되어 있다.

지연 회로의 이후의 부분도 마찬가지로 지연 소자와 선택기가 접속하여 구성되어 있다.

여기에서, 각 선택기(SEL1, SEL2, … , SELn)는, 지연 제어 신호(S1, S2, … , Sn)가 로우 레벨일 때 입력 단자(A)의 신호를 선택하여 출력 단자(OUT)로 출력하고, 하이 레벨일 때 입력 단자(B)의 신호를 선택하여 출력 단자(OUT)로 출력하는 것으로 한다. 이러한 지연 회로에 있어서, 디지털 신호인 지연 제어 신호(S1, S2, … , Sn)에 따라 입력 신호($S_{IN}$)의 반환 지점이 결정되고, 입력 신호($S_{IN}$)에 대하여 출력 신호($S_{OUT}$)의 지연 시간이 제어된다.

예를 들면, 지연 제어 신호(S1 내지 S3)가 하이 레벨, S4가 로우 레벨인 경우, 입력 신호($S_{IN}$)는 지연 소자(DLY2B)에서 지연되고, 선택기(SEL4)의 입력 단자(A)에 입력된다. 선택기(SEL4)에 의해, 지연 소자(DLY2B)의 출력 신호가 선택되어 지연 소자(DLY3B)에 입력된다. 또한, 선택기(SEL3, SEL2), 지연 소자(DLY1B), 선택기(SEL1)의 경로로 출력 신호($S_{OUT}$)로서, 출력 단자($T_{OUT}$)로 출력된다. 또한, 지연 제어 신호(S6) 이후의 각 신호(S6 내지 Sn)는 지연 회로의 지연 시간에 영향을 주는 일이 없기 때문에, 임의의 값으로 설정할 수 있다.

이와 같이 지연 제어 신호(S1, S2, … , Sn)의 각 비트를 설정함에 의해, 지연 회로의 지연 시간은 지연 소자(DLY1B, DLY2B, DLY3B, DLY4B)의 각각의 지연 시간의 합계가 된다.

필요한 지연 시간에 따라 지연 제어 신호(S1, S2, … , Sn)의 각 비트를 설정함에 의해, 출력 단자($T_{OUT}$)에서 소정의 지연 시간이 부여된 지연 신호($S_{OUT}$)가 얻어진다. 예를 들면, m단의 지연 소자의 지연 시간이 필요한 경우, 지연 제어 신호 중, S1 내지 Sm을 하이 레벨로 설정하고, Sm+ 1을 로우 레벨로 설정하면, 지연 회로의 출력 단자($T_{OUT}$)에서의 출력 신호($S_{OUT}$)는, 입력 신호($S_{IN}$)에 대하여 m단의 지연 소자의 합계 지연 시간으로 지연된 지연 신호가 된다.

도 32에 나타내는 종래의 가변 지연 회로와 비교하면, 본 실시예의 가변 지연 회로는 최소 지연 시간이 지연 단의 수에 영향을 받는 일이 없고, 또한 지연 제어 신호와 지연 시간의 선형 특성이 좋다. 예를 들면, 종래의 가변 지연 회로와 같이 n입력 1출력의 선택기로 지연 시간 시간을 제어하는 경우 최대 지연 단의 수(n)를 크게 하면 선택기 부분의 회로 구성이나 지연량이 변하고, 최소 지연 시간이 커져버린다. 최소 지연 시간을 바꾸지 않는 회로로 만들기 위해서는, 최대 지연 단의 수(n)를 크게 함에 따라 처음 단의 지연 선택 경로와 후단의 지연 선택 경로에서 배선 길이나 선택기에 필요한 게이트 단의 수가 달라져 버려, 지연 제어 신호에 대한 지연 시간의 선형 특성이 떨어진다.

본 실시예에 의하면, 지연 소자(DLY1B, DLY2B, … , DLYnB)와 선택기(SEL1, SEL2, … , SELn)를 사다리 모양으로 접속하고, 각 선택기에 입력하는 지연 제어 신호(S1, S2, … , Sn)에 의해 선택기를 제어하고, 신호 전파의 경로를 변화시키는 것에 의해 지연 회로의 지연 시간을 제어하기 때문에, 동일한 회로의 반복으로 지연 단의 수 증감에 용이하게 대응할 수 있고, 또한, 최대 지연 단의 수(n)가 최소 지연 시간에 영향을 주지 않고, 지연 제어 신호에 대하여 지연 시간의 선형 특성이 동일하게 유지된다. 또한, 칩 위의 신호의 입출력 위치가 고정되어, 회로의 설계 및 변경을 용이하게 행할 수 있다.

(제 4 실시예)

도 9는 본 발명과 관계되는 지연 회로의 제 4 실시예를 나타내는 회로도이다.

본 실시예에서는 지연 소자(DLY1a, DLY1b, DLY2a, DLY2b, … , DLYna, DLYnb)와 선택기(SEL1, SEL2, … , SELn)에 의해 사다리 모양의 가변 지연 회로가 구성되어 있다. 각 지연 소자(DLY1a, DLY1b, … , DLYna, DLYnb)는, 예를 들면 증폭 작용을 가지며 또한 입력과 출력의 논리 신호값이 반전하는 지연 소자로 이루어진다. 각 선택기(SEL1, SEL2. … , SELn)는 지연 제어 신호(S1, S2, … , Sn)에 따라 입력 단자(A, B)에 입력되는 2 신호 중 하나를 선택하여 출력 단자(OUT)로 출력한다.

도 9에 나타낸 바와 같이, 지연 소자(DLY1a, DLY1b, DLY2a, DLY2b, … , DLYna, DLYnb)와 선택기(SEL1, SEL2, … , SELn)에 의해, 진행과 귀환의 두개의 경로가 구성되어 있다. 선택기(SEL1)의 입력 단자(A)는 지연 소자(DLY1a)의 입력 단자와 함께 신호($S_{IN}$)의 입력 단자($T_{IN}$)에 접속되고, 입력 단자(B)는 지연 소자(DLY1b)의 출력 단자에 접속되어 있다. 지연 소자(DLY1b)의 입력 단자는 선택기(SEL2)의 출력 단자에 접속되어 있다. 선택기(SEL2)의 입력 단자(A)는 지연 소자(DLY1a)의 출력 단자에 접속되고, 입력 단자(B)는 지연 소자(DLY2b)의 출력 단자에 접속되어 있다.

지연 회로의 이후의 각 단(段)은, 동일한 구성을 가지며, 각 지연 소자와 선택기에 의해, 사다리 모양의 지연 회로가 구성되어 있다.

여기에서, 각 선택기(SEL1, SEL2, … , SELn)는, 지연 제어 신호(S1, S2, … , Sn)가 로우 레벨일 때 입력 단자(A)의 신호를 선택하여 출력 단자(OUT)로 출력하고, 하이 레벨일 때 입력 단자(B)의 신호를 선택하여 출력 단자(OUT)로 출력하는 것으로 한다. 이러한 지연 회로에서, 디지털 신호인 지연 제어 신호(S1, S2, … , Sn)에 따라서 입력 신호($S_{IN}$)의 반환 지점이 결정되고, 입력 신호($S_{IN}$)에 대하여 출력 신호($S_{OUT}$)의 지연 시간이 제어된다.

예를 들면, 지연 소자 4단에 해당하는 지연 시간이 필요한 경우, 지연 제어 신호(S1, S2, … , Sn) 중, S1, S2을 하이 레벨로 설정하고, 신호(S3)를 로우 레벨로 설정함에 의해, 입력 단자($T_{IN}$)에 입력한 신호($S_{IN}$)는 지연 소자(DLY1a, DLY2a)를 통해, 선택기(SEL3)에 의해 되돌려지고, 출력 단자($T_{OUT}$)로 출력되기 때문에, 지연 회로의 지연 시간은 지연 소자(DLY1a, DLY2a, DLY2b, DLY1b)의 각각의 지연 시간의 합계가 된다.

일반적으로, 지연 소자 2m단에 해당하는 지연 시간이 필요한 경우에는, 지연 제어 신호(S1 내지 Sm)까지는 하이 레벨로 설정하고, 지연 제어 신호(Sm+ 1)를 로우 레벨로 설정함에 의해, 지연 회로에 의해 원하는 지연 시간이 얻어진다.

상술한 바와 같이, 본 실시예에 의하면, 지연 소자(DLY1a, DLY1b, DLY2a, DLY2b, … , DLYna, DLYnb)와 선택기(SEL1, SEL2, … , SELn)를 사다리 모양으로 접속하고, 각 선택기에 입력하는 지연 제어 신호(S1, S2, … , Sn)에 의해 선택기를 제어하고, 신호 전파의 경로를 변화시키는 것에 의해 지연 회로의 지연 시간을 제어하기 때문에, 같은 회로의 반복으로 지연 단의 수 증감에 용이하게 대응할 수 있고, 또한, 최대 지연 단의 수(n)가 최소 지연 시간에 영향을 주지 않고, 지연 제어 신호에 대하여 지연 시간의 선형 특성이 동일하게 유지되고, 칩 위의 비지연 신호의 입출력 위치도 고정할 수 있다.

(제 5 실시예)

도 10은 본 발명과 관계되는 지연 회로의 제 5 실시예를 나타내는 회로도이다.

본 실시예의 지연 회로는 n개의 단에 해당하는 지연 소자(DLYW1, DLYW2, … , DLYWn)에 의해 구성되어 있다. 각 지연 소자(DLYW1, DLYW2, … , DLYWn)에는 프리차지 신호 입력 단자(PR), 그 반전 신호 입력 단자(XPR), 신호 입력 단자(IN1, IN2), 지연 신호 출력 단자(OUT1, OUT2)가 각각 설치되어 있다.

각 지연 소자의 프리차지 신호 입력 단자(PR)는 지연 회로의 입력 단자($T_{IN}$)에 접속되고, 그 반전 신호 입력 단자(XPR)는 인버터(INV1)의 출력 단자에 접속되어 있다. 인버터(INV1)의 입력 단자는 지연 회로의 입력 단자($T_{IN}$)에 접속되어 있다. 또한, 버퍼(BUF1, BUF2)는 입력 신호($S_{IN}$) 및 그 반전 신호를 증폭하고, 입력 단자($T_{IN}$) 및 인버터(INV1)의 출력 단자로부터 멀리 배치되어 있는 지연 소자로 공급되고 있는 프리차지 신호 및 그 반전 신호의 레벨을 일정하게 유지한다.

지연 소자(DLYW1)의 출력 단자(OUT1)는 지연 소자(DLYW2)의 입력 단자(IN1)에 접속되고, 지연 소자(DLYW1)의 입력 단자(IN2)는 지연 소자(DLYW2)의 출력 단자(OUT2)에 접속되고, 출력 단자(OUT2)는 지연 회로의 출력 단자($T_{OUT}$)에 접속되어 있다.

지연 소자(DLYW2)의 출력 단자(OUT1)는 지연 소자(DLYW3)의 입력 단자(IN1)에 접속되고, 입력 단자(IN2)는 지연 소자(DLYW3)의 출력 단자(OUT2)에 접속되어 있다.

지연 소자(DLYW3) 이후의 각 지연 단의 지연 소자도 마찬가지로 접속되어 있다. 최종단을 구성하는 지연 소자(DLYWn)에서, 출력 단자(OUT1)는 입력 단자(IN2)에 접속되어 있다.

이와 같이, 지연 소자(DLYW1, DLYW2, … , DLYWn)에 의해 지연 회로가 구성되어 있다. 지연 회로는 상하 두개의 신호 전파 경로를 가지며, 상방의 전파 경로에서 신호는 왼쪽에서 오른쪽으로, 하방의 전파 경로에서 신호는 오른쪽에서 왼쪽으로 전파되어 간다. 각 지연 소자에 지연 제어 신호(S1, S2, S3, S4, … , S2n-1, S2n)가 입력되고, 이 지연 제어 신호에 따라 지연 회로에서의 신호의 반환 지점이 설정되고, 신호의 전파 경로가 제어되고, 입력 신호($S_{IN}$)에 대한 출력 신호($S_{OUT}$)의 지연 시간이 제어된다.

도 11은 지연 소자의 1 구성예를 나타내고 있다 도시하는 바와 같이, 본 예의 지연 소자는 도 2에 나타내는 본 발명의 제 1 실시예의 지연 소자를 상하 2단으로 배열하여 구성되어 있다. 상단의 부분에서, 입력 단자(IN1)에 입력된 신호에 소정의 지연 시간을 주어 출력 단자(OUT1)로 출력하고, 하단의 부분에서, 입력 단자(IN2)에 입력된 신호에 소정의 지연 시간을 주어 출력 단자(OUT2)로 출력한다. 또한, 상단의 입력 단자와 하단의 출력 단자(OUT2)의 사이에 nMOS 트랜지스터(N1)가 접속되고, 상단의 중간 노드(A)와 하단의 중간 노드(B)의 사이에 pMOS 트랜지스터(P1)가 접속되어 있다.

nMOS 트랜지스터(N1)의 게이트는 인버터(INVA)의 출력 단자에 접속되고, 인버터(INVA)의 입력 단자는 지연 제어 신호(SA)의 입력 단자에 접속되어 있다. pMOS 트랜지스터(P1)의 게이트는 지연 제어 신호(SB)의 입력 단자에 접속되어 있다.

지연 제어 신호(SA)가 하이 레벨로 유지되어 있을 때, nMOS 트랜지스터(N1)의 게이트에 로우 레벨의 신호가 인가되고, nMOS 트랜지스터(N1)가 비도통 상태에 있고, 입력 단자(IN1)에 입력된 신호는 중간 노드(A)를 통해 소정의 지연 시간으로 지연되어 출력 단자(OUT1)로 전파된다.

한편, 지연 제어 신호(SA)가 로우 레벨로 유지되어 있을 때, nMOS 트랜지스터(N1)의 게이트에 하이 레벨의 신호가 인가되고, nMOS 트랜지스터(N1)가 도통 상태로 유지되기 때문에, 입력 단자(IN1)에 입력된 신호는 지연 소자를 통하지 않고서 그대로 출력 단자(OUT2)로 출력된다.

지연 제어 신호(SB)가 하이 레벨로 유지되어 있을 때, pMOS 트랜지스터(P1)가 비도통 상태에 있고, 상단의 회로에 있어서 노드(A)의 신호는 출력 단자(OUT1)로 출력되고, 하단의 회로에서 입력 단자(IN2)에 입력된 신호가 중간 노드(B)를 통해 출력 단자(OUT2)로 출력된다.

한편, 지연 제어 신호(SB)가 로우 레벨로 유지되어 있을 때, pMOS 트랜지스터(P1)가 도통 상태로 유지되고, 상단의 중간 노드(A)와 하단의 중간 노드(B)가 도통되고, 상단의 중간 노드(A)의 신호는 하단의 중간 노드(B)로 전파되고, 하단의 출력 단자(OUT2)로 출력된다.

이와 같이, 지연 소자에 입력되는 지연 제어 신호(SA, SB)의 레벨을 설정함에 의해 지연 소자에 있어서의 신호의 전파 혹은 반환 동작이 제어되고, 하나의 지연 소자는 신호 지연과 선택의 양쪽의 기능을 공유한다. 이하, 도 10, 11을 참조하면서, 본 실시예의 지연 회로의 동작을 설명한다.

지연 회로가 동작하기 전에, 상단 및 하단의 회로가 각각 입력되는 프리차지 신호 및 그 반전 신호에 따라서 프리차지된다. 입력 단자에 입력되는 신호의 하강 에지가 각각 소정의 지연 시간을 거쳐서 출력 단자로 전파되어 간다.

예를 들면, 도 11에 나타내는 지연 소자에 있어서, 지연 제어 신호(SA, SB)가 동시에 하이 레벨로 유지되어 있을 때, 상단의 회로에서 입력 단자(IN1)에 입력된 신호가 지연 시간를 거쳐서 출력 단자(OUT1)로 출력된다. 방전시의 신호의 레벨의 변화는 상단의 입력 단자(IN1)로부터 출력 단자(OUT1)로 전달되고, 신호의 변화가 도 10에 나타낸 바와 같이 후단의 회로를 통해 되돌아와서, 하단의 입력 단자(IN2)에 입력되고, 하단의 회로에서 입력 단자(IN2)에 입력된 신호가 소정의 지연 시간을 거쳐서 출력 단자(OUT2)로 출력된다.

지연 제어 신호(SA)가 하이 레벨, 지연 제어 신호(SB)가 로우 레벨로 유지되어 있을 때, 상단의 중간 노드(A)와 하단의 중간 노드(B)가 접속된다. 이 경우, 상단의 입력 단자(IN1)에 입력되는 신호의 하강 에지에 따라서 상단 회로의 중간 노드(A)가 로우 레벨로부터 하이 레벨로 전환되고, 하단의 회로의 중간 노드(B)도 이것에 따라서 마찬가지로 레벨이 변화한다. 중간 노드(B)의 레벨 변화에 따라 하단의 출력 단자(OUT2)가 프리차지 상태의 하이 레벨로부터 방전 상태의 로우 레벨로 변화한다. 상기의 경우, 하단의 회로를 구성하는 pMOS 트랜지스터(P4)와 상단의 회로를 구성하는 pMOS 트랜지스터(P5), 하단의 회로를 구성하는 nMOS 트랜지스터(N3)와 상단의 회로를 구성하는 nMOS 트랜지스터(N5)가 각각 같은 크기로 형성된 경우, 출력 단자(OUT2)로 출력된 지연 신호의 지연 시간은 도 2에 나타내는 지연 소자 하나 분의 지연 시간과 같게 된다. 도 2에 나타내는 지연 소자의 지연 시간을 $t_D$로 하면, 이 경우, 입력 단자(IN1)에 입력된 신호에 대하여 출력 단자(OUT2)로부터 출력되는 지연 신호의 지연 시간은 $t_D$이다.

그 후 상단의 중간 노드(A)의 레벨 변화가 출력 단자(OUT1)를 통해 외부로 출력되고, 도 10에 나타낸 바와 같이 후단의 회로를 거쳐서 하단의 입력 단자(IN2)에 입력된다. 그러나 이 때 이미 하단의 중간 노드(B)가 하이 레벨로 되어 있어, 노드(B)의 레벨은 변화하지 않는다.

지연 제어 신호(SA)가 로우 레벨로 유지되어 있을 때, 상단의 입력 단자(IN1)와 하단의 출력 단자(OUT2)가 접속되고, 입력 단자(IN1)에 입력된 신호가 지연하지 않고 출력 단자(OUT2)로 출력된다.

즉, 지연 제어 신호(SA, SB)가 동시에 하이 레벨로 유지되어 있을 때, 상단과 하단의 회로는 각각 지연 소자로서 동작하므로, 입력 신호에 대하여 도 2에 나타내는 지연 소자 두개 분의 지연 시간을 부여한다.

지연 제어 신호(SA)가 하이 레벨, 지연 제어 신호(SB)가 로우 레벨로 유지되어 있을 때, 상단의 입력 단자(IN1)에 입력된 신호에 대하여 지연 소자 하나 분의 지연 시간을 부여하고, 지연 신호가 하단의 출력 단자(OUT2)로 출력된다.

지연 제어 신호(SA)가 로우 레벨로 유지되어 있을 때, 상단의 입력 단자(IN1)에 입력된 신호가 지연되는 일없이, 하단의 출력 단자(OUT2)로 출력된다.

이러한 지연 소자가 도 10에 나타낸 바와 같이 접속하여 구성된 지연 회로에서, 각 지연 소자(DLYW1, DLYW2, … , DLYWn)에 입력된 지연 제어 신호(S1, S2, S3, S4, … , S2n-1, S2n)를 제어함에 의해, 지연 회로의 지연 시간을 제어할 수 있다. 또한, 각 지연 소자(DLYW1, DLYW2, … , DLYWn)에서, 신호의 전파 경로를 제어하는 신호 선택 부분은 하나의 트랜지스터에 의해 구성되어, 회로의 구성이 간단하게 된다.

상술한 바와 같이, 본 실시예에 의하면, 상하 2개의 단으로 배열하여 구성된 지연 소자를 n개의 단으로 지연 회로를 구성하고, 각 지연 소자에 입력되는 지연 제어 신호에 따라 지연 회로에서의 신호의 전파 경로를 변화시켜, 지연 회로의 지연 시간을 제어하고, 각 지연 소자에 있어서의 신호 선택 회로는 하나의 트랜지스터에 의해 구성할 수 있기 때문에, 간단한 회로 구성으로 지연 소자 및 선택 회로의 양쪽의 기능을 실현할 수 있고, 회로 규모의 축소화를 실현할 수 있어, 논리 회로에 의해 구성된 선택 회로에 비교하여, 선택 회로에서의 신호의 지연량을 작게 억제할 수 있고, 지연 제어 신호와 지연 시간의 선형 특성이 우수한 지연 회로를 실현할 수 있다.

(제 6 실시예)

도 12는 본 발명과 관계되는 지연 회로의 제 6 실시예를 나타내는 회로도이다.

본 실시예는 상술한 제 3, 제 4 및 제 5 실시예의 가변 지연 회로에 지연 제어 신호(S1, S2, … , Sn)를 공급하는 회로이다.

상술한 바와 같이, 가변 지연 회로에 공급되는 지연 제어 신호의 각 비트의 값에 의해, 지연 회로에서의 신호의 전파 경로가 변화하여 지연 시간이 제어된다. 구체적으로, 지연 제어 신호(S1, S2, … , Sn)의 순서로 보아 최초의 로우 레벨의 비트에 의해 신호의 반환 지점이 결정되고, 이것에 따라 지연 시간이 설정된다.

또한, 실제의 응용에서는 지연 시간의 증감을 지시하는 업다운 신호($S_{UD}$)에 의해서 지연 제어 신호(S1, S2, … , Sn)를 생성하는 일이 종종 있다. 도 12는 이러한 지연 제어 신호 생성 회로의 일례를 나타내고 있다.

도시하는 바와 같이, 본 예의 생성 회로는 업다운 신호($S_{UD}$), 클록 신호(CLK)를 받고, 업다운 신호($S_{UD}$)의 지시에 따라서 가변 지연 회로의 지연 시간을 제어하는 지연 제어 신호(S1, S2, … , Sn)를 생성한다.

지연 제어 신호 생성 회로는 래치 회로(C1, C2, … , Cn)에 의해 구성되어 있다. 각 래치 회로는 업다운 신호($S_{UD}$), 클록 신호(CLK)를 받고, 또한 PXQ 단자로부터 전단의 래치 회로의 출력 신호(Q)의 반전 신호(XQ)를 받고, NXQ 단자로부터 후단의 래치 회로의 반전 신호(XQ)를 받고, 이들의 신호에 대하여 논리 연산을 행한 결과로 다음 출력을 결정하고, 클록 신호(CLK)의 1주기마다 지연 제어 신호의 지연 단의 수를 1단만큼 증감한다. 또한, 처음 단의 래치 회로(C1)의 PXQ 단자가 로우 레벨, 예를 들면 접지 전위(GND)로 유지되고, 최후단의 래치 회로(Cn)의 단자(NXQ)가 하이 레벨, 예를 들면 전원 전압(VDD) 레벨로 유지되어 있다.

도 13은 래치 회로의 1 구성예를 나타내고 있다. 도시하는 바와 같이, 래치 회로는 AND 게이트(G1), NOR 게이트(G2), D 플립플롭(D1)에 의해 구성되어 있다.

AND 게이트(G1)의 한쪽의 입력 단자는 업다운 신호($S_{UD}$)의 입력 단자(UP)에 접속되고, 다른쪽의 입력 단자는 후단의 래치 회로의 반전 출력 신호의 입력 단자(NXQ)에 접속되고, NOR 게이트(G2)의 한쪽의 입력 단자는 전단의 래치 회로의 반전 출력 신호의 입력 단자(PXQ)에 접속되고, 다른쪽의 입력 단자는 AND 게이트(G1)의 출력 단자에 접속되어 있다. D 플립플롭의 신호 입력 단자(D)는 NOR 게이트(G2)의 출력 단자에 접속되고, 클록 신호 입력 단자는 클록 신호(CLK)의 입력 단자(CK)에 접속되어 있다. D 플립플롭의 출력 단자(Q)에서 지연 제어 신호의 1비트가 출력되고, 출력 단자(XQ)에서 그 반전 신호가 출력된다.

여기에서, 지연 회로의 지연 시간을 증가시키는 경우에 외부 제어 회로에 의해 업다운 신호($S_{UD}$)가 로우 레벨로 설정되고, 지연 시간을 감소시키는 경우에 업다운 신호($S_{UD}$)가 하이 레벨로 설정되는 것으로 가정한다. 도 12에 나타내는 지연 제어 신호 생성 회로에서, 하나의 래치 회로만은 로우 레벨의 신호를 출력하고, 다른 래치 회로는 하이 레벨의 신호를 출력한다.

예를 들면, 초기 상태로서, 지연 제어 신호(S1, S2, … , Sn) 중 S1 내지 Sx는 하이 레벨, Sx+ 1 내지 Sn은 로우 레벨로 한다. 지연 시간을 증가시키기 위해서 외부 제어 회로에 의해 업다운 신호($S_{UD}$)가 로우 레벨로 유지되는 경우에, 클록 신호

(CLK)의 변화 타이밍, 예를 들면 상승 에지에 있어서, 래치 회로(Cx+1)의 출력 신호(Q)는 로우 레벨로부터 하이 레벨로 전환된다. 이것에 따라서 가변 지연 회로에서의 신호 전파 경로가 변화하고, 지연 단의 수가 증가하기 때문에, 지연 시간은 지연 소자의 1단에 해당하는 시간이 증가한다.

한편, 동일한 초기 상태에 있어서, 지연 시간을 감소시키기 위해서 외부 제어 회로에 의해 업다운 신호($S_{UD}$)가 하이 레벨로 유지되어 있는 경우에, 클록 신호(CLK)의 상승 에지에 있어서, 래치 회로(Cx-1)의 출력 신호(Q)는 하이 레벨로부터 로우 레벨로 전환된다. 이것에 따라 가변 지연 회로에서의 지연 단의 수가 감소하기 때문에, 지연 시간은 지연 소자 1단에 해당하는 지연 시간이 감소한다.

도 13에 나타내는 래치 회로에 있어서, 외부 제어 회로에 의해 업다운 신호($S_{UD}$)가 로우 레벨로 유지되어 있는 경우에, 전단의 래치 회로의 출력 신호에 따라 D 플립플롭(D1)에의 입력 신호 레벨이 결정된다. 예를 들면, 전단의 래치 회로에서 하이 레벨의 지연 제어 신호가 출력되고 있는 경우, PXQ 단자로부터 로우 레벨의 신호가 입력되고, NOR 게이트(G2)의 출력 단자는 하이 레벨로 유지되고, 클록 신호(CLK)의 상승 에지에서 D 플립플롭(D1)의 출력 단자(Q)가 하이 레벨로 전환된다. 이것에 따라, 가변 지연 회로에서의 신호 전파 경로의 지연 소자의 단의 수가 증가하고, 지연 시간이 증가한다.

한편, 외부 제어 회로에 의해 업다운 신호($S_{UD}$)가 하이 레벨로 유지되어 있는 경우에, 후단의 래치 회로의 출력 신호에 따라서 D 플립플롭(D1)의 출력 신호 레벨이 결정된다. 예를 들면, 후단의 래치 회로에서 로우 레벨의 지연 제어 신호가 출력되어 있는 경우, 단자(NXQ)에서 하이 레벨의 신호가 입력되고, AND 게이트(G1)로부터 하이 레벨의 신호가 출력되기 때문에, NOR 게이트(G2)의 출력 단자가 로우 레벨로 유지되고, 클록 신호(CLK)의 상승 에지에서 D 플립플롭(D1)의 출력 단자(Q)가 로우 레벨로 전환된다. 이것에 의해 가변 지연 회로에서의 신호 전파 경로의 지연 소자 단의 수가 감소하고 지연 시간이 감소한다.

또한, 상술한 지연 제어 신호를 생성하기 위한 래치 회로는 다수 존재하고, 도 13에 그 일례만 나타내고 있다. 여기에서, 예를 들면, "·"을 논리곱, "+ "을 논리합, INV(x)를 신호(x)의 논리 반전을 나타낸다고 하면, 다음 식에 나타내는 신호(y)를 생성하여, D 플립플롭(D1)에 공급하는 논리 회로를 가지는 것이면 무방하다.

수학식 1

$$y=INV(S_{UD}\cdot INV(\text{다음단의 Q}) + INV(\text{전단의 Q}))$$

도 14는 업다운 신호($S_{UD}$), 클록 신호(CLK)에 따라서 도 12에 나타내는 지연 제어 신호 생성 회로로부터 출력되는 지연 제어 신호(S1, S2, … , Sn)의 파형을 나타내고 있다. 도시하는 바와 같이, 지연 제어 신호(S1, S2, … , Sn) 중, S1, S2, S3이 하이 레벨, S4 내지 Sn이 로우 레벨의 초기 상태로부터 시작된다. 시간($t_1$)에서 클록 신호(CLK)가 상승하고, 이 때 업다운 신호($S_{UD}$)가 하이 레벨로 유지되어 있기 때문에, 지연 제어 신호(S3)가 하이 레벨로부터 로우 레벨로 전환된다. 또한 시간($t_2$)에 있어서 지연 제어 신호(S2)가 하이 레벨로부터 로우 레벨로 전환된다. 이것에 따라서 도 12에 나타내는 가변 지연 회로의 신호 전파 경로의 지연 소자수가 하나씩 감소하고, 지연 시간이 지연 소자 2개의 단에 해당하는 지연시간이 감소한다.

시간($t_3$)에 있어서, 업다운 신호($S_{UD}$)가 하이 레벨로부터 로우 레벨로 전환되고, 이것에 따라서 시간($t_4$)에서 클록 신호(CLK)가 상승하고, 지연 제어 신호(S2)가 로우 레벨로부터 하이 레벨로 전환된다. 또한, 시간($t_5$)에서 클록 신호(CLK)의 상승 에지에 따라서 지연 제어 신호(S3)가 로우 레벨로부터 하이 레벨로 전환된다. 이것에 의해, 가변 지연 회로의 신호 전파 경로의 지연 소자수가 하나씩 증가하고, 지연 시간이 지연 소자 2개의 단에 해당하는 지연 시간이 증가한다.

상술한 바와 같이, 본 실시예에 의하면, AND 게이트(G1), NOR 게이트(G2)로 이루어지는 논리 회로와 D 플립플롭(D1)에 의해 구성한 래치 회로(C1, C2, … , Cn)를 이용하여 지연 제어 신호 생성 회로를 구성하고, 각 래치 회로의 논리 회로는 전후단의 래치 회로의 출력 신호 및 지연 시간의 증감을 제어하는 업다운 신호($S_{UD}$), 동작 타이밍을 제어하는 클록 신호(CLK)에 따라서 동작하고, 업다운 신호($S_{UD}$)의 레벨에 따라서 각 래치 회로의 출력 신호를 제어하고, 이것을 받은 가변 지연 회로에서의 신호의 전파 경로를 변화시키는 것에 의해, 지연 시간을 제어하기 때문에, 업다운 신호($S_{UD}$)를 설정하는 것으로 가변 지연 회로에 의해 원하는 지연 시간이 얻어진다.

(제 7 실시예)

도 15는 본 발명과 관계되는 지연 회로의 제 7 실시예를 나타내는 회로도이다.

본 실시예는 상술한 본 발명의 제 6 실시예와 같이 가변 지연 회로에 지연 제어 신호(S1, S2, … , Sm)를 공급하는 지연 제어 신호 생성 회로이지만, 제 6 실시예와 달리 본 실시예에서는 SR 래치(SRLAT1, SRLAT2)와 NAND 게이트(G1, G2, G3, G4)에 의해 구성된 래치 회로(CS1, CS2, … , CSm)를 이용하여, 지연 제어 신호(S1, S2, … , S2m-1, S2m)를 생성한다.

도 16은 래치 회로의 1 구성예를 나타내고 있다. 도시하는 바와 같이, 본 예의 래치 회로는 SR 래치(SRLAT1, SRLAT2)와 NAND 게이트(G1, G2, G3, G4)에 의해 구성되고, 외부에서 지연 시간의 증감을 지시하는 제어 신호(CLA, PRA, CLB, PRB) 및 전단과 후단의 래치 회로의 출력 신호를 수신하여, 출력 신호(QA, QB)를 설정한다.

또한, 제어 신호(CLA, PRA, CLB, PRB)는 외부의 제어 회로에 의해 공급되고, 예를 들면, 가변 지연 회로에서 지연 소자의 단의 수가 우수이고 그곳으로부터 1개의 단의 지연 소자를 증가시키는 경우는 PRA에 펄스를 주고, 지연 단의 수가 우수 단이고 그곳으로부터 1단의 지연 소자를 감소시키는 경우는 CLB에 펄스를 주고, 지연 소자 단의 수가 기수의 단이고 그곳으로부터 1단의 지연 소자를 증가시키는 경우는 PRB에 펄스를 주고, 지연 소자 단의 수가 기수 단이고 그곳으로부터 1단의 지연 소자를 감소시키는 경우는 CLA에 펄스를 부여한다. 본 실시예의 지연 제어 신호 생성 회로는 이러한 제어 신호(CLA, PRA, CLB, PRB)에 따라 지연 제어 신호(S1, S2, … , S2m-1, S2m)를 생성하고, 가변 지연 회로에서의 지연 소자 단의 수를 증감시킨다.

NAND 게이트(G1, G2, G3, G4)는 각각 2개의 입력(A1, A2)을 가지는 NAND 게이트로서, NAND 게이트(G1)의 입력 단자(A1)는 래치 회로의 입력 단자(PQ)에 접속되고, 또 입력 단자(PQ)는 전단의 래치 회로의 출력 단자(QB)에 접속되어 있다. NAND 게이트(G1)의 입력 단자(A2)는 제어 신호(PRA)의 입력 단자에 접속되어 있다. NAND 게이트(G2)의 입력 단자(A1)는 제어 신호(CLA)의 입력 단자에 접속되고, 입력 단자(A2)는 SR 래치(SRLAT2)의 출력 단자(XQ)에 접속되어 있다. NAND 게이트(G1, G2)의 출력 단자는 각각 SR 래치(SRLAT1)의 입력 단자(XR, XS)에 접속되어 있다.

NAND 게이트(G3)의 입력 단자(A1)는 SR 래치(SRLAT1)의 출력 단자(Q)에 접속되고, 입력 단자(A2)는 제어 신호(PRB)의 입력 단자에 접속되어 있다. NAND 게이트(G4)의 입력 단자(A1)는 제어 신호(CLB)의 입력 단자에 접속되고, 입력 단자(A2)는 래치 회로의 입력 단자(NXQ)에 접속되어 있다. NAND 게이트(G3, G4)의 출력 단자는 각각 SR 래치(SRLAT2)의 입력 단자(XR, XS)에 접속되어 있다.

SR 래치(SRLAT1, SRLAT2)는 동일한 구성을 가지고 있고, 도 17은 그 구성을 나타내고 있다. 도시하는 바와 같이 SR 래치는 두개의 NAND 게이트(S1, S2)에 의해 구성되고, NAND 게이트(S1)의 한쪽의 입력 단자는 XR 단자에 접속되고, 다른쪽의 입력 단자는 NAND 게이트(S2)의 출력 단자에 접속되고, NAND 게이트(S2)의 한쪽의 입력 단자는 XS 단자에 접속되고, 다른쪽의 입력 단자는 NAND 게이트(S1)의 출력 단자에 접속되어 있다.

이러한 SR 래치에 있어서, 입력 단자(XR, XS)에 입력되는 신호의 레벨 변화, 여기에서는 하강 에지에서 출력 단자(XQ, Q)의 신호가 설정된다. 여기에서, 하이 레벨의 신호를 "1", 로우 레벨의 신호를 "0"으로 하여, 입력 신호(XR, XS)가 "10" 및 "01"인 경우, 출력 신호(XQ, Q)는 각각 "01" 및 "10"로 설정되고, 입력 신호가 "11"인 경우, 출력 신호는 전의 상태를 유지한다. 또한 입력 신호가 "00"인 경우, 출력 신호는 부정이 되므로, 이것은 금지 상태이다.

도 17에 나타내는 SR 래치 회로는 두개의 NAND 게이트(S1, S2)에 의해 구성되기 때문에, 도 16에 나타내는 래치 회로 전체는, 8개의 NAND 게이트에 의해 구성된다. 하나의 NAND 게이트를 4개의 MOS 트랜지스터에 의해 구성할 수 있기 때문에, 도 16에 나타내는 하나의 래치 회로는, 합계 32의 트랜지스터에 의해 구성된다.

도 18은 제어 신호(CLA, PRA, CLB, PRB) 및 이것에 따라서 설정되는 지연 시간 제어 신호(S1, S2, … , S2m-1, S2m)의 일부분의 파형을 나타내는 파형도이다. 이하, 도 15 및 도 18을 참조하면서, 본 실시예의 지연 제어 신호 생성 회로의 동작에 대하여 설명한다.

도 18에 나타낸 바와 같이, 초기 상태로서 S1(도시하지 않는다), S2, S3, S4, S5는 하이 레벨로 유지되고, S6 및 도시하지 않는 S7 이후의 신호는 로우 레벨로 유지되어 있다. 시간($t_0$)에서, 제어 신호(CLA)에 펄스가 주어지고 이것에 따라서 지연 제어 신호(S5)가 하이 레벨로부터 로우 레벨로 전환되기 때문에, 이것에 의해 제어되는 가변 지연 회로에서는 신호 전파 경로가 변화하여, 지연 소자 1단에 해당하는 지연 시간이 감소한다.

이어서, 시간($t_1$)에서, 제어 신호(CLB)에 펄스가 주어지고, 이것에 따라 지연 제어 신호(S4)가 하이 레벨로부터 로우 레벨로 전환되기 때문에, 가변 지연 회로의 지연 시간이 또한 지연 소자 1단에 해당하는 지연시간이 감소한다. 마찬가지로 시간($t_2$)에 있어서 제어 신호(CLA)에 펄스가 주어지고, 이것에 따라서 지연 제어 신호(S3)가 하이 레벨로부터 로우 레벨로 전환되기 때문에, 이것에 의해 제어되는 가변 지연 회로에서는 신호 전파 경로가 변화하고, 지연 소자 1단에 해당하는 지연 시간이 감소한다.

시간($t_3$)에 있어서, 제어 신호(PRA)에 펄스가 주어지고, 이것에 따라서 지연 제어 신호(S3)가 로우 레벨로부터 하이 레벨로 전환되기 때문에, 가변 지연 회로에서는 신호 전파 경로가 변화하고, 지연 소자 1단에 해당하는 지연 시간이 증가한다. 이어서 시간($t_4$)에 있어서 제어 신호(PRB)에 펄스가 주어지고, 이것에 따라 지연 제어 신호(S4)가 로우 레벨로부터 하이 레벨로 전환되기 때문에, 가변 지연 회로에서는 신호 전파 경로가 변화하고, 지연 소자 1단에 해당하는 지연 시간이 증가한다. 또한 시간($t_5$)에 있어서, 제어 신호(PRA)에 펄스가 주어지고, 이것에 따라 지연 제어 신호(S5)가 로우 레벨로부터 하이 레벨로 전환되기 때문에, 가변 지연 회로에서는 신호 전파 경로가 변화하고, 지연 소자 1단에 해당하는 지연 시간이 증가한다.

상술한 바와 같이, 본 실시예에 의하면, SR 래치(SRLAT1, SRLAT2) 및 NAND 게이트(G1, G2, G3, G4)로 이루어지는 래치 회로(CS1, CS2, … , CSm)를 이용하여 지연 제어 신호 생성 회로를 구성하고, 각 래치 회로는 전후단의 래치 회로의 출력 신호 및 지연 시간의 증감을 제어하는 제어 신호(CLA, PRA, CLB, PRB)를 수신하여, 지연 제어 신호(S1, S2, … , S2m-1, S2m)를 생성하고, 이것을 받아 가변 지연 회로에서의 신호의 전파 경로를 변화시키는 것에 의해, 지연 시간을 제어하기 때문에, 제어 신호(CLA, PRA, CLB, PRB)를 설정하는 것으로 가변 지연 회로에 의해 원하는 지연 시간이 얻어진다.

예를 들면, 카운터의 출력으로부터 논리 게이트로 이루어지는 디코더로 가변 지연 회로에 필요한 지연 제어 신호(S1 내지 Sn)를 만드는 방법에서는, 카운트값이 전환하는 때에 불필요한 결함(glitch) 발생하는 일이 있다. 본 제 6 및 제 7실시예의 지연 신호 생성 회로에 의하면, 이러한 방법에 비하여 결함 발생의 걱정이 없다. 또한, 지연 신호 생성 회로가 단순하고 또한 동일한 회로의 반복으로 실현할 수 있어, 카운터라든지 대 규모의 디코더 회로를 이용하는 일없이, 지연 회로의 지연 시간을 제어할 수 있다.

(제 8 실시예)

도 19는 본 발명과 관계되는 지연 회로의 제 8 실시예를 나타내는 회로도이다.

본 실시예는 도 15에 나타내는 지연 제어 신호 생성 회로를 구성하는 래치 회로(CS1, CS2, … , CSm)의 또 하나의 구성예를 나타내는 것이다.

도 19에 나타낸 바와 같이, 본 실시예의 래치 회로는 pMOS 트랜지스터(P1 내지 P8), nMOS 트랜지스터(N1 내지 N12)에 의해 구성되고, 1단의 래치 회로로서 합계 20개의 MOS 트랜지스터에 의해 구성할 수 있고, 도 16에 나타내는 래치 회로에 비교하면, 래치 회로를 구성하기 위한 MOS 트랜지스터 수가 대폭 감소된다.

pMOS 트랜지스터(P1)와 nMOS 트랜지스터(N3)의 게이트는 모두 노드(ND2)에 접속되고, nMOS 트랜지스터(N1)와 pMOS 트랜지스터(P2)의 게이트는 모두 제어 신호(PRA)의 입력 단자에 접속되어 있다. nMOS 트랜지스터(N2)의 게이트는 단자(PQ)에 접속되고, 전단의 래치 회로의 출력 단자(QB)에 접속되어 있다.

pMOS 트랜지스터(P3)와 nMOS 트랜지스터(N4)의 게이트는 모두 노드(ND1)에 접속되고, nMOS 트랜지스터(N5)와 pMOS 트랜지스터(P4)의 게이트는 모두 제어 신호(CLA)의 입력 단자에 접속되어 있다. nMOS 트랜지스터(N6)의 게이트는 노드(ND4)에 접속되어 있다.

pMOS 트랜지스터(P1, P3)의 소스는 모두 전원 전압(VDD)의 공급선에 접속되고, pMOS 트랜지스터(P1)의 드레인은 pMOS 트랜지스터(P2)의 소스와 접속되고, pMOS 트랜지스터(P2)의 드레인은 노드(ND1)에 접속되어 있다. nMOS 트랜지스터(N1, N3)의 드레인은 노드(ND1)에 공통으로 접속되고, nMOS 트랜지스터(N1)의 소스는 nMOS 트랜지스터(N2)의 드레인과 접속되고, nMOS 트랜지스터(N2, N3)의 소스는 접지되어 있다.

pMOS 트랜지스터(P3)의 드레인은 pMOS 트랜지스터(P4)의 소스에 접속되고, pMOS 트랜지스터(P4)의 드레인은 노드(ND2)에 접속되어 있다. nMOS 트랜지스터(N4, N5)의 드레인은 노드(ND2)에 공통으로 접속되고, nMOS 트랜지스터(N5)의 소스는 nMOS 트랜지스터(N6)의 드레인에 접속되고, nMOS 트랜지스터(N4, N6)의 소스는 접지되어 있다.

또한, pMOS 트랜지스터(P5 내지 P8), nMOS 트랜지스터(N7 내지 N12)는 상술한 부분과 거의 동일하게 접속되어 있다.

래치 회로의 출력 단자(QA)는 노드(ND2)에 접속되고, 출력 단자(XQA)는 노드(ND1)에 접속되어 있다. 또한 출력 단자(QB)는 노드(ND4)에 접속되고, 출력 단자(XQB)는 노드(ND3)에 접속되어 있다. 또한, 래치 회로의 출력 단자(QA)에서 지연 제어 신호의 기수 번째의 신호(S1, S3, … , S2m-1)가 출력되고, 출력 단자(QB)에서 지연 제어 신호의 우수 번째의 신호(S2, S4, … , S2m)가 출력된다.

이와 같이 구성된 래치 회로에서, 출력 단자(QA)에서 하이 레벨의 신호가 출력되고, 출력 단자(QB)에서 로우 레벨의 신호가 출력되는 초기 상태에서, 그 동작에 대하여 설명한다. 상기의 경우, 출력 단자(XQA)는 로우 레벨, 출력 단자(XQB)는 하이 레벨로 각각 유지되어 있다. 즉, 노드(ND1)는 로우 레벨, 노드(ND2)는 하이 레벨, 노드(ND3)는 하이 레벨, 노드(ND4)는 로우 레벨로 각각 유지되어 있다.

예를 들면, 도 18의 파형도에 나타낸 바와 같이, 제어 신호(CLA)에 양(+)의 펄스가 주어진 경우, nMOS 트랜지스터(N5)가 도통 상태가 된다, 또한, 이 때, 래치 회로의 출력 단자(XQB)에서 하이 레벨의 신호가 출력되고 있기 때문에, nMOS 트랜지스터(N6)도 도통 상태가 된다. 이것에 따라서 노드(ND2)는 하이 레벨로부터 로우 레벨로 전환되고, 이것에 따라서 pMOS 트랜지스터(P1, P2)가 동시에 도통 상태가 되고, 노드(ND1)는 로우 레벨로부터 하이 레벨로 전환된다.

즉, 래치 회로의 출력 단자(QA)는 하이 레벨로부터 로우 레벨로 전환된다. 래치 회로의 출력 신호에 의해 제어되고 있는 가변 지연 회로에서, 지연 시간이 지연 소자 1단에 해당하는 감소한다.

이어서, 상술한 설명과 동일한 초기 상태, 즉, 출력 단자(QA)에서 하이 레벨의 신호가 출력되고, 출력 단자(QB)에서 로우 레벨의 신호가 출력되고 있을 때, 제어 신호(PRB)에 양(+)의 펄스 신호가 주어진 경우의 동작에 대하여 설명한다. 이 때, nMOS 트랜지스터(N7)가 비도통 상태로부터 도통 상태로 전환되고, 또한, nMOS 트랜지스터(N8)도 도통 상태에 있으므로, 노드(ND3)가 하이 레벨로부터 로우 레벨로 전환된다. 이것에 따라서 pMOS 트랜지스터(P7)가 비도통 상태로부터 도통 상태로 전환되고, 또한, pMOS 트랜지스터(P8)도 도통 상태에 있으므로, 노드(ND4)가 로우 레벨로부터 하이 레벨로 전환된다.

즉, 래치 회로의 출력 단자(QB)는 로우 레벨로부터 하이 레벨로 전환된다. 래치 회로의 출력 신호에 의해 제어되어 있는 가변 지연 회로에서, 지연 시간이 지연 소자 1단에 해당하는 증가한다.

상술한 바와 같이, 본 실시예에 의하면, 지연 제어 신호 생성 회로를 구성하는 각 래치 회로를 각각 20개의 MOS 트랜지스터에 의해 구성되고, 상술한 본 발명의 제 7 실시예에 비교하면, 래치 회로를 구성하기 위한 MOS 트랜지스터의 수를 감소할 수 있어, 지연 제어 신호 생성 회로 전체의 구성을 간단화할 수 있다.

(제 9 실시예)

도 20은 본 발명과 관계되는 지연 회로의 제 9 실시예를 나타내는 회로도이다.

본 실시예는 상술한 제 8 실시예와 같이, 지연 제어 신호 생성 회로를 구성하는 래치 회로의 또 하나의 회로 예를 나타내고 있다. 다만, 본 실시예에서는 래치 회로를 구성하는 pMOS 트랜지스터 및 nMOS 트랜지스터의 구동 능력을 조정함에 의해, 도 19에 나타내는 제 8 실시예에 비교하여 또한 MOS 트랜지스터의 수를 감소할 수 있는 래치 회로를 실현한다.

도 20에 나타낸 바와 같이, pMOS 트랜지스터(P1, P3, P5, P7)의 구동 능력을 N1, N2, N5, N6, N7, N8, N11, N12보다 충분히 작게 설정하고, pMOS 트랜지스터(P2, P4, P6, P8)의 각 트랜지스터의 소스와 드레인이 접속되어 있던 배선을 단락하면, 도 19의 래치 회로에 있는 pMOS 트랜지스터(P2, P4, P6, P8)를 삭제하는 것이 가능하여, 래치 회로를 구성하는 트랜지스터 수가 더욱 감소한다.

(제 10 실시예)

도 21은 본 발명과 관계되는 발진 회로의 제 1 실시예를 나타내는 회로도이다.

도시하는 바와 같이, 본 실시예의 발진 회로는, 도 1에 나타내는 지연 회로의 제 1 실시예를 이용하여 실현한 것이다. 여기에서는, 회로의 동일한 구성 부분은 같은 부호를 이용하여 표기하고, 또한 이하의 설명에 있어서는, 지연 소자(DLY1, DLY2, … , DLYn)로 이루어지는 지연 회로 부분에 대하여 생략한다.

지연 회로의 최후단의 지연 소자(DLYn)의 출력 신호(CKn)는 NAND 게이트(NGT1)를 통해, 지연 회로의 입력 단자로 귀환되어, 환상 발진 회로(링 오실레이터)가 구성되어 있다. NAND 게이트(NGT1)의 한쪽의 입력 단자는 지연 소자(DLYn)의 출력 단자(OUT)에 접속되고, 다른쪽의 입력 단자는 발진 회로의 동작/정지 상태를 제어하는 제어 신호($S_{ON}$)의 입력 단자에 접속되어 있다.

제어 신호($S_{ON}$)가 로우 레벨로 유지되어 있을 때, NAND 게이트(NGT1)의 출력 단자가 하이 레벨로 유지되고, 각 지연 소자(DLY1, DLY2, … , DLYn)의 출력 신호(CK1, CK2, … , CKn)는 전부 하이 레벨로 유지되고, 발진 회로는 정지 상태로 설정된다.

한편, 제어 신호($S_{ON}$)가 하이 레벨로 유지되어 있을 때, NAND 게이트(NGT1)의 출력 단자에 지연 소자(DLYn)의 출력 신호(CKn)의 반전 신호가 출력되고, 이것이 지연 회로의 입력 신호로서 지연 소자(DLY1)의 입력 단자(IN)에 입력되어, 발진 회로는 동작 상태로 설정되고, 각 지연 소자(DLY1, DLY2, … , DLYn)에서 클록 신호(CK1, CK2, … , CKn)가 각각 출력된다.

도 22는 도 21에 나타내는 발진 회로가 동작하는 때의 출력 신호를 나타내고 있다. 도시하는 바와 같이, 발진 회로 동작시에, 지연 회로를 구성하는 각 지연 소자(DLY1, DLY2, … , DLYn)에서 각각 듀티가 다른 클록 신호(CK1, CK2, … , CKn)가 얻어진다.

상술한 바와 같이, 본 실시예에 의하면, 복수의 지연 소자(DLY1, DLY2, … , DLYn)에 의해 지연 회로를 구성하고, 마지막단의 지연 소자(DLYn)에서의 출력 신호를 NAND 게이트(NGT1)를 통해, 그 반전 신호를 처음 단의 지연 소자(DLY1)의 입력 단자에 입력시켜, 링 오실레이터를 구성하기 때문에, 듀티비가 다른 복수의 클록 신호(CK1, CK2, … , CKn)를 동시에 얻을 수 있다.

(제 11 실시예)

도 23은 본 발명과 관계되는 발진 회로의 제 2 실시예를 나타내는 회로도이다.

본 실시예의 발진 회로는, 도 8에 나타내는 지연 회로를 이용하여 구성되어 있다.

도시하는 바와 같이, 본 예의 발진 회로는 NAND 게이트(NGT1) 및 지연 소자(DLY1, DLY2, … , DLYn)과 선택기(SEL1, SEL2, … , SELn)으로 이루어지는 가변 지연 회로에 의해 구성되어 있다. 선택기(SEL1, SEL2, … , SELn)에 입력되는 지연 제어 신호(S1, S2, … , Sn)에 따라서 지연 회로의 지연 시간이 제어되고, 발진 회로의 발진 주파수가 제어된다.

지연 회로를 구성하는 선택기(SEL1)의 출력 신호($S_{OUT}$)가 NAND 게이트(NGT1)의 한쪽의 입력 단자에 입력되고, NAND 게이트(NGT1)의 출력 신호($S_{IN}$)는 지연 회로의 입력 신호로서 지연 회로에 입력된다. NAND 게이트(NGT1)의 다른쪽의 입력 단자는 발진 회로의 동작/정지 상태를 제어하는 제어 신호($S_{ON}$)의 입력 단자에 접속되어 있다.

제어 신호($S_{ON}$)가 로우 레벨로 유지되어 있을 때, NAND 게이트(NGT1)의 출력 단자가 하이 레벨로 유지되어, 발진 동작이 정지 상태로 설정되고, 제어 신호($S_{ON}$)가 하이 레벨로 유지되어 있을 때, NAND 게이트(NGT1)의 출력 단자로부터 지연 회로의 출력 신호($S_{OUT}$)의 반전 신호($S_{IN}$)가 출력되고, 반전 신호($S_{IN}$)가 또한 지연 회로에 입력되기 때문에, 환상 발진 회로에서 발진 동작이 행하여진다.

선택기(SEL1, SEL2, … , SELn)에 입력되는 지연 제어 신호(S1, S2, … , Sn)에 의해, 지연 회로의 지연 시간이 제어되고, 이것에 따라서 발진 회로의 발진 주파수가 제어된다. 즉, 가변 지연 회로에 의해 주파수 가변인 발진 회로를 구성 할 수 있다. 예를 들면, 지연 제어 신호(S1, S2, … , Sn)에 의해 지연 시간이 작게 설정될 때, 발진 주파수가 커지고, 반대로 지연 시간이 크게 설정될 때, 발진 주파수가 작게 된다.

상술한 바와 같이, 본 실시예에 의하면, 지연 소자(DLY1, DLY2, … , DLYn)와 선택기(SEL1, SEL2, … , SELn)에 의해 구성되는 가변 지연 회로와 NAND 게이트(NGT1)에 의해 환상 발진 회로를 구성하고, 선택기(SEL1, SEL2, … , SELn)에 입력되는 지연 시간 제어 신호(S1, S2, … , Sn)에 의해 지연 회로의 지연 시간을 제어함에 의해 발진 주파수를 제어하기 때문에, 디지털 신호에 의해 발진 주파수를 설정할 수 있는 발진 회로를 실현할 수 있어, 같은 회로의 반복으로 지연 단의 수의 증감에 용이하게 대응할 수 있고, 또한 지연 소자의 단의 수를 늘리는 회로 레이아웃 상의 신호의 출력 단자의 위치가 변화하지 않는다. 또한, 최대 지연 단의 수(n)가 최소 지연 시간에 영향을 주지 않고, 지연 제어 신호에 대하여 지연 시간의 선형 특성이 동일하게 유지되기 때문에, 지연 제어 신호에 대한 발진 주파수의 선형 특성이 좋고, 최대 발진 주파수를 크게 설정할 수 있다.

(제 12 실시예)

도 24는 본 발명과 관계되는 발진 회로의 제 3 실시예를 나타내는 회로도이다.

본 실시예의 발진 회로는, 도 9에 나타내는 지연 회로를 사용하여 구성되어 있다.

도시하는 바와 같이, 본 예의 발진 회로는 NAND 게이트(NGT1) 및 지연 소자(DLY1a, DLY1b, DLY2a, DLY2b, … , DLYnA, DLYnb)와 선택기(SEL1, SEL2, … , SELn)로 이루어지는 가변 지연 회로에 의해 구성되어 있다. 선택기(SEL1, SEL2, … , SELn)에 입력되는 지연 제어 신호(S1, S2, … , Sn)에 따라서 지연 회로의 지연 시간이 제어되고, 발진 회로의 발진 주파수가 제어된다.

또한, 지연 회로의 구성 요소의 다른 점을 제외하면, 본 실시예는 도 23에 나타내는 발진 회로의 제 2 실시예와 거의 동일한 구성을 가지고 있고, 따라서 상술한 제 2 실시예의 발진 회로와 거의 같은 효과를 가진다.

(제 13 실시예)

도 25는 본 발명과 관계되는 발진 회로의 제 4 실시예를 나타내는 회로도이다.

본 실시예의 발진 회로는, 도 10에 나타내는 지연 회로를 이용하여 구성되어 있다.

도시하는 바와 같이, 본 예의 발진 회로는 NAND 게이트(NGT1) 및 지연 소자(DLYW1, DLYW2, … , DLYWn)로 이루어지는 가변 지연 회로에 의해 구성되어 있다. 지연 소자(DLYW1, DLYW2, … , DLYWn)의 구성은 도 11에 나타나고 있고, 이들의 지연 소자에 의해 구성된 가변 지연 회로의 구성 및 동작에 관하여는, 지연 회로의 제 5 실시예에서 이미 상세하게 설명하고 있으므로, 여기에서는 지연 회로의 부분에 대하여 설명을 생략한다.

지연 회로의 출력 신호($S_{OUT}$)는 NAND 게이트(NGT1)의 한쪽의 입력 단자에 입력되고, NAND 게이트(NGT1)의 다른쪽의 입력 단자에 발진 회로의 동작/정지 상태를 제어하는 제어 신호($S_{ON}$)의 입력 단자가 접속되어 있다. NAND 게이트(NGT1)의 출력 신호($S_{OUT}$)는 지연 회로의 입력 신호로서 지연 회로에 입력된다.

각 지연 소자(DLYW1, DLYW2, … , DLYWn)는 지연과 선택의 양쪽의 기능을 구비하고 있고, 각각의 지연 소자에 입력되는 지연 제어 신호(S1, S2, S3, S4, … , S2n-1, S2n)에 따라서 지연 회로의 지연 시간이 제어되기 때문에, 이것에 따라 발진 회로의 발진 주파수가 제어된다.

상술한 바와 같이, 본 실시예에 의하면, NAND 게이트(NGT1)와 지연 소자(DLYW1, DLYW2, … , DLYWn)로 이루어지는 가변 지연 회로에 의해, 환상 발진 회로를 구성하고, 지연 제어 신호(S1, S2, S3, S4, … , S2n-1, S2n)에 따라 지연 회로의 지연 시간을 제어함에 의해 발진 회로의 발진 주파수를 제어하기 때문에, 디지털 신호에 따라서 발진 주파수를 제어할 수

있고, 또한, 지연 소자가 간단한 구성에 의해 지연과 선택 양쪽의 기능을 가지며, 최소 주파수 스텝 폭이 선택기의 지연 시간에 의해 커지는 정도가 적어진다. 또한, 회로를 구성하기 위한 트랜지스터 수라든지 면적의 축소화를 도모할 수 있는 이점이 있다.

(제 14 실시예)

도 26은 본 발명과 관계되는 발진 회로의 제 5 실시예를 나타내는 회로도이다.

본 실시예의 발진 회로는, 도 10에 나타내는 지연 회로를 두개 종렬 접속하여(cascade connecting) 구성되어 있다. 발진 신호(CK)의 출력을 두개의 지연 회로의 중간점에서 꺼내어, 두개의 출력 회로의 지연 시간을 독립적으로 제어함에 의해, 발진 주파수와 듀티비의 양쪽을 가변으로 한 발진 신호(CK)가 얻어진다.

도시하는 바와 같이, 지연 소자(ADLYW1, ADLYW2, … , ADLYWn) 및 지연 소자(BDLYW1, BDLYW2, … , BDLYWn)에 의해, 각각 두개의 지연 회로(10, 20)가 구성되고, 지연 회로(10)의 출력 신호($SA_{OUT}$)가 지연 회로(20)의 입력 신호로서, 지연 회로(20)에 입력된다. 지연 회로(20)의 출력 신호($SB_{OUT}$)는 NAND 게이트(NGT1)의 한쪽의 입력 단자에 입력되고, NAND 게이트(NGT1)의 다른쪽의 입력 단자에 발진 회로의 동작/정지 상태를 제어하는 제어 신호($S_{ON}$)가 입력된다.

NAND 게이트(NGT1)의 출력 신호($S_{IN}$)는 지연 회로(10, 20)의 각 지연 소자의 프리차지 신호로서, 각 지연 소자의 프리차지 신호 입력 단자(PR)에 입력된다. 또한, NAND 게이트(NGT1)의 출력 신호($S_{IN}$)는, 인버터(AINV1)를 통해 반전되어, 프리차지 신호의 반전 신호로서, 지연 회로(10)의 각 지연 소자의 단자(XPR)에 입력된다. 출력 신호($S_{IN}$)는 인버터(BINV1)를 통해 반전되어, 지연 회로(20)의 각 지연 소자의 단자(XPR)에 입력된다.

지연 회로(10)의 각 지연 소자(ADLYW1, ADLYW2, … , ADLYWn)에 지연 제어 신호(AS1, AS2, AS3, AS4, … , AS2n-1, AS2n)가 입력되고, 이들의 신호에 따라 지연 회로(10)의 지연 시간이 제어된다. 지연 회로(20)의 각 지연 소자(BDLYW1, BDLYW2, … , BDLYWn)에 지연 제어 신호(BS1, BS2, BS3, BS4, … , BS2n-1, BS2n)가 입력되고 이들의 신호에 따라 지연 회로(20)의 지연 시간이 제어된다. 지연 회로(10, 20)의 지연 시간은 각각의 지연 회로에 입력되는 지연 제어 신호에 따라 제어된다.

NAND 게이트(NGT1)에 로우 레벨의 제어 신호($S_{ON}$)가 입력되어 있을 때, NAND 게이트(NGT1)의 출력 신호($S_{IN}$)가 하이 레벨로 유지되고, 지연 회로를 구성하는 각 지연 소자의 출력 단자(OUT1, OUT2)가 하이 레벨로 유지되고, 발진 회로는 정지 상태로 설정된다.

제어 신호($S_{ON}$)가 하이 레벨이 되면, 단시간에 각 지연 소자(ADLYW1, ADLYW2, … , ADLYWn 및 BDLYW1, BDLYW2, … , BDLYWn)의 출력 단자(OUT1, OUT2)가 프리차지되고, BDLYW1의 출력 단자(OUT2)로부터의 출력 신호가 NAND 게이트(NGT1)에 입력된다. 입력 신호($S_{ON}$)가 하이 레벨인 경우는 그 변화가 NAND 게이트(NGT1)의 출력 단자로 전파되고, NAND 게이트(NGT1)의 출력 신호($S_{IN}$)가 로우 레벨이 된다. 또한 그 변화가 ADLYW1의 입력 단자(IN1)로부터 출력 단자로, 다음에 ADLYW2의 입력 단자(IN1)로부터 출력 단자(OUT1)로 순차 전파하여 간다. 여기서 지연 제어 신호(AS1, AS2, AS3, AS4, … , AS2n-1, AS2n)에 의해 설정된 지연 경로로 바이패스되면 이번은 역방향으로 지연 소자(ADLYW1)의 입력 단자(IN2)를 경유하여 출력 단자(OUT2)에 도달하고, 지연 회로(10)의 출력 신호($SA_{OUT}$)로서 출력된다. 지연 회로(20)의 각 지연 소자(BDLYW1, BDLYW2, … , BDLYWn)에서, 먼저 과정과 동일하게 신호가 전파하고, 여기에서 지연 제어 신호(BS1, BS2, BS3, BS4, … , BS2n-1, BS2n)로 설정된 신호 경로로 신호가 지연된 후, 지연 소자(BDLYW1)의 출력 단자(OUT2)에 도달하고, 지연 회로(20)의 출력 신호($SB_{OUT}$)로서 NAND 게이트(NGT1)에 입력되기 때문에, NAND 게이트(NGT1)의 출력 단자가 로우 레벨로부터 하이 레벨로 변화하고, 지연 회로(10, 20)를 구성하는 각 지연 소자가 또한 프리차지 상태로 된다.

상기와 같은 신호 전파에 의해 링 발진이 행하여진다, 지연 회로(10)의 출력 신호($SA_{OUT}$)가 발진 신호(CK)로서 외부로 출력된다. 따라서, 발진 신호(CK)의 전후의 지연량의 합, 즉, 지연 회로(10)와 (20)의 지연 시간의 합으로 발진 회로의 발진 주파수가 결정된다.

또한, 발진 신호(CK)의 출력 단자의 전후의 하이 레벨로부터 로우 레벨로의 지연량을 지연 제어 신호(AS1, AS2, AS3, AS4, … , AS2n-1, AS2n 및 BS1, BS2, BS3, BS4, … , BS2n-1, BS2n)에 의해 독립적으로 제어할 수 있기 때문에, 발진 신호(CK)의 듀티비가 제어 가능하다.

상술한 바와 같이, 본 실시예에 의하면, 지연 소자(ADLYW1, ADLYW2, … , ADLYWn 및 BDLYW1, BDLYW2, … , BDLYWn)로 이루어지는 지연 회로(10, 20)를 종렬 접속하여 지연 회로를 구성하고, 지연 회로(20)의 출력 신호($SB_{OUT}$)를 NAND 게이트(NGT1)에 입력하고, NAND 게이트(NGT1)의 출력 신호($S_{IN}$)를 또한 지연 회로(10)에 입력하고, 지연 회로(10, 20)의 중간점, 즉 지연 회로(10)의 출력 단자로부터 출력 신호($SA_{OUT}$)를 꺼내어, 발진 신호(CK)로서 출력하기 때문에, 지연 회로(10, 20)에 입력되는 지연 제어 신호를 각각 독립적으로 설정함에 의해, 발진 신호(CK)의 주파수 및 듀티비를 각각 제어하는 것이 가능하게 된다.

또한, 실제의 회로를 LSI 상에서 레이아웃하는 경우, 최저 발진 주파수를 내리고자 하는 경우에는 각 지연 회로(10, 20)에서, 우측에 지연 소자를 추가함에 의해 실현할 수 있고, 이 때에 회로의 좌측에 변경을 가하는 것이 아니기 때문에, 최저 발진 주파수를 내리는 경우에, 즉 발진 주파수 가변 범위를 넓히는 때에 발생하기 쉬운 최고 발진 주파수의 저하라든지, 제어 신호에 대한 발진 주파수의 선형 특성의 저하 등의 문제를 회피할 수 있고, 발진 주파수의 스텝 폭의 감소와 가변 범위의 증가를 실현할 수 있다,

(제 15 실시예)

도 27 및 도 28은 본 발명과 관계되는 지연 회로 및 발진 회로를 구성하는 지연 소자의 다른 구성예를 나타내는 회로도이다.

도 27은 도미노 인버터에 의해 구성되어 있는 지연 소자의 일례를 나타내고 있다. 본 예의 지연 소자는, pMOS 트랜지스터(P1, P2, P3), nMOS 트랜지스터(N1, N2, N3)에 의해 구성되어 있다.

pMOS 트랜지스터(P1)의 소스는 전원 전압(VDD)의 공급선에 접속되고, 드레인은 pMOS 트랜지스터(P2)의 소스에 접속되어 있다. pMOS 트랜지스터(P2)의 소스는 pMOS 트랜지스터(P1)의 드레인과 접속되고, 드레인은 노드(A)에 접속되어 있다. nMOS 트랜지스터(N1)의 드레인은 노드(A)에 접속되고, 소스는 접지되어 있다. pMOS 트랜지스터(P1)와 nMOS 트랜지스터(N1)의 게이트가 프리차지 신호의 입력 단자(PR)에 공통으로 접속되고, pMOS 트랜지스터(P2)의 게이트가 지연 소자의 입력 단자(IN)에 접속되어 있다.

pMOS 트랜지스터(P3)의 소스는 전원 전압(VDD)의 공급선에 접속되고, 드레인은 지연 소자의 출력 단자(OUT)에 접속되어 있다. nMOS 트랜지스터(N2)의 드레인은 출력 단자(OUT)에 접속되고, 소스는 nMOS 트랜지스터(N3)의 드레인에 접속되어 있다. nMOS 트랜지스터(N3)의 드레인은 nMOS 트랜지스터(N2)의 소스에 접속되고, 드레인은 접지되어 있다. pMOS 트랜지스터(P3)와 nMOS 트랜지스터(N3)의 게이트가 프리차지 신호의 반전 신호의 입력 단자(XPR)에 접속되고, nMOS 트랜지스터(N2)의 게이트는 노드(A)에 접속되어 있다.

이 지연 소자에 있어서, 프리차지 신호 단자(PR)에 하이 레벨, 그 반전 신호 단자(XPR)에 로우 레벨의 신호가 입력되어 있을 때, nMOS 트랜지스터(N1) 및 pMOS 트랜지스터(P3)가 도통 상태로 유지되고, 노드(A)가 로우 레벨, 예를 들면 접지 전위(GND)로, 출력 단자(OUT)가 하이 레벨, 예를 들면 전원 전압(VDD) 레벨로 각각 유지되므로, 즉, 지연 소자가 프리차지 상태로 설정된다.

프리차지 후, 단자(PR)에 로우 레벨의 신호가 입력되고, 단자(XPR)에 하이 레벨의 신호가 입력된다. 이것에 따라서, nMOS 트랜지스터(N1) 및 pMOS 트랜지스터(P3)가 비도통 상태로 유지되고, 지연 소자의 프리차지 상태가 유지된다. 프리차지 상태가, 입력 단자(IN)에 입력되는 신호가 하이 레벨인 상태로 유지되고, 입력 신호가 하이 레벨로부터 로우 레벨로 전환될 때, pMOS 트랜지스터(P2) 및 nMOS 트랜지스터(N3)가 도통 상태가 되고, 노드(A)가 전원 전압(VDD)에 의해 충전되어, 하이 레벨로 전환되고, 이것에 따라서 nMOS 트랜지스터(N2)도 도통 상태가 되고, 출력 단자(OUT)는 방전되어, 로우 레벨로 전환된다. 입력 신호의 하강 에지로부터, 출력 신호의 하강 에지까지의 시간이 지연 소자의 지연 시간이 된다.

이와 같이, 본 예의 지연 소자는, 도 2에 나타내는 지연 소자와 거의 같은 효과가 얻어지고, 지연 소자를 구성하는 트랜지스터의 수가 증가한 만큼, 지연값, 회로의 면적이 다소 증가하지만, 그 대신에 지연 소자 프리차지 시의 관통 전류가 감소하여, 회로의 소비 전력을 감소할 수 있다.

본 실시예의 지연 소자를 이용하여, 도 1에 나타내는 지연 회로를 구성하는 경우에, 예를 들면, 각 지연 소자의 프리차지 신호 단자(PR)가 입력 신호($S_{IN}$)의 단자에 접속되고, 프리차지 신호의 반전 신호의 입력 단자(XPR)가 입력 신호($S_{IN}$)의 반전 신호 단자에 접속되고, 처음 단의 지연 소자의 입력 단자(IN)는 입력 신호($S_{IN}$)의 단자에 접속되고, 이후의 각 지연 소자의 입력 단자(IN)는 전단의 지연 소자의 출력 단자(OUT)에 접속된다.

입력 신호($S_{IN}$)가 하이 레벨로 유지되어 있을 때, 각 지연 소자가 프리차지 상태로 설정되고, 그리고 입력 신호($S_{IN}$)의 하강 에지에 있어서, 처음 단의 지연 소자에서는 pMOS 트랜지스터(P1, P2)가 동시에 도통 상태에 있고, 노드(A)가 전원 전압(VDD)에 의해 충전되어, 하이 레벨로 유지된다. 이것에 따라서 nMOS 트랜지스터(N2)가 도통 상태로 유지되고, 또한 nMOS 트랜지스터(N3)도 도통 상태에 있으므로, 출력 단자(OUT)가 방전되어, 로우 레벨로 전환된다. 처음 단의 출력 단자의 레벨 변화에 따라, 다음단의 각 지연 소자가 순차 상태가 변화하고, 입력 신호($S_{IN}$)의 하강 에지는, 각 지연 소자를 거쳐서 최종단의 지연 소자의 출력 단자(OUT)에 전달된다.

상술한 바와 같이, 본 실시예에 의하면, pMOS 트랜지스터(P1, P2, P3) 및 nMOS 트랜지스터(N1, N2, N3)로 이루어지는 도미노 인버터에 의해 지연 소자를 구성하고, 지연 소자의 상태 변화시에 관통 전류의 발생을 억제할 수 있기 때문에, 본 실시예의 지연 소자에 의해 구성되는 지연 회로 및 발진 회로에서, 소비 전력의 절감을 실현할 수 있다.

도 28은 도미노 인버터에 의해 구성되어 있는 지연 소자의 다른 예를 나타내고 있다. 본 예의 지연 소자는, pMOS 트랜지스터(P1, P2, P3), nMOS 트랜지스터(N1, N2, N3)에 의해 구성되어 있다. 다만, 이들의 트랜지스터의 접속 관계는, 도 27에 나타내는 지연 소자와는 다르다.

본 예의 지연 소자에서는, 프리차지 신호가 로우 레벨일 때, pMOS 트랜지스터(P1)와 nMOS 트랜지스터(N3)가 동시에 도통 상태로 유지되고, 노드(A)가 하이 레벨, 출력 단자(OUT)는 로우 레벨로 각각 유지된다. 프리차지 신호가 하이 레벨로 유지되고, 또한 입력 단자(IN)에의 입력 신호가 로우 레벨로부터 하이 레벨로 전환될 때, nMOS 트랜지스터(N1, N2)가 동시에 도통 상태로 유지되고, 노드(A)가 방전되어, 그 전위가 로우 레벨로 전환된다. 이것에 따라서 pMOS 트랜지스터(P3)가 도통 상태로 전환되고, 또한 pMOS 트랜지스터(P2)도 도통 상태에 있으므로, 출력 단자(OUT)는 전원 전압(VDD)에 의해 충전되어, 하이 레벨로 전환된다.

이와 같이, 입력 단자(IN)에 입력되는 신호의 상승 에지가 지연 소자에 의해 지연된다.

또한, 도 28에 나타내는 지연 소자에 의해 지연 회로를 구성하는 경우에, 도 4에 나타내는 지연 회로가 적용할 수 있다. 각 지연 소자의 프리차지 신호 단자(PR)가 입력 신호($S_{IN}$)의 단자에 접속되고, 프리차지의 반전 신호의 입력 단자(XPR)가 입력 신호($S_{IN}$)의 반전 신호($S_{XIN}$) 단자에 접속된다. 처음 단의 지연 소자의 입력 단자(IN)는 입력 신호($S_{IN}$)의 반전 신호($S_{XIN}$)의 단자에 접속되고, 이후의 각 지연 소자의 입력 단자(IN)는 전단의 지연 소자의 출력 단자(OUT)에 접속된다.

(제 16 실시예)

도 29, 30, 31은, 본 발명과 관계되는 지연 회로 및 발진 회로를 구성하는 지연 소자의 다른 구성예를 나타내는 회로도이다.

본 실시예의 지연 소자에 의해, 예를 들면, 도 10에 나타내는 지연 회로를 구성하는 것에 의해, 지연 회로의 지연 시간은 지연 제어 신호(S1, S2, S3, S4, … , S2n-1, S2n)에 의해 설정되어, 가변 지연 회로를 실현할 수 있다.

도 29는 도미노 인버터를 이용하여 구성된 지연 소자의 일례를 나타내고 있다. 본 예의 지연 소자는, 도 11에 나타내는 지연 소자와 거의 동일한 구성을 가진다. 단, 본 예의 지연 소자는 도미노 인버터를 이용하여 구성되어 있다. 도시하는 바와 같이, 본 실시예는 2개의 지연 소자에 의해 구성되고, 상단의 지연 소자는 입력 단자(IN1)에 입력된 신호를 노드(A)를 통해 출력 단자(OUT1)로 출력한다. 하단의 지연 소자는, 입력 단자(IN2)에 입력된 신호를 노드(B)를 통해 출력 단자(OUT2)로 출력한다.

상단의 입력 단자(IN1)와 하단의 출력 단자(OUT2)의 사이에, nMOS 트랜지스터(N1)로 이루어지는 스위치 소자가 접속되어 있다. 지연 제어 신호 입력 단자(SA)에 로우 레벨의 제어 신호가 입력되어 있을 때, nMOS 트랜지스터(N1)의 게이트에

하이 레벨의 신호가 인가되어, nMOS 트랜지스터(N1)가 도통 상태로 유지되고, 상단의 입력 단자(IN1)와 하단의 출력 단자(OUT2)가 접속되고, 입력 단자(IN1)에 입력된 신호가 지연 시간이 주어지는 일없이, 그대로 하단의 출력 단자(OUT2)로 출력된다.

또한, 상단의 노드(A)와 하단의 노드(B)의 사이에 pMOS 트랜지스터(P1)로 이루어지는 스위치 소자가 접속되고, 지연 제어 신호 입력 단자(SB)에 로우 레벨의 제어 신호가 입력되어 있을 때, pMOS 트랜지스터(P1)가 도통 상태로 유지되고, 상단의 노드(A)와 하단의 노드(B)가 접속된다. 이 때, 지연 제어 신호 입력 단자(SA)에 하이 레벨의 제어 신호가 입력되어 있을 때, 상단의 입력 단자(IN1)에 입력된 신호가 노드(A), 노드(B)를 통해 하단의 출력 단자(OUT2)로 출력된다. 상기의 경우, 하단의 출력 단자(OUT2)로 출력된 신호가 지연 소자 1단에 해당하는 지연 시간을 부여하고 있다.

또한, 지연 제어 신호 입력 단자(SA, SB)의 양쪽에 하이 레벨의 제어 신호가 입력되어 있을 때, nMOS 트랜지스터(N1), pMOS 트랜지스터(P1)가 동시에 비도통 상태로 유지되고, 상기의 경우, 상단의 입력 단자(IN1)에 입력된 신호가 노드(A)를 통해 상단의 출력 단자(OUT1)로 출력되고, 또한, 후단에 접속되어 있는 다른 지연 소자에 의해 지연된 후, 하단의 입력 단자(IN2)에 입력된다. 입력 신호가 노드(B)를 통해 하단의 출력 단자(OUT2)로 출력된다. 즉, 상기의 경우, 상단 및 하단의 지연 소자에 의해 각각 입력 신호가 지연된다.

도 29에 나타내는 지연 소자는, 지연과 선택 양쪽의 기능을 가지며, 또한, 신호의 선택은 하나의 트랜지스터에 의해 실현할 수 있어, 선택기를 이용하여 구성되는 가변 지연 회로에 의해 회로의 구성이 간단하게 된다, 또한, 지연 소자의 상태 변화시에 관통 전류의 발생이 억제되어, 회로의 저소비 전력화을 도모할 수 있다.

도 30은 지연 소자의 또 하나의 구성예를 나타내고 있다. 본 예의 지연 소자는, 도 11에 나타내는 지연 소자를 개량한 것이고, 신호 전파 금지를 위한 nMOS 트랜지스터(N8)가 부가되어 있다.

도 11에 나타내는 지연 소자에 대하여, nMOS 트랜지스터(N5)와 접지 전위(GND)의 사이에, nMOS 트랜지스터(N8)가 부가되어 있다. nMOS 트랜지스터(N8)의 드레인은 nMOS 트랜지스터(N5)의 소스에 접속되고, 소스는 접지되어 있다. nMOS 트랜지스터(N8)의 게이트는 지연 제어 신호의 입력 단자(SA)에 접속되어 있다.

상술한 바와 같이, 지연 제어 신호 입력 단자(SA)에 로우 레벨의 신호가 입력되어 있을 때, nMOS 트랜지스터(N1)가 도통 상태로 유지되고, 상단의 입력 단자(IN1)와 하단의 출력 단자(OUT2)가 접속되고, 입력 단자(IN1)에의 입력 신호가 그대로 하단의 출력 단자(OUT2)로 출력된다. 이 때, 부가되어 있는 nMOS 트랜지스터(N8)가 비도통 상태로 유지되고 있기 때문에, 상단의 출력 단자(OUT1)가 하이 레벨, 예를 들면, 전원 전압(VDD) 레벨로 유지된다. 이것에 의해, 상단의 출력 단자(OUT1) 이후의 각 지연 소자의 상태가 변화하지 않아, 충전 및 방전에 따르는 소비 전력이 감소된다.

지연 제어 신호 입력 단자(SA)에 하이 레벨의 신호가 입력되어 있을 때, nMOS 트랜지스터(N8)가 도통 상태로 유지되고, 본 예의 지연 소자는 도 11에 나타내는 지연 소자와 같은 동작을 한다.

도 31은 지연 소자의 또 하나의 구성예를 나타내고 있다. 본 예의 지연 소자는, 도 29에 나타내는 지연 소자를 개량한 것이고, 신호 전파 금지를 위한 nMOS 트랜지스터(N8)가 부가되어 있다.

도시하는 바와 같이, 본 예의 지연 소자는, nMOS 트랜지스터(N8)가 부가된 점 이외에, 도 29에 나타내는 지연 소자와 거의 동일한 구성을 가진다. nMOS 트랜지스터(N8)를 부가함에 의해, 지연 제어 신호 입력 단자(SA)에 로우 레벨의 신호가 입력되고, 입력 신호가 도통 상태에 있는 nMOS 트랜지스터(N1)에 의해 바이패스되고, 하단의 출력 단자(OUT2)에 직접 출력되는 경우, nMOS 트랜지스터(N8)가 비도통 상태로 유지되고, 상단의 출력 단자(OUT1)가 하이 레벨, 예를 들면 전원 전압(VDD) 레벨로 유지된다. 이것에 따라, 상단의 출력 단자(OUT1)에 접속된 후속의 각 지연 소자에 있어서, 상태의 변화가 없어, 소비 전력의 감소를 실현할 수 있다.

지연 제어 신호 입력 단자(SA)에 하이 레벨의 제어 신호가 입력되어 있을 때, nMOS 트랜지스터(N8)가 도통 상태로 유지되고, 본 예의 지연 소자는, 도 29에 나타내는 지연 소자와 같이 동작한다.

상술한 바와 같이, 본 실시예에 의하면, 지연 소자에 상태 변화 금지용의 nMOS 트랜지스터(N8)를 부가하고, 지연 제어 신호에 따라서 nMOS 트랜지스터(N8)의 온/오프 상태를 제어함에 의해, 지연 제어 신호 입력 단자(SA)가 하이 레벨로 유지되어 있을 때, nMOS 트랜지스터(N8)가 도통 상태로 유지되어, 상단의 출력 단자(OUT1)가 상단의 입력 단자(IN1)에의 입력 신호에 따라 변화한다. 지연 제어 신호 입력 단자(SA)가 로우 레벨로 유지되어 있을 때, 상단의 입력 단자(IN1)에의 입

력 신호가 하단의 출력 단자(OUT2)로 바이패스되고, nMOS 트랜지스터(N8)가 비도통 상태로 유지되어 있기 때문에, 상단의 출력 단자(OUT1)가 프리차지되지만, 방전되는 일없이, 하이 레벨로 유지되어, 후단에의 신호의 전파가 멈춰지므로, 후단의 상태 변화에 따르는 불필요한 소비 전력이 억제할 수 있다.

### 발명의 효과

상술한 바와 같이, 본 발명의 지연 회로 및 이것을 이용한 발진 회로에 의하면, 지연 소자의 지연량이 작아서, 지연 시간을 보다 세밀하게 제어할 수 있다. 또한, 지연 회로의 최대 지연량을 지연 소자의 단의 수를 증감시키는 것으로 대처할 수 있고, 칩 위의 신호의 입출력 위치를 고정할 수 있고, 최소 지연 시간에 영향을 주는 일없이 최대 지연 시간을 설정할 수 있고, 디지털 제어 신호에 의해 지연 시간을 제어할 수 있고, 제어 신호에 대한 지연량의 선형 특성이 좋고, 노이즈에 강하다고 하는 이점이 있다.

또한, 본 발명에 의하면, 가변 지연 회로를 구성하기 위한 선택 회로를 1 트랜지스터에 의해 실현할 수 있어, 회로 구성의 간단화를 실현할 수 있고, 지연량의 선형 특성을 개선 실현할 수 있고, 또한, 지연량을 제어하는 지연 제어 신호의 생성 회로의 구성을 간단화할 수 있다. 또한, 본 발명의 지연 회로에 의해 구성된 발진 회로에서, 세밀한 스텝 폭으로 발진 주파수 및 듀티비를 조정할 수 있고, 발진 주파수 및 듀티비 양쪽을 제어할 수 있는 발진 회로를 실현할 수 있다.

또한, 본 발명에 의하면, 지연 소자에서 회로 규모를 증대시키지 않고, 소비 전력을 감소할 수 있는 이점이 있다.

## 도면의 간단한 설명

도 1은 본 발명과 관계되는 지연 회로의 제 1 실시예를 나타내는 회로도.

도 2는 제 1 실시예의 지연 소자의 회로도.

도 3은 제 1 실시예의 지연 회로의 파형도.

도 4는 본 발명과 관계되는 지연 회로의 제 2 실시예를 나타내는 회로도.

도 5는 제 2 실시예의 지연 소자의 회로도.

도 6은 제 2 실시예의 지연 회로의 파형도.

도 7은 지연 소자의 지연 시간을 나타내는 파형도.

도 8은 본 발명과 관계되는 지연 회로의 제 3 실시예를 나타내는 회로도.

도 9는 본 발명과 관계되는 지연 회로의 제 4 실시예를 나타내는 회로도.

도 10은 본 발명과 관계되는 지연 회로의 제 5 실시예를 나타내는 회로도.

도 11은 제 5 실시예의 지연 회로를 구성하는 지연 소자의 회로도.

도 12는 지연 제어 신호 생성 회로의 회로도.

도 13은 지연 신호 생성 소자의 회로도.

도 14는 지연 제어 신호 생성 회로의 파형도.

도 15는 지연 제어 신호 생성 회로의 다른 회로의 예를 도시하는 도면.

도 16은 래치 회로와 NAND 게이트로 이루어지는 지연 제어 신호 생성 소자의 회로도.

도 17은 래치 회로의 구성을 나타내는 회로도.

도 18은 지연 제어 신호 생성 회로의 파형도.

도 19는 지연 신호 생성 소자의 다른 구성예를 나타내는 회로도.

도 20은 지연 신호 생성 소자의 다른 구성예를 나타내는 회로도.

도 21은 본 발명과 관계되는 발진 회로의 제 1 실시예를 나타내는 회로도.

도 22는 발진 회로의 파형도.

도 23은 본 발명과 관계되는 발진 회로의 제 1 실시예를 나타내는 회로도.

도 24는 본 발명과 관계되는 발진 회로의 제 2 실시예를 나타내는 회로도.

도 25는 본 발명과 관계되는 발진 회로의 제 3 실시예를 나타내는 회로도.

도 26은 본 발명과 관계되는 발진 회로의 제 4 실시예를 나타내는 회로도.

도 27은 도미노 인버터로 이루어지는 지연 소자의 일례를 나타내는 회로도.

도 28은 도미노 인버터로 이루어지는 지연 소자의 다른 예를 나타내는 회로도.

도 29는 도미노 인버터로 이루어지는 상하 2개의 단(段)의 지연 소자의 일례를 나타내는 회로도.

도 30은 도미노 인버터로 이루어지는 상하 2개의 단의 지연 소자의 개량 예를 나타내는 회로도.

도 31은 도미노 인버터로 이루어지는 상하 2개의 단의 지연 소자의 다른 개량 예를 나타내는 회로도.

도 32는 종래의 가변 지연 회로의 회로도.

도 33은 종래의 주파수 가변 발진 회로의 회로도.

도 34는 DAC과 VCO로 이루어지는 종래의 주파수 가변 발진 회로의 회로도.

도 35는 스위치와 용량 소자로 이루어지는 종래의 주파수 가변 발진 회로의 회로도.

도 36은 인버터로 이루어지는 종래의 지연 소자의 회로도.

도 37은 종래의 지연 소자의 지연 시간을 나타내는 파형도.

*도면의 주요부분에 대한 부호의 설명*

DLY1, DLY2, … , DLYn; DLY1A, DLY2A, … , DLYnA; DLY1B, DLY2B, … , DLYnB : 지연 소자

SEL1, SEL2, … , SELn : 선택기

DLY1a, DLY1b, DLY2a, DLY2b, … , DLYna, DLYnb; DLYW1, DLYW2, … , DLYWn : 지연 소자

C1, C2, … , Cn; CS1, CS2, … , CSn : 지연 제어 신호 생성 소자

SRLAT1, SRLAT2 : 래치 회로

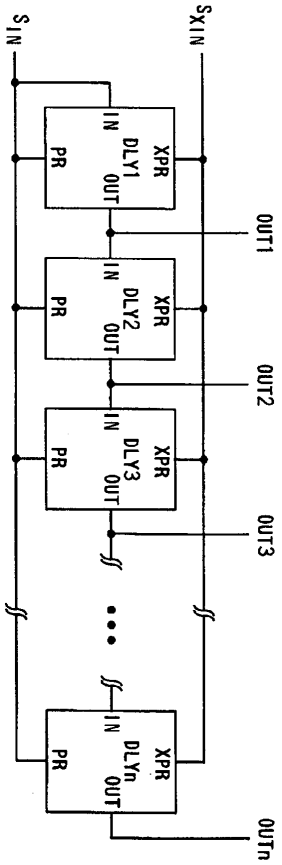
P1, P2, P3. P4, P5, P6, P7 … : pMOS 트랜지스터

N1, N2, N3, N4, N5, N6, N7, N8 … : nMOS 트랜지스터

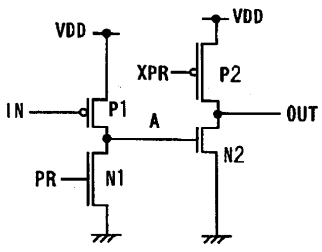
VDD: 전원 전압 GND: 접지 전위

도면

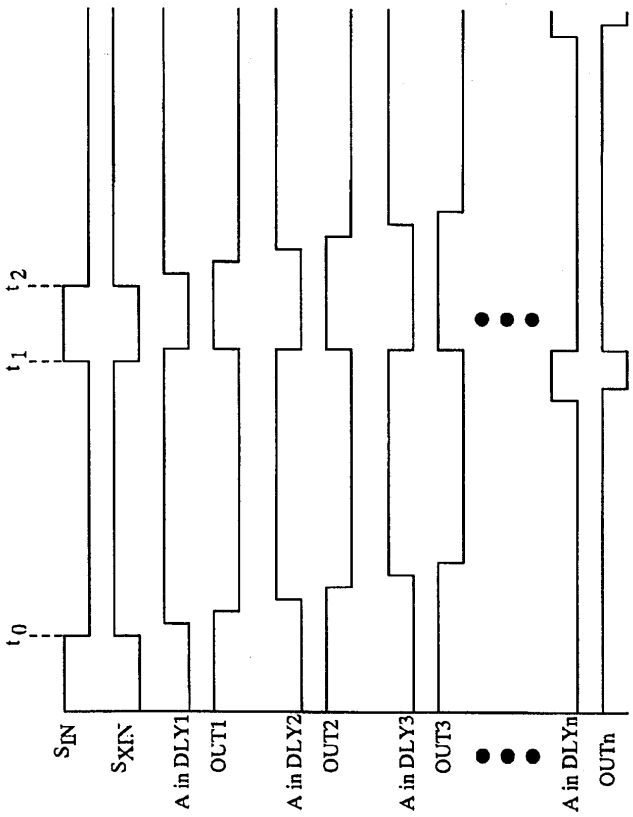
도면1



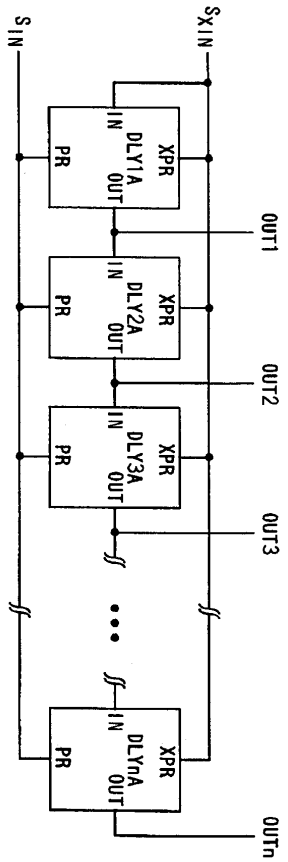

도면2



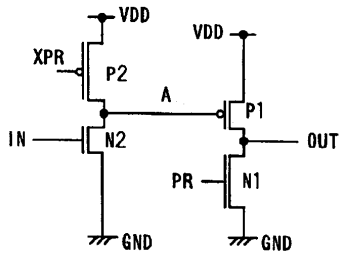
도면3


t0
t1
t2
SIN
SXIN
A in DLY1
OUT1
A in DLY2
OUT2
A in DLY3
OUT3
A in DLYn
OUTn

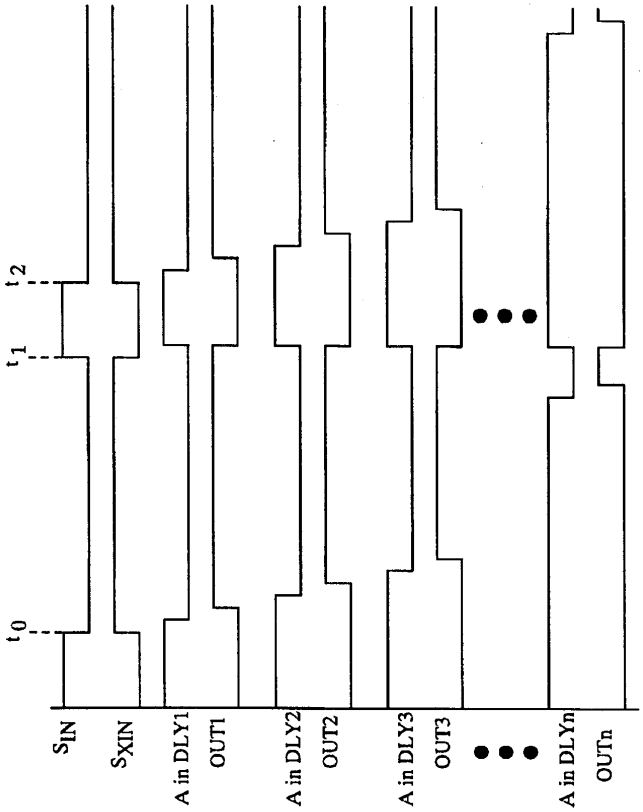
도면4


SIN
SXIN
PR
IN
DLY1A
OUT
XPR
OUT1
DLY2A
OUT2
DLY3A
OUT3
DLYnA
OUTn

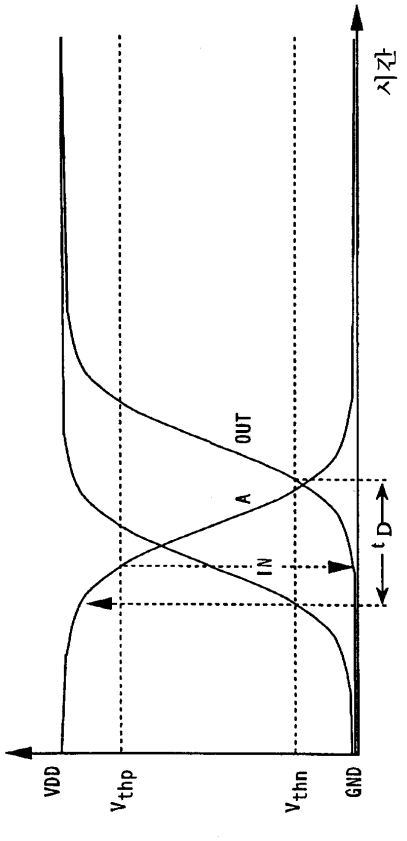
도면5


VDD
VDD
XPR
P2
A
P1
IN
N2
OUT
PR
N1
GND
GND

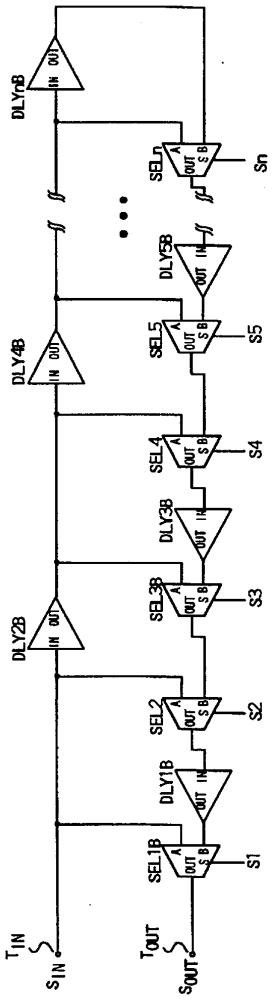
도면6


t2
t1
t0
SIN
SXIN
A in DLY1
OUT1
A in DLY2
OUT2
A in DLY3
OUT3
A in DLYn
OUTn

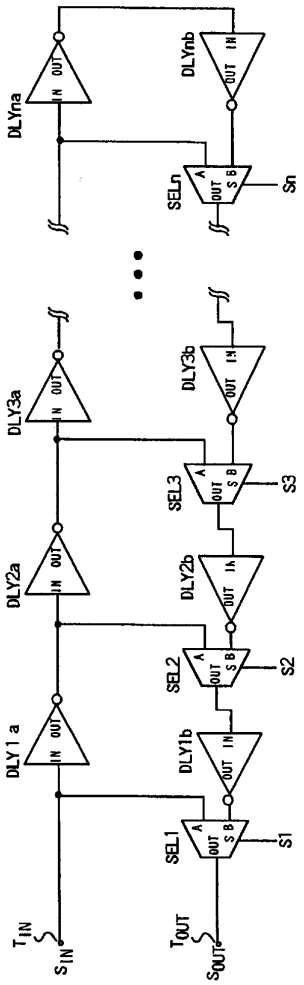
도면7



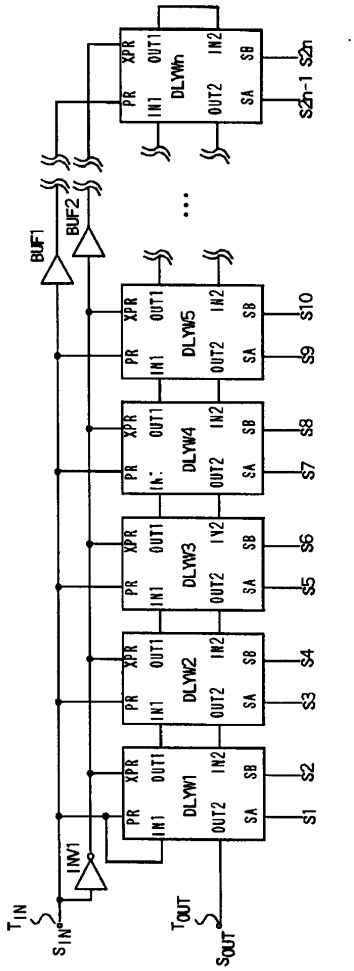
도면8


DLYnB
SELn
Sn
DLY3B
DLY4B
SEL5
S5
SEL4
S4
DLY3B
SEL3B
S3
DLY2B
SEL2
S2
DLY1B
SEL1B
S1
TIN
SIN
TOUT
SOUT

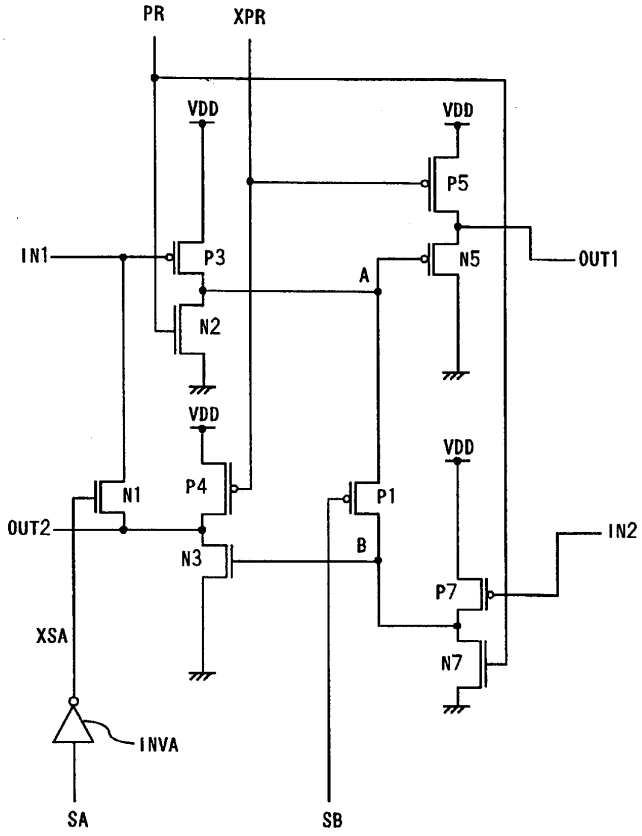
도면9


DLYna
DLYnb
SELn
Sn
DLY3a
DLY3b
SEL3
S3
DLY2a
DLY2b
SEL2
S2
DLY1 a
DLY1b
SEL1
S1
IN
OUT
A
B
S
TIN
SIN
TOUT
SOUT

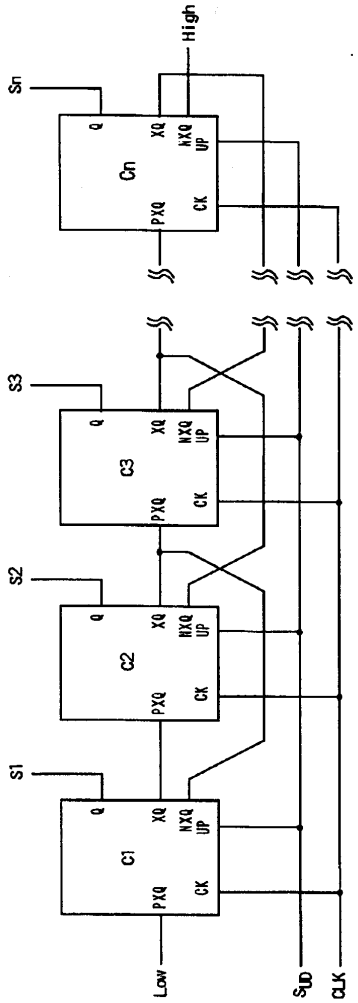
도면10


BUF1
BUF2
INV1
TIN
SIN
TOUT
SOUT
DLYWn
DLYW5
DLYW4
DLYW3
DLYW2
DLYW1
XPR
PR
IN1
OUT1
IN2
OUT2
SA
SB
S2n
S2n-1
S10
S9
S8
S7
S6
S5
S4
S3
S2
S1

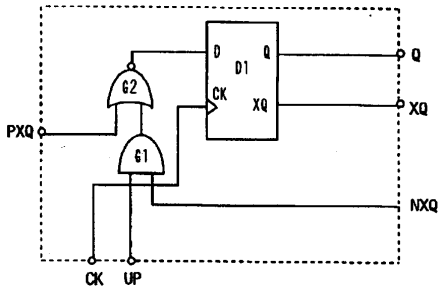
도면11


PR
XPR
VDD
VDD
P5
IN1
P3
N5
OUT1
A
N2
VDD
VDD
N1
P4
P1
OUT2
IN2
B
N3
P7
XSA
N7
INVA
SA
SB

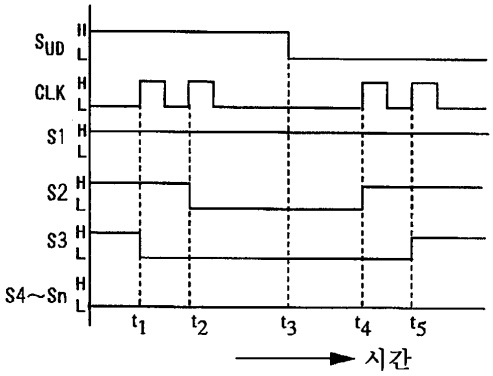
도면12


High
Sn
Q
XQ
NXQ
UP
Cn
CK
PXQ
S3
C3
S2
C2
S1
C1
Low
SUD
CLK

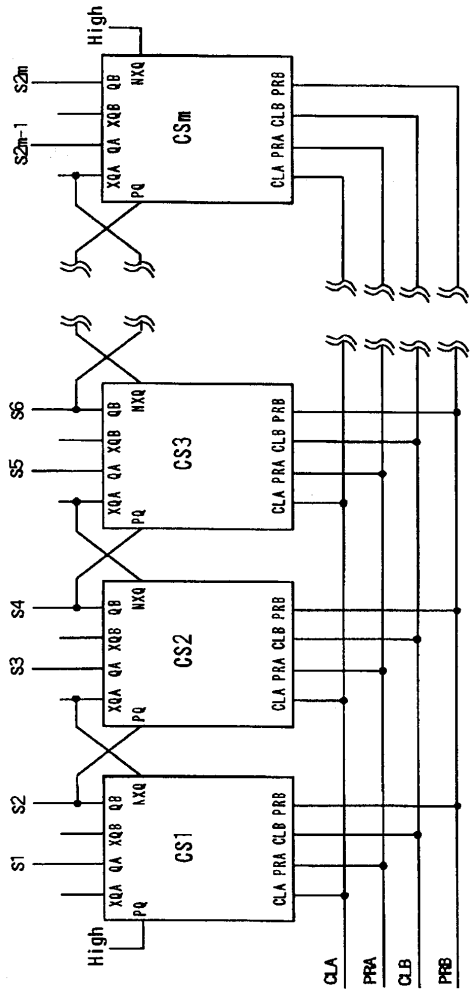
도면13


D
Q
D1
CK
XQ
G2
G1
PXQ
Q
XQ
NXQ
CK
UP

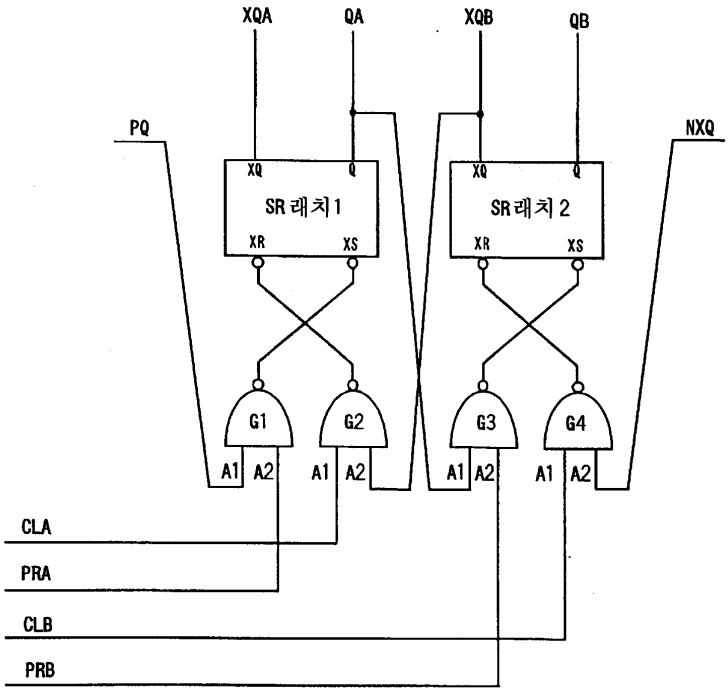
도면14


SUD
CLK
S1
S2
S3
S4~Sn
H
L
t1
t2
t3
t4
t5
시간

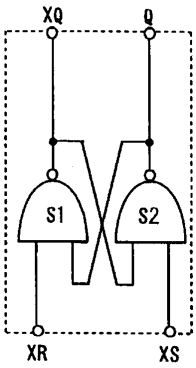
도면15


High
S2m
S2m-1
CSm
CS3
CS2
CS1
S6
S5
S4
S3
S2
S1
QB
NXQ
XQB
QA
XQA
PQ
CLA
PRA
CLB
PRB

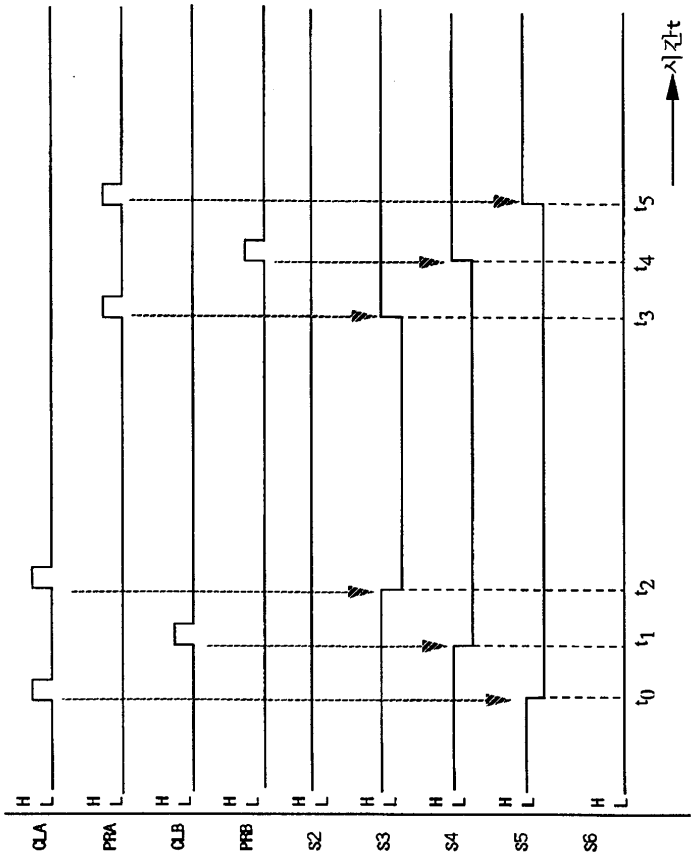
도면16


XQA
QA
XQB
QB
PQ
NXQ
XQ
Q
SR래치1
XR
XS
SR래치2
G1
G2
G3
G4
A1
A2
CLA
PRA
CLB
PRB

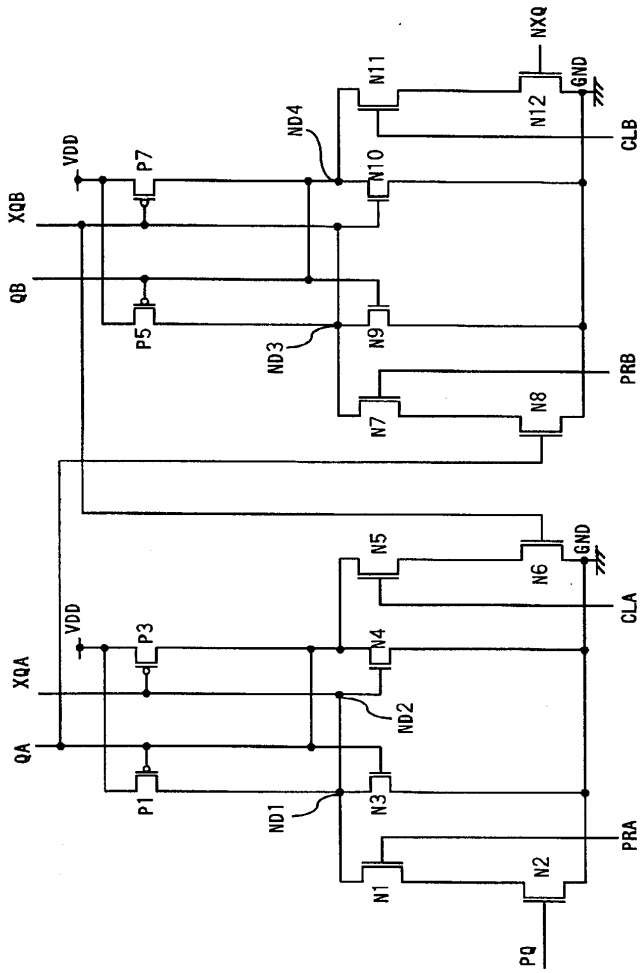
도면17


XQ
Q
S1
S2
XR
XS

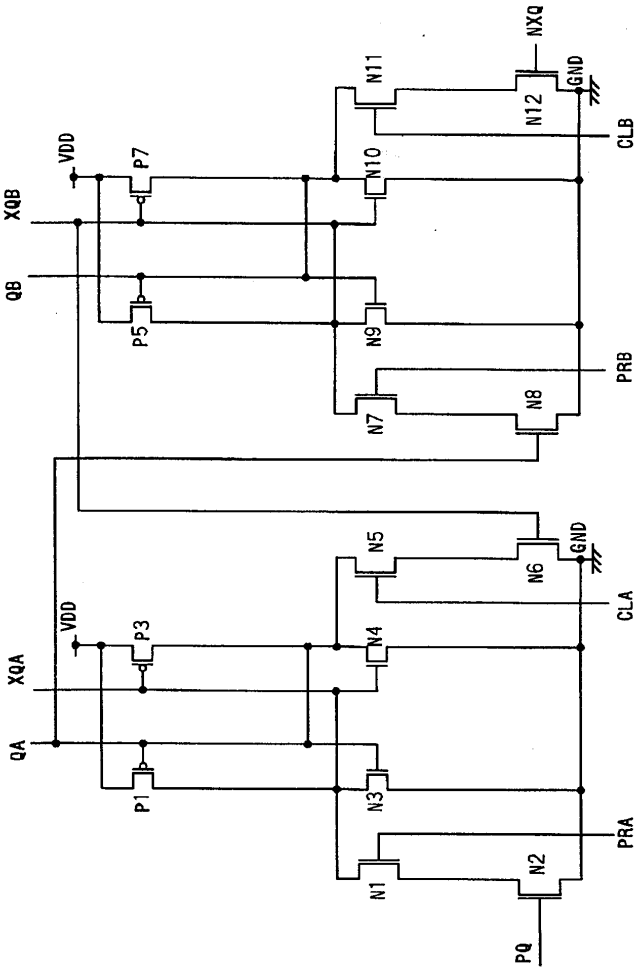
도면18



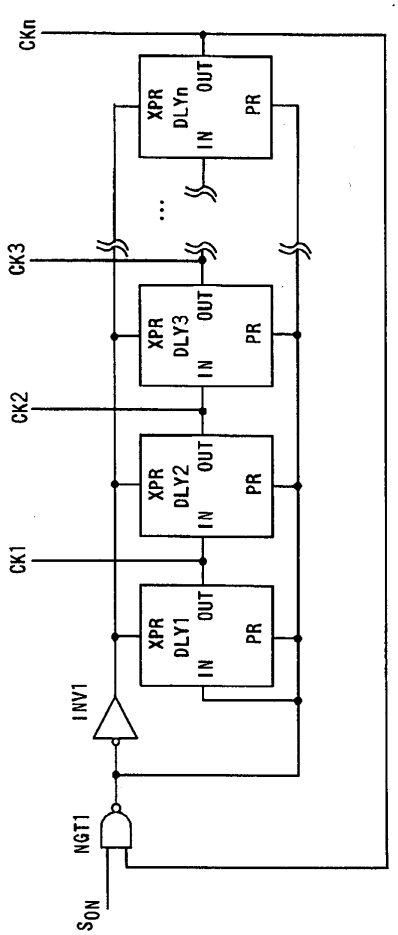
도면19


NXQ
N11
GND
N12
CLB
ND4
VDD
P7
N10
XQB
QB
P5
ND3
N9
PRB
N7
N8
N5
GND
N6
CLA
VDD
P3
N4
XQA
ND2
QA
P1
ND1
N3
PRA
N1
N2
PQ

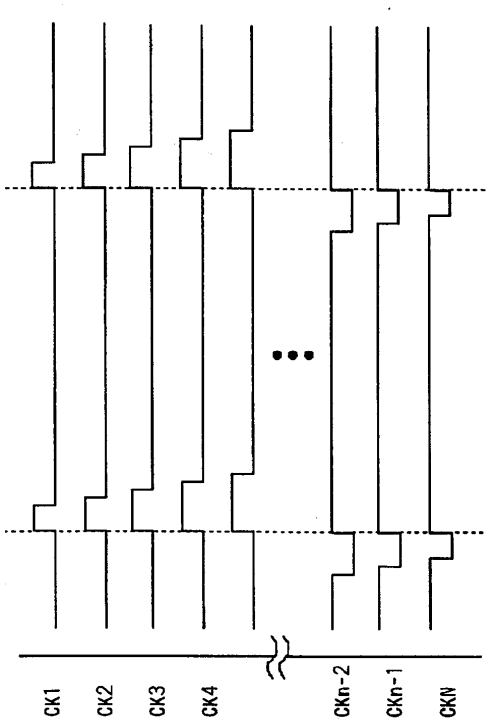
도면20


NXQ
N11
GND
N12
CLB
VDD
P7
N10
XQB
QB
P5
N9
PRB
N7
N8
N5
GND
N6
CLA
VDD
P3
N4
XQA
QA
P1
N3
PRA
N1
N2
PQ

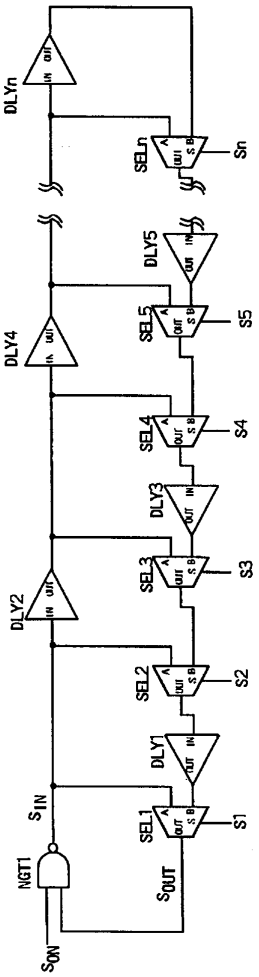
도면21


CKn
XPR
DLYn
IN
OUT
PR
CK3
XPR
DLY3
IN
OUT
PR
CK2
XPR
DLY2
IN
OUT
PR
CK1
XPR
DLY1
IN
OUT
PR
INV1
NGT1
SON

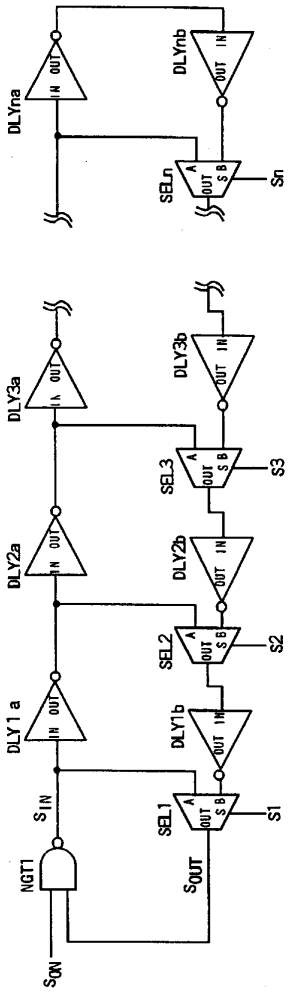
도면22


CK1
CK2
CK3
CK4
CKn-2
CKn-1
CKN

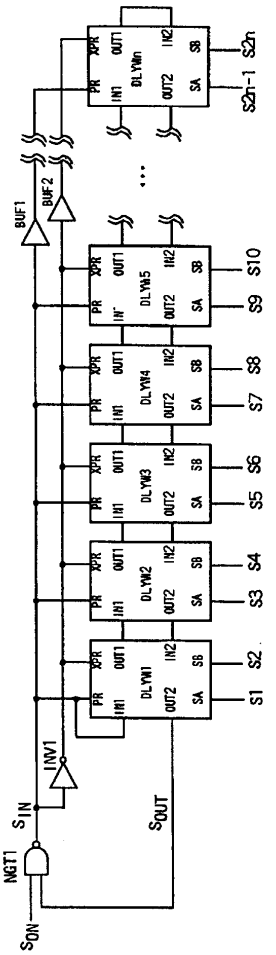
도면23


DLYn
SELn
Sn
DLY5
SEL5
S5
DLY4
SEL4
S4
DLY3
SEL3
S3
DLY2
SEL2
S2
DLY1
SEL1
S1
SIN
SOUT
NGT1
SON

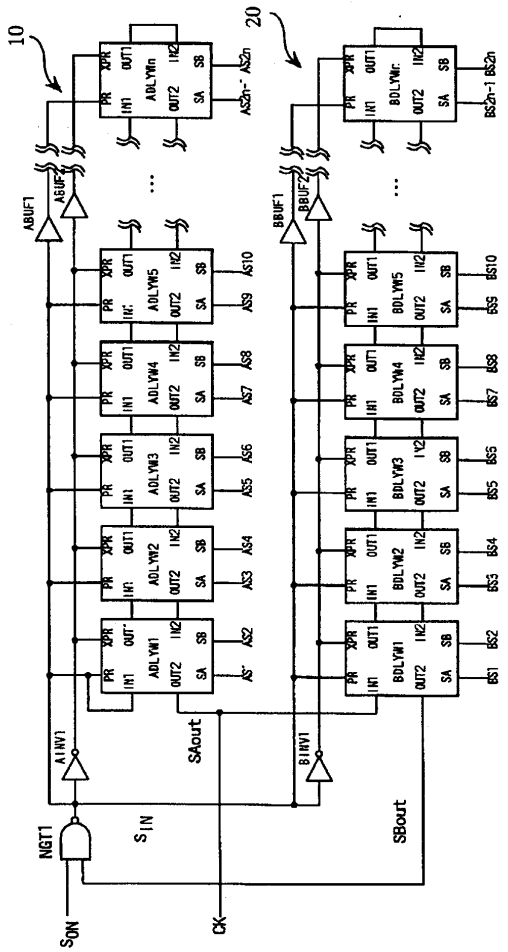
도면24


DLYna
DLYnb
SELn
Sn
DLY3a
DLY3b
SEL3
S3
DLY2a
DLY2b
SEL2
S2
DLY1 a
DLY1b
SEL1
S1
SIN
SOUT
NGT1
SGN

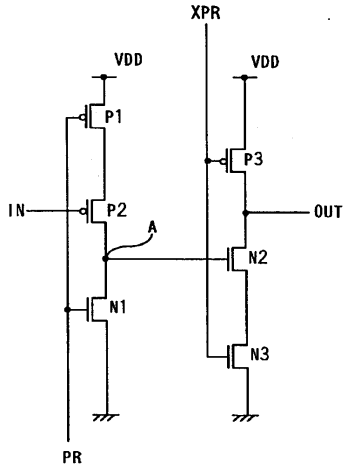
도면25


BUF1
BUF2
INV1
NGT1
SON
SIN
SOUT
DLYWn
DLYW5
DLYW4
DLYW3
DLYW2
DLYW1
S2n
S2n-1
S10
S9
S8
S7
S6
S5
S4
S3
S2
S1

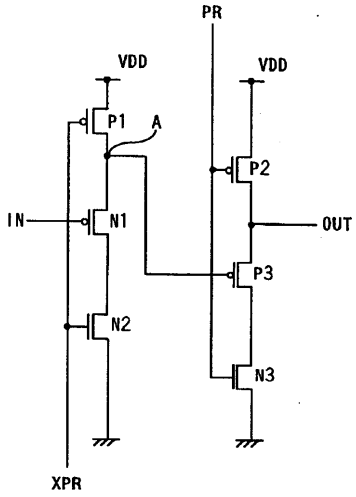
도면26


10
20
ABUF1
ABUF2
BBUF1
BBUF2
AINV1
BINV1
NGT1
SAout
SBout
SIN
SON
CK

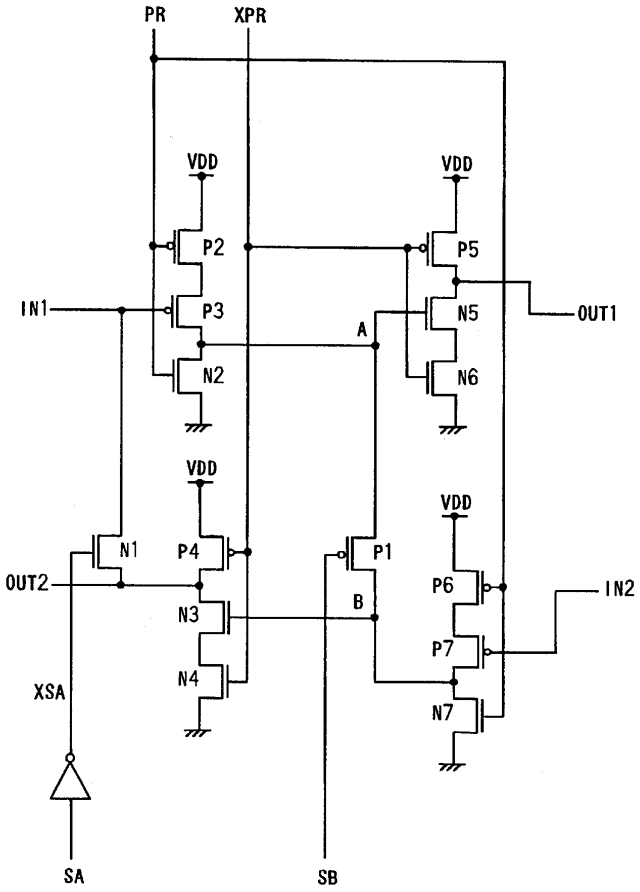
도면27


XPR
VDD
VDD
P1
P2
P3
N1
N2
N3
IN
OUT
A
PR

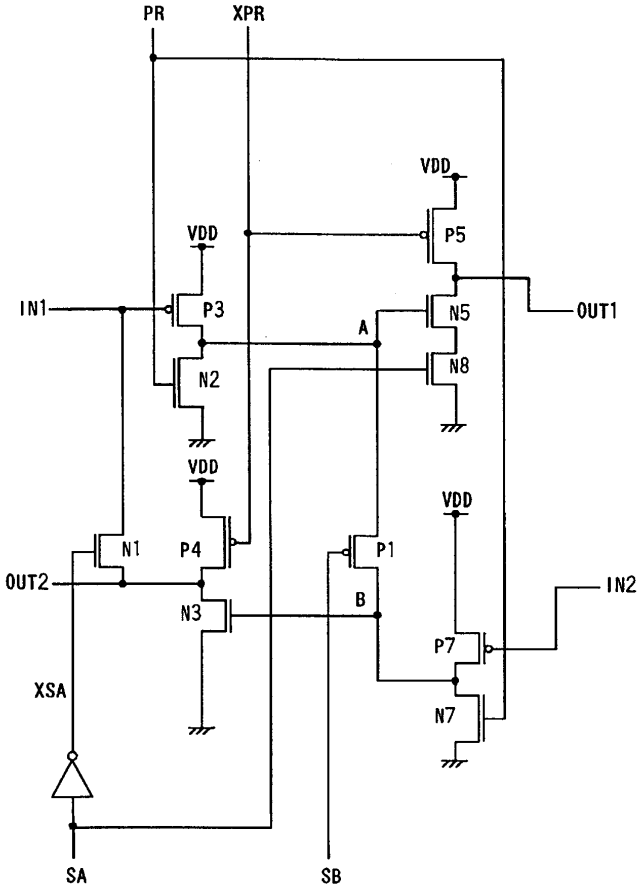
도면28


PR
VDD
VDD
P1
A
P2
IN
N1
OUT
P3
N2
N3
XPR

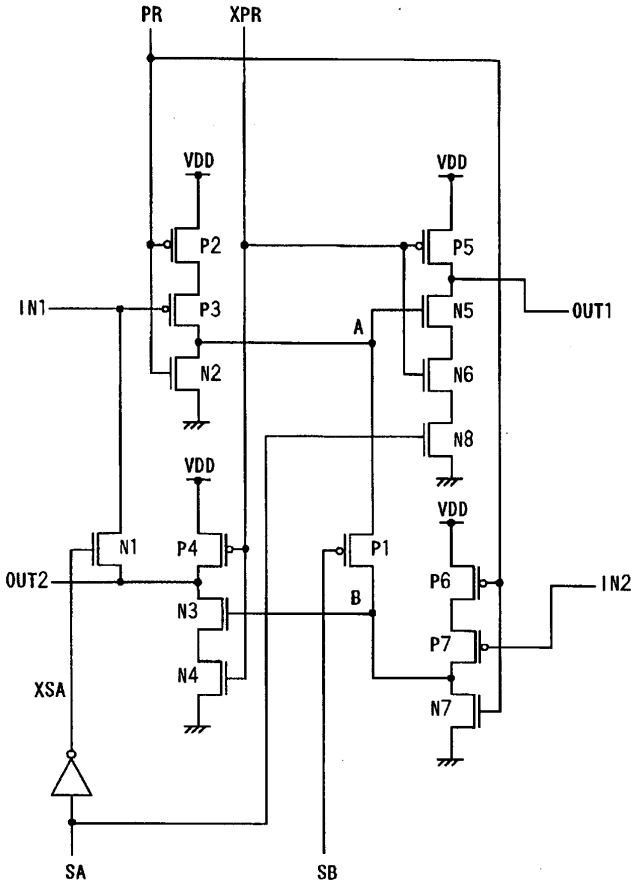
도면29


PR
XPR
VDD
VDD
P2
P5
IN1
P3
N5
OUT1
A
N2
N6
VDD
VDD
N1
P4
P1
OUT2
P6
IN2
N3
B
P7
N4
XSA
N7
SA
SB

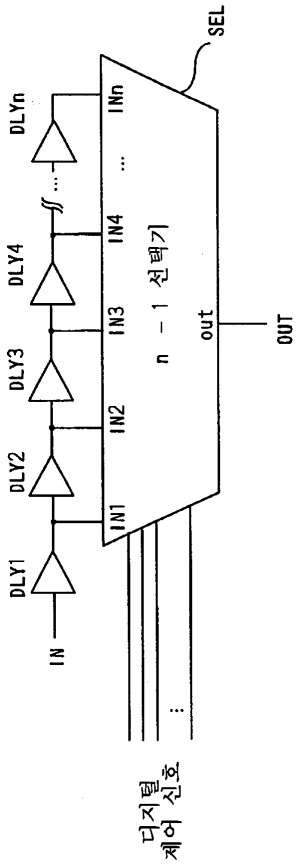
도면30


PR
XPR
VDD
P5
VDD
P3
IN1
N5
OUT1
A
N2
N8
VDD
VDD
N1
P4
P1
OUT2
IN2
B
N3
P7
XSA
N7
SA
SB

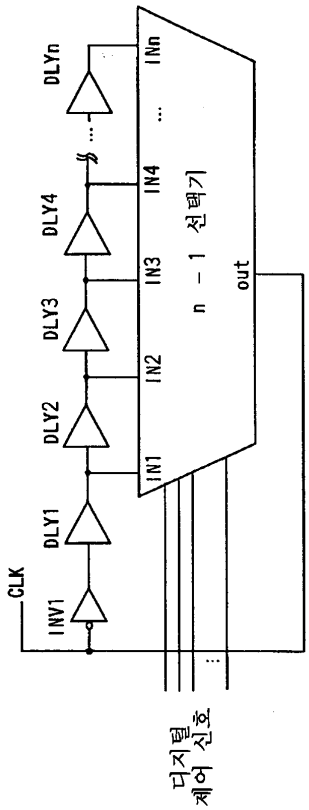
도면31


PR
XPR
VDD
VDD
P2
P5
IN1
P3
N5
OUT1
A
N2
N6
N8
VDD
VDD
N1
P4
P1
P6
IN2
OUT2
B
N3
P7
N4
XSA
N7
SA
SB

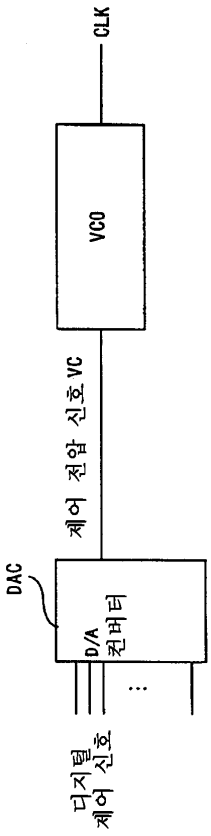
도면32


SEL
DLYn
INn
DLY4
IN4
DLY3
IN3
n - 1 선택기
out
OUT
DLY2
IN2
DLY1
IN1
IN
디지털
제어 신호

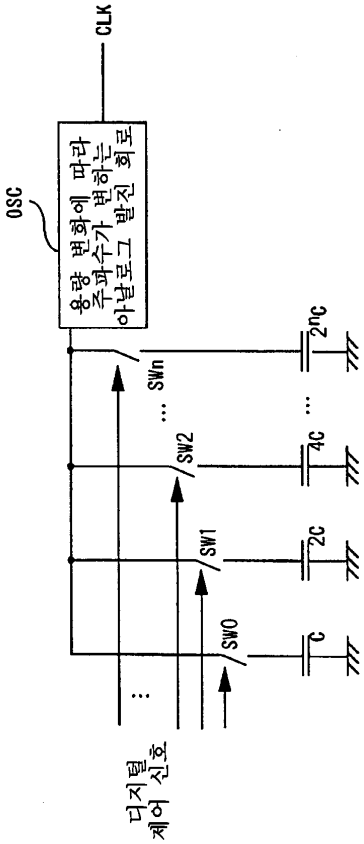
도면33


DLYn
INn
DLY4
IN4
DLY3
IN3
n - 1 선택기
out
DLY2
IN2
DLY1
IN1
CLK
INV1
디지털
제어 신호

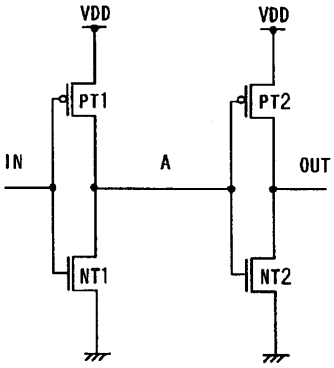
도면34


CLK
VCO
제어 전압 신호 VC
DAC
D/A 컨버터
디지털 제어 신호

도면35


CLK
OSC
용량 변화에 따라 주파수가 변하는 아날로그 발진 회로
SWn
SW2
SW1
SW0
2^nC
4C
2C
C
디지털 제어 신호

도면36




도면37

