

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-5538

(P2008-5538A)

(43) 公開日 平成20年1月10日(2008.1.10)

(51) Int. Cl. F I テーマコード (参考)
H03G 3/12 (2006.01) H03G 3/12 B 5J100

審査請求 有 請求項の数 5 O L 外国語出願 (全 21 頁)

(21) 出願番号	特願2007-212947 (P2007-212947)	(71) 出願人	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED
(22) 出願日	平成19年8月17日 (2007.8.17)	(74) 代理人	100058479 弁理士 鈴江 武彦
(62) 分割の表示	特願平10-531974の分割	(74) 代理人	100091351 弁理士 河野 哲
原出願日	平成9年12月19日 (1997.12.19)	(74) 代理人	100088683 弁理士 中村 誠
(31) 優先権主張番号	789, 108	(74) 代理人	100108855 弁理士 蔵田 昌俊
(32) 優先日	平成9年1月27日 (1997.1.27)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

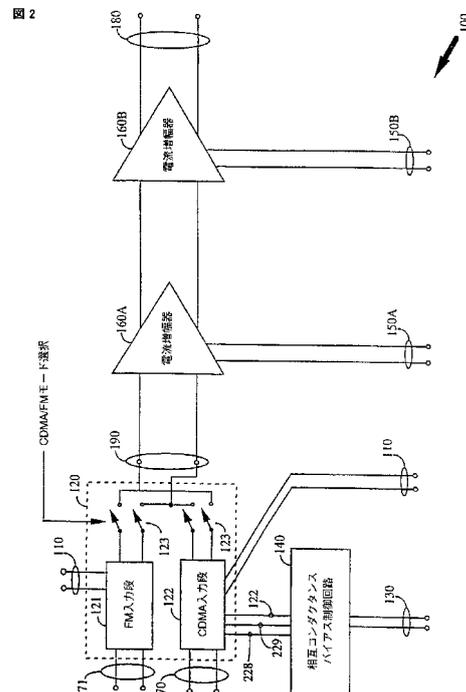
(54) 【発明の名称】 高ダイナミックレンジ可変利得増幅器

(57) 【要約】

【課題】 高ダイナミックレンジ可変利得増幅器

【解決手段】 多重段の低パワー、高ダイナミックレンジ可変利得増幅器 (100) は、一つ以上の電流増幅器 (160A, 160B) でカスケード接続された入力段 (120) を備えており、各段 (120) の利得は独立して制御されることが出来る。入力段 (120) は可変エミッタ ディジェネレーションを使用する可変相互コンダクタンス増幅器 (227) により構成され得る。電流増幅器 (160A, 160B) は差動カスケード増幅器 (520) に接続された差動ダーリントン増幅器 (520) により構成される。相互コンダクタンス増幅器 (227) は入力電圧信号を電流信号に変換する。可変利得増幅器 (100) は効果的に低パワー動作するように設計される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

可変エミッタ ディジェネレーションを有する少なくとも一つのトランジスタを含み、増幅される信号を受信するための一対のディファレンシャル電圧入力を有し、及び一対のディファレンシャル電流出力を有する相互コンダクタンス入力段、

増幅される前記信号を増幅するために前記ディファレンシャル電流出力に接続された少なくとも一つの電流増幅器、及び

前記相互コンダクタンス入力段と前記少なくとも一つの電流増幅器に制御信号を印加するために、前記相互コンダクタンス入力段と前記少なくとも一つの電流増幅器に接続された制御回路であって、前記制御信号は制御電圧内の線形変化にตอบสนองして前記相互コンダクタンス入力段と前記少なくとも一つの電流増幅器の利得を指数的に変化させる、該制御回路、

10

を備える可変利得増幅器。

【請求項 2】

前記相互コンダクタンス入力段は、

固定された相互コンダクタンスを有するアナログ変調入力段；及び、

可変相互コンダクタンスを有するデジタル変調入力段であって、前記可変相互コンダクタンスは前記制御信号によって変化される、デジタル変調入力段、

を備えた請求項 1 の可変利得増幅器。

【請求項 3】

モード選択信号にตอบสนองして前記少なくとも一つの電流増幅器に、前記アナログ変調入力段と前記デジタル変調入力段とを交互に接続するための少なくとも一つのモード選択スイッチを、更に備えている請求項 2 の可変利得増幅器。

20

【請求項 4】

前記相互コンダクタンス入力段は、

前記ディファレンシャル電圧入力の第一の入力に接続されたベースを有する第一のバイポーラ接合トランジスタと、

前記ディファレンシャル電圧入力の第二の入力に接続されたベースを有する第二のバイポーラ接合トランジスタと、及び

前記第一のバイポーラ接合トランジスタのエミッタに接続されたソース、および前記第二のバイポーラ接合トランジスタのエミッタに接続されたドレイン、および前記制御信号を受信するために前記制御回路に接続されたゲートとを有する従属(slave)電界効果トランジスタ、とを備え、

30

前記制御信号は前記従属電界効果トランジスタのチャネル抵抗を変化させ、それによって、前記可変エミッタ ディジェネレーションを変化させる、請求項 1 の可変利得増幅器。

【請求項 5】

前記相互コンダクタンス入力段は更に前記ディファレンシャル電流出力を制限するための減衰器を備える、請求項 4 の可変利得増幅器。

【請求項 6】

前記制御回路は、

前記制御電圧内の線形変化を制御電流内の指数的变化に変換するための指数関数発生器、

前記指数関数発生器に接続され、前記制御電流を受信する第一の演算増幅器回路であって、前記従属電界効果トランジスタの前記チャネル抵抗を制御する前記第一の演算増幅器回路、

40

前記従属電界効果トランジスタのドレイン - ソース電圧を制御するための第二の演算増幅器回路、及び

前記第一の演算増幅器回路と前記少なくとも一つの電流増幅器に前記信号を供するための電流ミラー、

50

とを備えた、請求項 4 の可変利得増幅器。

【請求項 7】

前記第一の演算増幅器回路は、

基準抵抗器と並列に接続されたマスタ電界効果トランジスタ、及び、

前記従属電界効果トランジスタの前記チャンネル抵抗を前記マスタ電界効果トランジスタのチャンネル抵抗と同じにする演算増幅器、

を備えた、請求項 7 の可変利得増幅器。

【請求項 8】

前記少なくとも一つの電流増幅器は、

電気抵抗の分路-直列帰還を有する差動ダーリントン増幅器、

トランスリニア ループとして前記差動ダーリントン増幅器に接続された、差動カスケード増幅器、及び

前記制御回路、前記差動ダーリントン増幅器、および、前記差動カスケード増幅器とに接続されたテイル電流源であって、テイル電流のディファレンシャル対を形成する前記テイル電流源、とを備え、

前記電流増幅器の利得は、前記差動対のテイル電流の比に比例する、

請求項 1 の可変利得増幅器。

【請求項 9】

前記差動ダーリントン増幅器は、

前記相互コンダクタンス入力段の前記ディファレンシャル電流出力の一つに接続されたベースを有する第一のバイポーラ接合トランジスタ、

前記相互コンダクタンス段の前記ディファレンシャル電流出力の内の他の一つに接続されたベースを有する第二のバイポーラ接合トランジスタ、

前記第一のバイポーラ接合トランジスタのコレクタに第一の終端で接続され、及び前記第一のバイポーラ接合トランジスタの前記ベースに第二の終端で接続された第一の電流分割器、及び

前記第二のバイポーラ接合トランジスタのコレクタに第一の終端で接続され、前記第二のバイポーラ接合トランジスタの前記ベースに第二の終端で接続された第二の電流分割器、を備え、

前記差動ダーリントン増幅器の電流利得は、前記第 1 および第 2 の電流分割器内の抵抗の比率によって増加する、請求項 8 の可変利得増幅器。

【請求項 10】

相互コンダクタンス増幅器を含む入力段、

前記入力段に接続された電流増幅器、及び

印加された制御電圧の関数として前記増幅器の利得を指数的に変化させるために、前記電流増幅器に線形に調節された制御電圧を印加する手段、とを備えている入力信号を処理する増幅器。

【請求項 11】

前記相互コンダクタンス増幅器が可変相互コンダクタンスを有する、請求項 10 の増幅器。

【請求項 12】

前記入力段は、更に前記相互コンダクタンス増幅器に接続された減衰器を備える請求項 11 の増幅器。

【請求項 13】

前記減衰器は、ギルバート・セル減衰器である、請求項 12 の増幅器。

【請求項 14】

前記相互コンダクタンス増幅器に接続された相互コンダクタンス増幅器バイアス制御回路、を更に備えた請求項 11 の増幅器。

【請求項 15】

前記入力信号は、二つの平衡信号を含み、及び前記相互コンダクタンス増幅器は、更に

10

20

30

40

50

能動素子であって、各平衡信号は前記能動素子のそれぞれの入力に加えられる能動素子

前記能動素子にそれぞれ接続された電流源、及び
前記能動素子と前記電流源とに接続された可変抵抗、
とを具備する請求項 14 の増幅器。

【請求項 16】

前記減衰器は、更に
第二の能動素子、及び
第三の能動素子を備え、

前記第二の能動素子と前記第三の能動素子は、第一の能動素子に接続されている請求項 15 の増幅器。 10

【請求項 17】

前記相互コンダクタンス・バイアス制御回路は、更に
指数関数発生器、
前記指数関数発生器に接続された第一の演算増幅器回路、
前記第一の演算増幅器回路に接続された第二の演算増幅器回路、及び、
前記第一の演算増幅器回路に接続された電流源、
を具備する請求項 14 の増幅器。

【請求項 18】

前記相互コンダクタンス増幅器バイアス制御回路は、更に
前記第一の演算増幅器回路に接続されたローパスフィルタ、
を備える請求項 17 の増幅器。 20

【請求項 19】

前記指数関数発生器は、
一对の能動素子、
前記能動素子に接続された電流源、及び
前記能動素子にそれぞれ接続された一对の電流ミラー、
を備える請求項 17 の増幅器。

【請求項 20】

前記第一の演算増幅器回路は、
マスタ能動素子、
前記マスタ能動素子に接続された基準抵抗器、及び
第 1 と第 2 の入力、及び出力を有する差動増幅器、を備え、
前記マスタ能動素子は前記差動増幅器の前記第一の入力と前記出力に接続され、及び前
記基準抵抗器は前記差動増幅器の前記第二の入力に接続される、請求項 17 の増幅器。 30

【請求項 21】

前記第二の演算増幅器回路は、さらに
第 1 および第 2 の入力を有する非反転単利得増幅器、
前記非反転単利得増幅器の前記第一の入力に接続された第一の入力抵抗、及び
前記非反転単利得増幅器の前記第二の入力に接続された前記第二の入力抵抗、を備え
た請求項 17 の増幅器。 40

【請求項 22】

前記電流増幅器段は、
ダーリントン差動増幅器、
前記ダーリントン差動増幅器アンプに接続されたカスケード差動増幅器、及び
前記ダーリントン差動増幅器および前記カスケード差動増幅器に接続されているテイル
電流発生器、を備えた請求項 11 の増幅器。

【請求項 23】

前記ダーリントン差動増幅器は、
一对の第一の能動素子、

前記第一の能動素子にそれぞれ接続された一对の第二の能動素子、
 前記第一の能動素子と前記第二の能動素子にそれぞれ接続された一对の第一の抵抗器、
 前記第一の能動素子と前記第二の能動素子にそれぞれ接続された一对の第二の抵抗器、
 及び

前記第一の能動素子と前記第二の能動素子にそれぞれ接続された一对の電流源、を具備する、請求項 2 2 の増幅器。

【請求項 2 4】

前記カスケード差動増幅器は、
 一对の第一の能動素子、及び

前記第一の能動素子にそれぞれ接続された一对の第二の能動素子、
 を具備する、請求項 2 2 の増幅器。

10

【請求項 2 5】

前記テイル電流発生器は、
 指数関数発生器、及び

前記指数関数発生器に接続された一对の電流ミラー、備えた請求項 22 の増幅器。

【請求項 2 6】

前記指数関数発生器は、

一对の能動素子、

前記能動素子に接続された電流源、及び

前記能動素子にそれぞれ接続された一对の電流ミラー、を具備する請求項 2 5 の増幅器

20

【請求項 2 7】

前記一对の電流ミラーは、

一对の第一の能動素子、

前記第一の能動素子にそれぞれ接続された一对の第二の能動素子、

前記第 1 および第 2 の能動素子にそれぞれ接続された一对の第 3 の能動素子、

前記第一の能動素子にそれぞれ接続された一对の第一の抵抗器、及び

前記第一、第 2、および、第 3 の能動素子にそれぞれ接続された一对の第二の抵抗器、
 を備えた、請求項 2 5 の増幅器。

【請求項 2 8】

増幅器が電流増幅器に接続された相互コンダクタンス増幅器を含み、相互コンダクタンス増幅器が

30

相互コンダクタンス増幅器に入力信号を印加し、及び

入力信号の電流振幅を修正する工程、

を備えている、増幅器内で入力信号を処理する方法。

【請求項 2 9】

線形に可変の制御電圧を増幅器に印加し、入力信号の電流振幅内で対応する指数変化を生ぜしめる工程を、さらに具備した請求項 2 8 の方法。

【請求項 3 0】

一对の電流を形成する工程であって、入力信号の電流振幅を変化させるように、その振幅比が制御電圧で指数的に変化する、上記工程を備えた請求項 2 8 の方法。

40

【請求項 3 1】

入力信号の電流振幅を変化させるように、前記相互コンダクタンス増幅器内でディジェネレーティブ帰還を修正する工程を、さらに備えた請求項 2 8 の方法。

【請求項 3 2】

前記相互コンダクタンス増幅器に制御電圧を印加する、

前記制御電圧を一对の電流に変換する工程であって、その振幅比が制御電圧に指数的に比例する、前記工程、

前記電流対を内部電圧に変換する工程、及び

前記一对の電流の前記振幅比内での線形変化が該信号の前記電流振幅を線型に変えるよ

50

うに、前記内部電圧で前記相互コンダクタンス増幅器内の縮体性帰還を修正する工程、
をさらに具備する、入力信号の電流振幅を修正するための請求項28の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、可変利得増幅器（VGA）、特に通信装置において、使われるVGAに関する。

【背景技術】

【0002】

無線通信環境において、無線通信受信器は、信号パワーにおいて、急速かつ広く変化する信号を受信する。広帯域のデジタル符号分割多元接続（CDMA）移動局において使用されるような受信器は、適当な信号処理のために復調された信号のパワーを制御することが必要である。さらに、それは、CDMA移動局内で使われるような送信器において、他の移動局への過大な干渉を避けるために、送信パワーを制御することが必要である。これらの同じパワー制御の考え方は、狭帯域アナログ周波数変調（FM）無線通信方式受信器および送信器に適用される。

10

【0003】

デジタルCDMAおよびアナログFM変調の送受信された信号パワーを制御するために必要とされるデュアルモードCDMA/FM無線通信装置がある。これらのデュアルモード移動局において、制御プロセスは、異なるダイナミックレンジおよびCDMAとFM信号とに関連する工業調整規格とによって、複雑になる。すなわち、受信されたCDMA信号の振幅は、およそ80デシベルの範囲上で変化できるが、受信されたFM信号の振幅は100デシベルと同じ範囲上で変化できる。CDMAおよびFM信号に対する別々の自動利得制御（AGC）回路を設備することは、この種のデュアルモード移動局を複雑にしおよび費用を増加させる。それゆえに、CDMAおよびFM信号の両者に作用できるAGC回路を提供することが望ましい。

20

【0004】

図1Aおよび1Bは、AGC機能を実行しているVGAに対して、例示的な環境を示している。図1Aおよび1Bは、例えば、電気通信業界標準「デュアル・モード・広帯域スペクトラム拡散セルラシステムに関する移動局 - 基地局両立標準」（（TIA/EIA/IS-95）一般に単にIS-95と参照される）、に従って設計されたデュアルモードCDMA/FM移動電話900のブロック図である。VGAは、セル式電話900の受信及び送信AGC増幅器902、904それぞれのために使われる。セル式電話900のフロントエンド受信器部分は、アンテナ906、送受切換え回路（デュプレクサ）908、低雑音増幅器（LNA）およびミキサー回路910、そしてフィルタ930を備える。セル式電話900がCDMAシステムのカバレッジエリアの全体にわたって移動する時に、アンテナ906での信号レベルは、およそ-110 dBmから-30dBmに変化する。これらのフロントエンド要素の各々は、たとえどんな信号レベルも動作範囲上でそれに適用されるのと同じ利得を提供することに注意する。その動作範囲は、受信AGC増幅器902に適用される信号のダイナミックレンジがアンテナ906（およそ80デシベル）での信号のダイナミックレンジと同じものであるような範囲である。同様に、セル式電話900がFMシステムのカバレッジエリアの全体にわたって移動するとき、アンテナでの信号レベルはおよそ100dB変化する。

30

40

【0005】

受信AGC増幅器902の出力は、デジタル信号にアナログ信号を変換するベースバンド・アナログ特定用途向け集積回路（BAASIC）912に供せられる。アナログーデジタル変換器に適用される信号レベルが不変であれば、アナログーデジタル信号変換プロセスは最もよい仕事をする。受信AGC増幅器902は、受信AGC増幅器902の出力電力、及びしたがってアナログデジタル変換器への入力を一定に維持するように変動入力パワーを補償する機能を実行する。

【0006】

移動局モデムASIC 914は、CDMA動作と関連する多様なデジタルおよびパワー制御機能と同様に、CDMAおよびFM信号に対する復調を行う。

50

【0007】

この種の機能は公知技術であり、本発明には重要ではない。したがって、ここでは更に説明しない。ユーザーインターフェース916は、人間オペレータにインターフェースを提供する。この種のユーザーインターフェース916は、また、公知技術である。

【0008】

移動局モデムASIC 914も、CDMA波形のベースバンド変調されたデジタル表現またはFM波形の変調されたアナログ表現をBAASIC 912に供する。BAASIC 912は、一定の信号レベルでベースバンド信号表現をアナログ中間周波数(IF)フォームに変換し、そして、それを送信AGC増幅器904に供する。送信器AGC増幅器904は、該信号にパワー制御を施し、そして、アップコンバータ918、電力増幅器およびドライバ回路920、アイソレータ922、送受切 10
換え回路908およびアンテナ906に供給する。セル式電話900がセルラシステムのカバレッジエリアの全体にわたって移動する時に、アンテナ906での送信信号レベルは、受信パワーから反対に変化し、受信パワーが最小値である時に送信レベルは最大に近い。送信電力レベルは、AGC増幅器904により変動される。AGC増幅器904への入力パワーは典型的には固定されること、そして、電力増幅器920の利得も固定されることに注意する。

【0009】

無線通信方式内の自動利得制御ループについてのより多くの情報、そして、一般にパワー制御についてのより多くの情報は、アメリカ特許番号5,283,536(1994年2月1日出願された名称「高ダイナミックレンジクローズドループ自動利得制御回路(HIGH DYNAMIC RANGE CLOSED LOOP AUTOMATIC GAIN CONTROL CIRCUIT)」)、アメリカ特許番号No.5,10 20
7,225(1992年4月21日出願された名称「高ダイナミックレンジクローズドループ自動利得制御回路(HIGH DYNAMIC RANGE CLOSED LOOP AUTOMATIC GAIN CONTROL CIRCUIT)」)、及び米国特許第5,267,262号(1993年11月30日出願された名称「送信器パワー制御システム(TRANSMITTER POWER CONTROL SYSTEM)」)において、見ることができる。1995年11月12日出願された名称「デジタル受信器における自動利得制御方法と装置(METHOD AND APPARATUS FOR AUTOMATIC GAIN CONTROL IN A DIGITAL RECEIVER)」の特許No.5,469,115および1993年10月26日出願された名称「高ダイナミックレンジクローズドループ自動利得制御回路(HIGH DYNAMIC RANGE CLOSED LOOP AUTOMATIC GAIN CONTROL CIRCUIT)」の米国特許第5,283,536号、の各々はここに譲渡され、そして本願明細書に引用される。

【0010】

上記で記載されている移動体通信受信器および送信器ように、移動体通信受信器および送信器は高圧縮ポイント、低ノイズ注入(injection) 30
および低消費電力を有するように設計される。高圧縮ポイントおよび低ノイズ注入を有する受信器は高ダイナミックレンジを有し、広範囲にわたる電力レベル上で信号を検出できる。高圧縮ポイントおよび低ノイズ注入を有する送信器は高ダイナミックレンジを有し、広範囲にわたる電力レベル上で信号を送信できる。低消費電力の受信器および送信器は、バッテリー寿命を伸ばす。それゆえに、大きい範囲の電力レベル上で信号が送受信される通信システムのために、可変利得増幅器を設計する際には、これらの特性は重要である。

【0011】

受信器は、すぐ近くの強力な送信器により一斉送信された強い信号から、および遠くの 40
低消費電力送信器によって、一斉送信された弱い信号から、情報を検出することができなければならない。

【0012】

受信器が弱い信号から強い信号まで検出できる範囲は、その受信器のダイナミックレンジと呼ばれる。同様に、送信器はすぐ近くの受信器に低電力信号を送信し、および遠い受信器に高電力信号を送信することが出来なければならない。受信器のダイナミックレンジは、その検出可能な最小および最大の信号レベルにより決定される。受信器の最小検出可能な信号レベルは、受信器の雑音指数(noise figure)により決定される。同様に、信号レベルがノイズフロア(noise floor)の近くにまたはそれ以下に落ちる場合、最小送信可能なパワーは送信器雑音指数により設定される。VGAの雑音指数は、一つにはノイズ注入特 50

性とVGA利得の関数である。一般に受信器の利得がより高くなるほど、そのノイズはよりよい指数となる。すなわち、よい指数であれば、ノイズがある場合にも非常に弱い信号を検出できる。

【0013】

受信器の最大検出可能な信号レベルは、受信器の相互変調歪（IMD）動作により確立されることができる。多重信号がいずれかのデバイスを通過するときには、デバイスの非線形性のゆえに、信号間にミキシング動作が発生する。例えば、CDMAおよびアナログFMシステムが共存する地域において、アナログFMシステムからの第3次IM生成物は、一般にCDMA通過帯域に入る。このIM生成物はIMDに寄与する「妨害器」として作用し、受信器内で所望の信号の検出および復調に干渉する。VGAのIMD動作は、一部においてその線形性および利得の関数である。一般に、受信器の利得が下がるほど、IMD動作は良くなる。上記のように、これは雑音指数要求事項とは対照的である。したがって、大きいダイナミックレンジ付きの受信器のためのVGAの設計はIMD動作および雑音指数間での難しいトレードオフを含む。

10

【0014】

一般に、複数の送信器VGAは比較的一定の入力パワーレベルを受信して、様々な範囲の出力パワーレベルを提供するように設計されるのに対して、複数の受信器VGAは様々な範囲の入力パワーレベルに対して比較的一定の出力電力レベルを供するように設計される、という差があるが、類似した設計考察は、複数の送信器VGAに関して関連している。

【0015】

さらに、移動受信器は、コンパクトで、軽量で、長い動作寿命を有するように設計される。移動受信器は、それらのサイズおよび重さを減らし、それらの携帯性を高めるため最小の数のバッテリー・セルによって、電力が供給される。バッテリー電圧はバッテリー・セルの数に比例するので、AGC回路（可変利得増幅器（VGA）を含む）は、低電源電圧で作動しなければならない。また、バッテリー交換又は再充電の間の期間を長くするために、バッテリー寿命を長くすることが望ましい。したがって、AGC回路（VGAを含む）は、小さなDC電流およびパワー消費でなければならない。

20

【0016】

低DC電源消費に対するこの必要条件は、すでに言及されたものと同様の設計トレードオフを含んでいる。より多くのDCパワーが、良雑音指数を有する高利得増幅器に必要とされる。しかし、良いIMD動作をする低利得増幅器には、より少ないDCパワーが必要とされる。既存のVGA設計は能率が悪く、十分に低利得レベルでのDCパワーを節約することができない。

30

【0017】

必要とされることは、低DC電源消費と同様に、高ダイナミックレンジ、良い雑音指数およびIMD動作を備えたVGAである。

【発明の開示】

【0018】

[発明の概要]

本発明によれば、高ダイナミックレンジ、良雑音指数およびIMD動作を有し、最小のDC電源消費のVGAが提供される。該VGAは、受信器のための自動利得制御（AGC）増幅器およびセル式電話内の送信器チェーン(chains)において、使うことができる。該VGAは、入力電圧信号を電流信号に変換すること、そして、電流信号を増幅することによって、パワー利得を達成する。増幅された電流信号は、適当なインピーダンスを持つVGAを終了する(terminating)ことによって、電圧信号に変換されることができる。

40

【0019】

VGAは、少なくとも二つのカスケード接続された段、入力段および電流増幅器から成る。入力段は、CDMA入力段およびFM入力段に更に分けられることができる。両入力段の出力は電流増幅器の入力に結合され、CDMA/FMモード信号によって選択されることができる。実施例において、FM入力段は片端接地(single-ended)であり、CDMA入力はバランスされ

50

る。VGAの利得は、二つ以上の電流増幅器段をカスケード接続することにより増加することができる。入力段の相互コンダクタンス利得は、制御信号により制御されることができる。

【0020】

高ダイナミックレンジ、低消費電力のVGAは、複数の技術を結合して作られる。最初の実施例において、図1の増幅器902のようなデュアルモード受信AGC増幅器に良く適しており、CDMA入力段はギルバート・セル減衰器とカスケード接続された可変コンダクタンス増幅器を具備している。可変相互コンダクタンス増幅器は、変化する電圧信号を、可変エミッタ デジェネレーション (degeneration) 抵抗器として動作するFETトランジスタにより制御される相互コンダクタンスで、出力電流信号に変換する。エミッタ デジェネレーションは、可変ローカルな直列帰還 (variable local series feedback) を提供し、その帰還はCDMA入力段が入力信号の広ダイナミックレンジを取り扱うことを可能するが、その一方で、良い雑音指数およびIMD動作を提供する。低レベル入力信号がある場合には、FETトランジスタのチャンネル抵抗は、入力段の利得を増やすために変化させられることができ、このことにより、受信器の雑音指数および弱い信号を検出する能力は改善される。他方、高レベルの入力信号がある場合には、FETトランジスタのチャンネル抵抗は変化させられ、入力段の利得を減少させる。このことにより受信器のIMD動作は改善される。ギルバート・セル減衰器は、大きい入力信号が適用される時に、いずれの後段の電流増幅器も、それらの非線形範囲にオーバードライブ (overdriven) させられないように、付加電流を減衰せしめる。

10

20

【0021】

この最初の実施例において、FM入力段はエミッタ デジェネレーション (degeneration) のバイポーラ差動増幅器であり、ギルバート・セル減衰器が続いて接続される。差動対は入力電圧を電流に変換し、ギルバート・セル減衰器に与え、更に次段の流増幅器に入力される電流を減衰させ。CDMA入力段と違って、FM入力段は、可変エミッタ デジェネレーションよりむしろ固定された利得相互コンダクタンス段を使用する。それは、増幅器がすぐに非線形性になり飽和することを可能として、FM信号に対する業界標準 (IS-95) 線型性要件がCDMA信号に対するそれよりも非常に緩和されるからである。

【0022】

図1の増幅器904のような送信AGC増幅器に良く適した、第二の実施例においては、FMおよびCDMA信号は、相互コンダクターとギルバート・セル減衰器に接続される、入力端に分路-直列帰還 (shunt-series feedback) を有する差動対を備えた固定-利得相互コンダクタンス入力段によって、取り扱われることができる。入力端での分路-直列帰還は、ブルートフォース (brute force) 整合を使用すること無しに、正確で線形の入力インピーダンスを可能とする。差動対の出力は、一組のコンデンサによって、相互コンダクターに接続されたACであることができる。相互コンダクターは、差動対の電圧出力を、エミッタ デジェネレーションされた差動増幅器を使用して電流に変換する。電流は、それからギルバート・セル減衰器に与えられ、それは、更に電流増幅器の次段に流れる電流を減衰する。送信AGC増幅器904への入力レベルが一般に一定であることから、可変利得入力段は必要ではない。

30

40

【0023】

受信AGC増幅器902としての用途に対して適している最初の実施例において、各々の電流増幅器は、二つのセクション、差動ダーリントン増幅器および差動カスケード (cascade) 増幅器から成る。これらの電流増幅器は、トランスリニア (translinear) 回路であり、該回路は、電流利得がトランスリニアループにバイアスをつける「テイル電流 (tail currents)」の比率を変化させることにより制御されることができる。各電流増幅器段の電流利得は、一つ以上の制御信号によって、それぞれ独立に制御されることができる。

【0024】

送信AGC増幅器904の使用に好都合である第二実施例において、電流増幅器の各々は、二つのセクション、差動ダーリントン増幅器と単純な差動対とから構成される。この電流増

50

幅器は、フィードバック電流増幅器とトランスリニアループとのハイブリッドである。

【0025】

各々の上述の実施例において、可変-利得段の利得は、利得制御回路により制御される。その利得制御回路は、適用されたAGC制御電圧に従って電流増幅器の利得を変化させる（図1のRX利得制御かTX利得制御）。利得制御回路は、広いダイナミックレンジ上でVGAの（デシベルにおける）線型性を確実にする指数関数発生器を含む。

【0026】

それゆえに、CDMAおよびFM信号上で高ダイナミックレンジを有するVGAを提供することは、本発明の利点である。この種のVGAを利用している移動受信器は、より広い入力パワー範囲上で信号を検出できる。更なる利点は、VGAが最小のDCパワーしか消費しないということである。したがって、VGAが移動通信装置において、使われることができ、都合よくバッテリーの操作寿命を保護できる。追加の利点は、VGAの利得がDC制御電圧を線形に調節することによって、デシベルにおいて、ほぼ線形に変化させられることが可能であるということである。

【0027】

[発明の詳細な説明]

本発明の機能、目的および利点は、全体を通して同一事項には同一の参照記号が付された図を参照しながら、後述の詳細な説明からより明らかになる。

本発明は、モノリシック集積回路可変利得増幅器（VGA）に向けられている。VGAは、制御電圧に比例した利得を提供する。VGAは、適用された制御電圧内で線形に増加する関数として、指数状の電圧利得を提供する。この制御電圧は、適用された制御電圧内での線形の増加に正比例した、デシベル（DB）での線形パワー利得を与える。VGAは、80デシベルを超える大きいダイナミックレンジ（すなわち100,000,000倍のファクタ）上で、線形パワー利得を提供できる。VGAは、VGA構成の間に発生するプロセス変化に耐え得る線形パワー利得を提供する。

【0028】

VGAは、受信器および送信器内に含む多くの用途に使われることができる。VGAが受信器において動作している場合、VGAの出力が比較的一定である間、入力典型的に大きなダイナミックレンジ上で変化する。

【0029】

受信器において動作しているVGAへの信号レベル入力が小さい時には、VGAの利得は比較的大きくしなければならない。受信器において動作しているVGAへの信号レベル入力が大きいときは、VGAの利得は比較的小さくしなければならない。それが比較的高利得を提供するときに典型的に良いノイズ特性を有しなけばならず、及び比較的低利得を提供しているときに良い相互変調動作を有しなければならない。

【0030】

VGAが送信器において動作している場合、入力は典型的に一定でありうるが、VGAの出力は広いダイナミックレンジ上で変化する。VGAの信号レベル出力が大きいことを必要とするときには、VGAの利得は比較的大きくなければならない。相互変調動作は結果としての大信号レベルをサポートしなければならない。送信器において動作しているVGAからの信号レベル出力が小さいことを必要とするときには、VGAの利得は比較的小さくなければならない。VGAのノイズ特性は重要でありえる。

【0031】

図2は、広いダイナミックレンジ上で入力信号にパワーレベルを調節する可変利得増幅器（VGA）100の一つの実施例のブロック図である。図2の実施例は、図1の受信AGC増幅器902としての用途に適している。VGA 100は、三つの段を備える：入力段120および二つのカスケード接続された電流増幅器ステージ160Aおよび160B。複数の電流増幅器段160が、入力段120に続いてカスケード接続され、VGA 100のダイナミックレンジを増加する。最初の実施例において、入力段120は以下を備える：それぞれの入力ポート171および170を有する別々のFM入力段121およびCDMA入力段122。FM入力段121およびCDMA入力段122は、スイッ

10

20

30

40

50

チ123により電流増幅器160Aに交互に接続される。このスイッチ123は、CDMA/FMモード選択信号により制御される。通信装置がCDMAモードにあるとき、スイッチ123はCDMA入力段122を電流増幅器160Aに接続し、FM入力段121を切り離す。逆に、通信装置がFMモードにあるときには、スイッチ123は、FM入力段121を電流増幅器160Aに接続して、CDMA入力段122を切り離す。

【0032】

図2も、VGA 100に適用される制御電圧に対して、バイアSPORT110、130、150A、150Bを示す。各段の利得は、例えば、信号強度を決定する受信器検出回路によって形成されることができる制御電圧により制御される。各段は、トランジスタのような能動素子を含むいろいろな構成要素から成る。

10

【0033】

CDMA入力段122の入力ポート170に供されるVGA入力信号は、平衡をとられる、すなわち、各々から180度位相がずれた信号を伝送している二つの信号路に分けられる。VGA入力信号は、VGAの入力ポート170を通して印加される。しかし、FM入力段121の入力ポート171に提供されるVGA入力信号は、片端接地である。入力段120の出力および電流増幅器160Aの入力は、ポート190により連結される。

【0034】

それは低電源電圧約3.6ボルトで動くので、入力段120は、入力電圧信号を電流信号に変換し、VGA能動素子がそれらの非線形領域において、動作すること及び入力信号をゆがめることを阻止する。VGA 100の低電源電圧も、VGA 100の電源消費を減らす。

20

【0035】

図3は、CDMA入力段122の一つの実施例を示す。平衡信号は、VGAの入力ポート170に印加される。CDMA入力段122は、ギルバート・セル減衰器226に結合された可変相互コンダクタンス増幅器227を備え、四つの機能を提供する。第一に、可変相互コンダクタンス増幅器227は、入力電圧信号を電流信号に変換する。第二に、可変相互コンダクタンス増幅器227およびギルバート・セル減衰器226の組合せは、信号の可変増幅ができるようにし、それは、バイアSPORT110で制御電圧を線形に調節することによって、指数的に(デシベルで線形的に)変化させられることが可能である。第三に、可変相互コンダクタンス増幅器227内の増加されたエミッタ ディジェネレーションは、入力信号電圧が大きい時およびIMDが最も突出している時に、VGA 100のIMDを減らす。可変相互コンダクタンス増幅器227内のエミッタ ディジェネレーションが増加するように、入力段120の相互コンダクタンス、したがってIMDは減らされる。最後に、可変相互コンダクタンス増幅器227内の減少されたエミッタ ディジェネレーションは、入力信号電圧が小さくノイズ動作がもっとも臨界である時に、VGA 100の雑音指数を改善する。可変相互コンダクタンス増幅器227内のエミッタ ディジェネレーションが減らされる際に、入力段120の相互コンダクタンスは増加して、受信器の雑音指数を改善する。

30

【0036】

可変相互コンダクタンス増幅器227は、二つのバイポーラ接合トランジスタ(BJT)235と236、二つの電流源238、239、そして、電界効果トランジスタ(FET)237から成る。電流源238、239は、連続的にBJT235および236のエミッタに接続されている。FET237のソース接続228およびドレイン接続229は、それぞれBJT235および236のエミッタに接続している。VGA入力ポート170での平衡信号(balanced signal)は、BJT235および236のベースに適用される。可変相互コンダクタンス増幅器227の平衡電流は、BJT235および236のコレクタから出力する。

40

【0037】

可変相互コンダクタンス増幅器227の相互コンダクタンスは、BJT235および236のエミッタ ディジェネレーションを変化させることにより調節することができる。この結果、VGA 100の利得を変化することが可能である。BJT235および236のエミッタ ディジェネレーションは、FET237のチャンネル抵抗を変化させることによって形成される。FET237は、そのオーミック領域内で可変抵抗のように動作し、そして、BJT235お

50

よび236の両者に対して可変エミッタ ディジェネレーションを提供する。FET 237のドレイン・ソース・バイアス電圧は、それゆえにFET 237のニー電圧(knee voltage)未満でなければならない。バイアス・ポート290に適用される電圧を変化させることによって、FET 237のゲート・ソース接合間のバイアスを調節し、この調節によって、チャンネル抵抗を変化させることが可能である。可変相互コンダクタンス増幅器227の相互コンダクタンスは、FET 237のチャンネル抵抗を減少させることにより増加することができる。したがって、FET 237を介して可変チャンネル抵抗を提供することにより、本発明は、雑音指数とIMD動作との競合する設計考察を調和させることができる。さらに、VGA 100のDC効率は改善される。それは、低レベル入力信号を増幅する必要があるときに、CDMA入力段122は十分なDC電流を引き出すが、高レベル入力信号に対してはその相互コンダクタンスを下げ、後の電流増幅段のDC電流消費を減らす、からである。

【0038】

可変相互コンダクタンス増幅器227のディファレンシャル(differential)出力電流は、ギルバート・セル減衰器226に接続される。ギルバート・セル(Gilbert cell)減衰器226は、その入力に適用された信号の現在の振幅を変化させる。ギルバート・セル減衰器226は、BJT a 231および234の第一の組およびBJT a 232および233の第二の組を備えている。ギルバート・セル減衰器226の減衰レベルは、バイアス・ポート110に適用された制御電圧により確立される。BJTs 231及び234の第一の組が、ポート110をバイアスするために適用された制御電圧によってバイアスされるときに、ギルバート・セル減衰器226は可変相互コンダクタンス増幅器227の出力電流を減衰し、可変相互コンダクタンス増幅器の出力電流の要素はBJTs 232および233の第二の組よりも、むしろBJTs 231および234の第一の組を通して流れる。それゆえに、ギルバート・セル減衰器226のポート190での平衡電流は減少する。可変相互コンダクタンス増幅器227およびギルバート・セル減衰器226は、共通の電源230によって、バイアスされる。

【0039】

FM入力段121の好適な実施例は、そのFET 237が固定抵抗と置換される以外はCDMA入力段122と同様である。前に言及したように、FM入力段121の固定抵抗は固定された相互コンダクタンスを提供する。それは、業界標準(例えばIS-95)がCDMA入力信号のそれより非常に低い入力レベルで、入力信号の圧縮を可能とする(すなわち、VGAが非線形に動くのを可能とする)からである。あるいは、入力段120はFM入力段121の相互コンダクタンス段と同様の単一の固定された相互コンダクタンス段だけを備えることができる。この代替の実施例は、図1の送信AGC増幅器904としての使用に特によく適している。

【0040】

上記したように、設計の一つの側面は、相互コンダクタンス・バイアス制御回路140のバイアス・ポート130に適用される制御電圧が線形に調節され、その可変相互コンダクタンス増幅器227の相互コンダクタンスが指数的に変化するということである。この結果を実行するために、相互コンダクタンス・バイアス制御回路140のバイアス・ポート130の制御電圧は線形に調節され、FET 237のチャンネル抵抗も、指数的に変化する。図4は、この結果を促進する相互コンダクタンス・バイアス制御回路140の一つの実施例を示している。相互コンダクタンス・バイアス制御回路140は、指数関数発生器360、第1および第2の演算増幅器回路353と354、低域フィルタ352および電流源341を含む。

【0041】

指数関数発生器360は、該制御電圧を、指数関数発生器360の出力端358から第一の演算増幅器回路353へ出力される二つの出力電流に変換する。これらの電流の大きさの比率は、制御電圧に指数的に比例する。

【0042】

図1の例示的な実施例において、制御電圧はRX ゲイン制御又はTXゲイン制御 又は基準化されているか温度補償されているその別形のいずれかである。この制御電圧の発生は本発明の範囲外であり、それは例えば米国特許第5,469,115号記載されており、それはここに引用される。

【0043】

図5は、指数関数発生器360の一つの実施例を示している。指数関数発生器360は差動増幅器465を備え、その差動増幅器465の出力は一組のFET電流ミラー474を駆動する。差動増幅器465は、電流源472に接続されたBJTs 461および462の平行の一組を備える。一組のFET電流ミラー474は、四つのFET 464、466、468および470を備える。BIT 461および462の指数入力電圧-出力電流関係のために、それらのコレクタ-電流の比率は、制御電圧信号により決定されるBJTs 461と462の間のベース電圧の差に比例する。したがって、バイアスポート130を横切る線形の電圧差の変化は、出力358の指数的に関連した(デシベルにおいて線形の)電流に変換される。電流ミラー474は、パイポラ差動対461と462とにより発生される指数的に関連した電流を単に受け取り、それを該増幅器を通した使用のために提供する。指数関数発生器360は、電源400によってバイアスされる。

【0044】

図4を再度参照して、第1および第2の演算増幅器回路353と354は、指数関数発生器360と協力して作動し、図3のFET 237のチャンネル抵抗を制御する。第一の演算増幅器回路353は、マスタFET 344を備え、それは、FET 237、基準抵抗器346および差動演算増幅器348に好ましくは同一である。指数関数発生器360からの出力電流はマスタFET 344と基準抵抗器346とに接続される。差動演算増幅器348は、マスタFET 344のドレインとソース端子及び基準抵抗器346を横切って該電圧を印加し、該電圧はマスタFET 344のゲートに印加されたバイアス電圧を変化することによって等しくされる。FET 237とマスタFET 344のゲートに印加されるバイアス電圧は、一般に等しい。しかし、バイアス・ポート122を通してFET 237に印加されるゲート・バイアス電圧は、ローパスフィルタにかけられ、相互コンダクタンス・バイアス制御回路140からの熱雑音がFET 237に入力されることを阻止する。ローパス・フィルタリングは、シリーズ抵抗器350とシャントコンデンサ351により形成されるローパス・フィルタ352によって完成される。

【0045】

第二の演算増幅器回路354は、マスタFET 344およびFET 237が同じ電源電圧を有するようになる。第二演算増幅器は、非反転、単一利得演算増幅器349、及び抵抗器345と347を備え、ソース接続228とドレイン接続229を介してFET 237を横切るドレイン-ソース電圧を検出する。

【0046】

指数関数発生器360、及びマスタFET 344と基準抵抗器346とのまわりに接続された電流源341は、基準抵抗器346を横切る電圧降下、及びそれゆえにマスタFET 344のドレイン-ソースを横切る電圧降下がFETのニー(knee)電圧未満であるように設計される。この結果、演算増幅器回路353と354の動作は、FET 237とマスタFET 344がそれらのオーミック領域内の類似した静止点で動作することを強制する。したがって、FET 237とマスタFET 344のチャンネル抵抗は、一般に同一で、バイアス・ポート130に印加され線形調節された制御電圧によって指数的に変化する。

【0047】

図6は、本発明の有益な特性を例示するために構成された図2および3内の要素の組合せである。図6に示された装置により克服される問題の一つは、 $\mu_c \text{Cox}$ の、そして、それゆえに、そのゲートに印可された電圧の関数としてのFET 237のチャンネル抵抗の、プロセス変動である。

【0048】

前に図3に関して言及したように、FET 237は可変相互コンダクタンス増幅器227の相互コンダクタンスを制御する。FET 237により提供される可変エミッタ ディジェネレーションによって、入力段120は広範囲にわたる信号を取り扱うことが可能となる。

【0049】

入力段120に起因する減衰が該回路の動作に重大であり、そして該段の特性がFET 237により設定されることから、正確にFET 237の抵抗値を設定することが非常に重要である。印加されたゲート電圧の関数としてのチャンネル抵抗は製造工程において、その一つ一つ

を制御されることが難しいので、一貫性(CONSISTENCY)を達成するために外部制御ループが用いられる。図6は、FET 237のプロセス変動に対して、CDMA入力段122の動作を免疫(immunize)にするために使われる制御ループを示す。

【0050】

抵抗器346は、オンチップ(on-chip)抵抗器である。この抵抗器はプロセス変動を最小にするために大きく作られる。抵抗器346は、制御ループの基準抵抗として使われる。

【0051】

指数関数発生器360の出力358からのトータル電流は、電流源341により設定されることに注意する。したがって、出力358の平衡出力の一つを介した電流が増加する場合、出力358の平衡出力の他の一つを介した電流は減少する。また、抵抗器346全体の電圧降下はマスタFET 344全体の電圧降下と同じである点に注意する。各電圧は演算増幅器348への入力の一つであるので、電圧降下は同じである。演算増幅器348の出力は、それを横切る電圧降下が抵抗器346を介した電流がもたらす値及び抵抗器346の値と同じであるように、マスタFET 344の抵抗を制御する。したがって、抵抗器346を通る電流は増加し、現在のマスタFET 344を通る電流は減少するように、抵抗器346を横切る電圧降下は増加する。応答において、マスタFET 344のチャンネル抵抗はまた、該電圧降下が同じに維持されるように増加しなければならない。マスタFET 344のゲートに印加される演算増幅器348の同じ出力電圧は、また、FET 237のゲートにも印加される。抵抗器350およびコンデンサ351は、演算増幅器348の出力とFET 237のゲート電圧との間にローパスフィルタを提供するが、マスタFET 344のゲートとFET 237のゲートとに印加される直流電圧は同じである。

【0052】

好適な実施例において、マスタFET 344およびFET 237は、共通の基板上で相互に近接している。このように、VGA部品からVGA部品へのプロセス変動が重大であるとしても、一つのVGA部品において、マスタFET 344とFET 237のチャンネル抵抗特性対ゲート電圧は、密接にお互いに追従する。このように、FET 237の抵抗は、マスタFET 344の抵抗に等しく設定される。FET 237のチャンネル抵抗が減少する時に、トランジスタ235および236を介した電流は増加する。したがって、本発明はCDMA入力段122の可変エミッタ ディジェネレーション正確に実行する方法を提供する。

【0053】

FIG. 7は図2で示す電流増幅器160A、160Bの一つの実施例を示す。図7に示す電流増幅器160の入力は、入力段120の出力またはもう一つの電流増幅器160の出力に接続されることができる。電流増幅器160は、ダーリントン差動増幅器510、カスケード差動増幅器520およびテイル(tail)電流源570を備える。電流増幅器160は、電源508と506および電流源596と598によってバイアスされる。ダーリントン差動増幅器510が電気抵抗の分路-直列帰還を有するように、ダーリントン差動増幅器510はBJTs 580、586、588および594および図7に示されるトポロジでの(in topology)抵抗器582、584、590、592を備え、エンハンストされた電流利得およびプロセス変動不感性(insensitivity)を提供する。

【0054】

本発明において、本発明の抵抗器582、584、590、592により提供される電気抵抗の分路-直列帰還は、抵抗器を介した帰還電流を、入力ポート190を介した入力電流に等しくさせることに、注意されなければならない。このように、それらも電流分割器を提供するので、それらは帰還抵抗の比率によって、差動ダーリントン増幅器510の電流利得を高める。

【0055】

カスケード差動増幅器520は、テイル電流源570により形成されるテイル電流512の比率に従って可変電流増幅を提供するトランスリニア(translinear)ループを提供する。カスケード差動増幅器は、差動電流ミラー(トランスリニアループ)のトポロジでの、BJTs 500、502、504および506を備え、差動電流ミラーはテイル電流512を変化させることによって、電流増幅器の利得を変化させることを可能とする。

【0056】

電流増幅器160の利得は、テイル電流源570により制御される。差動ポート512を介して

10

20

30

40

50

、テイル電流源570は、ダーリントン差動増幅器510およびカスケード差動増幅器520に接続される。各々の電流増幅器160の電流増幅は、制御ポート150に印加された図4および図5の指数関数発生器360により形成された制御電流を使用することによって、指数的に変化させられることが可能である。テイル電流源570は、電源509によって、バイアスされる。

【0057】

図8は、テイル電流源570の一つの実施例を示している。テイル電流源570は以下を備える：指数関数発生器861；これは、指数関数発生器360の出力358と類似しているか又は同じ出力859を生じる指数関数発生器360（図4および5）と類似しているか、同じものでよい。指数関数発生器861は、一組のバイポーラ電流ミラー860に接続される。図8において、両方の回路は電源509に接続されるが、それらはまた、異なる電源に接続されることもできる。一組のバイポーラ電流ミラー860は、第一のBJTグループ822、824と830、および第二のBJTグループ832、834と840、および第一の抵抗器グループ826、828と844、及び第二の抵抗器グループ836、838と842とを具備する。一組のバイポーラ電流ミラーの目的は、指数関数発生器861により提供される制御電流を受けて、それをテイル電流512に変えることである。

10

【0058】

発明の実施例において、指数関数発生器360および861は同じ要素であって、電流増幅器160Aおよび160Bと同様に、CDMA入力段122に映されることが出来る単一の制御電流を都合よく提供する。この実施例は、電流増幅器160Aおよび160Bの電流利得（そして、このように、バッテリー上のDC電流ドレイン）を減らすことによって、CDMA入力段122の相互コンダクタンスが減少するのと同じ時間と同じ比で、均等な更なるDC効率を提供する。さらに、この装置は、全ての段内の全ての電流増幅がAGC増幅器の制御電圧に指数的に（デシベルで線型）関係すること確実にする。

20

【0059】

このように、CDMAおよびFMモード内で最大の要素シェアリングを有するCDMAおよびFM信号上で高ダイナミックレンジを有するVGAを本発明は提供する。この種のVGAを利用している移動受信器は、より広い入力パワーレンジ上で信号を検出できる。VGAも、そのDCパワーの消費は最小である。したがって、VGAは移動通信装置において、使われることができ、そして、都合よく、バッテリーの動作寿命を保護できる。最後に、VGAの利得は、DC制御電圧を線形に調節することによって、デシベル単位で線形に変化させられることが可能である。

30

【0060】

好適な実施例に関する以前の説明は、いずれの当業者も本発明を作るかまたは使用することを可能にするために提供される。これらの実施例への多様な修正は当業者には既に明らかであり、ここで定義される一般的な原理は発明能力を使うことなく他の実施例に適用されることが出来る。このように、本発明は、ここで示される実施例に限られることはなく、ここで開示される原理及び特徴に合致したもっとも広い範囲に与えられる。

【図面の簡単な説明】

【0061】

【図1A】本発明で使用できる例示的なCDMA/FMデュアルモード通信装置の概要図。

40

【図1B】本発明で使用できる例示的なCDMA/FMデュアルモード通信装置の概要図。

【図2】本発明の例示的な3段可変利得増幅器のブロック図。

【図3】図2のCDMA入力段を示す概要図。

【図4】図2の相互コンダクタンス増幅器バイアス制御回路を示す概要図。

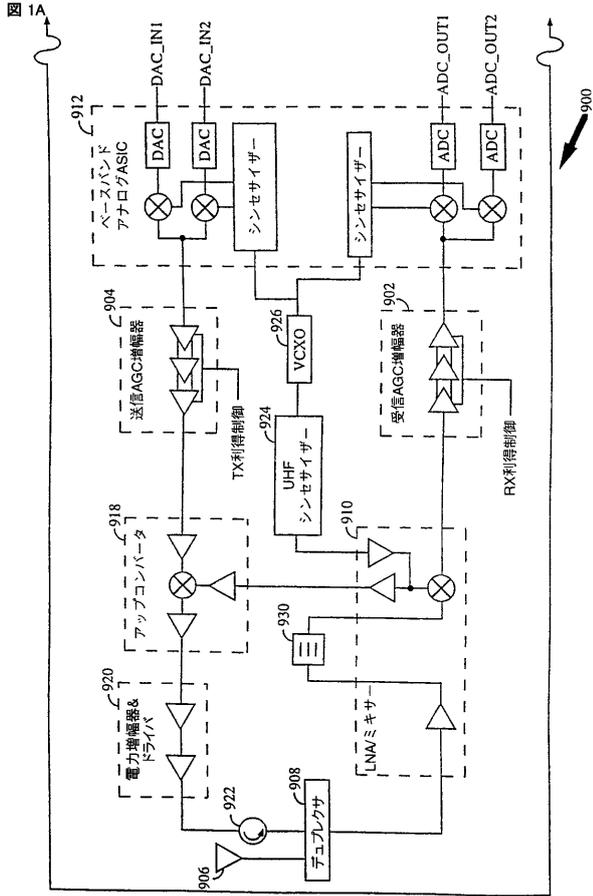
【図5】図4の指数関数発生器を示す概要図。

【図6】本発明の有益な特性を例示するために構成された、図2および図3内の部分的部品の組合せを示す概要図。

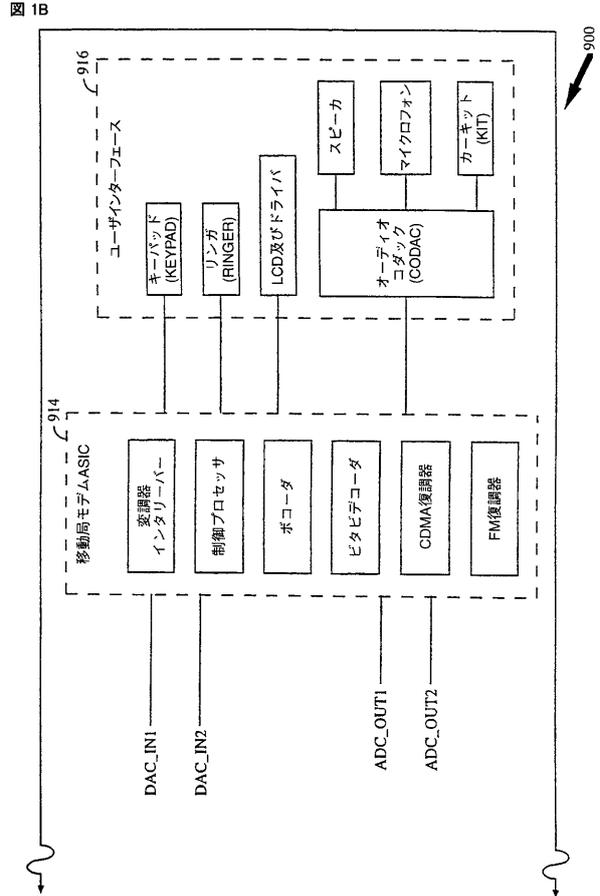
【図7】図2の電流増幅器を示す概要図。

【図8】図7の末尾電流源を示す概要図。

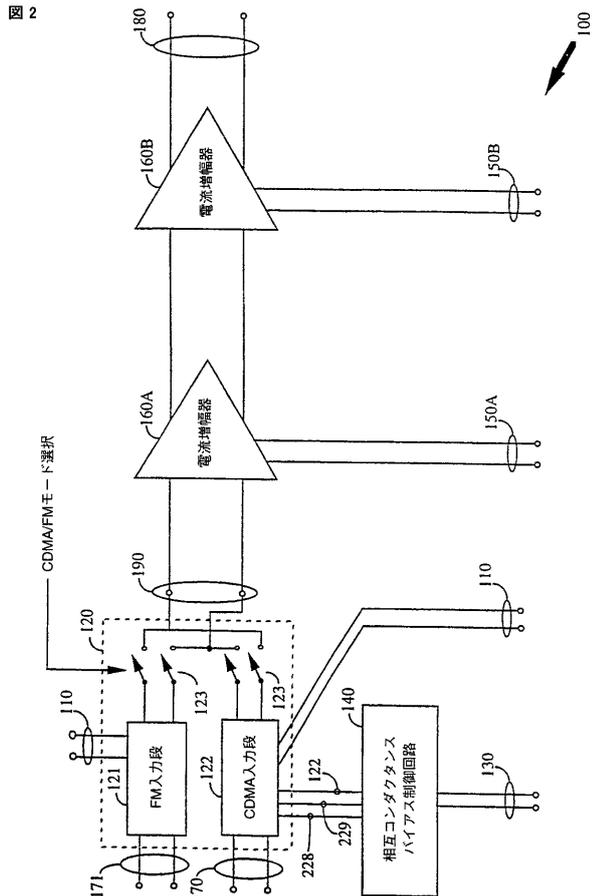
【図 1 A】



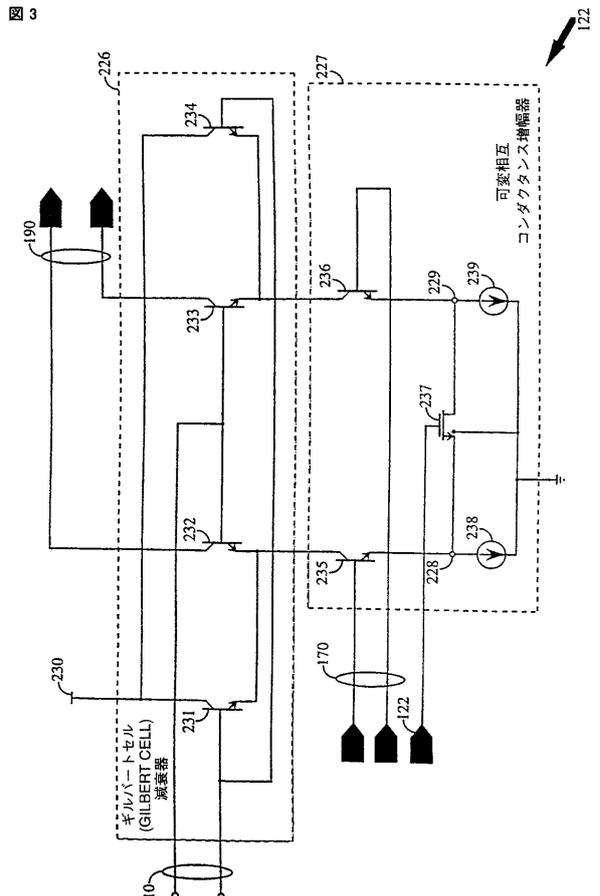
【図 1 B】



【図 2】

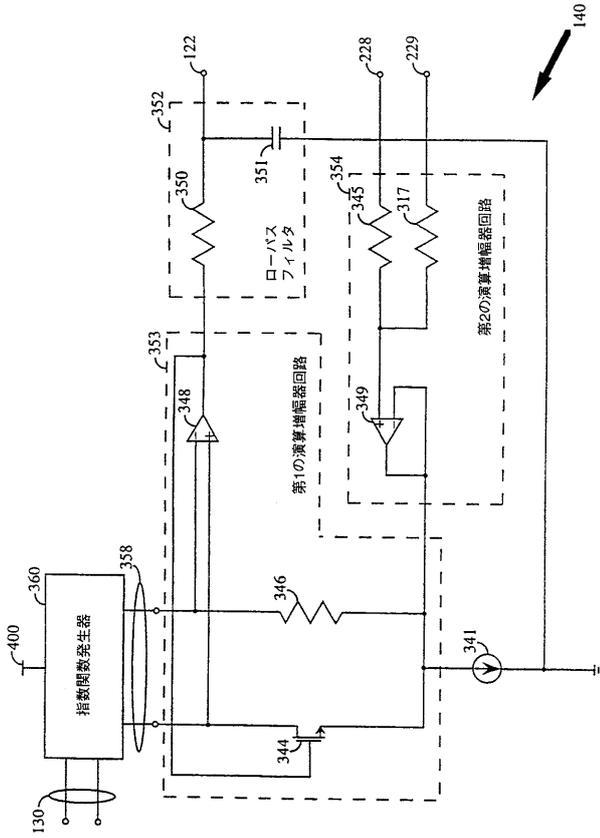


【図 3】



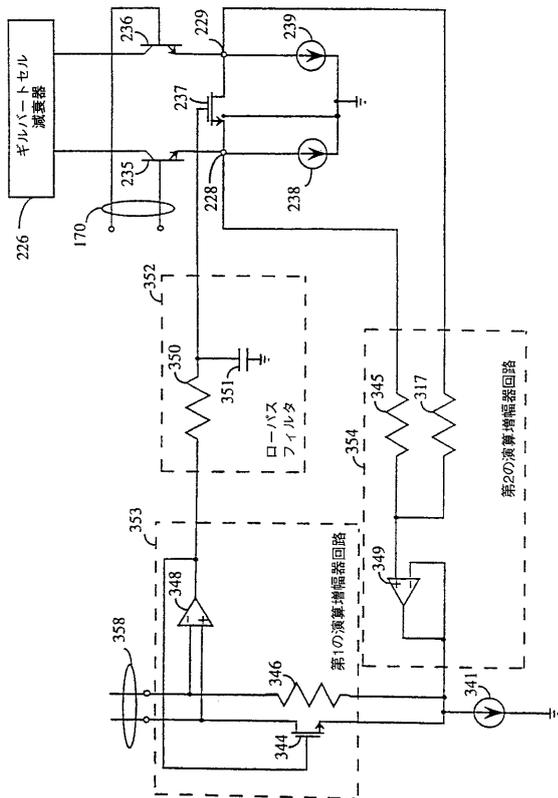
【 図 4 】

図 4



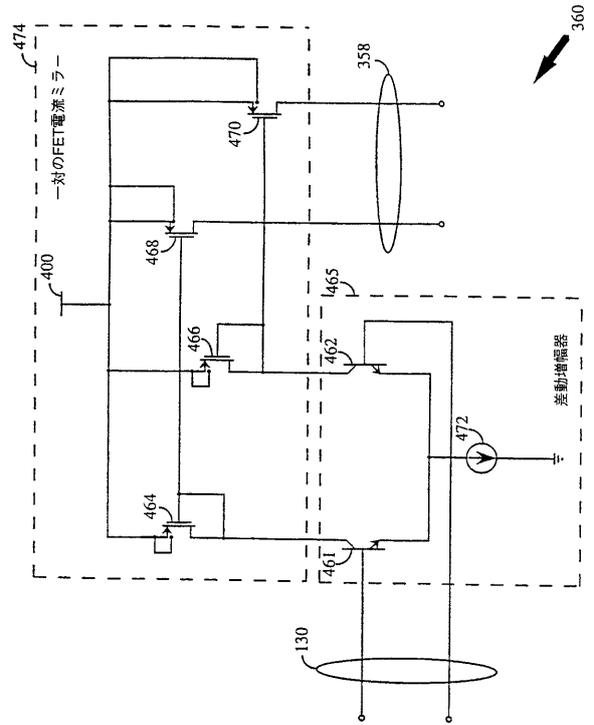
【 図 6 】

図 6



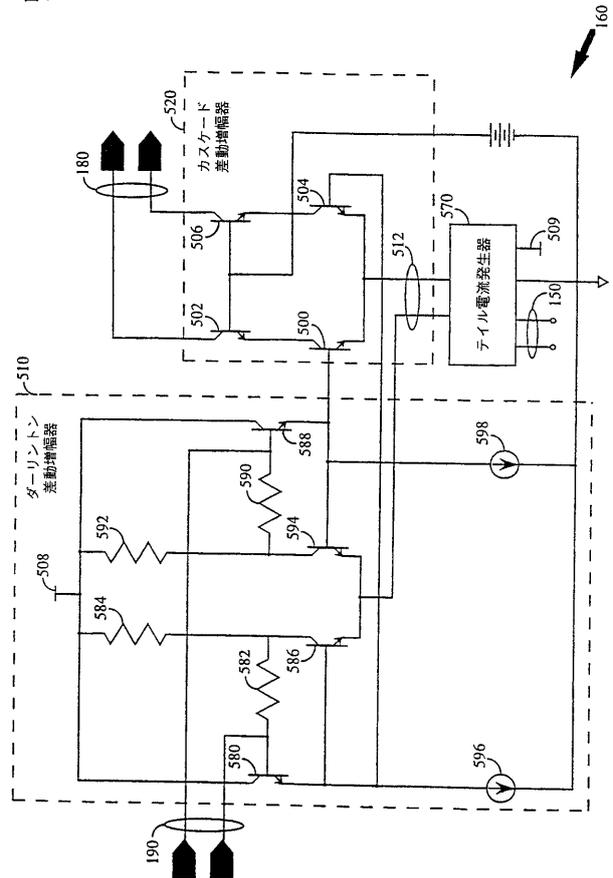
【 図 5 】

図 5



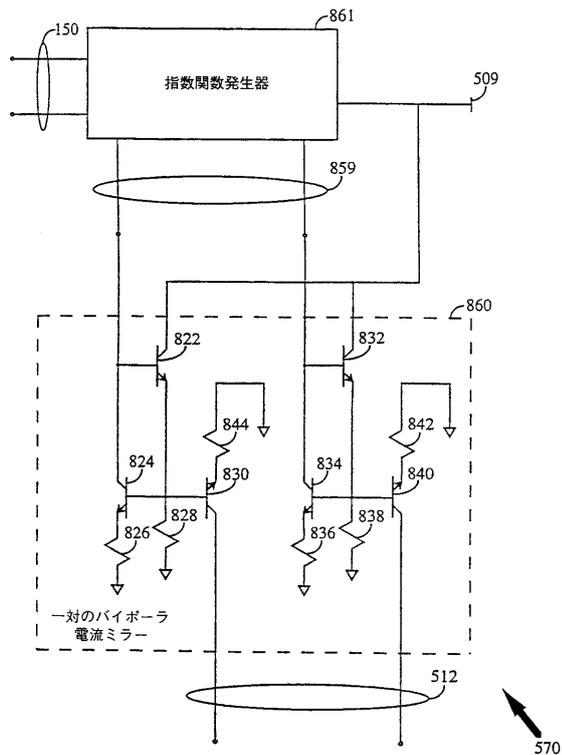
【 図 7 】

図 7



【図 8】

図 8



【手続補正書】

【提出日】平成19年9月5日(2007.9.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

可変エミッタ ディジェネレーションを有する少なくとも1つのトランジスタを有する相互コンダクタンス入力段であって、前記交互コンダクタンス入力段は増幅する信号を受信するための一対のディファレンシャル電圧入力をも有するとともに、ディファレンシャル電流出力を有する前記相互コンダクタンス入力段、

増幅すべき前記信号を増幅するための前記ディファレンシャル電流出力に接続された少なくとも1つの電流増幅器、及び

前記相互コンダクタンスと前記少なくとも1つの電流増幅器に接続され、制御信号を前記相互コンダクタンス入力段と前記少なくとも1つの電流増幅器に印加するための制御回路であって、前記制御回路は制御電圧の線形変化に対応して前記少なくとも1つの電流増幅器及び前記相互コンダクタンス入力段の利得を指数的に変化させる、

ここにおいて、前記少なくとも1つの電流増幅器は、

電気抵抗の分路-直列帰還を有する差動ダーリントン増幅器、

トランスリニア ループとして前記差動ダーリントン増幅器に接続された、差動カスケード増幅器、及び

前記制御回路、前記差動ダーリントン増幅器、および、前記差動カスケード増幅器とに接続されたテイル電流源であって、テイル電流のディファレンシャル対を形成する

前記テイル電流源、とを備え、

前記電流増幅器の利得は、前記差動対のテイル電流の比に比例する、
可変利得増幅器。

【請求項 2】

前記差動ダーリントン増幅器は、

前記相互コンダクタンス入力段の前記ディファレンシャル電流出力の一つに接続されたベースを有する第一のバイポーラ接合トランジスタ、

前記相互コンダクタンス段の前記ディファレンシャル電流出力の内の他の一つに接続されたベースを有する第二のバイポーラ接合トランジスタ、

前記第一のバイポーラ接合トランジスタのコレクタに第一の終端で接続され、及び前記第一のバイポーラ接合トランジスタの前記ベースに第二の終端で接続された第一の電流分割器、及び

前記第二のバイポーラ接合トランジスタのコレクタに第一の終端で接続され、前記第二のバイポーラ接合トランジスタの前記ベースに第二の終端で接続された第二の電流分割器、を備え、

前記差動ダーリントン増幅器の電流利得は、前記第 1 および第 2 の電流分割器内の抵抗の比率によって増加する、

請求項 1 の可変利得増幅器。

【請求項 3】

固定された相互コンダクタンス入力段と可変の相互コンダクタンス入力段を有する増幅器内で入力信号を増幅する方法であって、前記固定された相互コンダクタンス入力段と前記可変の相互コンダクタンス入力段はモード切替スイッチを介して電流増幅器に接続される該方法、該方法は下記工程を具備する、

入力信号を前記固定された相互コンダクタンス入力段と前記可変の相互コンダクタンス入力段に印加する、

前記固定された相互コンダクタンス入力段又は前記可変の相互コンダクタンス入力段の出力を、モード切替信号に応答して前記電流増幅器に選択的に印加する。

【請求項 4】

線形に可変の制御電圧を増幅器に印加し、入力信号の電流振幅内で対応する指数変化を生ぜしめる工程を、さらに具備した請求項 3 の方法。

【請求項 5】

一対の電流を形成する工程であって、入力信号の電流振幅を変化させるように、その振幅比が制御電圧で指数的に変化する上記工程を備えた請求項 3 の方法。

フロントページの続き

(74)代理人 100075672

弁理士 峰 隆司

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100095441

弁理士 白根 俊郎

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100103034

弁理士 野河 信久

(74)代理人 100092196

弁理士 橋本 良郎

(74)代理人 100100952

弁理士 風間 鉄也

(72)発明者 サホタ・エス・ゲルカンワル

アメリカ合衆国、カリフォルニア州 9 2 1 0 3、サン・ディエゴ、ウーパス・ストリート・ナン
バー9、5 1 0

Fターム(参考) 5J100 AA16 BA05 BA06 BB01 BB21 BC02 BC03 CA01 CA02 CA05
CA07 CA18 CA21 CA22 CA31 DA06 EA02 FA02

【外国語明細書】

2008005538000001.pdf