



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2008년04월01일  
(11) 등록번호 10-0818423  
(24) 등록일자 2008년03월25일

(51) Int. Cl.

*H01L 21/60* (2006.01)

- (21) 출원번호 10-2002-0012170
- (22) 출원일자 2002년03월07일  
심사청구일자 2007년03월07일
- (65) 공개번호 10-2002-0077650
- (43) 공개일자 2002년10월12일
- (30) 우선권주장  
JP-P-2001-00108603 2001년04월06일 일본(JP)  
JP-P-2002-00012775 2002년01월22일 일본(JP)
- (56) 선행기술조사문헌  
일본 특개평 12-188369호  
일본 특개평 08-274124호

(73) 특허권자

가부시키키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다쿠 마루노우치 1초메 6반 6고

가부시키키가이샤 르네사스 기따 니혼 세미컨덕터

일본 홋카이도 가메다군 나나에초 아자나카지마 145반치

(72) 발명자

나카무라시게루

일본국홋카이도오가메다군나나에쵸오아자나카지마 145반치히타치훗카이세미컨덕터가부시키키가이샤내

고토우마사카즈

일본국홋카이도오가메다군나나에쵸오아자나카지마 145반치히타치훗카이세미컨덕터가부시키키가이샤내

(74) 대리인

구영창, 장수길

전체 청구항 수 : 총 3 항

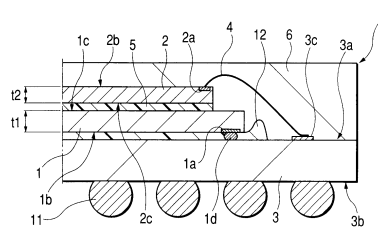
심사관 : 백양규

**(54) 반도체 장치 및 그 제조 방법**

**(57) 요약**

스택 구조의 반도체 장치의 박형화를 도모한다. 칩 지지면(3a) 상에 복수의 접속 단자(3c)를 구비하고, 이면(3b) 상에 복수의 땀납 볼(11)을 포함하는 싱글 피스 기판(3)과, 주면(1b) 및 이면(1c)을 구비하고, 주면(1b) 상에 복수의 패드(1a)와 복수의 반도체 소자를 포함하는 제1 반도체 칩(1)과; 주면(2b) 및 이면(2c)을 구비하고, 주면(2b) 상에 복수의 패드(2a)와 복수의 반도체 소자를 포함함과 함께, 제1 반도체 칩(1)보다 두께가 얇은 제2 반도체 칩(2)과; 싱글 피스 기판(3)의 칩 지지면(3a) 상에 형성되고, 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 밀봉하는 수지 밀봉체(6)와, 제2 반도체 칩(2)의 패드(2a)와 이에 대응하는 싱글 피스 기판(3)의 접속 단자(3c)를 접속하는 와이어(4)로 이루어지며, 제1 반도체 칩(1)보다 제2 반도체 칩(2)을 얇게 하여 스택 구조의 박형화를 도모한다.

대표도 - 도2



- |                 |                    |
|-----------------|--------------------|
| 1: 제1 반도체 칩     | 3: 싱글 피스 기판(배선 기판) |
| 1a: 패드(전극)      | 3a: 칩 지지면(주면)      |
| 1b: 주면          | 3b: 이면(반대측 면)      |
| 1c: 이면          | 3c: 접속 단자(전극)      |
| 1d: 금 뱀프(동기 전극) | 4: 와이어             |
| 2: 제2 반도체 칩     | 5: 다이 본드 필름재(접착재)  |
| 2a: 패드(전극)      | 6: 수지 밀봉체          |
| 2b: 주면          | 9: GPS(반도체 장치)     |
| 2c: 이면          | 11: 땀납 볼(와이어 전극)   |
|                 | 12: NCF(접착재)       |

**특허청구의 범위**

**청구항 1**

- (a) 주면 상에 복수의 전극을 포함하는 배선 기판을 준비하는 공정과,
- (b) 주면 및 이면을 구비하며, 상기 주면 상에 복수의 돌기 전극과 복수의 반도체 소자를 포함하는 제1 반도체 칩을 준비하는 공정과,
- (c) 주면 및 이면을 구비하며, 상기 주면 상에 복수의 전극과 복수의 반도체 소자를 포함함과 함께, 상기 제1 반도체 칩보다 얇은 제2 반도체 칩을 준비하는 공정과,
- (d) 상기 제1 반도체 칩의 주면을 상기 배선 기판의 주면에 마주 보게 하고, 또한 상기 제1 반도체 칩의 복수의 돌기 전극이 상기 배선 기판의 복수의 전극과 대향하도록, 상기 제1 반도체 칩을 상기 배선 기판의 주면 상에 제1 접착재를 통해 배치하는 공정과,
- (e) 상기 (d) 공정 후에 상기 제1 반도체 칩의 이면에 압력을 가하고, 상기 제1 반도체 칩의 복수의 돌기 전극과 상기 배선 기판의 복수의 전극을 전기적으로 접속하고, 또한 상기 제1 접착재에 의해 상기 제1 반도체 칩을 상기 배선 기판에 접촉하는 공정과,
- (f) 상기 (e) 공정 후에, 상기 제1 반도체 칩의 이면 상에 상기 제2 반도체 칩을, 상기 제1 반도체 칩의 이면과 상기 제2 반도체 칩의 이면이 제2 접착재를 통해 마주 보도록 배치하고, 또한 상기 (e) 공정 시에 가한 압력보다 낮은 압력을 가하여 상기 제2 접착재에 의해 상기 제2 반도체 칩을 상기 제1 반도체 칩의 이면에 접촉하는 공정과,
- (g) 상기 제2 반도체 칩의 복수의 전극과 상기 배선 기판의 복수의 전극을 복수의 와이어를 통해 전기적으로 접속하는 공정과,
- (h) 상기 제1, 제2 반도체 칩 및 상기 복수의 와이어를 밀봉하는 수지 밀봉체를 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 2**

제1항에 있어서,

상기 (e) 공정 시에, 상기 제1 반도체 칩에 압력과 동시에 열을 가하는 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 3**

제1항에 있어서,

상기 복수의 돌기 전극은 금 범프이고, 상기 제1 접착재는 필름재이며, 상기 (e) 공정에 있어서의 상기 제1 반도체 칩의 복수의 돌기 전극과 상기 배선 기판의 복수의 전극과의 전기적 접속은, 상기 금 범프의 압접에 의한 것을 특징으로 하는 반도체 장치의 제조 방법.

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

- 청구항 24
- 삭제
- 청구항 25
- 삭제
- 청구항 26
- 삭제
- 청구항 27
- 삭제
- 청구항 28
- 삭제
- 청구항 29
- 삭제
- 청구항 30
- 삭제
- 청구항 31
- 삭제
- 청구항 32
- 삭제
- 청구항 33
- 삭제
- 청구항 34
- 삭제
- 청구항 35
- 삭제
- 청구항 36
- 삭제
- 청구항 37
- 삭제
- 청구항 38
- 삭제
- 청구항 39
- 삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

**명세서**

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

- <115> 본 발명은 반도체 제조 기술에 관한 것으로, 특히 스택 구조의 반도체 장치의 소형화에 적용하기에 유효한 기술에 관한 것이다.
- <116> 반도체 소자가 형성된 반도체 칩을 갖는 반도체 장치(반도체 패키지)에 있어서, 복수의 반도체 칩을 하나의 패키지에 저장한 구조의 일례로서 스택 구조가 알려져 있다.
- <117> 스택 구조의 반도체 장치에서는 반도체 칩을, 예를 들면 2단으로 적층하고, 이를 수지 몰드하여 패키지로 한다.
- <118> 또, 스택 구조의 반도체 장치와 그 제조 방법에 대해서는 예를 들면, 특개2000-188369호 공보, 특개2000-299431호 공보 및 특개평11-219984호 공보에 기재되어 있다. 특개2000-188369호 공보에 개시되어 있는 바와 같이 페이스 업 실장되고, 와이어 본딩 접속된 칩 위에, 또 다른 칩을 적층하여 실장하는 구조에 있어서는, 위의 칩이 아래 칩의 전극을 덮지 않는 형상일 필요가 있어, 칩 사이즈의 제약이 크다.
- <119> 이와 비교하여, 특개2000-299431호 공보나 특개평11-219984호 공보에 개시되어 있는 바와 같이, 하층의 반도체 칩이 페이스 다운 실장에 의한 플립 칩 접속, 또한 상층의 반도체 칩이 페이스 업 실장에 의한 와이어 본딩 접속되는 구조에서는 상기한 바와 같은 칩 사이즈의 제약이 없어, 보다 자유도가 높은 구조가 된다.
- <120> 그 중, 특개2000-299431호 공보에는 상층의 반도체 칩의 일부가 돌출하는 구조의 반도체 장치에서의 상층의 반도체 칩의 와이어 본딩성의 향상을 도모하는 기술이 기재되어 있다.
- <121> 또한, 특개평11-219984호 공보에는 칩 적층 구조를 갖고, 또한 SMT(Surface Mount Technology)에 의해 후막 배선 기관 상에 실장할 수 있는 반도체 장치 패키지 및 그 제조 방법에 대하여 기재되어 있다.

**발명이 이루고자 하는 기술적 과제**

- <122> 그런데, 스택 구조의 반도체 장치를 휴대 전화기 등의 휴대 기기에 실장하는 경우, 반도체 장치의 소형화와 함께 박형화도 요구된다. 그러나, 반도체 장치의 박형화를 추구함에 있어서, 칩 강도의 저하라는 새로운 문제가 발생하였다.
- <123> 또한, 배선 기관 상에 실장한 반도체 칩을 수지 밀봉하는 수단으로서, 트랜스퍼 몰드법을 채용하는 것이 생산성을 향상시키기 위해서 바람직하다. 그러나, 상기 칩 적층 구조에 트랜스퍼 몰드법을 채용함에 있어서, 보이드의 발생이라는 또다른 새로운 문제가 발생하였다.
- <124> 본 발명의 목적은 박형화를 도모하는 스택 구조의 반도체 장치 및 그 제조 방법을 제공하는 데 있다.
- <125> 또한, 본 발명의 다른 목적은 칩 사이즈의 제약을 저감시키는 스택 구조의 반도체 장치 및 그 제조 방법을 제공

하는 데 있다.

<126> 또한, 본 발명의 또다른 목적은 수지 밀봉 시의 보이드 발생이나 칩 균열을 방지하는 스택 구조의 반도체 장치 및 그 제조 방법을 제공하는 데 있다.

<127> 본 발명의 상기 및 그 밖의 과제, 및 목적과 신규 특징은 본 명세서의 기술 및 첨부 도면에서 분명히 될 것이다.

**발명의 구성 및 작용**

<128> 본원에 있어서 개시되는 발명 중, 대표적인 것의 개요를 간단히 설명하면, 다음과 같다.

<129> 즉, 본 발명은 배선 기관 상에 제1 반도체 칩과, 그 위에 상기 제1 반도체 칩보다 얇은 제2 반도체 칩이 적층된 반도체 장치로, 제1 반도체 칩은 그 주면의 전극이 배선 기관의 전극과 대향하도록 제1 반도체 칩의 주면과 배선 기관의 주면이 마주 보고 배치되고, 제2 반도체 칩은 배선 기관의 주면 상에 제1 반도체 칩을 통해 배치된다.

<130> 또한, 본원의 그 밖의 발명의 개요를 항별로 간단히 나타낸다.

<131> 1. 서로 마주 보는 제1 및 제2 측면과, 상기 제1 및 제2 측면과 접하며, 서로 마주 보는 제3 및 제4 측면을 갖는 캐비티, 및 상기 제1 측면 상에 형성된 수지 주입구를 갖는 금형을 준비하는 공정과; 주면을 구비하는 배선 기관, 상기 배선 기관의 주면 상에 고정된 제1 반도체 칩, 상기 제1 반도체 칩 상에 고정된 제2 반도체 칩을 준비하는 공정과; 상기 배선 기관, 상기 제1 및 제2 반도체 칩을 상기 캐비티의 내부에 배치하는 공정과; 상기 제1 및 제2 반도체 칩을 배치한 후, 상기 수지 주입구로부터 수지를 주입하여, 상기 제1 및 제2 반도체 칩을 밀봉하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서, 상기 제1 및 제2 반도체 칩을 배치하는 공정 중에서, 상기 캐비티의 제3 측면과 평행한 단면에서, 상기 제1 반도체 칩의 길이가 상기 제2 반도체 칩의 길이보다 길어지도록, 상기 배선 기관, 제1 및 제2 반도체 칩을 배치하는 것이다.

<132> 2. 서로 마주 보는 제1 및 제2 측면과, 상기 제1 및 제2 측면과 접하며, 서로 마주 보는 제3 및 제4 측면을 갖는 캐비티, 및 상기 제1 측면 상에 형성된 복수의 수지 주입구를 갖는 금형을 준비하는 공정과, 주면을 구비하고 복수의 디바이스 영역이 형성된 배선 기관, 상기 배선 기관의 복수의 디바이스 영역의 각각에 고정된 제1 반도체 칩, 상기 제1 반도체 칩 상에 고정된 제2 반도체 칩을 준비하는 공정과; 상기 배선 기관, 상기 복수의 제1 및 제2 반도체 칩을 상기 캐비티 내부에 배치하여 상기 복수의 디바이스 영역을 상기 캐비티에 의해 일괄적으로 덮는 공정과; 상기 복수의 디바이스 영역을 상기 캐비티에 의해 일괄적으로 덮는 공정 후, 각각의 디바이스 영역에 대응한 복수의 수지 주입구로부터 수지를 주입하여, 상기 복수의 제1 및 제2 반도체 칩을 일괄적으로 밀봉하는 공정을 포함하는 반도체 장치의 제조 방법에 있어서, 상기 복수의 디바이스 영역을 상기 캐비티에 의해 일괄적으로 덮는 공정 중에서, 상기 캐비티의 제3 측면과 평행한 단면에서, 각각의 상기 제1 반도체 칩의 길이는 상기 제1 반도체 칩에 적층된 상기 제2 반도체 칩의 길이보다 길어지도록 상기 배선 기관, 상기 복수의 제1 및 제2 반도체 칩을 배치하는 것이다.

<133> <실시예>

<134> 이하의 실시예에서는 특별히 필요한 경우 외에는 동일 또는 마찬가지로의 부분의 설명을 원칙적으로 반복하지 않는다.

<135> 또한, 이하의 실시예에서는 편의상 그 필요가 있을 때는 복수의 섹션 또는 실시예로 분할하여 설명하지만, 특별히 명시한 경우를 제외하고, 이들은 상호 관계없는 것이 아니라, 한쪽은 다른 쪽의 일부 또는 전부의 변형예, 상세, 보충 설명 등의 관계에 있다.

<136> 또한, 이하의 실시예에서, 요소의 수 등(개수, 수치, 양, 범위 등을 포함함)을 언급하는 경우, 특히 명시한 경우 및 원리적으로 분명히 특정한 수에 한정되는 경우 등을 제외하고, 그 특정한 수에 한정되는 것이 아니라, 특정한 수 이상이라도 이하라도 무방한 것으로 한다.

<137> 이하, 본 발명의 실시예를 도면에 기초하여 상세하게 설명한다. 또, 실시예를 설명하기 위한 전체 도면에 있어서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.

<138> <제1 실시예>

<139> 도 1은 본 발명의 제1 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 나타내는 단면도, 도 2는 도 1

에 도시한 CSP의 구조를 나타내는 부분 단면도, 도 3은 도 1에 도시한 CSP의 조립에 있어서의 웨이퍼에의 다이 본드 필름 접착 상태의 일례를 나타내는 부분 단면도, 도 4는 도 1에 도시한 CSP의 조립에 있어서의 웨이퍼 다이싱의 일례를 나타내는 부분 단면도, 도 5는 도 1에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제1 칩 마운트를 나타내는 도면, (b)는 제1 칩 열 압착을 나타내는 도면, 도 6은 도 1에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제2 칩 마운트를 나타내는 도면, (b)는 제2 칩 와이어 본딩을 나타내는 도면이다.

- <140> 도 1, 도 2에 도시한 제1 실시예의 반도체 장치는 싱글 피스 기관(3: 배선 기관) 상에 두 개의 반도체 칩이 적층된 스택 구조이며, 싱글 피스 기관(3)의 칩 지지면(3a: 주면)에서 제1 반도체 칩(1)과 이에 적층된 제2 반도체 칩(2)이 수지 몰드에 의해 밀봉되는 수지 밀봉형이다.
- <141> 또한, 상기 반도체 장치는 칩 사이즈와 같거나, 또는 그보다 약간 큰 정도의 반도체 패키지이다. 즉, 상기 반도체 장치는 스택 구조의 CSP(9)이다.
- <142> 또한, 싱글 피스 기관(3)의 칩 지지면(3a)과 반대측의 면(이후, 이면(3b)이라 함)에는 외부 단자이고, 또한 돌기 전극인 복수의 뿔납 볼(11)이 매트릭스 형태로 배치된다.
- <143> 또, 제1 실시예의 CSP(9)는 도 13에 도시한 바와 같은 복수(여기에서는 예를 들면, 3개×13개=39개의 매트릭스 배열)의 디바이스 영역(7a)이 형성된 배선 기관인 멀티 피스 기관(7)을 이용하여, 다이싱 라인(7b)에 의해 구획 형성된 복수의 디바이스 영역(7a)을 일괄적으로 덮는 상태에서 수지 몰드하고(이후, 이를 일괄 몰드라고 함), 이에 따라 형성된 도 27의 (b)에 도시한 일괄 몰드부(8)를 몰드 후에 다이싱하여 싱글 피스화한 것이다.
- <144> CSP(9)의 상세 구조를 설명하면, 주면인 칩 지지면(3a) 및 이면(3b)을 구비하며, 칩 지지면(3a) 상에 도 8에 도시한 바와 같은 복수의 접속 단자(3c: 전극)를 구비하고, 이면(3b) 상에 복수의 뿔납 볼(11)을 갖는 싱글 피스 기관(3)과, 주면(1b) 및 이면(1c)을 구비하며, 주면(1b) 상에 복수의 패드(1a: 전극)와 복수의 반도체 소자를 포함하는 제1 반도체 칩(1)과, 주면(2b) 및 이면(2c)을 구비하며, 주면(2b) 상에 복수의 패드(2a: 전극)와 복수의 반도체 소자를 포함하고, 제1 반도체 칩(1)보다 두께가 얇은 제2 반도체 칩(2)과, 싱글 피스 기관(3)의 칩 지지면(3a) 상에 형성되며, 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 밀봉하는 수지 밀봉체(6)와, 제2 반도체 칩(2)의 패드(2a)와 이에 대응하는 싱글 피스 기관(3)의 접속 단자(3c)를 접속하는 복수의 와이어(4)로 이루어진다.
- <145> 또한, 제1 반도체 칩(1)은 싱글 피스 기관(3)의 칩 지지면(3a) 상에 제1 반도체 칩(1)의 복수의 패드(1a)가 싱글 피스 기관(3)의 접속 단자(3c)와 대향하도록, 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기관(3)의 칩 지지면(3a)이 마주 보고 배치된다.
- <146> 이 때, 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이는 박막의 NCF(비 도전 필름: Non-Conductive Film)(12) 등의 접착재를 통해 고정된다.
- <147> 단, 상기 접착재로서는 NCF(12) 이외의 ACF(이방성 도전 필름: Anisotropic Conductive Film) 등을 이용해도 되고, 또는 그 밖의 접착재를 이용해도 된다.
- <148> 여기서, NCF(12) 또는 ACF는 주로, 플립 칩 접속을 행할 때에 이용되는 접착재이고, 에폭시 수지를 주성분으로 하는 열 경화성 수지에 의해 형성된 테이프 형상의 필름이다.
- <149> 또한, 제1 반도체 칩(1)의 복수의 패드(1a)는 이에 대응하는 싱글 피스 기관(3)의 복수의 접속 단자(3c)와 압접 (pressure welding)한다.
- <150> 이 때, 제1 반도체 칩(1)의 패드(1a)에 형성된 돌기 전극인 금 범프(1d)와, 싱글 피스 기관(3)의 접속 단자(3c)가 압접된다.
- <151> 또, 금 범프(1d)는 금선을 이용하여 와이어 본딩 기술을 이용하여 반도체 칩의 전극에 형성된 돌기 전극이고, CSP(9)의 조립에 있어서의 사전에, 제1 반도체 칩(1)의 패드(1a)에 설치해 둔다.
- <152> 한편, 제2 반도체 칩(2)은 싱글 피스 기관(3)의 칩 지지면(3a) 상에 제1 반도체 칩(1)을 통해 배치되며, 제1 반도체 칩(1) 및 제2 반도체 칩(2)은 다이 본드 필름재(5: 접착재)를 통해 서로의 이면(1c, 2c)이 마주 보도록 싱글 피스 기관(3)의 칩 지지면(3a) 상에 배치된다.
- <153> 즉, CSP(9)는, 스택 구조에 있어서, 하층의 제1 반도체 칩(1)이 싱글 피스 기관(3)에 대하여 페이스 다운 실장으로 플립 칩 접속되는 한편, 상층의 제2 반도체 칩(2)은 제1 반도체 칩(1)의 이면(1c)에 페이스 업 실장되어

와이어 본딩 접속되며, 이 때 도 2에 도시한 바와 같이 상층의 제2 반도체 칩(2)의 두께( $t_2$ )는 하층의 제1 반도체 칩(1)의 두께( $t_1$ )보다 얇게 된다( $t_1 \geq t_2$ ).

- <154> 예를 들면,  $t_1=240\mu\text{m}$ ,  $t_2=180\mu\text{m}$  등이지만, 이들 수치에 한정되는 것이 아니다.
- <155> 여기서, 제1 실시예의 CSP(9)의 특징인 제2 반도체 칩(2)의 두께를 제1 반도체 칩(1)의 두께보다 얇게 하는 것에 대한 설명을 한다.
- <156> 예를 들면, 휴대 전화기 등의 휴대 기기에 이용되는 반도체 소자는 그 실장 높이가 낮은 것이 요구된다. 그 때문에, 반도체 칩은 얇게 가공된 것을 사용할 필요가 있다. 최근의 박형 반도체 소자에 이용되는 반도체 칩은  $200\mu\text{m}$  이하의 두께로 가공된 것이 많다.
- <157> 일반적으로, 반도체 칩의 하층에 대한 균열은 반도체 칩의 두께가 얇을수록 발생하기 쉽다. 따라서, 제1 실시예의 CSP(9)에서는 큰 하중이 가해지는 제1 반도체 칩(1)을 두껍게 하고, 제2 반도체 칩(2)을 제1 반도체 칩(1)보다 얇게 한다.
- <158> 예를 들면, 제1 반도체 칩(1)을 열 압착할 때의 하중은 10~20kgf이고, 제2 반도체 칩(2)을 열 압착할 때의 하중은 1kgf이다.
- <159> 이와 같이 제1 반도체 칩(1)을 열 압착하는 하중을, 제2 반도체 칩(2)을 열 압착하는 하중보다 크게 하는 데에는 다음과 같은 이유가 있다.
- <160> 제1 반도체 칩(1)의 실장 공정에는 도 5의 (b)에 도시한 바와 같이 열 압착 헤드(20)로부터의 압력에 의해 금 범프(1d)가 배선 기관(3: 싱글 피스 기관) 상의 접속 단자(3c)와 압접한 상태에서 열을 가하고, 열 경화성 수지를 경화시켜서 금 범프(1d)와 접속 단자(3c)와의 접속을 확보한다. 이 때, 금 범프(1d)의 높이에 변동이 생긴 경우라도, 금 범프(1d)와 접속 단자(3c)와의 접속을 확실하게 확보하기 위해서는 열 압착 헤드(20)로부터 가하는 압력에 의해 금 범프(1d), 접속 단자(3c), 또는 접속 단자(3c) 하의 배선 기관(3)을 탄성 또는 소성 변형시키는 것이 효과적이다.
- <161> 이와 같이 금 범프(1d)를 통해 배선 기관(3) 상의 접속 단자(3c)와 접속하는 제1 반도체 칩(1)의 접속 신뢰성을 확보하기 위해서는 큰 압착력이 필요하고, 제1 반도체 칩(1)에는 이러한 압착력에 견딜 만한 강도, 즉 칩의 두께가 필요해진다.
- <162> 이와 비교하여, 페이스 업 실장되고, 와이어(4)를 통해 접속 단자(3c)와 접속하는 제2 반도체 칩(2)을 제1 반도체 칩(1) 상에 배치할 때에 가하는 압력을 작게 함으로써, 제2 반도체 칩(2)을 얇게 해도, 칩 균열의 불량을 방지할 수 있다.
- <163> 이에 따라, 제1 반도체 칩(1) 및 제2 반도체 칩(2)의 양자 모두, 실장 하중으로 인해 균열되지 않고, 또한 접속 단자(3c)와의 접속 신뢰성을 저하시키지 않고, CSP(9)의 박형화를 도모하여 원하는 실장 높이를 실현할 수 있다.
- <164> 또한, 하층의 제1 반도체 칩(1)을 페이스 다운 실장으로 플립 칩 접속함으로써, 제1 반도체 칩(1)의 이면(1c)에 적층되는 제2 반도체 칩(2)의 평면 방향의 크기를 제1 반도체 칩(1)보다 작게 할 수도, 또는 크게 할 수도 있어, 칩 사이즈의 제약을 대폭 저감할 수 있다.
- <165> 이에 따라, 스택 구조에서, 칩 사이즈의 조합의 자유도가 확대되고, 소형 멀티 칩 모듈을 실현할 수 있다.
- <166> 또한, CSP(9)에서는, 제1 반도체 칩(1)의 버스 주파수, 제2 반도체 칩(2)의 버스 주파수보다 커진다.
- <167> 이 때, 제1 반도체 칩(1)을 논리 칩으로 하고, 제2 반도체 칩(2)을 메모리 칩으로 한다.
- <168> 이는, 제1 반도체 칩(1)인 논리 칩을, 하층에 페이스 다운 실장하고, 금 범프(1d)를 통해 싱글 피스 기관(3)의 접속 단자(3c)와 접속함으로써 입출력부의 인덕턴스를 억제할 수 있게 하기 위함이다.
- <169> 그 결과, 출력 신호에 섞이는 노이즈를 억제하면서, 버스 주파수를 크게 할 수 있어, 논리 칩의 성능을 시스템이 요구하는 충분한 값으로까지 이끌어낼 수 있다.
- <170> 또, 논리 칩과 비교하여, 제2 반도체 칩(2)인 메모리 칩은 노이즈 발생을 억제하기 위해서, 전류의 시간 변화량을 제한한 범위에서도, 요구되는 성능을 충분히 발휘할 수 있으며, 논리 칩(제1 반도체 칩(1))과 메모리 칩(제2 반도체 칩(2))을 적층함으로써 CSP(9)의 소형화를 실현할 수 있다.

- <171> 또, 도 15에 도시한 바와 같이 제1 반도체 칩(1) 및 제2 반도체 칩(2)은 예를 들면, 실리콘 등에 의해 형성되고, 또한 각각의 주면(1b, 2b)에는 반도체 집적 회로가 형성되며, 주면(1b, 2b)의 모서리에는 접속용 전극인 복수의 패드(1a, 2a)가 형성된다.
- <172> 또한, 수지 밀봉체(6)의 형성에 이용되는 몰드용 수지는, 예를 들면 열 경화성의 에폭시 수지 등이다.
- <173> 또한, 싱글 피스 기관(3)은 예를 들면, 유리 에폭시 기관이다.
- <174> 또, 싱글 피스 기관(3)에는 그 칩 지지면(3a)에, 와이어(4) 및 금 범프(1d)와의 접속을 도모하는 복수의 접속 단자(3c)가 형성되고, 그 이면(3b)에는 땀납 볼(11)이 탑재되는 도 14의 (b)에 도시한 바와 같은 복수의 범프 랜드(3d)가 노출되어 배치된다.
- <175> 또한, 와이어 본딩에 의해 접속되는 와이어(4)는 예를 들면, 금선이다.
- <176> 또한, 싱글 피스 기관(3)의 각 접속 단자(3c)에 도통하여 접속된 외부 단자인 복수의 땀납 볼(3)은 싱글 피스 기관(3)의 이면(3b)에 매트릭스 형태로 배치된다.
- <177> 다음으로, 제1 실시예의 CSP(9)의 제조 방법의 개요에 대하여 설명한다.
- <178> 또, 여기에서는 CSP(9)의 제조 공정 중, 도 3과 도 4에 도시한 반도체 칩 형성 공정, 도 5의 (a)에 도시한 제1 반도체 칩 마운트 공정, 도 5의 (b)에 도시한 제1 반도체 칩 열 압착 공정, 도 6의 (a)에 도시한 제2 반도체 칩 마운트 공정 및 도 6의 (b)에 도시한 와이어 본딩 공정에 대하여 설명한다.
- <179> 우선, 칩 지지면(3a) 상에 복수의 접속 단자(3c)를 갖는 싱글 피스 기관(3: 배선 기관)을 준비한다.
- <180> 또한, 제1 반도체 칩(1)과 제2 반도체 칩(2)을 준비한다.
- <181> 즉, 주면(1b) 및 이면(1c)을 갖고, 또한 주면(1b) 상에 복수의 패드(1a) 및 복수의 반도체 소자를 포함하는 제1 반도체 칩과 마찬가지로, 주면(2b) 및 이면(2c)을 갖고, 주면(2b) 상에 복수의 패드(2a) 및 복수의 반도체 소자를 포함하고, 제1 반도체 칩(1)보다 얇은 제2 반도체 칩(2)을 준비한다.
- <182> 이 때, 제1 반도체 칩(1) 상에 적층시키는 제2 반도체 칩(2)에 대해서는 도 3에 도시한 바와 같이 사전에 반도체 웨이퍼(17) 상태에서 그 이면(17b)에 다이 본드 필름재(5)를 접착해 두고, 그 후 다이싱에 의해 싱글 피스화하여 제2 반도체 칩(2)을 얻는다.
- <183> 우선, 제2 반도체 칩(2) 형성용 반도체 웨이퍼(17)의 주면(회로면: 17a)의 반대측의 이면(17b)을 백 그라인딩에 의해 원하는 두께로 연삭한 후, 에폭시 수지 등으로 이루어지는 다이 본드 필름재(5)를 반도체 웨이퍼(17)의 이면(17b) 전체에 접착한다.
- <184> 즉, 120℃로 가열된 스테이지(18) 상에, 주면(17a)과 함께 아래로 향한 반도체 웨이퍼(17)를 탑재한다. 이 때, 120℃는 다이 본드 필름재(5)가 경화하지 않는 온도이며, 또한 다이 본드 필름재(5)가 반도체 웨이퍼(17)에 밀착하기 쉬운 온도이다.
- <185> 그 후, 반도체 웨이퍼(17)의 이면(17b)에 다이 본드 필름재(5)를 덮고, 롤러(14)를 다이 본드 필름재(5) 위에서부터 반도체 웨이퍼(17) 위로 굴러, 기포를 압출하면서 접착한다.
- <186> 계속해서, 반도체 웨이퍼(17)로부터 돌출되어 있는 다이 본드 필름재(5)를 절단하고, 다이 본드 필름재(5)에 침부되어 있는 보호 시트(15)를 박리한다.
- <187> 그 후, 도 4에 도시한 바와 같이 다이 본드 필름재(5)가 접착된 반도체 웨이퍼(17)를 고정 링(19)에 의해 지지된 다이싱용 UV 테이프인 다이싱 테이프(16)에 접착한다.
- <188> 그 후, 다이싱 블레이드(10)를 이용하여 다이싱을 행하여 반도체 웨이퍼(17)를 절단함으로써(싱글 피스화), 제2 반도체 칩(2)을 얻는다.
- <189> 그 때, 다이싱 블레이드(10)의 절단은, 다이싱 블레이드(10)가 다이 본드 필름재(5)를 완전하게 절단하는 깊이까지 행한다. 이는 다음의 공정인 다이 본드 공정에서, 다이 본드 필름재(5)가 끊어져 있지 않으면, 반도체 칩을 다이싱 테이프(16)로부터 떼어낼 때에, 반도체 칩만이 들어 올려져 반도체 칩으로부터 다이 본드 필름재(5)가 떼내어지는 것을 방지하기 위함이다.
- <190> 이상과 같이 반도체 웨이퍼(17)의 이면(17b) 전체에 일괄적으로 다이 본드 필름재(5)를 붙인 후, 다이싱하여 개의 제2 반도체 칩(2)을 취득함으로써, 싱글 피스화된 반도체 칩에 뒤부터 다이 본드 필름재(5)를 붙이는 경우

와 비교하여, 작업성이 향상되고, 비용 절감을 도모할 수 있다.

- <191> 그 후, 도 5의 (a)에 도시한 제1 반도체 칩(1)의 마운트를 행한다.
- <192> 제1 반도체 칩(1)의 복수의 패드(1a)의 각각은 제1 반도체 칩(1)의 주면(1b) 상에 형성된 패드(1a)와, 패드(1a) 상에 배치된 돌기 전극인 금 범프(1d)에 의해 구성된다.
- <193> 우선, 제1 반도체 칩(1)의 주면(1b)을 싱글 피스 기관(3)의 칩 지지면(3a)에 마주보게 하고, 제1 반도체 칩(1)의 복수의 패드(1a)가 싱글 피스 기관(3)의 복수의 접속 단자(3c)와 대향하도록, 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 배치한다.
- <194> 그 후, 제1 반도체 칩(1)의 이면(1c)에 압력을 가해 제1 반도체 칩(1)의 복수의 패드(1a)와 싱글 피스 기관(3)의 복수의 접속 단자(3c)를 전기적으로 접속한다.
- <195> 이 때, 우선, 도 5의 (a)에 도시한 바와 같이 싱글 피스 기관(3)의 칩 지지면(3a)의 제1 반도체 칩(1) 탑재 영역에 제1 반도체 칩(1)보다 약간 크게 절단한 NCF(12: 접착제)를 배치하고, 계속해서 제1 반도체 칩(1)의 패드(1a)가 싱글 피스 기관(3)의 접속 단자(3c)와 대향하도록, 패드(1a)와 이에 대응하는 접속 단자(3c)를 위치 결정하여 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 배치하고, 그 후 제1 반도체 칩(1)의 이면(1c)에 1~5Kgf 정도의 상당히 작은 하중을 부여한다.
- <196> 이에 따라, 금 범프(1d)가 NCF(12)에 박혀, 제1 반도체 칩(1)이 싱글 피스 기관(3) 상에 임시로 고정된다.
- <197> 그 후, 도 5의 (b)에 도시한 바와 같이 열 압착 헤드(20)에 의해 제1 반도체 칩(1)의 이면(1c)에 압력을 가한다. 또한, 상기 압력과 동시에 열 압착 헤드(20)로부터 열도 가한다.
- <198> 이에 따라, 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에서 NCF(12)의 열 경화성 수지를 경화시켜, 상기 열 경화성 수지를 통해 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 고정한다.
- <199> 또, 열 압착 헤드(20)는 그 가압면이 싱글 피스 기관(3)과 거의 동일한 정도의 크기이다.
- <200> 열 압착에서는, 싱글 피스 기관(3)을 70℃ 전후로 가열된 다이 본드 스테이지(21) 상에 탑재하고, 제1 반도체 칩(1)의 이면(1c)을 300℃ 전후로 가열된 열 압착 헤드(20)로 가압한다. 이 때의 가압 하중은 제1 반도체 칩(1)의 1 범프당 50~100gf 정도이다. 예를 들면, CSP(9)가 200 범프인 것이면, 10~20kgf 정도의 하중을 열 압착 헤드(20)에 의해 제1 반도체 칩(1)에 부가한다.
- <201> 그 결과, NCF(12)가 200℃ 전후의 온도가 되어, 용융·경화함으로써, 제1 반도체 칩(1)의 패드(1a) 상의 금 범프(1d)와, 싱글 피스 기관(3)의 접속 단자(3c)가 접촉하여 전기적으로 도통한다.
- <202> 이 때, 특별히 상세하게는 도시하지 않지만, 상기 열 압착 헤드(20)로부터의 가압 하중에 의해 금 범프(1d), 접속 단자(3c), 또는 접속 단자(3c) 하의 배선 기관(3)을 탄성 또는 소성 변형시킨 상태에서 열 경화성 수지를 경화시키기 때문에, 금 범프(1d)의 높이에 변동이 있는 경우, 또는 제1 반도체 칩(1) 또는 제2 반도체 칩(2) 동작 시의 발열에 의해 열 경화성 수지가 열 팽창한 경우라도, 금 범프(1d)와 접속 단자(3c) 사이의 접속 신뢰성을 충분히 확보할 수 있다.
- <203> 또, 제1 반도체 칩(1)의 플립 칩 접속이, 예를 들면 금-금 접속으로 행해지는 경우, 즉 싱글 피스 기관(3)의 접속 단자(3c)의 표면에 금 도금되어 있는 경우에는 NCF(12)나 ACF 등의 필름 형상의 접착제는 사용하지 않고, 제1 반도체 칩(1)에 압력과 동시에 초음파를 가하여 초음파 금-금 접속에 의해 제1 반도체 칩(1)과 싱글 피스 기관(3)을 접속할 수도 있다.
- <204> 그 경우, 제1 반도체 칩(1)의 주면(1b)의 보호, 접속 신뢰성의 확보, 몰드 시의 칩 균열의 방지를 위해, 칩 접속 후, 싱글 피스 기관(3)과 제1 반도체 칩(1) 사이에 절연성 수지를 유입시켜 언더 필 밀봉을 행한다.
- <205> 다음으로, 도 6의 (a)에 도시한 제2 반도체 칩(2)의 마운트를 행한다.
- <206> 이 때, 제1 반도체 칩(1)의 이면(1c) 상에 제1 반도체 칩(1)보다는 두께가 얇게 형성된 제2 반도체 칩(2)을 제1 반도체 칩(1)의 이면(1c)과 제2 반도체 칩(2)의 이면(2c)이 다이 본드 필름재(5)를 통해 마주 보도록 배치하며, 압착 헤드(상온)에 의해 제1 반도체 칩(1)의 다이 본드 시에 부가한 압력(CSP(9)가 200 범프인 경우, 10~20kgf 정도의 하중)보다 작은 압력을 가하면서 배치한다.
- <207> 즉, 제2 반도체 칩(2)의 이면(2c)에는 사전에 다이 본드 필름재(5)가 접촉되어 있기 때문에, 플립 칩 접속된 제

1 반도체 칩(1)의 이면(1c)에, 열과 작은 하중으로 다이 본드 필름재(5)를 접착재로 하여 제2 반도체 칩(2)을 고착한다. 또한, 이 때 다이 본드 필름재(5)를 경화시키기 위한 가열은 다이 본드 스테이지(21)로 행하고, 상기 압착 헤드의 온도는 다이 본드 스테이지(21)의 온도보다 낮게, 예를 들면, 상온으로 설정하는 것이 좋다.

- <208> 또, 그 때의 하중(압력)은, CSP(9)의 제2 반도체 칩(2)의 주변(2b)의 크기가 예를 들면, 50mm<sup>2</sup> 정도인 경우, 1kgf 정도이며, 온도는 160℃ 정도이다.
- <209> 그 후, 도 6의 (b)에 도시한 바와 같이 제2 반도체 칩(2)의 복수의 패드(2a)와 각각에 대응하는 싱글 피스 기관(3)의 복수의 접속 단자(3c)를 와이어 본딩에 의한 금선의 와이어(4)를 통해 전기적으로 접속한다.
- <210> 계속해서, 제1 반도체 칩(1), 제2 반도체 칩(2) 및 복수의 와이어(4)를 수지 밀봉한다.
- <211> 즉, 싱글 피스 기관(3)의 칩 지지면(3a)측에서, 트랜스퍼 몰드에 의해 제1 반도체 칩(1), 제2 반도체 칩(2) 및 복수의 와이어(4)를 수지 밀봉하여 수지 밀봉체(6)를 형성한다.
- <212> 그 후, 싱글 피스 기관(3)의 이면(3b)상에, 싱글 피스 기관(3)의 복수의 접속 단자(3c)와 전기적으로 접속하는 복수의 돌기 전극인 뿔납 볼(11)을 탑재한다.
- <213> 즉, 싱글 피스 기관(3)의 수지 밀봉체(6)가 형성된 측과 반대측의 이면(3b)에 노출하는 각 범프 랜드(3d)에, 뿔납 볼(11)을 리플로우 등에 의해 탑재하여 CSP(9)의 외부 전극을 형성한다.
- <214> <제2 실시예>
- <215> 도 7은 본 발명의 제2 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 나타내는 부분 단면도, 도 8은 도 7에 도시한 CSP의 조립에 있어서의 와이어링 상태의 일례를 나타내는 확대 평면도, 도 9는 도 7에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제1 칩 마운트를 나타내는 도면, (b)는 제1 칩 열 압착을 나타내는 도면, 도 10은 도 7에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제2 칩 마운트를 나타내는 도면, (b)는 제2 칩 와이어 본딩을 나타내는 도면이다.
- <216> 또한, 도 11은 본 발명의 제2 실시예의 반도체 장치의 조립 순서에 있어서의 전체 공정의 일례를 나타내는 제조 프로세스 흐름도, 도 12는 본 발명의 제2 실시예의 반도체 장치의 조립 순서에 있어서의 상세 공정의 일례를 나타내는 제조 프로세스 흐름도, 도 13은 본 발명의 제2 실시예의 반도체 장치의 조립에 있어서의 멀티 피스 기관의 구조의 일례를 나타내는 평면도, 도 14는 도 13에 도시한 멀티 피스 기관의 일부를 확대하여 나타내는 확대 부분도로서, (a)는 도 13의 A 부분을 상세하게 나타내는 평면도이고, (b)는 (a)의 이면측의 저면도, 도 15는 본 발명의 제2 실시예의 반도체 장치의 조립에 이용되는 제1 및 제2 반도체 칩의 평면도로서, (a)는 제1 반도체 칩의 도면, (b)는 제2 반도체 칩의 도면, 도 16은 도 15에 도시한 제1 반도체 칩의 구조의 일례를 나타내는 도면으로서, (a)는 확대 부분 측면도, (b)는 확대 부분 평면도, 도 17은 본 발명의 제2 실시예의 반도체 장치의 조립에 있어서의 제1 NCF 접착 공정의 일례를 나타내는 평면도, 도 18은 도 17에 도시한 제1 NCF 접착 공정의 상세를 나타내는 평면도로서, (a)는 NCF 배치 전의 도면, (b)는 NCF 접착 후의 도면, 도 19는 도 17에 도시한 제1 NCF 접착에 대한 제1 반도체 칩의 배치 상태를 나타내는 도면으로서, (a)는 제1 반도체 칩의 배치 상태, (b)는 콜릿에 의한 가압 상태를 나타내는 도면, 도 20은 제1 반도체 칩의 다이 본드 방법의 일례를 나타내는 도면으로서, (a)는 제1 반도체 칩 마운트의 상태, (b)는 제1 반도체 칩 열 압착 후의 도면, 도 21은 도 17에 도시한 제1 NCF 접착에 대한 제1 반도체 칩의 다이 본드 후의 구조의 일례를 나타내는 평면도, 도 22는 도 17에 도시한 제1 NCF 접착에 대한 제2 NCF 접착 후의 구조의 일례를 나타내는 평면도, 도 23은 도 22에 도시한 제2 NCF 접착에 대한 제1 및 제3 반도체 칩의 실장 완료 구조를 나타내는 도면으로서, (a)는 평면도이고, (b)는 (a)의 B 부분을 상세하게 나타내는 확대 부분 평면도, 도 24는 도 22에 도시한 제2 NCF 접착에 대한 제2 및 제4 반도체 칩의 다이 본드 후의 구조의 일례를 나타내는 평면도, 도 25는 제2 및 제4 반도체 칩의 와이어 본딩 후의 구조를 나타내는 도면으로서, (a)는 평면도이고, (b)는 (a)의 C 부분을 상세하게 나타내는 확대 부분 평면도, 도 26은 제2 반도체 칩의 와이어 본딩 상태의 일례를 나타내는 평면도로서, (a)는 와이어 본딩 전의 도면, (b)는 와이어 본딩 후의 도면, 도 27은 일괄 몰드가 행해지는 멀티 피스 기관의 구조의 일례를 나타내는 평면도로서, (a)는 일괄 몰드 전의 도면, (b)는 일괄 몰드 후의 도면, 도 28은 본 발명의 제2 실시예의 반도체 장치의 조립의 일괄 몰드 방법에 있어서의 수지 유입 방향의 일례를 나타내는 평면도, 도 29는 도 28에 도시한 일괄 몰드 방법의 일례를 나타내는 도면으로서, (a)는 도 28의 D-D선을 따른 단면의 일괄 몰드 시의 부분 단면도, (b)는 도 28의 E-E선을 따른 단면의 일괄 몰드 시의 부분 단면도, 도 30은 도 28에 도시한 일괄 몰드 방법에 대한 변형예에 있어서의 수지 유입 방향의 일례를 나타내는 평면도, 도 31은 도 30에 도시한 일괄 몰드 방법의 변형예를 나타내는 도면으로서, (a)는 도 30의 F-F선을 따른 단면의 일괄 몰드 시의 부분 단면도, (b)는 도 30의 G-G선을 따른 단

면의 일괄 몰드 시의 부분 단면도, 도 32는 본 발명의 제2 실시예의 반도체 장치의 조립에 있어서의 일괄 몰드 후의 멀티 피스 기관의 구조의 일례를 나타내는 평면도, 도 33은 본 발명의 제2 실시예의 반도체 장치의 조립의 제1 NCF 접착 공정에 대한 변형예의 제1 NCF 접착 공정을 나타내는 평면도, 도 34는 도 1에 도시한 스택 구조의 CSP에 대한 변형예의 CSP의 구조를 나타내는 단면도이다.

- <217> 제2 실시예에서는 제1 실시예에서 설명한 CSP(9) 또는 제2 실시예에서 설명하는 CSP(22)의 조립에 있어서의 특징 부분을 설명한다.
- <218> 제2 실시예의 CSP(22)는 스택 구조인 것으로, 제1 실시예의 CSP(9)와 마찬가지로, 하층의 제1 반도체 칩(1)의 하층은 페이스 다운 실장으로 플립 칩 접속되고, 또한 제1 반도체 칩(1)에 적층되는 제2 반도체 칩(2)은 페이스 업 실장으로 와이어 본딩 접속됨과 함께, 제1 반도체 칩(1)보다 제2 반도체 칩(2)이 그 두께가 얇지만, 제1 실시예와의 상위점은 도 7에 도시한 바와 같이 제2 반도체 칩(2)의 대향하는 적어도 2면이, 제1 반도체 칩(1)의 외주보다 평면적으로 돌출되어 있다(오버행하고 있다)는 점이다.
- <219> 즉, 도 9의 (a)에 도시한 NCF(12: ACF도 동일)는 열 압착 시, 한번 용융하여 액상으로 된다.
- <220> 그 후, 도 9의 (b)에 도시한 바와 같이 열 압착 헤드(20)에 의해 10~20kgf 정도의 하중이 제1 반도체 칩(1)의 이면(1c)에 걸리면, 제1 반도체 칩(1) 아래의 NCF(12)는 압출되어, 제1 반도체 칩(1)의 단부로부터 돌출된다.
- <221> 그 후, NCF(12)는 경화하여 원하는 두께가 된다. 이 때, 제1 반도체 칩(1)의 단부로부터 돌출하는 양은 초기의 NCF(12)의 두께로부터 압착 후의 두께를 뺀 나머지 분량이다. 돌출한 NCF(12)는 제1 반도체 칩(1)의 측면을 따라 올라가, 제1 반도체 칩(1)의 이면(1c)까지 도달한다.
- <222> 따라서, 열 압착 헤드(20)를 제1 반도체 칩(1)의 크기보다 크게 함으로써, 도 9의 (b)에 도시한 바와 같이 제1 반도체 칩(1)의 이면(1c)과 동일한 높이로 NCF(12)가 돌출한 부분에 평탄부(12a)를 형성할 수 있다.
- <223> 이 평탄부(12a)의 길이는 초기의 NCF(12)의 두께를 변경으로써, 조정 가능하다.
- <224> 그 후, 도 10의 (a)에 도시한 바와 같이 제1 반도체 칩(1)의 이면(1c)에의 제2 반도체 칩(2)의 적층을 행하여 제2 반도체 칩(2)의 마운트를 행한다.
- <225> 또한, 제2 반도체 칩(2)의 마운트 후, 도 10의 (b)에 도시한 바와 같이 와이어 본딩을 행하여 제2 반도체 칩(2)의 패드(2a)와 싱글 피스 기관(3)의 접속 단자(3c)를 와이어(4)에 의해 전기적으로 접속한다.
- <226> 또, 제2 반도체 칩(2)의 마운트와 와이어 본딩 방법은 제1 실시예에서 설명한 제2 반도체 칩(2)의 마운트 방법 및 와이어 본딩 방법과 동일하다.
- <227> CSP(22)의 조립을 도 11에 도시한 제조 프로세스 흐름도에 따라 설명한다.
- <228> 도 12에 도시한 제조 프로세스 흐름도는 도 11의 제조 프로세스 흐름도를 더욱 상세하게 나타낸 것이다.
- <229> 우선, 도 14의 (a)에 도시한 바와 같이 칩 지지면(3a) 및 칩 지지면(3a) 상에 형성된 복수의 제1 접속 단자(3e: 제1 전극) 및 복수의 제2 접속 단자(3f: 제2 전극)를 포함하는 도 13에 도시한 배선 기관인 멀티 피스 기관(7)을 준비한다.
- <230> 여기에서는 멀티 피스 기관(7)의 하나의 디바이스 영역(7a) 및 이와 지그재그 배열의 디바이스 영역(7a)에서의 제1 반도체 칩(1)과 접속하는 전극을 제1 접속 단자(3e)로 하고, 이 디바이스 영역(7a)과 인접하는 다른 지그재그 배열의 디바이스 영역(7a)의 제3 반도체 칩과 접속하는 전극을 제2 접속 단자(3f)로 한다.
- <231> 또, 제2 실시예에 있어서의 도 23에 도시한 제3 반도체 칩(26)은 제1 반도체 칩(1)과 동일한 구조로서, 하층에 배치되는 것이다.
- <232> 또한, 도 14의 (a)에 도시한 각각의 싱글 피스 기관(3)이 되는 디바이스 영역(7a)의 이면(3b)에는 도 14의 (b)에 도시한 바와 같은 범프 랜드(3d)가 매트릭스 배열로 노출된다.
- <233> 계속해서, 주면(1b) 및 주면(1b) 상의 패드(1a)에 형성된 복수의 금 범프(1d)와, 복수의 반도체 소자를 포함하는 도 15의 (a)에 도시한 복수의 제1 반도체 칩(1), 및 주면(2b) 및 주면(2b) 상에 형성된 복수의 패드(2a)와, 복수의 반도체 소자를 포함하는 도 15의 (b)에 도시하는 복수의 제2 반도체 칩(2)을 각각 준비한다.
- <234> 또, 제1 반도체 칩(1) 및 제2 반도체 칩(2)의 준비에 대해서는, 도 11에 도시한 바와 같이 제1 반도체 칩(1)에

서는 단계 S21의 백 그라인딩, 단계 S22의 다이싱, 단계 S23의 지그재그 및 단계 S24의 금(Au) 범프 형성을 제1 실시예에서 설명한 방법으로 행하여 도 16의 (a), (b)에 도시한 바와 같이 준비하는 한편, 제2 반도체 칩(2)에 서는 단계 S31의 백 그라인딩, 단계 S32의 다이 본드 필름 접착 및 단계 S33의 다이싱을 제1 실시예에서 설명한 방법으로 행하여 준비한다.

- <235> 또한, 멀티 피스 기관(7)이 준비된 후, 우선, 도 12의 제조 프로세스 흐름도의 공정 NO. 8에 나타내는 기관 베이킹을 행한다.
- <236> 여기에서는 멀티 피스 기관(7)에 100℃ 이상(예를 들면, 125℃에서 베이킹 시간은 4 시간 정도임)의 열 처리를 행한다.
- <237> 이는 예폭시계 수지 기관이 수분을 쉽게 흡수하기 위해서, 이 수분을 제거하기 위한 처리이고, 이에 따라 제1 반도체 칩(1)의 열 압착 시, 멀티 피스 기관(7)에 기포가 형성되는 것을 방지할 수 있음과 함께, 수분 함유에 의한 밀착성의 저하를 방지할 수 있다.
- <238> 따라서, 상기 베이킹 처리 후에 멀티 피스 기관(7)의 칩 지지면(3a) 상에 NCF(12) 등의 접착재를 통해 제1 반도체 칩(1)을 배치하고, 그 후 상기 접착재를 열 처리하여 경화시켜 제1 반도체 칩(1)을 멀티 피스 기관(7) 상에 고정하는 순서가 된다.
- <239> 다음으로, 도 11의 단계 S1에 나타내는 NCF의 접착을 행한다.
- <240> 여기에서는, 제1 접착재로서 제1 NCF(12b)를 이용하여, 멀티 피스 기관(7)의 지그재그 배열의 각각의 디바이스 영역(7a)의 도 18의 (a)에 도시한 복수의 제1 접속 단자(3e) 상에, 도 18의 (b)에 도시한 바와 같이 제1 NCF(12b)를 배치한다.
- <241> 또, 제1 NCF(12b)는 상호 분리되어 멀티 피스 기관(7)의 디바이스 영역(7a) 상에 배치되는 제1 및 제2 부분을 포함한다.
- <242> 여기에서는 일례로서, 도 17에 도시한 바와 같이 싱글 피스화(상기 제1 및 제2 부분)된 복수의 제1 NCF(12b)를 지그재그 배열로 배치한다.
- <243> 또한, 도 19의 (a), 도 20의 (a)에 도시한 바와 같이 지그재그 배열로 배치된 복수의 제1 NCF(12b) 중의 어느 하나(예를 들면, 모서리에 배치된 제1 NCF(12b)) 위에 제1 반도체 칩(1)을 배치하고, 열 압착에 의해 제1 반도체 칩(1)을 고정한다. 즉, 도 11에 도시한 단계 S2의 제1 반도체 칩(1)의 플립 칩 탑재를 행하고, 단계 S3에 나타내는 열 압착을 행한다.
- <244> 상기 열 압착 시에는 도 19의 (b)에 도시한 바와 같이 70℃ 정도로 가열된 다이 본드 스테이지(21) 상에서, 315℃ 정도로 가열된 열 압착 헤드(20)에 의해 제1 반도체 칩(1)의 이면(1c)으로부터 하중을 가하여 열 압착한다.
- <245> 이에 따라, 도 19의 (b), 도 20의 (b)에 도시한 바와 같이 제1 반도체 칩(1)은 제1 NCF(12b)를 통해 고정되고, 제1 반도체 칩(1)의 복수의 금 범프(1d)와 멀티 피스 기관(7)의 디바이스 영역(7a)의 제1 접속 단자(3e)가 전기적으로 접속함과 함께, 제1 NCF(12b)는 제1 반도체 칩(1)의 외주로 돌출한 상태가 된다.
- <246> 또, 도 19의 (a)에 도시한 점선으로 둘러싼 범위 P는, 열 압착 헤드(20)로부터의 열의 영향으로, 기관 온도가 제1 NCF(12b)의 열 경화성 수지를 경화시키는 정도까지 상승하는 범위를 나타내며, 복수의 제1 NCF(12b)를 지그재그 배열 등의 배열로 배치할 때에는 각각의 인접하는 제1 NCF(12b)가 범위 P에 들어가지 않도록 배치해야 한다.
- <247> 즉, 열 압착 헤드(20)로부터의 열의 영향을 회피할 수 있는 정도의 간격을 각각 갖고 복수의 제1 NCF(12b)를 지그재그 배열 등의 배열로 배치한다.
- <248> 이에 따라, 열 압착 헤드(20)로부터의 열의 영향으로, 인접하는 제1 NCF(12b)의 열 압착 전의 열 경화를 방지할 수 있음과 함께, 범위 P에 들어 가지 않도록, 임의의 복수의 제1 NCF(12b)를 배치하고 각각의 위에 제1 반도체 칩(1)을 배치한 후, 연속하여 제1 반도체 칩(1)을 복수개 열 압착함으로써, 제1 반도체 칩(1)의 마운트 처리를 효율적으로 행할 수 있다.
- <249> 이와 같이 하여, 도 21에 도시한 바와 같이 지그재그 배열로 제1 반도체 칩(1)의 열 압착을 완료시킨다.
- <250> 그 후, 멀티 피스 기관(7)의 디바이스 영역(7a) 중, 제1 반도체 칩(1)을 탑재한 지그재그 배열의 디바이스 영역

(7a)에 인접하는, 아직 제1 반도체 칩(1)을 탑재하지 않은 다른 지그재그 배열의 디바이스 영역(7a)의 복수의 제2 접속 단자(3f) 상에 제2 NCF(12c: 제2 접착제)를 배치한다.

- <251> 즉, 도 22에 도시한 바와 같이 지그재그 배열의 제1 반도체 칩(1)의 각각의 이웃에, 싱글 피스화된 복수의 제2 NCF(12c)를 동일하게 지그재그 배열로 배치한다.
- <252> 그 후, 도 22에 도시한 바와 같이 지그재그 배열로 배치된 제2 NCF(12c) 상에 도 23에 도시한 복수의 제3 반도체 칩(26)을 탑재하고, 이 제3 반도체 칩(26)을 상기와 마찬가지로의 방법으로 열 압착 헤드(20)에 의해 열 압착한다.
- <253> 그 결과, 제2 NCF(12c)를 통해 복수의 제3 반도체 칩(26)이 멀티 피스 기관(7)의 복수의 디바이스 영역(7a)의 칩 지지면(3a) 상에 고정됨과 함께, 각각의 제3 반도체 칩(26)의 복수의 금 범프(1d)(도 16 참조)와, 도 14의 (a)에 도시한 멀티 피스 기관(7)의 디바이스 영역(7a)의 복수의 제2 접속 단자(3f)가 전기적으로 접속된다.
- <254> 이에 따라, 도 23의 (a), (b)에 도시한 바와 같이 멀티 피스 기관(7) 상에 탑재되는 하층의 반도체 칩인 제1 반도체 칩(1) 및 제3 반도체 칩(26)의 마운트를 완료한다.
- <255> 또, 제1 NCF(12b) 및 제2 NCF(12c)는 열 경화성 수지에 의해 형성된 필름이다. 따라서, 열 압착 헤드(20) 및 다이 본드 스테이지(21)에 의한 하중과 열로 제1 NCF(12b) 및 제2 NCF(12c)의 열 경화성 수지가 열 경화하고, 이에 따라 열 압착이 행해진다.
- <256> 또한, 제2 실시예에서는 도 17에 도시한 바와 같이, 우선 임의의 복수(여기에서는 지그재그 배열의 경우를 설명했지만, 지그재그 배열 이외의 복수도 무방함)의 제1 NCF(12b)의 배치를 행하고, 또한 도 21에 도시한 바와 같이 이 제1 NCF(12b) 상에 복수의 제1 반도체 칩(1)으로 이루어지는 제1 반도체 칩군의 탑재를 마친 후, 도 22에 도시한 바와 같이 남은 제2 NCF(12c)를 배치하고, 그 위에 도 23에 도시한 바와 같이 복수의 제3 반도체 칩(26)으로 이루어지는 제2 반도체 칩군의 탑재를 행하여 복수의 제1 반도체 칩(1)과 복수의 제3 반도체 칩(26), 즉 하층의 반도체 칩의 실장을 완료하는 경우를 설명하였다.
- <257> 그러나, 열 압착 헤드(20)에 의한 인접하는 디바이스 영역(7a)에의 열 영향을 무시할 수 있는 경우에는, 먼저 NCF(12)의 배치를 전체 완성시키고, 그 후 통합하여 복수의 제1 반도체 칩(1) 및 복수의 제3 반도체 칩(26)의 열 압착에 의한 다이 본드(마운트)를 행해도 되며, 이 경우에는 NCF(12)를 제1 NCF(12b)와 제2 NCF(12c)로 나눌 필요가 없고, 또한 제1 반도체 칩(1)의 탑재도, 하나의 공정으로 행할 수 있기 때문에, NCF(12)의 실장과 하층의 반도체 칩의 탑재를 효율적으로 행할 수 있다.
- <258> 또한, 반대로, 열 압착 헤드(20)에 의한 인접하는 디바이스 영역(7a)에의 열 영향이 매우 크고, 예를 들면, 대각선 방향으로 인접하는 디바이스 영역(7a)끼리에서의 열 영향조차 무시할 수 없는 경우에는, 인접하는 모든 디바이스 영역(7a)에는 동시에 NCF(12)를 배치하지 않도록, 전체의 4분의 1씩 NCF(12)를 배치하고, 4회로 나누어 제1 반도체 칩(1)을 실장해도 된다.
- <259> 다음으로, 도 11의 단계 S4에 나타내는 제2 반도체 칩(2)의 탑재를 행한다.
- <260> 또, 제2 실시예는 도 24에 도시한 바와 같이 제1 반도체 칩(1) 전체 실장한 후에 제2 반도체 칩(2)을 탑재하는 경우이다.
- <261> 단, 개개의 제2 반도체 칩(2)의 탑재에 대해서는 제1 실시예에서 설명한 제2 반도체 칩(2)의 탑재 방법과 동일하다.
- <262> 즉, 제1 반도체 칩(1)의 이면(1c) 상에 제1 반도체 칩(1)보다는 두께가 얇게 형성된 제2 반도체 칩(2)을 제1 반도체 칩(1)의 이면(1c)과 제2 반도체 칩(2)의 이면(2c)이 다이 본드 필름재(5)(도 6의 (a) 참조)를 통해 마주보도록 배치함과 함께, 도 5의 (b)에 도시한 열 압착 헤드(20)에 의해 제1 반도체 칩(1)의 다이 본드 시에 부가한 압력(CSP(22))가 200 범프인 경우, 10~20kgf 정도의 하중)보다 낮은 압력을 가하면서 배치한다.
- <263> 이에 따라, 플립 칩 접속된 제1 반도체 칩(1)의 이면(1c)에, 열과 하중에 따라 다이 본드 필름재(5)를 접착재로 하여 제2 반도체 칩(2)을 고착한다(도 26의 (a) 참조).
- <264> 또, 그 때의 하중(압력)은, CSP(9)의 제2 반도체 칩(2)의 주면(2b)의 크기가 예를 들면, 50mm<sup>2</sup> 정도인 경우, 1kgf 정도이며, 온도는 160℃ 정도이다.
- <265> 이 방법으로, 복수의 제2 반도체 칩(2) 및 복수의 제4 반도체 칩(27)의 열 압착을 순차적으로 행하며, 제2 반도체

체 칩(2)과 제4 반도체 칩(27)의 실장을 도 24에 도시한 바와 같이 전체 완료시킨다.

- <266> 또, 여기에서의 복수의 제4 반도체 칩(27)은 제2 반도체 칩(2)과 동일한 구조이며, 상기 복수의 제3 반도체 칩(26) 상에 각각 배치된다.
- <267> 그 후, 도 11의 단계 S5에 나타내는 제2 반도체 칩(2) 및 제4 반도체 칩(27)의 복수의 패드(2a)와, 각각에 대응하는 디바이스 영역(7a)인 싱글 피스 기관(3)의 복수의 제1 접속 단자(3e) 또는 제2 접속 단자(3f)를 와이어 본딩에 의한 금선의 와이어(4)를 통해 전기적으로 접속한다(도 25의 (b), 도 26의 (b) 참조).
- <268> 이 와이어 본딩을 도 25의 (a)에 도시한 바와 같이 제2 반도체 칩(2)에 대하여 순차적으로 행하며, 제4 반도체 칩(27)을 포함하는 제2 반도체 칩(2)의 와이어 본딩을 전체 완료시킨다.
- <269> 그 후, 도 11의 단계 S6에 나타내는 제1 반도체 칩(1)(제3 반도체 칩(26)을 포함함), 제2 반도체 칩(2)(제4 반도체 칩(27)을 포함함) 및 복수의 와이어(4)의 수지 밀봉인 수지 몰드를 행한다.
- <270> 여기에서는 멀티 피스 기관(7)에서의 복수의 디바이스 영역(7a)을 하나의 캐비티(13a)로 덮어 일괄적으로 몰드하고, 그 후 다이싱을 행하여 싱글 피스화하는 일괄 몰드(MAP: Mold Array Package) 방식의 경우를 설명한다.
- <271> 우선, 몰드 공정에서는 도 29의 (a), (b)에 도시한 바와 같이 서로 마주 보는 제1 측면(13b) 및 제2 측면(13c)과, 제1 측면(13b) 및 제2 측면(13c)과 접하고 있으며, 서로 마주 보는 제3 측면(13d) 및 제4 측면(13e), 상기 제1~ 제4 측면(13e)에 인접하는 상면(13j) 및 하면(13k)을 갖는 캐비티(13a), 및 제1 측면(13b) 상에 형성된 복수의 수지 주입구(13f)를 갖는 금형인 몰드 금형(13)을 준비한다.
- <272> 즉, 몰드 금형(13)은 상부 몰드(13h)와 하부 몰드(13i)로 이루어지고, 제1 측면(13b), 제2 측면(13c), 제3 측면(13d), 제4 측면(13e) 및 상면(13j)을 갖는 캐비티(13a)가 몰드 금형(13)의 상부 몰드(13h)에 형성된다.
- <273> 또한, 몰드 금형(13)의 상부 몰드(13h)에는 제2 측면(13c) 상에 벤트 홀로서 공기 구멍(139)이 형성된다.
- <274> 한편, 복수의 디바이스 영역(7a)이 형성된 배선 기관인 멀티 피스 기관(7)과, 멀티 피스 기관(7)의 복수의 디바이스 영역(7a)의 각각에 고정된 제1 반도체 칩(1)과, 제1 반도체 칩(1) 상에 고정된 제2 반도체 칩(2)을 준비한다.
- <275> 즉, 도 27의 (a)에 도시한 바와 같은, 와이어 본딩 후의 멀티 피스 기관(7)을 준비한다.
- <276> 또, 멀티 피스 기관(7)의 길이 방향의 한쪽(몰드 금형(13)의 수지 주입구(13f)에 대응하는 측)의 단부에는 복수의 금 도금부(7c)가 형성된다. 이는 몰드에 의해 형성되는 도 27의 (b)에 도시한 수지 게이트부(8a)가 멀티 피스 기관(7)으로부터의 박리를 용이하게 하기 위한 것이다.
- <277> 그 후, 도 29의 (a)에 도시한 바와 같이 멀티 피스 기관(7), 복수의 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 캐비티(13a) 내부에서 하부 몰드(13i)에 배치하고 도 29의 (b)에 도시한 바와 같이 복수의 디바이스 영역(7a)을 상부 몰드(13h)의 캐비티(13a)에 의해 일괄적으로 덮는다.
- <278> 또, 캐비티(13a) 내에서, 캐비티(13a)의 제3 측면(13d)과 평행한 단면(도 29의 (a)의 단면)에서, 각각의 제1 반도체 칩(1)의 길이가 제1 반도체 칩(1)에 적층된 제2 반도체 칩(2)의 길이보다 길어지도록, 복수의 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 배치한다.
- <279> 이에 대하여 90° 방향을 바꾼 단면, 즉 캐비티(13a)의 제1 측면(13b)과 평행한 단면(도 29의 (b)의 단면)에서는 제1 반도체 칩(1)의 길이가 제2 반도체 칩(2)의 길이보다 짧아지도록, 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 배치한다.
- <280> 즉, 제1 반도체 칩(1)과 제2 반도체 칩(2)의 관계를 도 28에 도시한 수지 유입 방향에 대하여, 제1 반도체 칩(1)의 길이가 제2 반도체 칩(2)의 길이보다 길어지도록 한다.
- <281> 이 때, 수지 유입 방향에 직각인 방향에서는 제1 반도체 칩(1)의 길이가 제2 반도체 칩(2)의 길이보다 짧아지는 관계가 된다.
- <282> 이 상태에서 상부 몰드(13h)와 하부 몰드(13i)와의 클램핑을 행한 후, 각각의 디바이스 영역(7a)에 대응한 복수의 수지 주입구(13f)로 수지(레진)를 주입하여, 복수의 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 일괄적으로 수지 밀봉한다.

- <283> 이 경우, 도 28에 도시한 수지 유입 방향에 대하여, 제1 반도체 칩(1)의 이면(1c)과 제2 반도체 칩(2) 사이에 단차가 생겨, 상층의 제2 반도체 칩(2)이 돌출되어 있기 때문에, 도 29의 (a)에 도시한 바와 같은 레진의 흐름(23)이 되어, 제2 반도체 칩(2)의 주면(2b) 상에 수지(레진)가 용이하게 감돌아, 캐비티(13a) 내의 공기를 공기 구멍(13g)으로부터 밀어낼 수 있다.
- <284> 따라서, 제2 반도체 칩(2)의 주면(2b) 상에서 보이드의 발생을 억제할 수 있고, 몰드성을 향상시킬 수 있다.
- <285> 또한, 도 29의 변형예로서, 캐비티(13a) 내에서 수지 유입 방향에 평행한 방향에 대하여, 도 30 및 도 31의 (a)에 도시한 바와 같이 제2 반도체 칩(2)이 제1 반도체 칩(1)의 외주에서 평면적으로 돌출하는 부분을 포함하도록, 양자를 배치해도 되고, 그 경우, 제2 반도체 칩(2)이 돌출하는 부분과 멀티 피스 기관(7)의 칩 지지면(3a) 사이를 접촉재인 NCF(12)에 의해 충전한다.
- <286> 이 상태에서 상부 몰드(13h)와 하부 몰드(13i)와의 클램핑을 행한 후, 각각의 디바이스 영역(7a)에 대응한 복수의 수지 주입구(13f)로부터 수지(레진)를 주입하여, 복수의 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 일괄적으로 수지 밀봉한다.
- <287> 만일, 제2 반도체 칩(2)이 돌출하는 부분과 멀티 피스 기관(7)의 칩 지지면(3a) 사이가 NCF(12)로 충전되지 않은 경우에는 캐비티(13a)의 제1 측면(13b)으로부터 먼 측의 제2 반도체 칩(2)이 돌출하는 부분 아래에서, 수지의 미충전 부분(보이드)이 발생할 가능성이 높아진다. 트랜스퍼 몰드법에 있어서는 몰드 공정의 최종 단계에서 수지에 상당한 압력을 걸어, 수지 내의 보이드를 제거 또는 압축함으로써 보이드의 체적을 감소시킬 수 있지만, 상기한 바와 같이 칩 아래에 큰 보이드가 있는 상태에서 수지에 압력을 걸면, 칩이 균열될 우려가 있다.
- <288> 그러나, 제2 실시예에 있어서는 제2 반도체 칩(2)이 돌출하는 부분과 멀티 피스 기관(7)의 칩 지지면(3a) 사이는 몰드 공정 전에 이미 NCF(12)에 의해 충전되어 있기 때문에, 트랜스퍼 몰드 공정 시에 압력을 걸었다고 해도 칩이 균열되는 문제를 피할 수 있다.
- <289> 몰드를 종료하면, 멀티 피스 기관(7) 상에, 도 27의 (b)와, 도 32에 도시한 바와 같은 일괄 몰드부(8)와 복수의 수지 게이트부(8a)가 형성된다.
- <290> 그 후, 도 11의 단계 S7의 뎀납 볼 탑재를 행하여 멀티 피스 기관(7)의 디바이스 영역(7a)의 범프 랜드(3d)에 뎀납 볼을 임시로 멈춘다.
- <291> 계속해서, 단계 S8의 상기 뎀납 볼의 리플로우를 행하여, 상기 뎀납 볼의 범프 랜드(3d)에의 고정을 행한다.
- <292> 그 후, 단계 S9의 멀티 피스 기관(7)의 다이싱을 행하여 개개의 패키지에 싱글 피스화한다.
- <293> 또한, 단계 S10의 마크 날인 및 단계 S11의 전기 시험을 행하여 CSP(22)의 조립을 완료한다.
- <294> <제3 실시예>
- <295> 도 35는 본 발명의 제3 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 수지 밀봉체를 투과하여 나타내는 평면도, 도 36은 도 35에 도시한 J-J선을 따라 절단한 단면의 구조를 나타내는 확대 부분 단면도, 도 37은 도 35에 도시한 CSP에 삽입되는 제1 반도체 칩의 구조의 일례를 나타내는 평면도, 도 38은 도 35에 도시한 CSP의 조립의 제1 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도, 도 39는 도 35에 도시한 CSP의 조립의 제1 반도체 칩의 열 압착 상태의 일례를 나타내는 확대 부분 단면도, 도 40은 도 39에 도시한 열 압착 공정에서의 열 압착 후의 접착재의 형상의 일례를 나타내는 확대 부분 단면도, 도 41은 도 35에 도시한 CSP의 조립의 제2 및 제3 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도, 도 42는 도 35에 도시한 CSP의 조립의 와이어 본딩 상태의 일례를 나타내는 확대 부분 단면도, 도 43은 도 35에 도시한 CSP의 변형예의 조립의 제1 반도체 칩과 제2 반도체 칩의 접착 방법의 일례를 나타내는 확대 부분 단면도, 도 44는 도 35에 도시한 CSP의 변형예의 조립의 제1 반도체 칩에의 돌기 전극의 형성 방법의 일례를 나타내는 확대 부분 단면도, 도 45는 도 35에 도시한 CSP의 변형예의 조립의 제1 반도체 칩의 배선 기관에의 접착 방법의 일례를 나타내는 확대 부분 단면도, 도 46은 도 35에 도시한 CSP의 변형예의 조립의 제1 및 제2 반도체 칩의 열 압착 상태의 일례를 나타내는 확대 부분 단면도, 도 47은 도 35에 도시한 CSP의 변형예의 조립의 제3 반도체 칩의 열 압착 상태의 일례를 나타내는 확대 부분 단면도이다.
- <296> 도 35에 도시한 제3 실시예의 반도체 장치는 싱글 피스 기관(3: 배선 기관) 상에 3개의 반도체 칩이 적층된 스택 구조이며, 싱글 피스 기관(3)의 칩 지지면(3a: 주면) 측에서 제1 반도체 칩(1)과, 제1 반도체 칩(1) 상에 적층된 제2 반도체 칩(2)과, 제2 반도체 칩(2) 상에 적층된 제3 반도체 칩(29)이 수지 몰드에 의해 밀봉된 수지

밀봉형으로, 칩이 3층인 스택 구조의 CSP(30)이다.

- <297> CSP(30) 구조의 특징은 도 35 및 도 36에 도시한 바와 같이 3단계의 반도체 칩인 제3 반도체 칩(29)의 주면(29b)에 형성된 전극인 복수의 패드(29a)가 제1 반도체 칩(1) 및 제2 반도체 칩(2)의 각각의 단부보다 외측의 위치에 배치되어 있는 것이며, 이 때 제1 반도체 칩(1)으로부터 돌출된 제2 반도체 칩(2) 부분의 이면(2c)과, 제2 반도체 칩(2)으로부터 돌출된 제3 반도체 칩(29) 부분의 이면(29c)에도 접착제인 NCF(12)가 배치되는 것이다.
- <298> 즉, CSP(30)는 제3 반도체 칩(29)의 각 패드(29a)의 하측에도 NCF(12)가 배치되는 구조의 반도체 패키지이다.
- <299> 따라서, 제3 반도체 칩(29)의 주면(29b)의 각 패드(29a)에 대응하는 이면(29c)의 영역을 NCF(12)로 지지할 수 있기 때문에, 제3 반도체 칩(29)에 대해서도 와이어 본딩을 행할 수 있어, 제3 반도체 칩(29)의 패드(29a)도, 제2 반도체 칩(2)과 마찬가지로 와이어(4)와 접속된다.
- <300> 그래서, 접착제인 NCF(12)는, 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에 형성된 제1 부분인 제1 칩 접합부(12d)와, 제1 반도체 칩(1)을 배치하는 영역의 외측이며, 제2 반도체 칩(2)의 이면(2c)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에 형성된 제2 부분인 돌출부(12e)와, 제1 반도체 칩(1)을 배치하는 영역 및 제2 반도체 칩(2)을 배치하는 영역의 외측이며, 제3 반도체 칩(29)의 이면(29c)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에 형성된 제3 부분인 돌출부(12f)를 포함한다.
- <301> 따라서, NCF(12)의 돌출부(12e)는 제1 칩 접합부(12d)보다 두껍고, 또한 돌출부(12f)는 돌출부(12e)보다 두껍게 형성된다.
- <302> 또, 접착제로서는 NCF(12)나 ACF 등이 바람직하지만, NCF(12)나 ACF 이외의 것이어도 좋다.
- <303> 또한, 제2 반도체 칩(2)과 제3 반도체 칩(29)은 각각 제1 반도체 칩(1)의 이면(1c)과, 제2 반도체 칩(2)의 주면(2b)에 다이 본드 필름재(5)에 의해 접촉된다.
- <304> 또, NCF(12)나 다이 본드 필름재(5) 등의 접착제는 열 경화성이며, 열 경화성 수지를 포함한다.
- <305> 여기서, CSP(30)에서의 각각의 반도체 칩은 예를 들면, 제1 반도체 칩(1)은 마이크로 컴퓨터이고, 제2 반도체 칩(2)은 SRAM(Static Random Access Memory)이고, 제3 반도체 칩(29)은 플래시 메모리 등이지만, 각각의 반도체 칩의 기능에 대해서는 상기한 기능에 한정되지 않고 다른 기능의 것이어도 좋다.
- <306> 제3 실시예의 CSP(30)의 그 밖의 구조에 대해서는 제1 실시예의 CSP(9)와 마찬가지로, 그 중복 설명은 생략한다.
- <307> 다음으로, 제3 실시예의 CSP(30)의 제조 방법에 대하여 설명한다.
- <308> 우선, 칩 지지면(3a) 및 그 반대측의 이면(3b)을 구비함과 함께, 칩 지지면(3a) 상에 복수의 접속 단자(전극: 3c)를 포함하는 싱글 피스 기관(3: 배선 기관)을 준비한다.
- <309> 또한, 제1 반도체 칩(1)과, 제2 반도체 칩(2)과, 제3 반도체 칩(29)을 준비한다.
- <310> 즉, 주면(1b) 및 이면(1c)을 구비하고, 주면(1b) 상에 복수의 패드(1a) 및 복수의 반도체 소자를 갖는 제1 반도체 칩과, 마찬가지로 주면(2b) 및 이면(2c)을 구비하고, 주면(2b) 상에 복수의 패드(2a) 및 복수의 반도체 소자를 포함하는 제2 반도체 칩(2)과, 마찬가지로 주면(29b) 및 이면(29c)을 구비하고, 주면(29b) 상에 복수의 패드(29a) 및 복수의 반도체 소자를 포함하는 제3 반도체 칩(29)을 준비한다.
- <311> 그 때, 제1 반도체 칩(1)의 각 패드(1a) 상에는 돌기 전극인 금 범프(1d)가 형성된다.
- <312> 또, CSP(30)에 탑재되는 제1 반도체 칩(1)은 도 37에 도시한 바와 같이 정방형으로, 그 주면(1b)의 외주부에 복수의 패드(1a)가 배열되는 외주 패드 배열이다.
- <313> 그 후, 도 38~도 40에 도시한 제1 반도체 칩(1)의 마운트를 행한다.
- <314> 우선, 도 38에 도시한 바와 같이 제1 반도체 칩(1)의 주면(1b)을 싱글 피스 기관(3)의 칩 지지면(3a)에 마주 보게 하고, 제1 반도체 칩(1)의 복수의 패드(1a)가 싱글 피스 기관(3)의 복수의 접속 단자(3c)와 대향하도록 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 배치한다.
- <315> 그 후, 제1 반도체 칩(1)의 이면(1c)에 압력을 가하여 제1 반도체 칩(1)의 복수의 패드(1a)와 싱글 피스 기관

(3)의 복수의 접속 단자(3c)를 전기적으로 접속한다.

- <316> 이 때, 우선 싱글 피스 기관(3)의 칩 지지면(3a)의 제1 반도체 칩(1) 탑재 영역에 제1 반도체 칩(1)보다 크게 절단한 NCF(12: 접착제)를 배치하고, 계속해서 제1 반도체 칩(1)의 패드(1a)가 싱글 피스 기관(3)의 접속 단자(3c)와 대향하도록, 패드(1a)와 이에 대응하는 접속 단자(3c)를 위치 결정하여 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 배치하고, 그 후 제1 반도체 칩(1)의 이면(1c)에 하중을 가한다.
- <317> 이에 따라, 금 범프(1d)가 NCF(12)에 박혀, 제1 반도체 칩(1)이 싱글 피스 기관(3) 상에 임시로 고정된다.
- <318> 그 후, 도 39에 도시한 바와 같은 선단에 돌기부(28a)를 갖는 열 압착용 지그인 열 압착 헤드(28)에 의해 제1 반도체 칩(1)의 이면(1c)에 압력을 가한다. 또한, 이와 동시에 열 압착 헤드(28)로부터 열도 가한다.
- <319> 이에 따라, 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에서 NCF(12)의 열 경화성 수지를 경화시켜, 상기 열 경화성 수지를 통해 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 고정한다.
- <320> 또, 열 압착 헤드(28)의 선단의 돌기부(28a)는 제1 반도체 칩(1) 상에 탑재하는 제2 반도체 칩(2)과 대략 동일한 형상으로, 또한 대략 동일한 크기로 형성된다. 구체적으로는, 돌기부(28a)의 평면 방향(가압 방향과 직각의 방향)의 크기는 제2 반도체 칩(2)보다 약간 크고, 돌기부(28a)의 돌출부의 높이는 제2 반도체 칩(2)의 두께보다 약간 작게 형성된다.
- <321> 또한, NCF(12)는, 제1 반도체 칩(1)이 가압·가열되었을 때의 압력에 의해 제1 반도체 칩(1)의 외측 주위로 돌출됨과 함께, 돌출부(12e)와 돌출부(12f)를 형성하기 위한 원하는 두께를 갖는다.
- <322> 따라서, 열 압착 헤드(28)에 의해 제1 반도체 칩(1)의 이면(1c)을 가압하면, NCF(12)가 제1 반도체 칩(1)의 외측 주위로 돌출함과 함께, 열 압착 헤드(28)의 돌기부(28a)에 따른 형상의 돌출부(제2 부분: 12e)와, 돌출부(제3 부분: 12f)가 형성된다.
- <323> 이에 따라, NCF(12)에서는 도 40에 도시한 바와 같이 제1 칩 접합부(12d)와, 이보다 두꺼운 돌출부(12e)와, 돌출부(12e)보다 두꺼운 돌출부(12f)가 형성된다.
- <324> 또, 돌출부(12f)와 돌출부(12e)의 두께의 차는, 열 압착 헤드(28)의 돌기부(28a)의 높이가 제2 반도체 칩(2)의 두께보다 약간 작게 형성되어 있기 때문에, 제2 반도체 칩(2)의 두께보다 작아진다.
- <325> 또한, 열 압착에서는 싱글 피스 기관(3)을 70℃ 전후로 가열된 다이 본드 스테이지(21) 상에 탑재하고, 제1 반도체 칩(1)의 이면(1c)을 300℃ 전후로 가열된 열 압착 헤드(28)로 가압한다.
- <326> 그 결과, NCF(12)가 고온이 되어, 용융·경화함으로써, 제1 반도체 칩(1)의 패드(1a) 상의 금 범프(1d)와, 싱글 피스 기관(3)의 접속 단자(3c)가 접촉하여 전기적으로 도통한다.
- <327> 그 후, 도 41에 도시한 제2 반도체 칩(2) 및 제3 반도체 칩(29)의 마운트를 행한다.
- <328> 또, 제2 반도체 칩(2)과 제3 반도체 칩(29)은 사전에 양자를 접촉해 둔다.
- <329> 즉, 사전에 제3 반도체 칩(29)의 이면(29c)에 접촉된 다이 본드 필름재(5)에 의해 제2 반도체 칩(2)의 주면(2b)과 제3 반도체 칩(29)의 이면(29c)이 접촉된다.
- <330> 그 때, 제3 반도체 칩(29)의 복수의 패드(29a)가, 제2 반도체 칩(2)보다 외측에 배치되도록 제1 반도체 칩(1)과 제2 반도체 칩(2)을 접촉한다. 또, 제2 반도체 칩(2)의 이면(2c)에도, 마찬가지로의 다이 본드 필름재(5)가 접촉된다.
- <331> 이와 같이 제2 반도체 칩(2)과 제3 반도체 칩(29)이 접촉된 상태에서, 제2 반도체 칩(2)의 이면(2c)이 제1 반도체 칩(1)의 이면(1c)과 마주 보도록 제1 반도체 칩(1) 상에 제2 반도체 칩(2) 및 제3 반도체 칩(29)을 배치한다.
- <332> 이에 따라, 제3 반도체 칩(29)의 복수의 패드(29a)는 제1 반도체 칩(1)보다 외측에 위치하고, 제2 반도체 칩(2)보다 외측에 배치되는 상태가 된다.
- <333> 그 후, 제3 반도체 칩(29)의 상방으로부터 그 주면(29b)에 대하여 하중 및 열을 인가하여, 제2 반도체 칩(2) 및 제3 반도체 칩(29)의 열 압착을 행한다.
- <334> 이 때, 제2 반도체 칩(2)의 이면(2c) 및 제3 반도체 칩(29)의 이면(29c)에 각각 접촉된 다이 본드 필름재(5)가

접착재가 되어 제2 반도체 칩(2) 및 제3 반도체 칩(29)이 열 압착된다.

- <335> 또, NCF(12)에 있어서의 돌출부(12f)와 돌출부(12e)의 두께의 차가 제2 반도체 칩(2)의 두께보다 약간 작기 때문에, NCF(12)의 일부, 즉 돌출부(12f)는, 제1 반도체 칩(1)의 외측에 배치된 제3 반도체 칩(29)의 복수의 패드(29a)와, 싱글 피스 기관(3)의 칩 지지면(3a)과의 사이에서의 제3 반도체 칩(29)의 이면(29c)과 돌출부(12f)와의 간격(간극)이, 제3 반도체 칩(29)의 두께보다 작아지도록 배치된 상태가 된다.
- <336> 즉, NCF(12)의 돌출부(12f)와 제3 반도체 칩(29)의 이면(29c)과의 사이에 형성되는 간극은 제3 반도체 칩(29)의 두께보다 상당히 작다.
- <337> 제2 반도체 칩(2) 및 제3 반도체 칩(29)의 마운트 완료에 의해, 제3 반도체 칩(29)의 각 패드(29a)가 제1 반도체 칩(1)과 제2 반도체 칩(2)의 외측에 배치된 상태가 된다.
- <338> 그 후, 와이어 본딩을 행한다.
- <339> 즉, 도 42에 도시한 바와 같이 제2 반도체 칩(2)의 복수의 패드(2a) 및 제3 반도체 칩(29)의 복수의 패드(29a)와 각각에 대응하는 싱글 피스 기관(3)의 복수의 접속 단자(3c)를 와이어 본딩에 의한 금선의 와이어(4)를 통해 전기적으로 접속한다.
- <340> 이 때, 우선, 제2 반도체 칩(2)으로부터 와이어 본딩을 행한다. 제2 반도체 칩(2)의 와이어 본딩에서는 제1 반도체 칩(1)보다 외측에 배치된 제2 반도체 칩(2)의 패드(2a)에 대하여, 그 이면(2c) 측에 배치된 NCF(12)의 돌출부(12e)가 와이어 본딩 시의 하중 지지대(bearer)가 되기 때문에, 와이어 본딩 시의 제2 반도체 칩(2)의 균열을 방지할 수 있다.
- <341> 제2 반도체 칩(2)에 대한 와이어 본딩을 마친 후, 제3 반도체 칩(29)에 대한 와이어 본딩을 행한다.
- <342> 제3 반도체 칩(29)의 와이어 본딩에서는, 제2 반도체 칩(2)보다 외측에 배치된 제3 반도체 칩(29)의 각 패드(29a)에 대하여, 그 이면(29c)에 배치된 NCF(12)의 돌출부(12f)가 와이어 본딩 시의 하중 지지대가 되기 때문에 와이어 본딩 시의 제3 반도체 칩(29)의 균열을 방지할 수 있다.
- <343> 여기에서는, 돌출부(12f)와 제3 반도체 칩(29)의 이면(29c) 사이에 형성되는 간극은 제3 반도체 칩(29)의 두께보다 상당히 작고, 돌출부(12f)가 와이어 본딩 시의 하중을 확실하게 받을 수 있기 때문에, 제3 반도체 칩(29)의 균열을 방지할 수 있다.
- <344> 그 후, 제1 반도체 칩(1), 제2 반도체 칩(2), 제3 반도체 칩(29) 및 복수의 와이어(4)를 수지 밀봉한다.
- <345> 즉, 싱글 피스 기관(3)의 칩 지지면(3a) 측에서, 트랜스퍼 몰딩에 의해 제1 반도체 칩(1), 제2 반도체 칩(2), 제3 반도체 칩(29) 및 복수의 와이어(4)를 수지 밀봉하여 수지 밀봉체(6)를 형성한다.
- <346> 또, 수지 몰딩 시에서도, 금형 클램프 시 등의 하중이 제3 반도체 칩(29)에 가해졌을 때에도, NCF(12)의 돌출부(12f)가 하중 지지대가 되기 때문에, 제3 반도체 칩(29)의 균열을 방지할 수 있다.
- <347> 그 후, 도 36에 도시한 바와 같이 싱글 피스 기관(3)의 이면(3b) 상에, 싱글 피스 기관(3)의 복수의 접속 단자(3c)와 전기적으로 접속하는 복수의 돌기 전극인 뿔납 볼(11)을 탑재한다.
- <348> 즉, 싱글 피스 기관(3)의 이면(3b)에 노출되는 각 범프 랜드(3d)(도 14 참조)에, 뿔납 볼(11)을 리플로우 등에 의해 탑재하여 CSP(30)의 외부 전극을 형성한다.
- <349> 다음으로, 제3 실시예의 CSP(30)의 제조 방법의 변형예에 대하여 설명한다.
- <350> 우선, 도 43에 도시한 바와 같이 제1 반도체 칩(1)과 제2 반도체 칩(2)을 접착한다. 여기에서는 제1 반도체 칩(1)의 이면(1c)과 제2 반도체 칩(2)의 이면(2c)을 마주 보게 배치하여 접착한다. 이 때, 사전에 제1 반도체 칩(1)의 이면(1c)에 다이 본드 필름재(5)를 접착해 두고, 양자를 열 압착용 지그인 열 압착 헤드(33)를 이용한 열 압착에 의해 다이 본드 필름재(5)를 통해 접착한다.
- <351> 그 후, 도 44에 도시한 바와 같이 제1 반도체 칩(1)의 각 패드(1a) 상에 돌기 전극인 도 45에 도시한 바와 같은 금 범프(1d)를 형성한다.
- <352> 이 때, 금선을 이용한 와이어 본딩 기술을 이용하여 제1 반도체 칩(1)의 패드(1a)에 금 범프(1d)를 형성한다. 즉, 본딩 틀인 모세관(32)에 의해 와이어(4)를 안내하고, 와이어 본딩과 마찬가지로 하여 제1 반도체 칩(1)의 패드(1a) 상에 금 범프(1d)를 형성한다.

- <353> 그 후, 싱글 피스 기관(3)의 칩 지지면(3a)의 제1 반도체 칩(1) 탑재 영역에 제1 반도체 칩(1)보다 크게 절단한 NCF(12)를 배치하고, 계속해서 제1 반도체 칩(1)의 패드(1a)가 싱글 피스 기관(3)의 접속 단자(3c)와 대향하도록, 패드(1a)와 이에 대응하는 접속 단자(3c)를 위치 결정하여 제1 반도체 칩(1) 및 제2 반도체 칩(2)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 배치한다.
- <354> 즉, 싱글 피스 기관(3)의 칩 지지면(3a) 상에, 제2 반도체 칩(2)과 접촉된 제1 반도체 칩(1)을, 그 주변(1b)이 싱글 피스 기관(3)의 칩 지지면(3a)에 마주 향하도록 배치한다.
- <355> 그 후, 열 압착 헤드(33)를 이용하여 열 압착을 행하고, 복수의 금 범프(1d)를 통해 제1 반도체 칩(1)과 싱글 피스 기관(3)의 복수의 접속 단자(3c)를 전기적으로 접속함과 함께, 제1 반도체 칩(1)의 주변(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이를 NCF(12)로 접촉한다.
- <356> 그 때, 도 45에 도시한 바와 같이 제2 반도체 칩(2)의 주변(2b)으로부터 열 압착 헤드(33)에 의해 제2 반도체 칩(2)을 통해 하중과 열을 가한다.
- <357> 이에 따라, 제1 반도체 칩(1)의 주변(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에서 NCF(12)의 열 경화성 수지를 경화시켜, 상기 열 경화성 수지를 통해 제1 반도체 칩(1)이 싱글 피스 기관(3)의 칩 지지면(3a) 상에 고정되고, 제1 반도체 칩(1)의 패드(1a) 상의 금 범프(1d)와 싱글 피스 기관(3)의 접속 단자(3c)가 접촉하여 전기적으로 도통한다.
- <358> 또, NCF(12)는, 제1 반도체 칩(1)이 가압·가열되었을 때, 이 압력에 의해 제1 반도체 칩(1)의 외측 주위에 돌출됨과 함께, 돌출부(12e) 및 돌출부(12f)를 형성하기 위한 원하는 두께를 갖는다.
- <359> 따라서, 도 46에 도시한 바와 같이 열 압착 헤드(33)에 의해 제2 반도체 칩(2)을 통해 제1 반도체 칩(1)을 가압하면, NCF(12)가 제1 반도체 칩(1)의 외측 주위에 돌출됨과 함께, 제1 반도체 칩(1)으로부터 돌출한 제2 반도체 칩(2)의 이면(2c)에는 돌출부(제2 부분: 12e)가 형성되고, 그 외측에 돌출부(제3 부분: 12f)가 형성된다.
- <360> 이 때, 열 압착 헤드(33)의 가압면에 의해, 제2 반도체 칩(2)의 주변(2b)과 돌출부(12f)는, 거의 동일한 높이 또는 약간 돌출부(12f) 쪽이 낮게 형성된다.
- <361> 그 후, 제2 반도체 칩(2)의 주변(2b) 상에, 제3 반도체 칩(29)을, 그 이면(29c)이 제2 반도체 칩(2)의 주변(2b)에 마주 향하도록 접촉한다.
- <362> 그 때, 제3 반도체 칩(29)의 복수의 패드(29a)가 제1 반도체 칩(1)과 제2 반도체 칩(2)보다 외측의 위치에 배치되도록, 제3 반도체 칩(29)을 제2 반도체 칩(2) 상에 배치한다.
- <363> 즉, 제3 반도체 칩(29)의 복수의 패드(29a)가 제1 반도체 칩(1)과 제2 반도체 칩(2)보다 외측에 배치됨과 함께, 사전에 다이 본드 필름재(5)가 이면(29c)에 접촉된 제3 반도체 칩(29)의 이면(29c)을 제2 반도체 칩(2)의 주변(2b)에 향하여, 그 주변(2b) 상에 배치하고, 그 후 도 47에 도시한 바와 같이 제3 반도체 칩(29)의 상방으로부터 열 압착 헤드(33)에 의해 제3 반도체 칩(29)의 주변(29b)에 대하여 가압·가열을 행하여 양자를 접촉한다.
- <364> 이에 따라, 제2 반도체 칩(2)은, 제1 반도체 칩(1)의 이면(1c) 상에 열 경화성 수지를 포함하는 다이 본드 필름재(5)를 통해 접촉되며, 제3 반도체 칩(29)은, 제2 반도체 칩(2)의 주변(2b) 상에, 마찬가지로 열 경화성 수지를 포함하는 다이 본드 필름재(5)를 통해 접촉된 상태가 되고, 그 때 제3 반도체 칩(29)의 복수의 패드(29a)는 제1 반도체 칩(1)과 제2 반도체 칩(2)의 외측의 위치에 배치된다.
- <365> 그 후, 상기한 도 42에 도시한 와이어 본딩과 마찬가지로의 방법으로 와이어 본딩을 행한다.
- <366> 그 때, 제1 반도체 칩(1)보다 외측에 배치된 제2 반도체 칩(2)의 패드(2a)에 대하여, 그 이면(2c)에 배치된 NCF(12)의 돌출부(12e)가 와이어 본딩 시의 하중 지지대가 되기 때문에, 와이어 본딩 시의 제2 반도체 칩(2)의 균열을 방지할 수 있다.
- <367> 또한, 제2 반도체 칩(2)보다 외측에 배치된 제3 반도체 칩(29)의 각 패드(29a)에 대하여, 그 이면(29c)에 배치된 NCF(12)의 돌출부(12f)가 와이어 본딩 시의 하중 지지대가 되기 때문에, 와이어 본딩 시의 제3 반도체 칩(29)의 균열을 방지할 수 있다.
- <368> 또한, 상기 변형예의 제조 방법에서는, 열 압착 헤드(33)의 선단(가압면)의 형상을 평탄한 면으로 할 수 있어, 상기한 제3 실시예의 일례의 열 압착 헤드(28)에 비하여 그 형상을 간단하게 할 수 있다.

- <369> 또, 와이어 본딩 후의 제조 방법과 그에 따라 얻어지는 그 밖의 효과는 상기한 제3 실시예의 일례와 마찬가지로, 그 중복 설명은 생략한다.
- <370> <제4 실시예>
- <371> 도 48은 본 발명의 제4 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 수치 밀봉체를 투과하여 도시한 평면도, 도 49는 도 48에 도시한 CSP에 삽입되는 제1 반도체 칩의 구조의 일례를 나타내는 평면도, 도 50은 도 48에 도시한 CSP의 조립에 있어서의 제1 반도체 칩의 마운트 상태의 일례를 K-K선을 따라 절단한 부분에서 나타내는 확대 부분 단면도, 도 51은 도 48에 도시한 CSP의 조립에 있어서의 제2 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도, 도 52는 도 48에 도시한 CSP의 조립에 있어서의 제3 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도, 도 53은 도 48에 도시한 CSP의 조립에 있어서의 와이어 본딩 상태의 일례를 나타내는 확대 부분 단면도, 도 54는 도 48에 도시한 CSP의 K-K선을 따라 절단한 단면의 구조를 나타내는 확대 부분 단면도이다.
- <372> 제4 실시예의 반도체 장치는 제3 실시예의 CSP(30)와 마찬가지로, 싱글 피스 기판(3) 상에 3개의 반도체 칩이 적층된 스택 구조의 CSP(31)(도 48 참조)이지만, 제3 실시예의 CSP(30)와의 구조의 상위점은, 3단계의 반도체 칩인 제3 반도체 칩(29)의 복수의 패드(29a)가 2단계의 제2 반도체 칩(2)의 단부보다 내측의 영역에, 1단계의 제1 반도체 칩(1)보다 외측의 위치에 배치되는 것이다.
- <373> 따라서, 접촉재인 NCF(12)는 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기판(3)의 칩 지지면(3a) 사이에 형성된 제1 부분인 제1 칩 집합부(12d)와, 제1 반도체 칩(1)을 배치하는 영역의 외측에, 제2 반도체 칩(2)의 이면(2c)과 싱글 피스 기판(3)의 칩 지지면(3a) 사이에 형성된 제2 부분인 돌출부(12e)를 포함하며, 제3 반도체 칩(29)의 각 패드(29a)는 제2 반도체 칩(2) 상에 배치되기 때문에, 돌출부(12e)는 제2 반도체 칩(2)의 각 패드(29a)의 이면(2c)과 제3 반도체 칩(29)의 각 패드(29a)의 이면(29c)에 배치되게 된다.
- <374> 이에 따라, CSP(31)에서의 NCF(12)의 돌출부(12e)는 제2 반도체 칩(2)의 복수의 패드(2a)가 배치된 영역을 지지함과 함께, 제2 반도체 칩(2)을 통해 제3 반도체 칩(29)의 복수의 패드(29a)가 배치된 영역도 지지한다.
- <375> 또한, CSP(31)에 탑재되는 제1 반도체 칩(1)은 도 49에 도시한 바와 같이 장방형이며, 그 주면(1b)의 폭 방향의 중앙 부근에 복수의 패드(1a)가 길이 방향으로 평행하게 배치된 센터 패드 배열인 것이다.
- <376> 또한, CSP(31)에서의 각각의 반도체 칩은, 예를 들면 제1 반도체 칩(1)이 DRAM(Dynamic Random Access Memory)이고, 제2 반도체 칩(2)이 SRAM(Static Random Access Memory)이고, 제3 반도체 칩(29)이 플래시 메모리 등이지만, 각각의 반도체 칩의 기능에 대해서는 상기한 기능에 한정되지 않고 다른 기능의 것이어도 좋다.
- <377> 제4 실시예의 CSP(31)의 그 밖의 구조에 대해서는 제3 실시예의 CSP(30)와 마찬가지로, 그 중복 설명은 생략한다.
- <378> 다음으로, 제4 실시예의 CSP(31)의 제조 방법에 대하여 설명한다.
- <379> 우선, 제3 실시예와 마찬가지로, 복수의 접속 단자(3c)를 갖는 싱글 피스 기판(3), 제1 반도체 칩(1), 제2 반도체 칩(2) 및 제3 반도체 칩(29)을 준비한다.
- <380> 또, 제1 반도체 칩(1)은 도 49에 도시한 바와 같은 센터 패드 배열로, 각 패드(1a) 상에는 제3 실시예와 마찬가지로 돌기 전극인 금 범프(1d)가 형성된다.
- <381> 그 후, 도 50에 도시한 제1 반도체 칩(1)의 마운트를 행한다.
- <382> 우선, 제1 반도체 칩(1)의 주면(1b)을 싱글 피스 기판(3)의 칩 지지면(3a)에 마주 보게 하고, 제1 반도체 칩(1)의 복수의 패드(1a)가 싱글 피스 기판(3)의 복수의 접속 단자(3c)와 대향하도록 제1 반도체 칩(1)을 싱글 피스 기판(3)의 칩 지지면(3a) 상에 배치한다.
- <383> 그 후, 제1 반도체 칩(1)의 이면(1c)에 압력을 가하여 제1 반도체 칩(1)의 복수의 패드(1a)와 싱글 피스 기판(3)의 복수의 접속 단자(3c)를 전기적으로 접속한다.
- <384> 그 때, 우선 싱글 피스 기판(3)의 칩 지지면(3a)의 제1 반도체 칩(1) 탑재 영역에 제1 반도체 칩(1)보다 크게 절단한 NCF(12)를 배치하고, 계속해서 제1 반도체 칩(1)의 패드(1a)가 싱글 피스 기판(3)의 접속 단자(3c)와 대향하도록, 패드(1a)와 이에 대응하는 접속 단자(3c)를 위치 결정하고 제1 반도체 칩(1)을 싱글 피스 기판(3)의 칩 지지면(3a) 상에 배치하고, 그 후 제1 반도체 칩(1)의 이면(1c)에 하중을 가한다.

- <385> 이에 따라, 금 범프(1d)가 NCF(12)에 박혀, 제1 반도체 칩(1)이 싱글 피스 기관(3) 상에 임시로 고정된다.
- <386> 그 후, 가압면이 평탄한 열 압착 헤드(33)에 의해 제1 반도체 칩(1)의 이면(1c)에 압력을 가하고, 이와 동시에 열 압착 헤드(33)로부터 열도 가한다.
- <387> 이에 따라, 제1 반도체 칩(1)의 주면(1b)과 싱글 피스 기관(3)의 칩 지지면(3a) 사이에서 NCF(12)의 열 경화성 수지를 경화시켜, 상기 열 경화성 수지를 통해 제1 반도체 칩(1)을 싱글 피스 기관(3)의 칩 지지면(3a) 상에 고정한다. 그 결과, 제1 반도체 칩(1)의 패드(1a) 상의 금 범프(1d)와, 싱글 피스 기관(3)의 접속 단자(3c)가 접촉하여 전기적으로 도통한다.
- <388> 또, NCF(12)는, 제1 반도체 칩(1)이 가압·가열되었을 때, 이 압력에 의해 제1 반도체 칩(1)의 외측 주위로 돌출되지만, 열 압착 헤드(33)의 가압면에 의해 덮여 있기 때문에, 돌출부(12e)가 형성된다.
- <389> 이에 따라, 제1 반도체 칩(1)의 이면(1c)과 돌출부(12e)가 거의 동일한 높이로 또는 돌출부(12e) 쪽이 약간 낮게 형성된다.
- <390> 그 후, 도 51에 도시한 제2 반도체 칩(2)의 마운트를 행한다.
- <391> 여기에서는 제1 반도체 칩(1)의 이면(1c) 상에, 제2 반도체 칩(2)을 그 이면(2c)이 제1 반도체 칩(1)의 이면(1c)에 마주 향하도록 접촉한다.
- <392> 그 때, 도 48에 도시한 바와 같이 제2 반도체 칩(2)의 복수의 패드(2a)가 제1 반도체 칩(1)보다 외측의 위치에 배치되도록 제2 반도체 칩(2)을 제1 반도체 칩(1) 상에 배치한다.
- <393> 즉, 제2 반도체 칩(2)의 복수의 패드(2a)가 제1 반도체 칩(1)보다 외측에 위치하고, NCF(12)의 돌출부(12e) 상에 배치됨과 함께, 사전에 다이 본드 필름재(5)가 이면(2c)에 접촉된 제2 반도체 칩(2)의 이면(2c)을 제1 반도체 칩(1)의 이면(1c)에 향하여 이 이면(1c) 상에 배치하고, 그 후 제2 반도체 칩(2)의 상방으로부터 열 압착 헤드(33)에 의해 제2 반도체 칩(2)의 주면(2b)에 대하여 가압·가열을 행하여 양자를 접촉한다.
- <394> 이에 따라, 제2 반도체 칩(2)은 제1 반도체 칩(1)의 이면(1c) 상에 열 경화성 수지를 포함하는 다이 본드 필름재(5)를 통해 접촉된 상태가 되고, 그 때, 제2 반도체 칩(2)의 복수의 패드(2a)는 제1 반도체 칩(1)의 외측의 위치에 배치된다.
- <395> 그 후, 도 52에 도시한 제3 반도체 칩(29)의 마운트를 행한다.
- <396> 여기에서는 제2 반도체 칩(2)의 주면(2b) 상에, 제3 반도체 칩(29)을 그 이면(29c)이 제2 반도체 칩(2)의 주면(2b)에 마주 향하도록 접촉한다. 그 때, 제3 반도체 칩(29)의 복수의 패드(29a)는 제2 반도체 칩(2)의 복수의 패드(2a)가 배치되어 있는 영역보다 내측이며, 제1 반도체 칩(1)보다 외측에 배치되도록 제3 반도체 칩(29)을 제2 반도체 칩(2) 상에 배치한다.
- <397> 그 후, 제3 반도체 칩(29)의 상방으로부터 열 압착 헤드(33)에 의해 제3 반도체 칩(29)의 주면(29b)에 대하여 가압·가열을 행하여 양자를 접촉한다.
- <398> 이에 따라, 제3 반도체 칩(29)은 제2 반도체 칩(2)의 주면(2b) 상에, 열 경화성 수지를 포함하는 다이 본드 필름재(5)를 통해 접촉된 상태가 되고, 그 때, 제3 반도체 칩(29)의 복수의 패드(29a)는 제2 반도체 칩(2)의 복수의 패드(2a)가 배치되어 있는 영역보다 내측이며, 제1 반도체 칩(1)보다 외측에 배치된 상태가 된다.
- <399> 따라서, 제1 반도체 칩(1)으로부터 돌출한 제2 반도체 칩(2)의 영역이 NCF(12)의 돌출부(12e)에 의해 지지됨과 함께, 제3 반도체 칩(29)의 복수의 패드(29a)가 배치된 영역이 제2 반도체 칩(2)을 통해 동일하게 돌출부(12e)에 의해 지지된 상태가 된다.
- <400> 그 후, 도 53에 도시한 바와 같이 와이어 본딩을 행한다.
- <401> 즉, 제2 반도체 칩(2)의 복수의 패드(2a) 및 제3 반도체 칩(29)의 복수의 패드(29a)와 각각에 대응하는 싱글 피스 기관(3)의 복수의 접속 단자(3c)를 와이어 본딩에 의해 전기적으로 접속한다.
- <402> 그 때, 우선, 제2 반도체 칩(2)으로부터 와이어 본딩을 행한다.
- <403> 또, NCF(12)의 일부, 즉 돌출부(12e)는 제1 반도체 칩(1)의 외측에 배치된 제2 반도체 칩(2)의 복수의 패드(2a)가 배치된 영역의 이면(2c)과 돌출부(12e)의 간격(간극)이 제2 반도체 칩(2)의 두께보다 작아지도록 배치된 상태이다.

- <404> 따라서, 제2 반도체 칩(2)의 와이어 본딩에서는 제1 반도체 칩(1)보다 외측에 배치된 제2 반도체 칩(2)의 복수의 패드(2a) 각각에 대하여, 그 이면(2c)에 배치된 NCF(12)의 돌출부(12e)가 와이어 본딩 시의 하중 지지대가 되기 때문에, 와이어 본딩 시의 제2 반도체 칩(2)의 균열을 방지할 수 있다.
- <405> 제2 반도체 칩(2)에 대한 와이어 본딩을 마친 후, 제3 반도체 칩(29)에 대한 와이어 본딩을 행한다. 제3 반도체 칩(29)의 와이어 본딩에서는 제2 반도체 칩(2)과 그 이면(2c)에 배치된 NCF(12)의 돌출부(12e)가 와이어 본딩 시의 하중 지지대가 되기 때문에, 와이어 본딩 시의 제3 반도체 칩(29)의 균열을 방지할 수 있다.
- <406> 그 후, 제1 반도체 칩(1), 제2 반도체 칩(2), 제3 반도체 칩(29) 및 복수의 와이어(4)를 트랜스퍼 몰딩에 의해 수지 밀봉하고, 이에 따라 도 54에 도시한 바와 같은 수지 밀봉체(6)를 형성한다.
- <407> 또, 수지 몰딩 시에 있어서도, 금형 클램프 시 등의 하중이 제3 반도체 칩(29)에 인가되었을 때에도, NCF(12)의 돌출부(12e)가 하중 지지대가 되기 때문에, 제3 반도체 칩(29)의 균열을 방지할 수 있다.
- <408> 그 후, 싱글 피스 기관(3)의 이면(3b) 상에, 싱글 피스 기관(3)의 복수의 접속 단자(3c)와 전기적으로 접속하는 복수의 돌기 전극인 뿔납 볼(11)을 탑재한다.
- <409> 즉, 싱글 피스 기관(3)의 이면(3b)에 노출하는 각 범프 랜드(3d)(도 14 참조)에, 뿔납 볼(11)을 리플로우 등에 따라 탑재하여 CSP(31)의 외부 전극을 형성한다.
- <410> 또, 제4 실시예의 제조 방법에 있어서도, 열 압착 헤드(33)의 선단(가압면)의 형상을 평탄한 면으로 할 수 있으며, 상기 제3 실시예의 일례의 열 압착 헤드(28)에 비하여 그 형상을 간단하게 할 수 있다.
- <411> 이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것이 아니고, 그 요지를 이탈하지 않은 범위에서 여러가지 변경 가능한 것은 물론이다.
- <412> 상기 제1 실시예에서는 금 범프(1d)와 접속 단자(3c)와의 접속 신뢰성을 확보하기 위해서, 복수의 제1 반도체 칩(1)에 대하여 개별로 열 압착을 행하기 때문에, 작업 효율의 저하가 우려된다. 그래서, 열 압착의 작업 효율의 향상을 도모하는 대책으로서, 열 압착 시, NCF(12) 등의 제1 접착재에 실시하는 열 처리의 온도를 상기 제2 접착재에 실시하는 열 처리의 온도보다 높게 함으로써 하층의 제1 반도체 칩(1)의 제1 접착재의 경화 시간을 빠르게 하고, 이에 따라 열 압착 전체의 작업 효율의 향상을 도모할 수 있다.
- <413> 단, 제1 반도체 칩(1)의 열 처리 온도를 높게 하면, 기관과 칩의 열 팽창 계수의 차에 의해, 열 경화 후의 제1 반도체 칩(1)의 휨이 커져, 제1 반도체 칩(1)의 마운트 종료 후의 제1 반도체 칩(1)의 휨이 커진다.
- <414> 즉, 제1 반도체 칩(1)의 마운트 종료 후의 제1 반도체 칩(1)의 평탄도는 악화한다. 이와 같이 제1 반도체 칩(1)의 휨이 원인으로, 그 위에 탑재되는 제2 반도체 칩(2)이 기울어지면, 와이어 본딩을 양호하게 행할 수 없고, 제2 반도체 칩(2)과 접속 단자(3c)와의 접속 신뢰성의 저하를 초래하게 된다.
- <415> 그래서, 제1 반도체 칩(1)을 열 압착으로 탑재한 후, 제2 반도체 칩(2)을 제1 실시예에서 설명한 다이 본드 필름재(5) 등의 제2 접착재를 통해 제1 반도체 칩(1)의 이면(1c) 상에 배치하고, 이 제2 반도체 칩(2)을 압착 헤드에 의해 보유한 상태에서, 상기 제2 접착재에 열 처리를 실시하여 경화시켜, 제2 반도체 칩(2)을 상기 제2 접착재를 통해 제1 반도체 칩(1) 상에 고정한다.
- <416> 그 후, 압착 헤드 등의 지그를 제2 반도체 칩(2)으로부터 분리한다.
- <417> 이와 같이 지그(압착 헤드)에 의해 제2 반도체 칩(2)을 유지한 상태에서 제2 반도체 칩(2)의 고정을 행함으로써, 휘어진 제1 반도체 칩(1) 상에서도 평탄도를 저하시키지 않고 제2 반도체 칩(2)을 고정할 수 있다.
- <418> 또한, 이 때, 제2 반도체 칩(2)의 이면(2c)에는, 사전에 다이 본드 필름재(5)가 접착된 상태에서, 칩이 싱글 피스화되어 있기 때문에, 복수의 디바이스 영역(7a)에 대하여 싱글 피스화된 NCF(12)를 배치할 필요가 있는 제1 반도체 칩(1)의 실장 공정에 비하여, 작업 효율을 올릴 수 있다.
- <419> 또, 이 방법을 이용하여, 제2 실시예에서 설명한 바와 같은 복수의 디바이스 영역(7a)에 대하여 순차 적층의 다이 본드를 행할 때는, 우선 도 23에 도시한 바와 같이 하나의 디바이스 영역(7a)에서의 제1 반도체 칩(1)의 탑재를 상기 방법으로 열 압착하고, 그 후 제3 반도체 칩(26)(여기에서의 제3 반도체 칩은 상기 제2 실시예에서 설명한 것과 마찬가지로, 제1 반도체 칩(1)과 동일한 구조로, 하층에 배치되는 것)을 준비한 후, 제3 반도체 칩(26)을 멀티 피스 기관(7)의 다른 디바이스 영역(7a)에 제3 접착재를 통해 배치한다.

- <420> 계속해서, 상기 제3 접착재에 열 처리를 실시하여 경화시켜, 제3 반도체 칩(26)을 상기 제3 접착재를 통해 멀티 피스 기관(7)의 다른 디바이스 영역(7a) 상에 고정한다.
- <421> 또한, 제2 반도체 칩(2)을 준비하고, 계속해서 제2 반도체 칩(2)을 다이 본드 필름재(5) 등의 제2 접착재를 통해 상기 제1 반도체 칩(1) 상에 배치한다.
- <422> 또한, 제2 반도체 칩(2)을 압착 헤드 등의 지그에 의해 유지한 상태에서, 상기 제2 접착재에 열 처리를 실시하여 경화시켜, 제2 반도체 칩(2)을 상기 제2 접착재를 통해 제1 반도체 칩(1) 상에 고정한다.
- <423> 그 후, 상기 지그를 제2 반도체 칩(2)으로부터 분리한다.
- <424> 그 후, 제4 반도체 칩(27)(여기에서의 제4 반도체 칩(27)은 상기 제2 실시예에서 설명한 제2 반도체 칩(2)과 동일한 구조로, 상층에 배치되는 것)을 준비하고, 계속해서 제4 반도체 칩(27)을 다이 본드 필름재(5) 등의 제4 접착재를 통해 상기 제3 반도체 칩(26) 상에 배치한다.
- <425> 또한, 제4 반도체 칩(27)을 압착 헤드 등의 지그에 의해 유지한 상태에서, 상기 제4 접착재에 열 처리를 실시하여 경화시켜, 제4 반도체 칩(27)을 상기 제4 접착재를 통해 제3 반도체 칩(26) 상에 고정한다.
- <426> 그 후, 상기 지그를 제4 반도체 칩(27)으로부터 분리한다.
- <427> 또한, 상기 제2 실시예에서는 제1 접착재로서, 복수의 제1 NCF(12b)를 도 17에 도시한 바와 같이 지그재그 배열로 배치하는 경우를 설명했지만, 상기 제1 접착재의 배열은 지그재그 배열에 한정되는 것이 아니다. 예를 들면, 접착재의 특성이나, 열 압착 공정의 설정에 의해 열 압착 헤드(20)에 의한 인접하는 디바이스 영역(7a)에 의 열 영향을 무시할 수 있는 경우에는, 인접하는 복수의 디바이스 영역(7a)에 제1 접착재를 사전에 배치하도록 해도 문제없지만, 지나치게 다수의 디바이스 영역(7a)에 제1 접착재를 배치하면, 다이 본드 스테이지(21)로부터의 열에 장시간 노출됨으로써, NCF(12)가 열 경화하는 경우가 있다. 이러한 경우에는 도 33의 변형예에 도시한 바와 같이 예를 들면, 1열마다 제1 NCF(12b)의 배치를 행하고, 이 1열(3개)의 제1 NCF(12b) 상에 제1 반도체 칩(1)의 탑재를 마친 후, 이웃 열로 이동하여 1열씩 순차적으로 제1 NCF(12b)와 제1 반도체 칩(1)의 탑재를 행해도 좋다.
- <428> 또한, 상기 제1 실시예, 제2 실시예에서는, 반도체 장치가 두 개의 반도체 칩을 적층한 스택 구조인 것을 설명했지만, 반도체 칩의 적층 수는 도 34의 변형예에 도시한 바와 같이 3층 또는 그 이상이라도 좋다.
- <429> 이와 같이 3층 이상 반도체 칩을 적층하는 경우라도, 페이스 다운 실장하는 반도체 칩보다 페이스 업 실장하는 반도체 칩의 두께를 얇게 하고, 페이스 다운 실장 공정의 가압력을 크게 함으로써, 접촉 신뢰성을 저하시키지 않고, 칩 균열의 발생을 방지하면서 CSP(25)의 박형화를 실현할 수 있다.
- <430> 또, 도 34에 도시한 3층의 스택 구조의 CSP(25)에서는, 3단체의 반도체 칩(24)에 대해서 행해지는 와이어 본딩은 기관을 제1 본딩으로 하고, 칩을 제2 본딩으로 함으로써, 수지 밀봉체(6)의 높이를 낮게 억제하여 CSP(25)의 높이가 높아지지 않도록 한다.
- <431> 또한, 상기 제1 실시예에서는 스택 구조에서, 하층의 제1 반도체 칩(1)을 논리 칩으로 하고, 상층의 제2 반도체 칩(2)을 메모리 칩으로 하는 경우를 설명했지만, 하층 및 상층의 반도체 칩의 기능에 대해서는 특별히 한정되는 것은 아니다.
- <432> 또한, 상기 제2 실시예에서는 반도체 장치의 조립으로서, 멀티 피스 기관(7)을 이용하고, 일괄 몰드 방식을 채용하는 경우를 설명했지만, 사전에 개개로 분할된 싱글 피스 기관(3)을 이용하여 조립해도 되고, 멀티 피스 기관(7)을 이용하여 하나의 디바이스 영역(7a)에 하나의 캐비티(13a)가 대응하는 단수 몰드 방식으로 조립해도 된다.
- <433> 또한, 상기 제1 실시예, 제2 실시예에서는, 접착재로서 하층의 플립 칩 접속이 NCF(12)나 ACF 등의 필름 형상을 이용하여 행해지고, 상층의 다이 본드가 다이 본드 필름재(5)를 이용하여 행해지는 경우에 대해서 설명했지만, 상기 접착재는 페이스트(paste) 형상이라도 된다.
- <434> 또한, 상기 제1 실시예, 제2 실시예에서는 반도체 장치가 CSP(9, 22, 25)인 경우에 대해서 설명했지만, 상기 반도체 장치는 스택 구조로, 적층된 반도체 칩이 배선 기관에 탑재되고, 또한 최하층의 반도체 칩보다 그 상층의 반도체 칩의 두께가 얇으면, 예를 들면, BGA(Ball Grid Array)나 LGA(Land Grid Array) 등의 다른 반도체 장치라도 된다.

**발명의 효과**

- <435> 본원에 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 다음과 같다.
- <436> 스택 구조의 반도체 장치에 있어서, 하층의 반도체 칩보다 상층의 반도체 칩의 두께를 얇게 함으로써, 반도체 장치의 박형화를 도모할 수 있다.

**도면의 간단한 설명**

- <1> 도 1은 본 발명의 제1 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 나타내는 단면도.
- <2> 도 2는 도 1에 도시한 CSP의 구조를 나타내는 부분 단면도.
- <3> 도 3은 도 1에 도시한 CSP의 조립에 있어서의 웨이퍼에의 다이 본드 필름 접착 상태의 일례를 나타내는 부분 단면도.
- <4> 도 4는 도 1에 도시한 CSP의 조립에 있어서의 웨이퍼 다이싱의 일례를 나타내는 부분 단면도.
- <5> 도 5의 (a), (b)는 도 1에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제1 칩 마운트를 나타내는 도면, (b)는 제1 칩 열 압착을 나타내는 도면.
- <6> 도 6의 (a), (b)는 도 1에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제2 칩 마운트를 나타내는 도면, (b)는 제2 칩 와이어 본딩을 나타내는 도면.
- <7> 도 7은 본 발명의 제2 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 나타내는 부분 단면도.
- <8> 도 8은 도 7에 도시한 CSP의 조립에 있어서의 와이어링 상태의 일례를 나타내는 확대 평면도.
- <9> 도 9의 (a), (b)는 도 7에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제1 칩 마운트를 나타내는 도면, (b)는 제1 칩 열 압착을 나타내는 도면.
- <10> 도 10의 (a), (b)는 도 7에 도시한 CSP의 조립의 일례를 나타내는 부분 단면도로서, (a)는 제2 칩 마운트를 나타내는 도면, (b)는 제2 칩 와이어 본딩을 나타내는 도면.
- <11> 도 11은 본 발명의 제2 실시예의 반도체 장치의 조립 순서에서의 전체 공정의 일례를 나타내는 제조 프로세스 흐름도.
- <12> 도 12는 본 발명의 제2 실시예의 반도체 장치의 조립 순서에서의 상세 공정의 일례를 나타내는 제조 프로세스 흐름도.
- <13> 도 13은 본 발명의 제2 실시예의 반도체 장치의 조립에 있어서의 멀티 피스 기관의 구조의 일례를 나타내는 평면도.
- <14> 도 14의 (a), (b)는 도 13에 도시한 멀티 피스 기관의 일부를 확대하여 나타내는 확대 부분도로서, (a)는 도 13의 A부의 상세를 나타내는 평면도이고, (b)는 (a)의 이면측의 저면도.
- <15> 도 15의 (a), (b)는 본 발명의 제2 실시예의 반도체 장치의 조립에 이용되는 제1 및 제2 반도체 칩의 평면도로서, (a)는 제1 반도체 칩의 도면, (b)는 제2 반도체 칩의 도면.
- <16> 도 16의 (a), (b)는 도 15에 도시한 제1 반도체 칩의 구조의 일례를 나타내는 도면으로서, (a)는 확대 부분 측면도, (b)는 확대 부분 평면도.
- <17> 도 17은 본 발명의 제2 실시예의 반도체 장치의 조립에 있어서의 제1 NCF 접착 공정의 일례를 나타내는 평면도.
- <18> 도 18의 (a), (b)는 도 17에 도시한 제1 NCF 접착 공정의 상세를 나타내는 평면도로서, (a)는 NCF 배치 전의 도면, (b)는 NCF 접착 후의 도면.
- <19> 도 19의 (a), (b)는 도 17에 도시한 제1 NCF 접착에 대한 제1 반도체 칩의 배치 상태를 나타내는 도면으로서, (a)는 제1 반도체 칩 배치 상태의 도면, (b)는 콜릿에 의한 가압 상태를 나타내는 도면.
- <20> 도 20의 (a), (b)는 제1 반도체 칩의 다이 본드 방법의 일례를 나타내는 도면으로서, (a)는 제1 반도체 칩 마운트 상태의 도면, (b)는 제1 반도체 칩 열 압착 후의 도면.

- <21> 도 21은 도 17에 도시한 제1 NCF 접착에 대한 제1 반도체 칩의 다이 본딩 후의 구조의 일례를 나타내는 평면도.
- <22> 도 22는 도 17에 도시한 제1 NCF 접착에 대한 제2 NCF 접착 후의 구조의 일례를 나타내는 평면도.
- <23> 도 23의 (a), (b)는 도 22에 도시한 제2 NCF 접착에 대한 제1 및 제3 반도체 칩의 실장 완료 구조를 나타내는 도면으로서, (a)는 평면도이고, (b)는 (a)의 B부의 상세를 나타내는 확대 부분 평면도.
- <24> 도 24는 도 22에 도시한 제2 NCF 접착에 대한 제2 및 제4 반도체 칩의 다이 본딩 후의 구조의 일례를 나타내는 평면도.
- <25> 도 25의 (a), (b)는 제2 및 제4 반도체 칩의 와이어 본딩 후의 구조를 나타내는 도면으로서, (a)는 평면도이고, (b)는 (a)의 C부의 상세를 나타내는 확대 부분 평면도.
- <26> 도 26의 (a), (b)는 제2 반도체 칩의 와이어 본딩 상태의 일례를 나타내는 평면도로서, (a)는 와이어 본딩 전의 도면, (b)는 와이어 본딩 후의 도면.
- <27> 도 27의 (a), (b)는 일괄 몰드가 행해지는 멀티 피스 기관의 구조의 일례를 나타내는 평면도로서, (a)는 일괄 몰드 전의 도면, (b)는 일괄 몰드 후의 도면.
- <28> 도 28은 본 발명의 제2 실시예의 반도체 장치의 조립의 일괄 몰드 방법에 있어서의 수지 유입 방향의 일례를 나타내는 평면도.
- <29> 도 29의 (a), (b)는 도 28에 도시한 일괄 몰드 방법의 일례를 나타내는 도면으로서, (a)는 도 28의 D-D선을 따른 단면의 일괄 몰드 시의 부분 단면도, (b)는 도 28의 E-E선을 따른 단면의 일괄 몰드 시의 부분 단면도.
- <30> 도 30은 도 28에 도시한 일괄 몰드 방법에 대한 변형예의 일괄 몰드 방법에 있어서의 수지 유입 방향의 일례를 나타내는 평면도.
- <31> 도 31의 (a), (b)는 도 30에 도시한 변형예의 일괄 몰드 방법을 나타내는 도면으로서, (a)는 도 30의 F-F선을 따른 단면의 일괄 몰드 시의 부분 단면도, (b)는 도 30의 G-G선을 따른 단면의 일괄 몰드 시의 부분 단면도.
- <32> 도 32는 본 발명의 제2 실시예의 반도체 장치의 조립에 있어서의 일괄 몰드 후의 멀티 피스 기관 구조의 일례를 나타내는 평면도.
- <33> 도 33은 본 발명의 제2 실시예의 반도체 장치의 조립의 제1 NCF 접착 공정에 대한 변형예의 제1 NCF 접착 공정을 나타내는 평면도.
- <34> 도 34는 도 1에 도시한 스택 구조의 CSP에 대한 변형예의 CSP 구조를 나타내는 단면도.
- <35> 도 35는 본 발명의 제3 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 수지 밀봉체를 투과하여 나타내는 평면도.
- <36> 도 36은 도 35에 도시한 J-J선을 따라 절단한 단면의 구조를 나타내는 확대 부분 단면도.
- <37> 도 37은 도 35에 도시한 CSP에 삽입되는 제1 반도체 칩의 구조의 일례를 나타내는 평면도.
- <38> 도 38은 도 35에 도시한 CSP의 조립에 있어서의 제1 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도.
- <39> 도 39는 도 35에 도시한 CSP의 조립에 있어서의 제1 반도체 칩의 열 압착 상태의 일례를 나타내는 확대 부분 단면도.
- <40> 도 40은 도 39에 도시한 열 압착 공정에서의 열 압착 후의 접착재의 형상의 일례를 나타내는 확대 부분 단면도.
- <41> 도 41은 도 35에 도시한 CSP의 조립에 있어서의 제2 및 제3 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도.
- <42> 도 42는 도 35에 도시한 CSP의 조립에 있어서의 와이어 본딩 상태의 일례를 나타내는 확대 부분 단면도.
- <43> 도 43은 도 35에 도시한 CSP의 변형예의 조립에 있어서의 제1 반도체 칩과 제2 반도체 칩의 접착 방법의 일례를 나타내는 확대 부분 단면도.

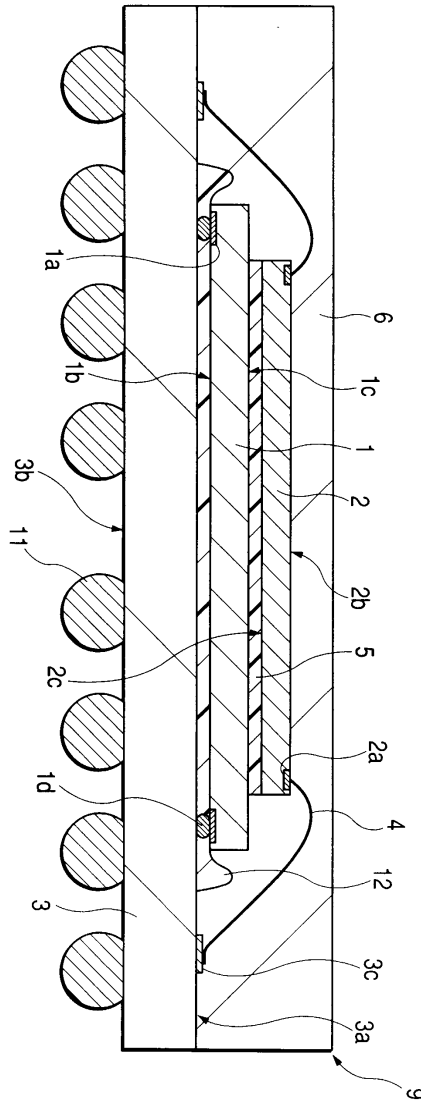
- <44> 도 44는 도 35에 도시한 CSP의 변형예의 조립에 있어서의 제1 반도체 칩에의 돌기 전극의 형성 방법의 일례를 나타내는 확대 부분 단면도.
- <45> 도 45는 도 35에 도시한 CSP의 변형예의 조립에 있어서의 제1 반도체 칩의 배선 기판에의 접착 방법의 일례를 나타내는 확대 부분 단면도.
- <46> 도 46은 도 35에 도시한 CSP의 변형예의 조립에 있어서의 제1 및 제2 반도체 칩의 열 압착 상태의 일례를 나타내는 확대 부분 단면도.
- <47> 도 47은 도 35에 도시한 CSP의 변형예의 조립에 있어서의 제3 반도체 칩의 열 압착 상태의 일례를 나타내는 확대 부분 단면도.
- <48> 도 48은 본 발명의 제4 실시예의 반도체 장치(스택 구조의 CSP)의 구조의 일례를 수지 밀봉체를 투과하여 나타내는 평면도.
- <49> 도 49는 도 48에 도시한 CSP에 삽입되는 제1 반도체 칩의 구조의 일례를 나타내는 평면도.
- <50> 도 50은 도 48에 도시한 CSP의 조립에 있어서의 제1 반도체 칩의 마운트 상태의 일례를 K-K선을 따라 절단한 부분에서 나타내는 확대 부분 단면도.
- <51> 도 51은 도 48에 도시한 CSP의 조립에 있어서의 제2 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도.
- <52> 도 52는 도 48에 도시한 CSP의 조립에 있어서의 제3 반도체 칩의 마운트 상태의 일례를 나타내는 확대 부분 단면도.
- <53> 도 53은 도 48에 도시한 CSP의 조립에 있어서의 와이어 본딩 상태의 일례를 나타내는 확대 부분 단면도.
- <54> 도 54는 도 48에 도시한 CSP의 K-K선을 따라 절단한 단면의 구조를 나타내는 확대 부분 단면도.
- <55> <도면의 주요 부분에 대한 부호의 설명>
- <56> 1 : 제1 반도체 칩
- <57> 1a, 2a, 29a : 패드(전극)
- <58> 1b, 2b, 17a, 29b : 주면
- <59> 1c, 2c, 17b, 29c : 이면
- <60> 1d : 금 범프(돌기 전극)
- <61> 2 : 제2 반도체 칩
- <62> 3 : 싱글 피스 기판(배선 기판)
- <63> 3a : 칩 지지면(주면)
- <64> 3b : 이면(반대측의 면)
- <65> 3c : 접속 단자(전극)
- <66> 3d : 범프 랜드
- <67> 3e : 제1 접속 단자(제1 전극)
- <68> 3f : 제2 접속 단자(제2 전극)
- <69> 4 : 와이어
- <70> 5 : 다이 본드 필름재(접착재)
- <71> 6 : 수지 밀봉체
- <72> 7 : 멀티 피스 기판(배선 기판)
- <73> 7a : 디바이스 영역

- <74> 7b : 다이싱 라인
- <75> 7c : 금 도금부
- <76> 8 : 일괄 몰드부
- <77> 8a : 수지 게이트부
- <78> 9, 22, 25, 30, 31 : CSP(반도체 장치)
- <79> 10 : 다이싱 블레이드
- <80> 11 : 뿔납 볼(외부 전극)
- <81> 12 : NCF (접착재)
- <82> 12a : 평탄부
- <83> 12b : 제1 NCF(제1 접착재)
- <84> 12c : 제2 NCF(제2 접착재)
- <85> 12d : 제1 칩 접합부(제1 부분)
- <86> 12e : 돌출부(제2 부분)
- <87> 12f : 돌출부(제3 부분)
- <88> 13 : 몰드 금형(금형)
- <89> 13a : 캐비티
- <90> 13b : 제1 측면
- <91> 13c : 제2 측면
- <92> 13d : 제3 측면
- <93> 13e : 제4 측면
- <94> 13f : 수지 주입구
- <95> 13g : 공기 구멍
- <96> 13h : 상부 몰드
- <97> 13i : 하부 몰드
- <98> 13j : 상면
- <99> 13k : 하면
- <100> 14 : 롤러
- <101> 15 : 보호 시트
- <102> 16 : 다이싱 테이프
- <103> 17 : 반도체 웨이퍼
- <104> 18 : 스테이지
- <105> 19 : 고정 링
- <106> 20 : 열 압착 헤드
- <107> 21 : 다이 본드 스테이지
- <108> 23 : 레진의 흐름
- <109> 24 : 3단계의 반도체 칩

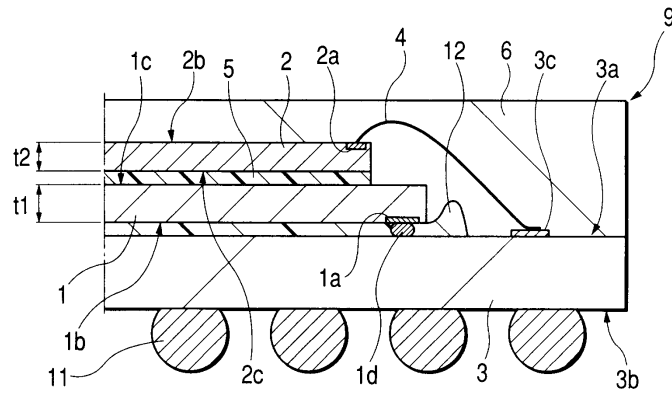
- <110> 26, 29 : 제3 반도체 칩
- <111> 27 : 제4 반도체 칩
- <112> 28, 33 : 열 압착 헤드(열 압착용 지그)
- <113> 28a : 돌기부
- <114> 32 : 모세관

도면

도면1

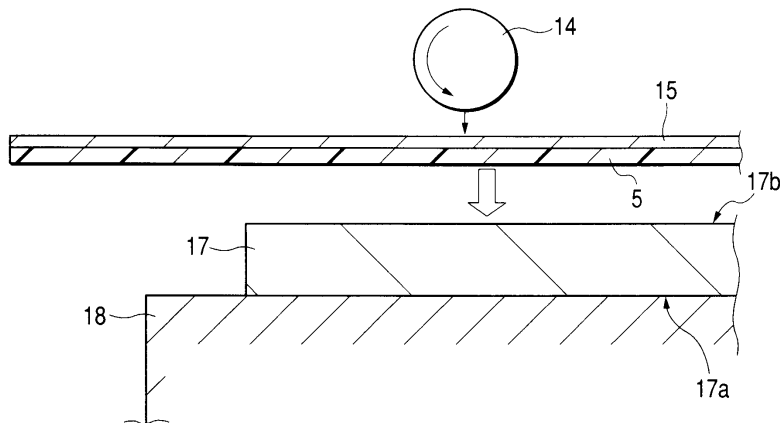


도면2

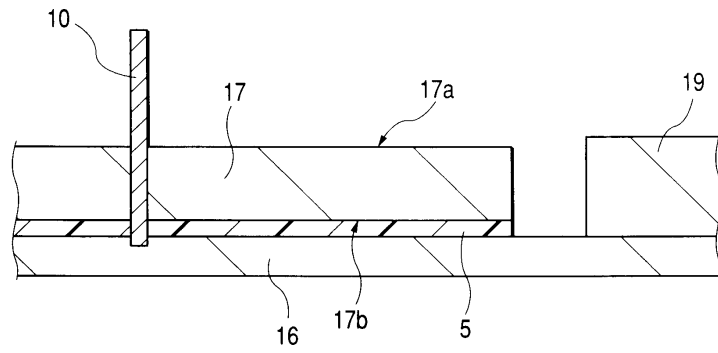


- |                 |                    |
|-----------------|--------------------|
| 1: 제1 반도체 칩     | 3: 싱글 피스 기판(배선 기판) |
| 1a: 패드(전극)      | 3a: 칩 지지면(주면)      |
| 1b: 주면          | 3b: 이면(반대측 면)      |
| 1c: 이면          | 3c: 접속 단자(전극)      |
| 1d: 금 범프(돌기 전극) | 4: 와이어             |
| 2: 제2 반도체 칩     | 5: 다이 본드 필름재(접착재)  |
| 2a: 패드(전극)      | 6: 수지 밀봉재          |
| 2b: 주면          | 9: CPS(반도체 장치)     |
| 2c: 이면          | 11: 뿔납 볼(외부 전극)    |
|                 | 12: NCF(접착재)       |

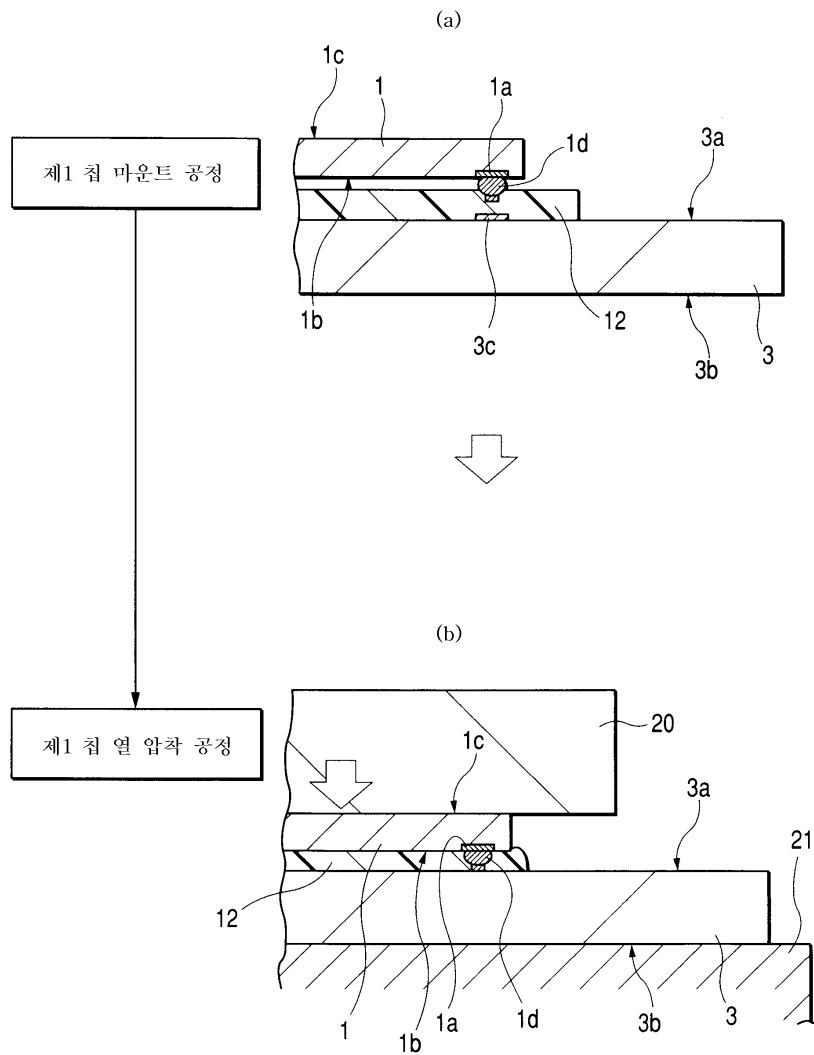
도면3



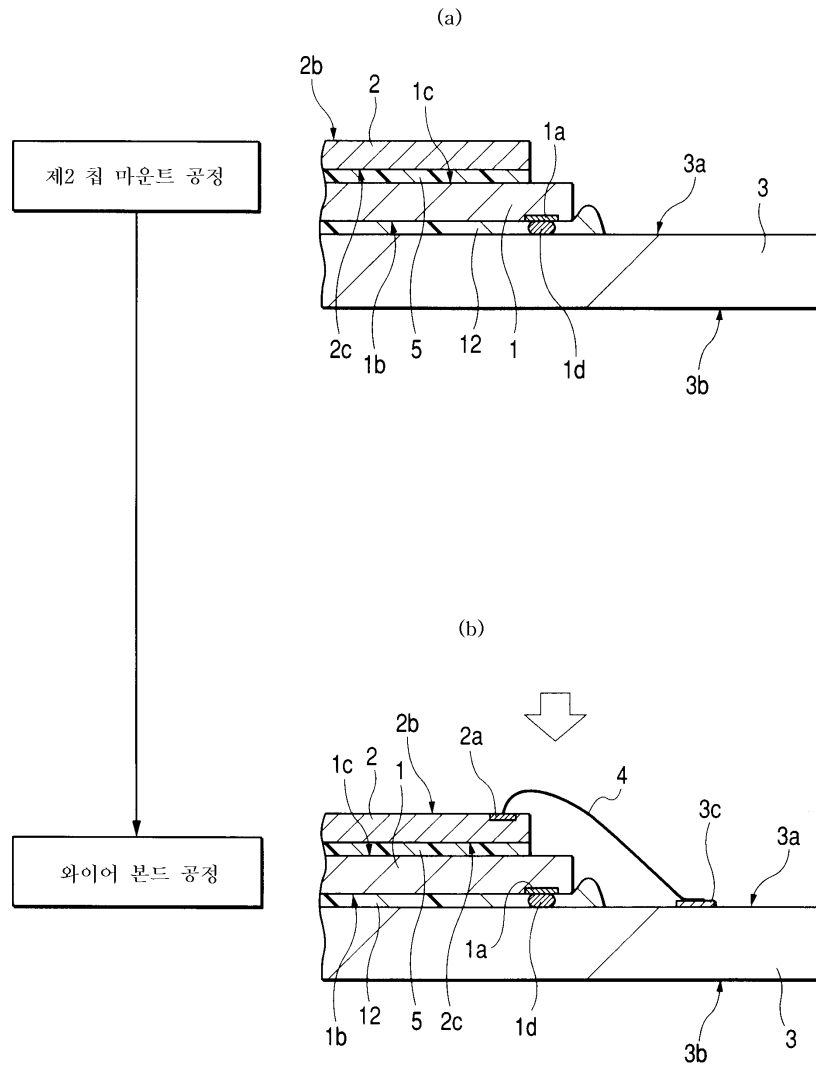
도면4



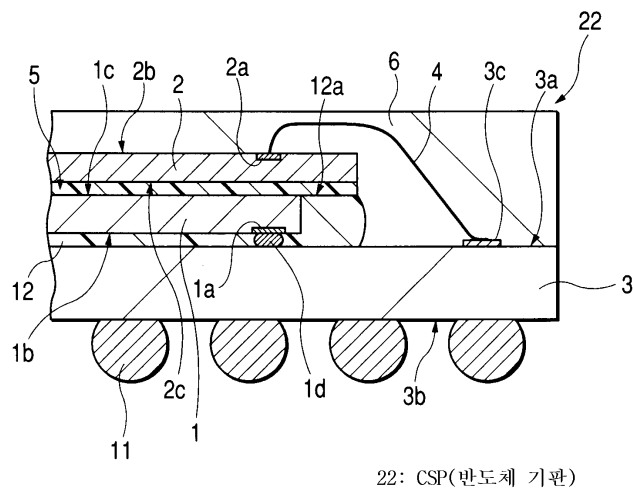
도면5



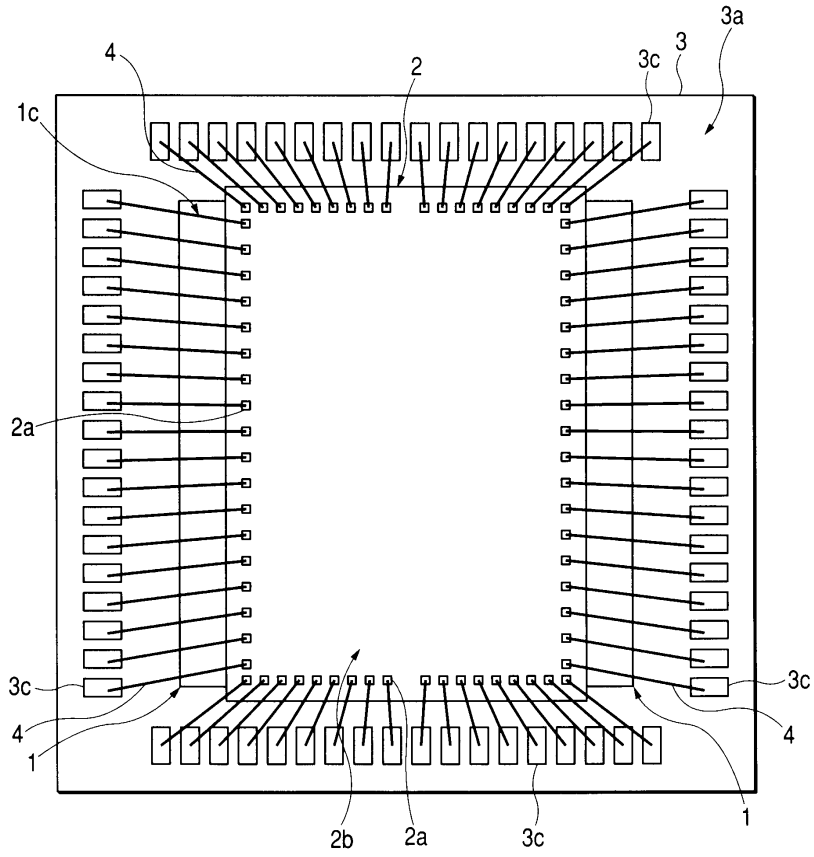
도면6



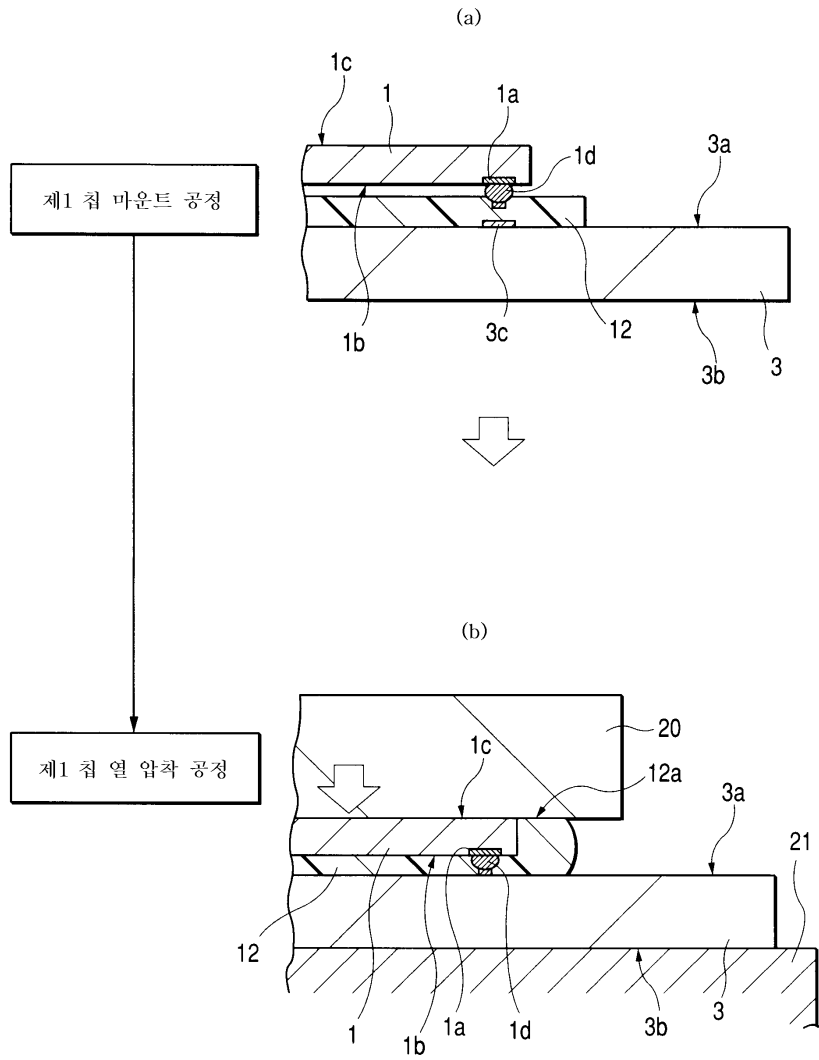
도면7



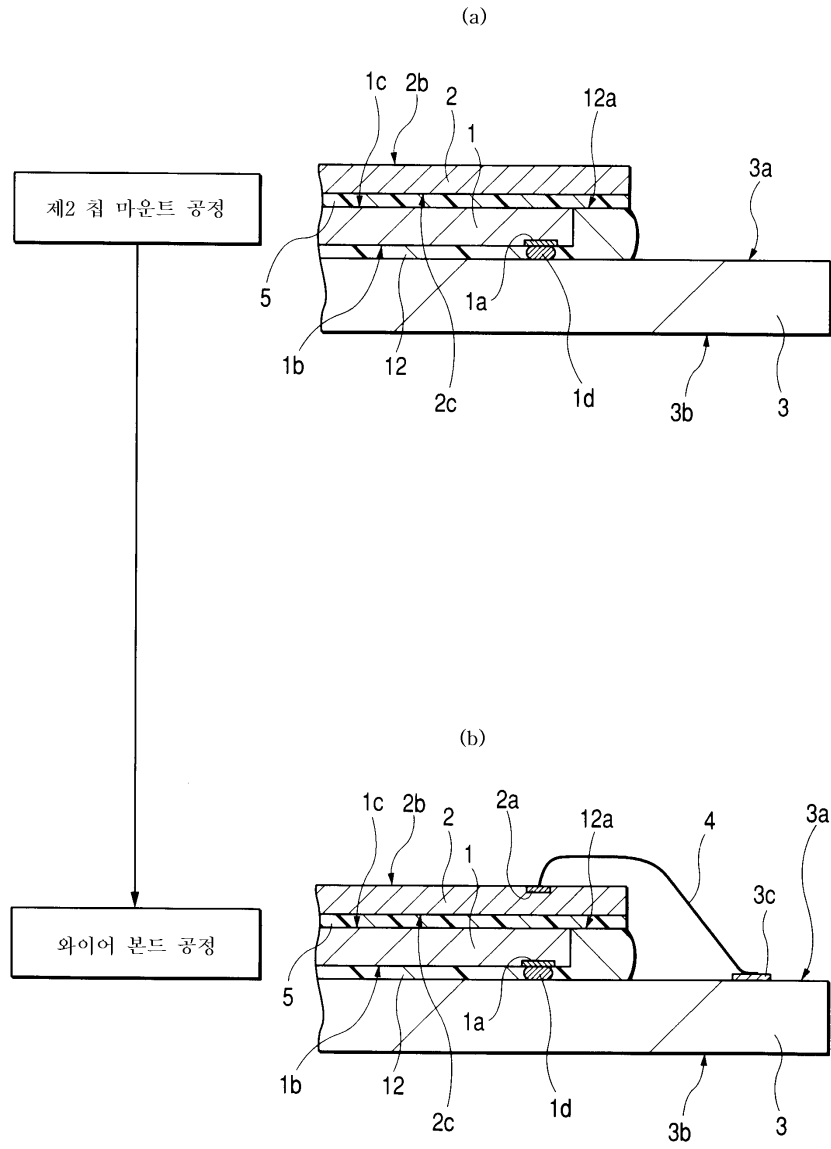
도면8



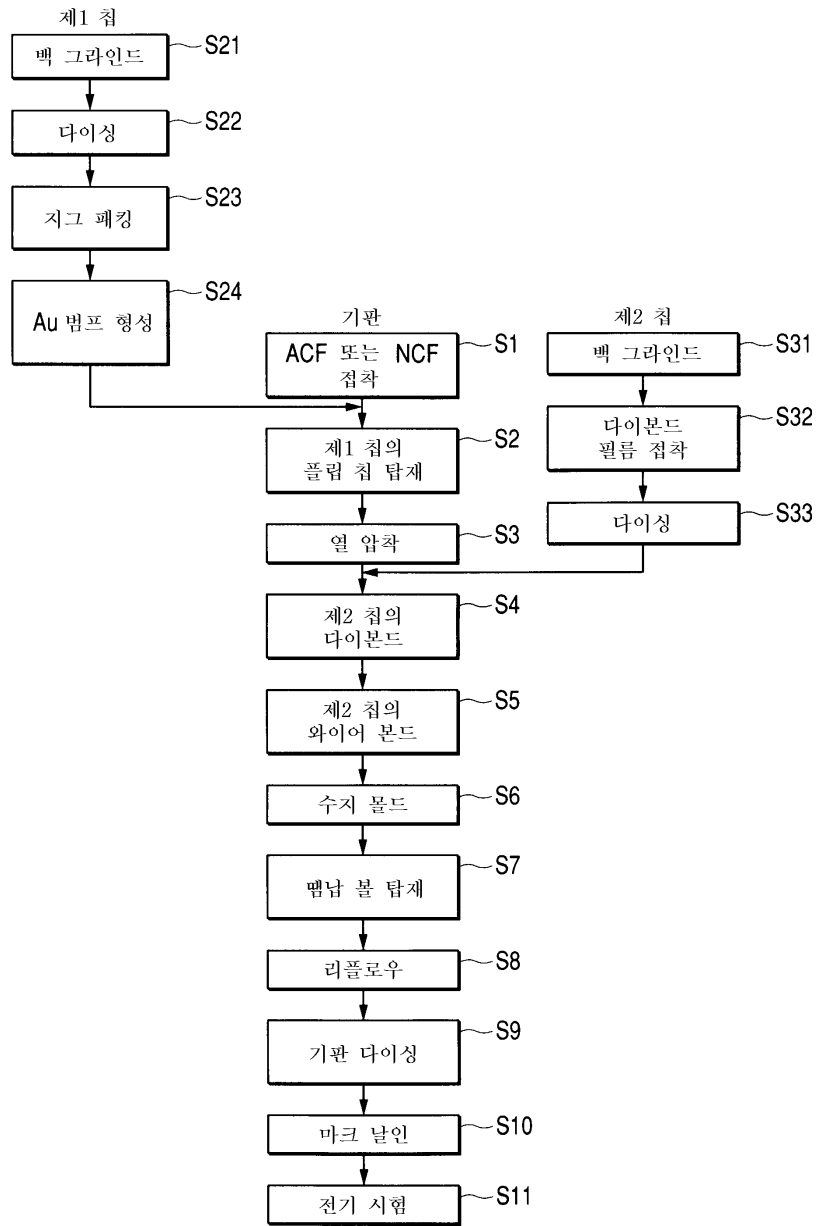
도면9



도면10



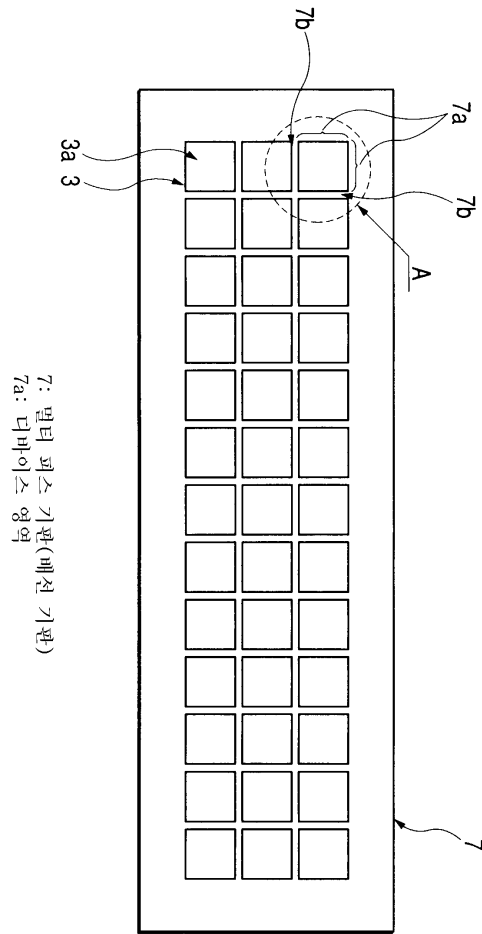
도면11



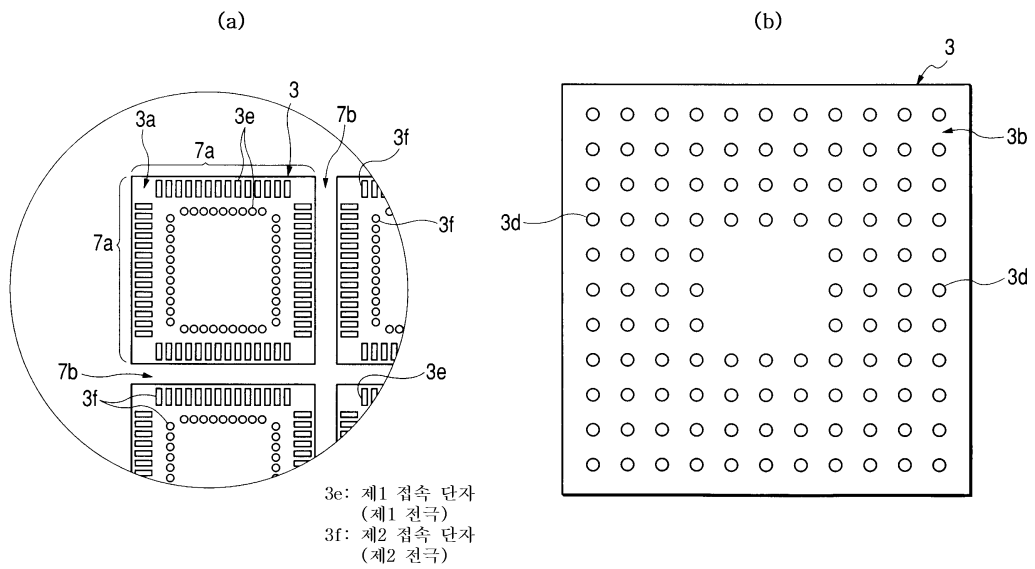
도면12

공정		
공정 플로우	공정 명	
	NO.	
	1	제1 칩
	2	백 그라운드
	3	다이싱, 지그 패키징
	4	범프용 Au 선
	5	범프 본딩
	6	외관 검사
	7	기관
	8	기관 베이킹
	9	칩 마운트 수지 필름
	10	칩 마운트 수지 필름 접착
	11	칩 마운트, 압착
	12	제2 칩
	13	백 그라운드
	14	다이본드 수지 필름
	15	다이본드 수지 필름 접착
	16	다이싱
	17	다이 본드
	18	Au 선
	19	와이어 본드
	20	외관 검사
	21	밀봉 수지
	22	몰드
	23	뽑냄 볼
	24	볼 탐제, 리플로우
	25	세정
	26	외관 검사
	27	기관 다이싱
	28	마크
	29	전기 시험
	30	외관 검사
31	포장	

도면13



도면14



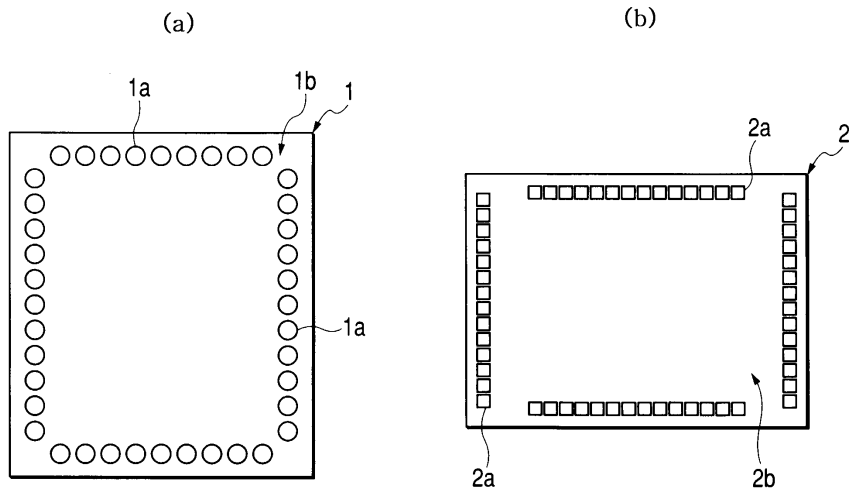
도면14a

삭제

도면14b

삭제

도면15



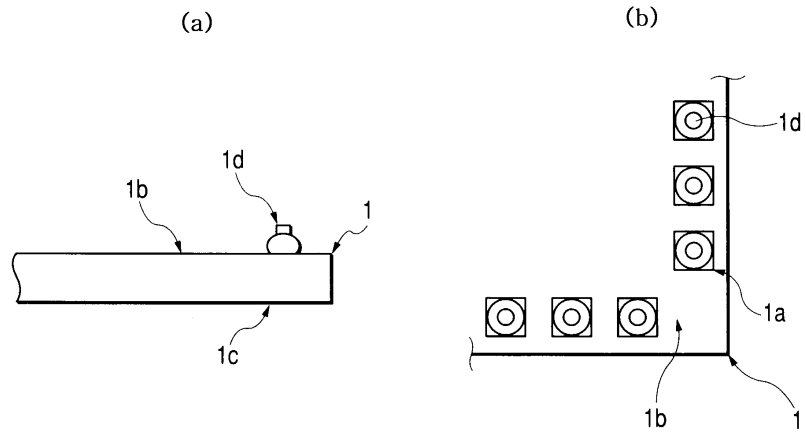
도면15a

삭제

도면15b

삭제

도면16



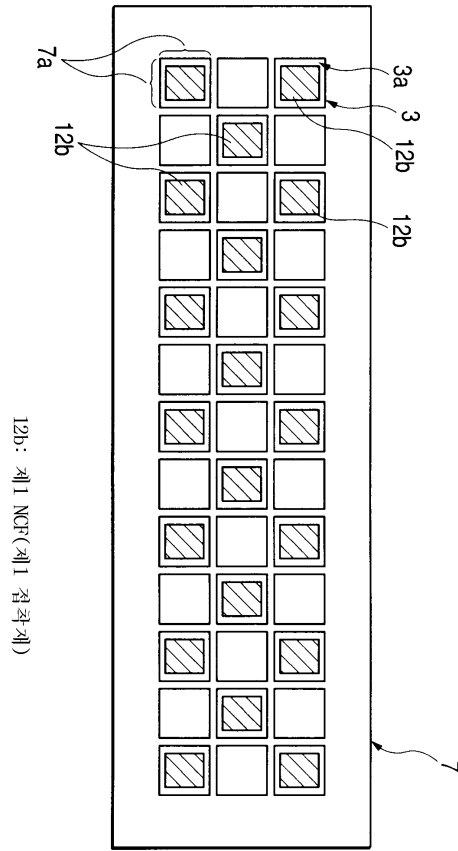
도면16a

삭제

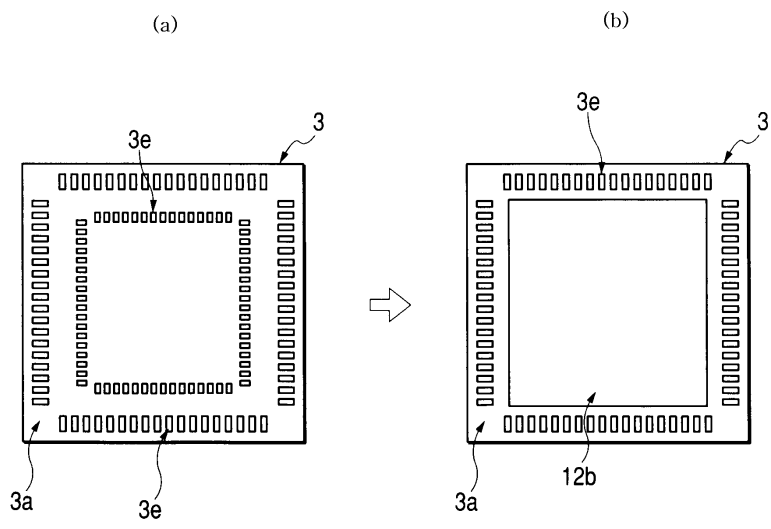
도면16b

삭제

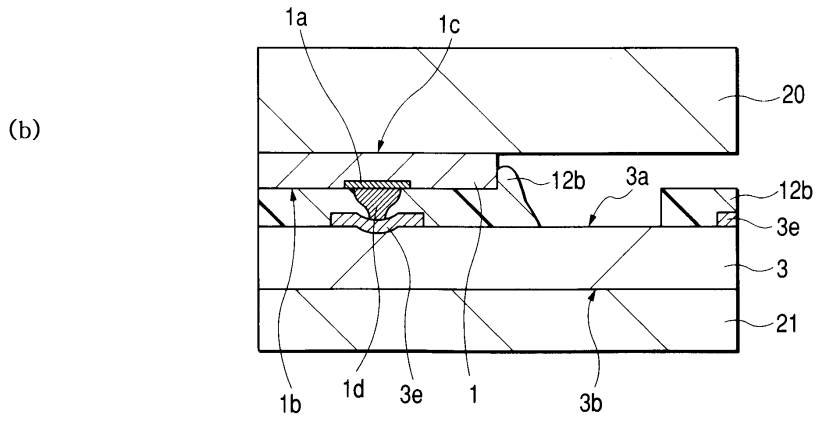
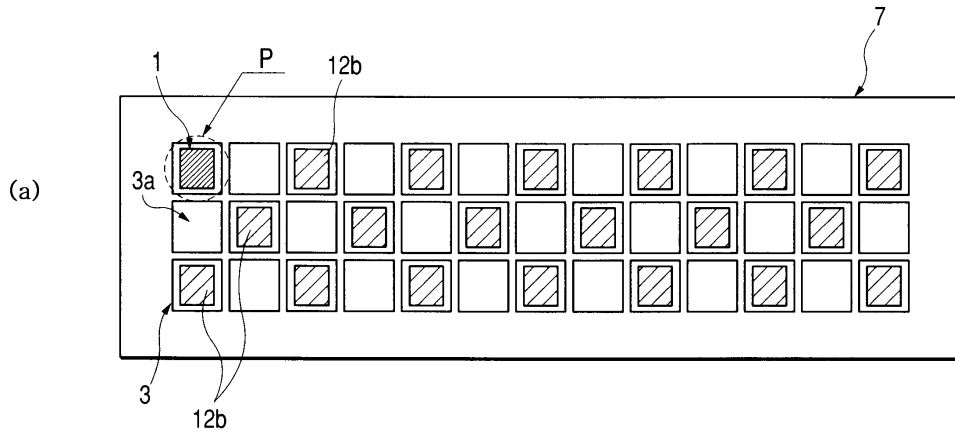
도면17



도면18



도면19



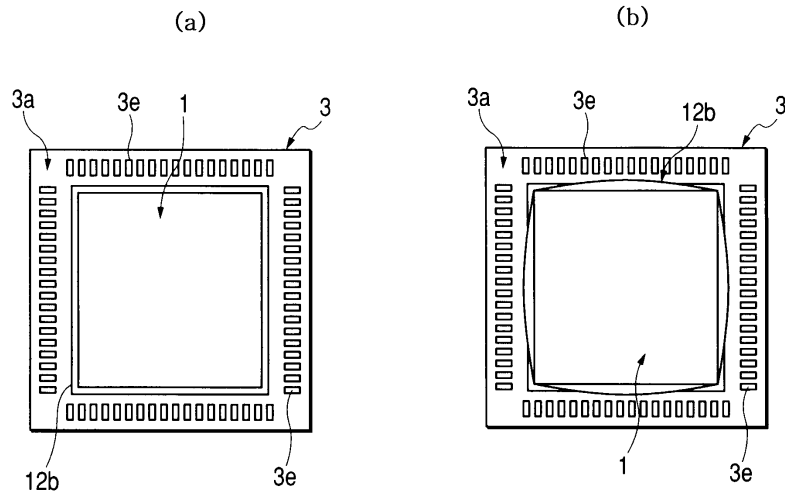
도면19a

삭제

도면19b

삭제

도면20



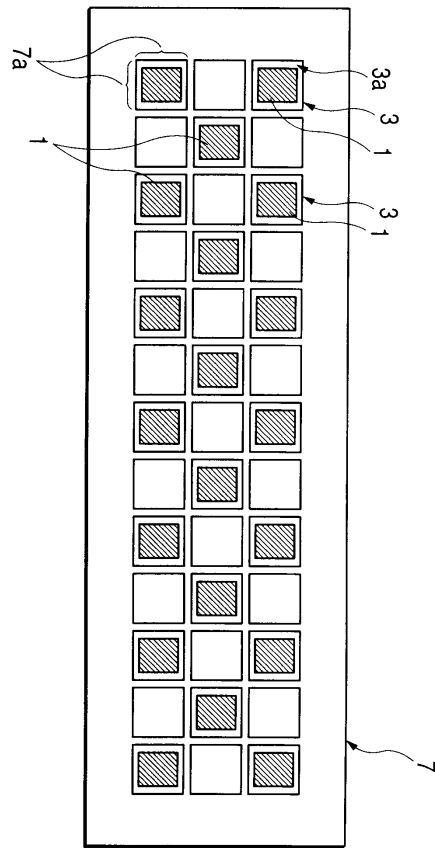
도면20a

삭제

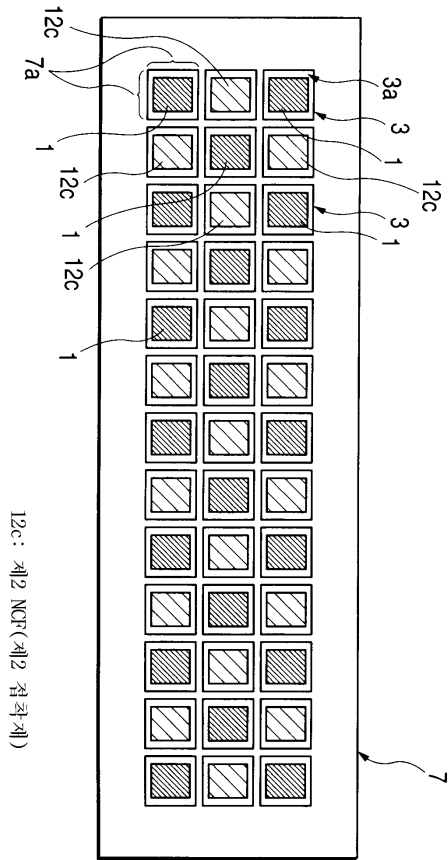
도면20b

삭제

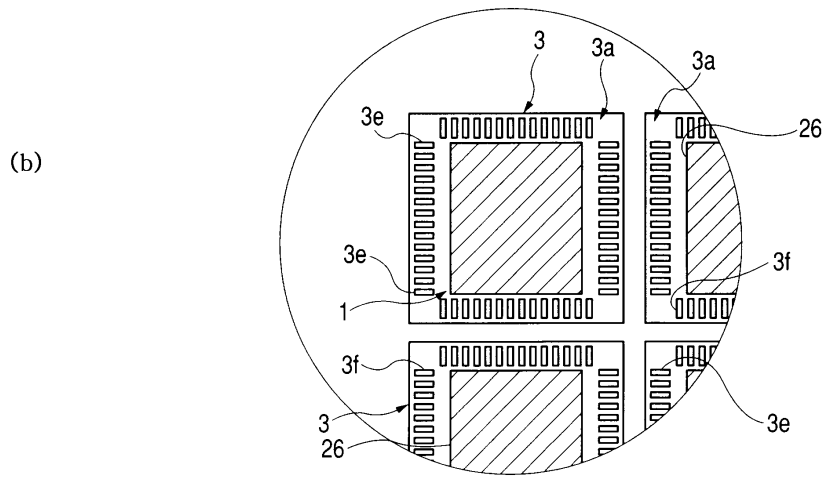
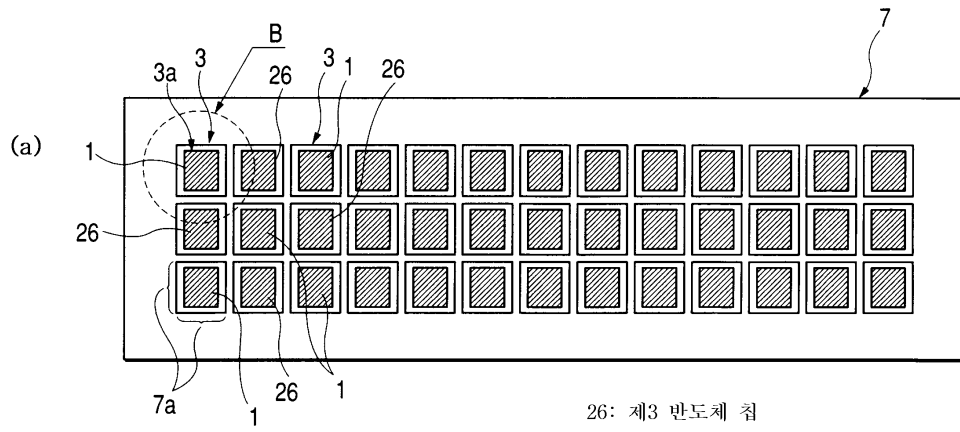
도면21



도면22



도면23



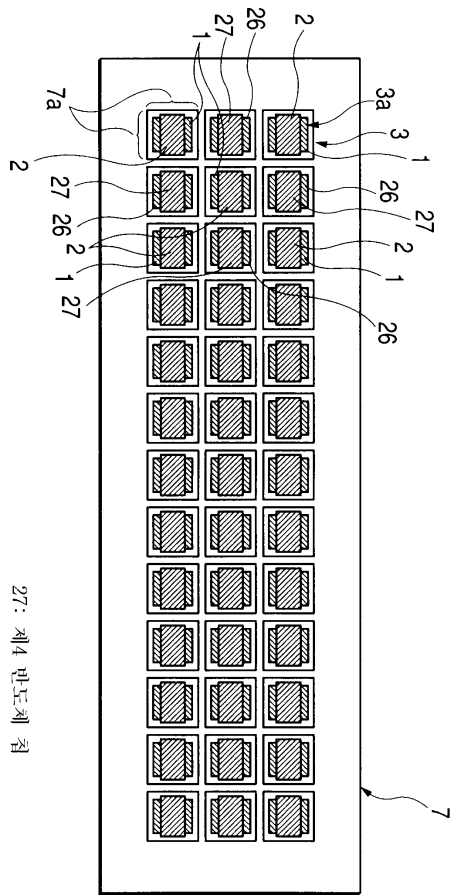
도면23a

삭제

도면23b

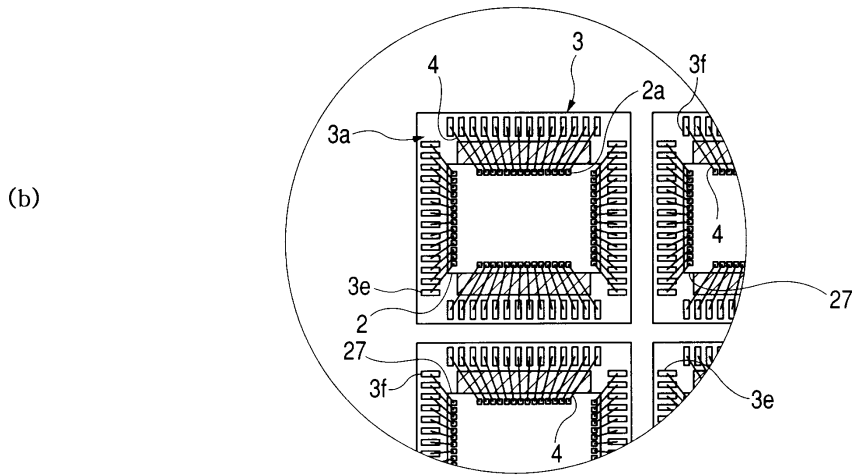
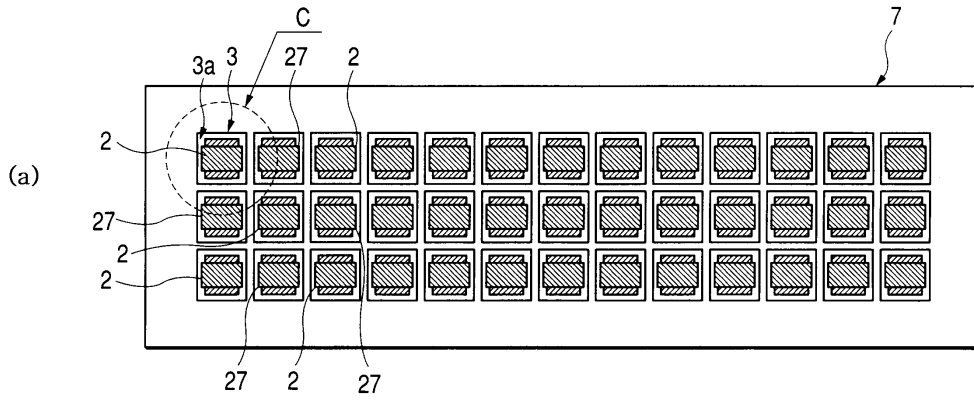
삭제

도면24



27: 제4 반도체 칩

도면25



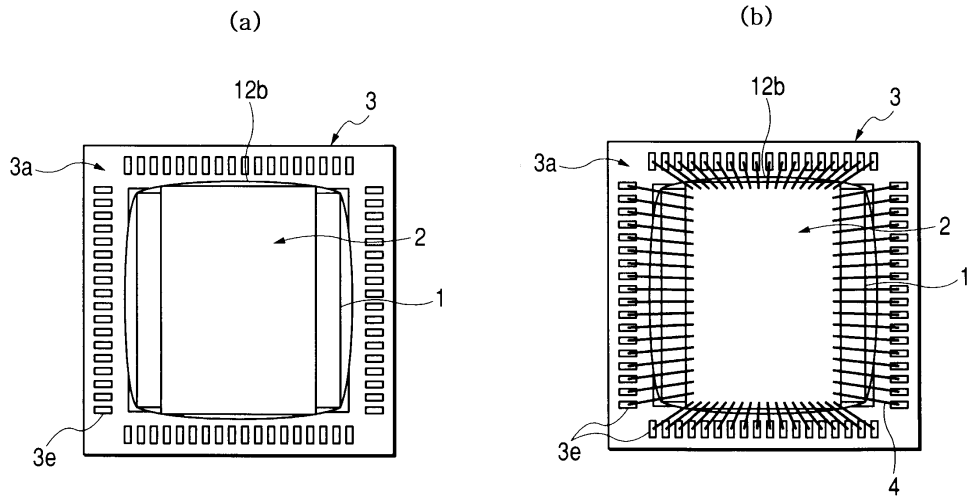
도면25a

삭제

도면25b

삭제

도면26



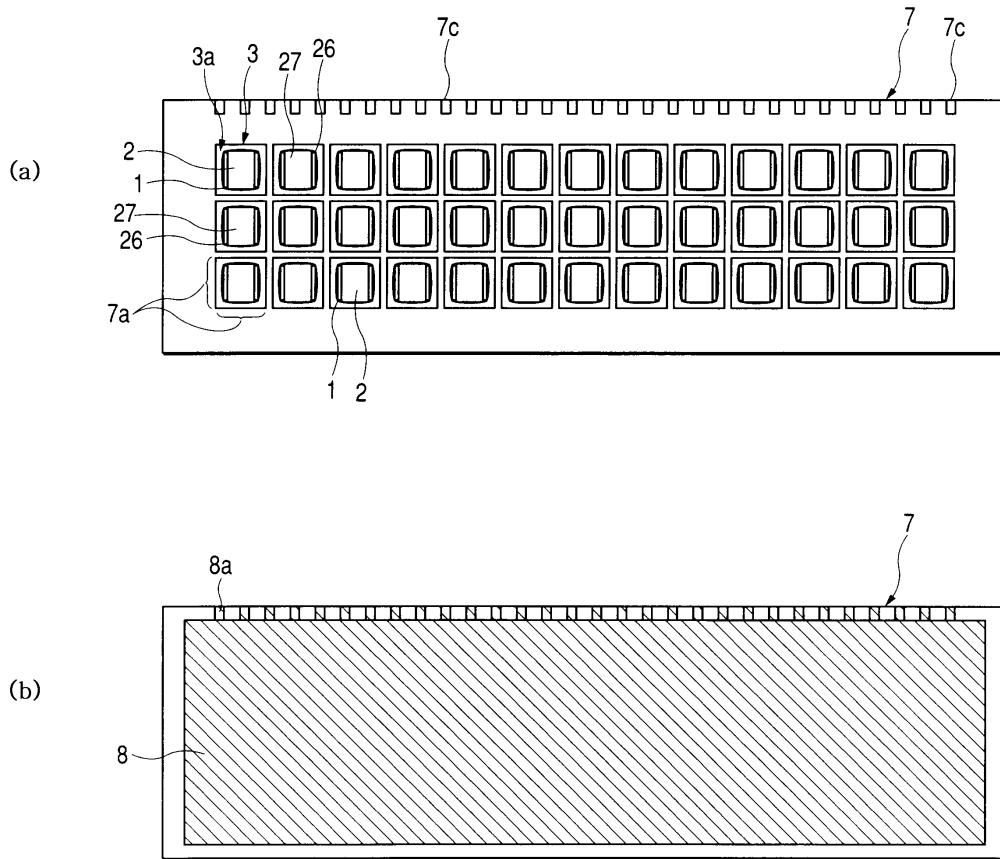
도면26a

삭제

도면26b

삭제

도면27



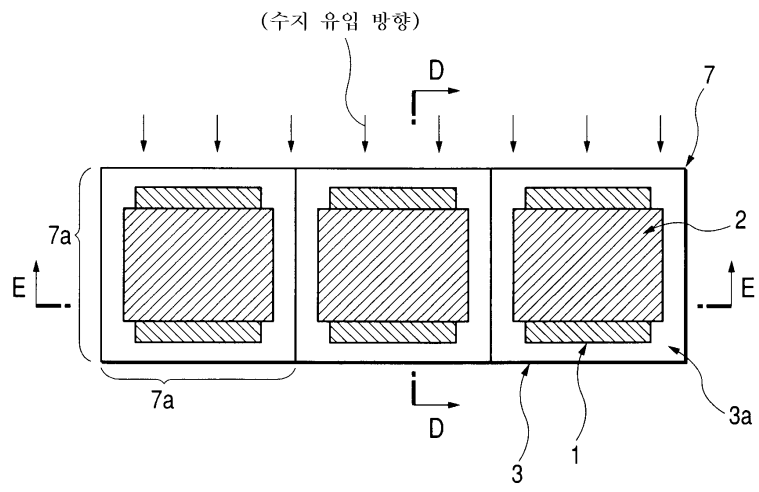
도면27a

삭제

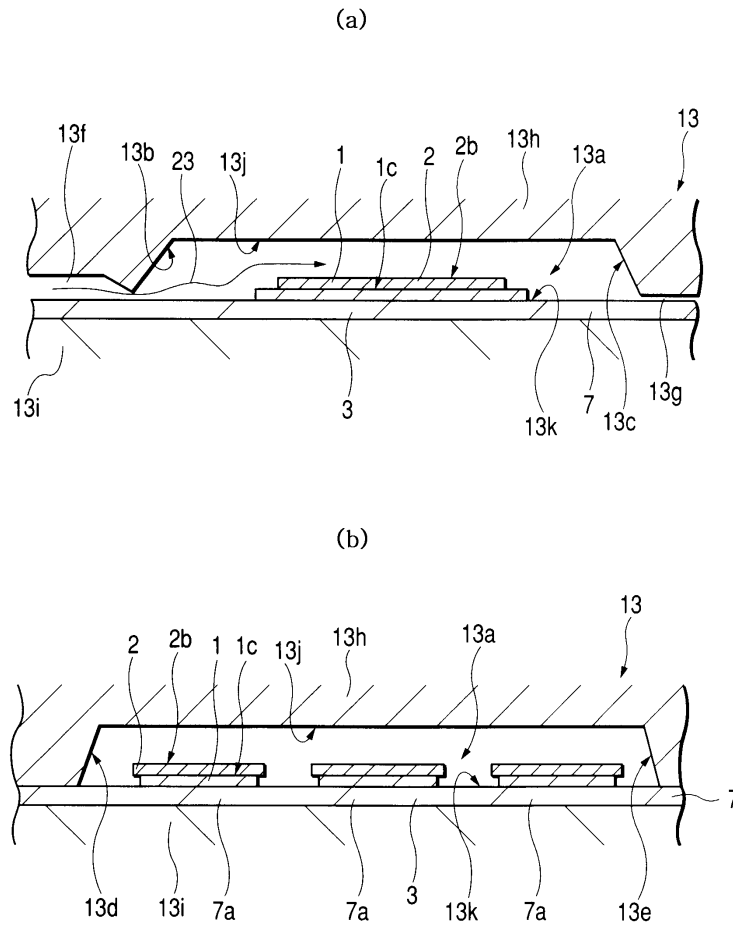
도면27b

삭제

도면28



도면29



- |               |            |
|---------------|------------|
| 13: 몰드 금형(금형) | 13g: 공기 홀  |
| 13a: 캐비티      | 13h: 상부 몰드 |
| 13b: 제1 측면    | 13i: 하부 몰드 |
| 13c: 제2 측면    | 13j: 상면    |
| 13d: 제3 측면    | 13k: 하면    |
| 13e: 제4 측면    |            |
| 13f: 수지 주입구   |            |

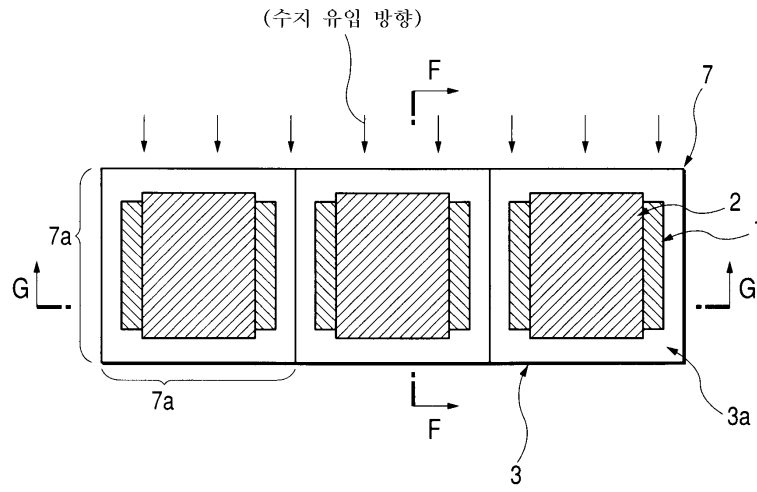
도면29a

삭제

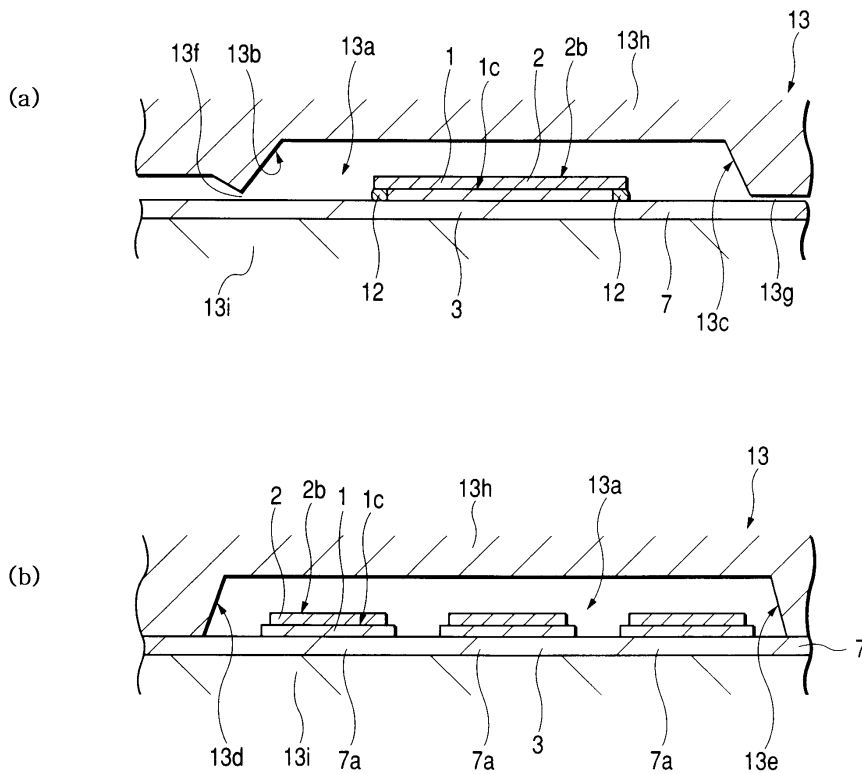
도면29b

삭제

도면30



도면31



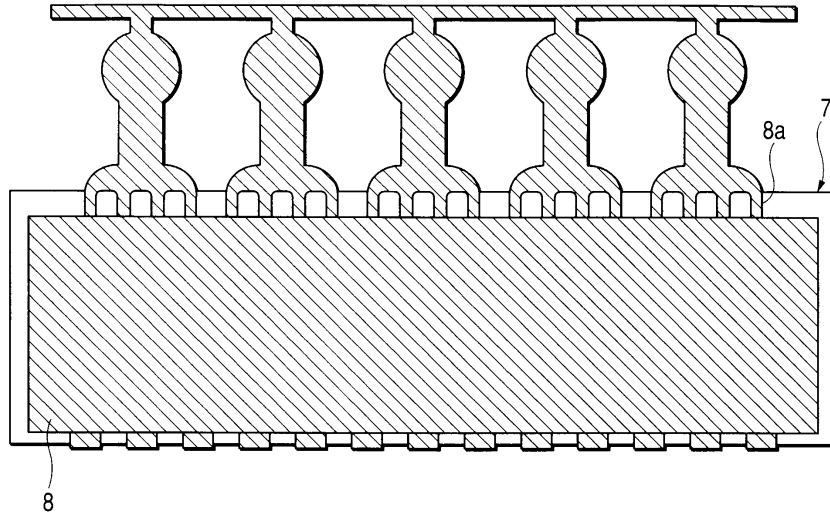
도면31a

삭제

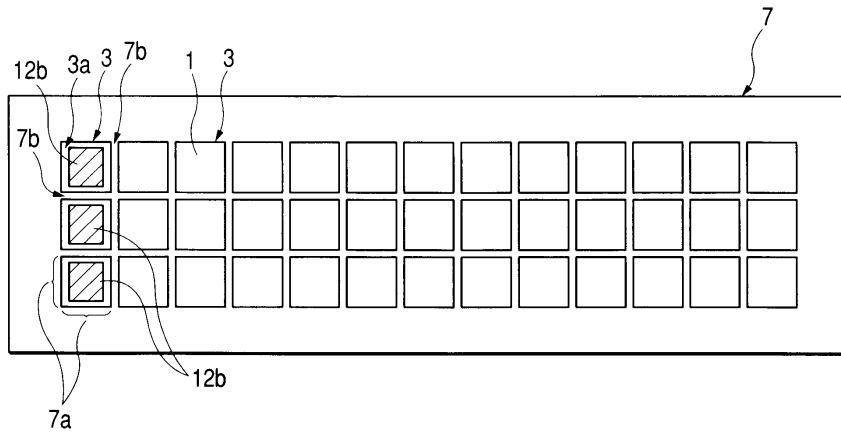
도면31b

삭제

도면32

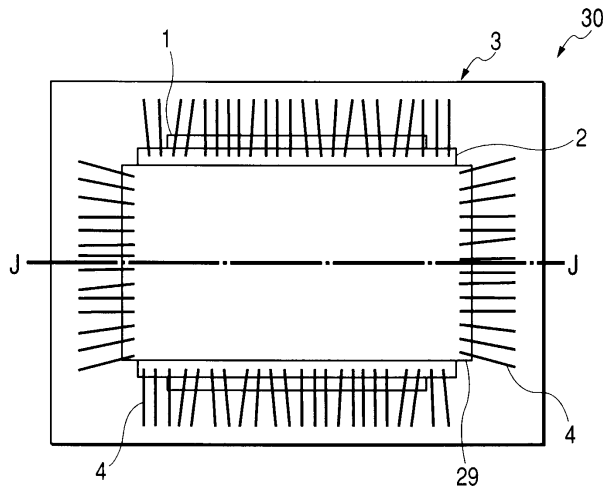


도면33



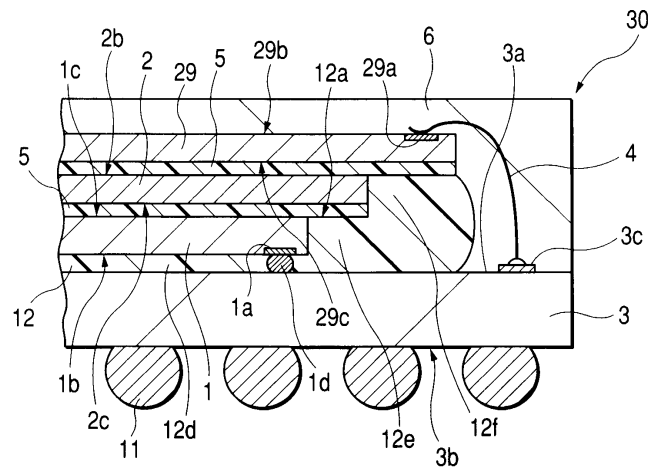


도면35



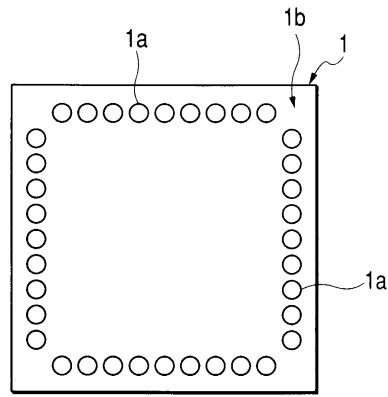
30: CSP(반도체 장치)

도면36

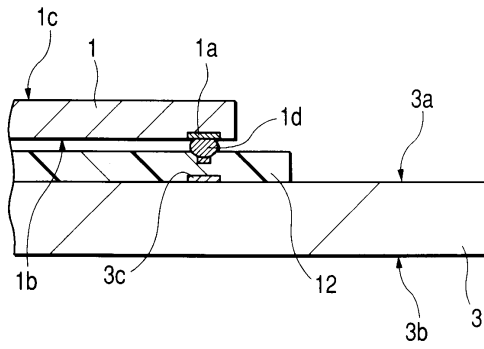


- |                |                      |
|----------------|----------------------|
| 29: 제3 반도체 칩   | 12d: 제1 칩 결합부(제1 부분) |
| 29a: 패드(전극)    | 12e: 돌출부(제2 부분)      |
| 29b: 주면        | 12f: 돌출부(제3 부분)      |
| 29c: 이면(반대측 면) |                      |

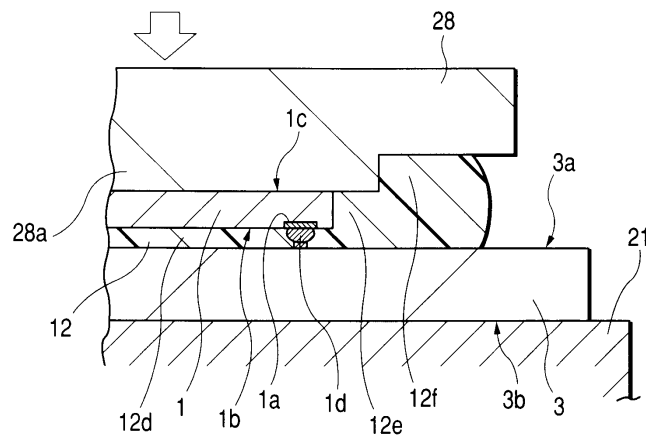
도면37



도면38

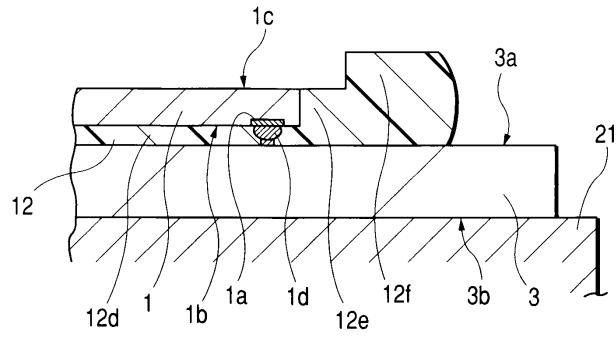


도면39

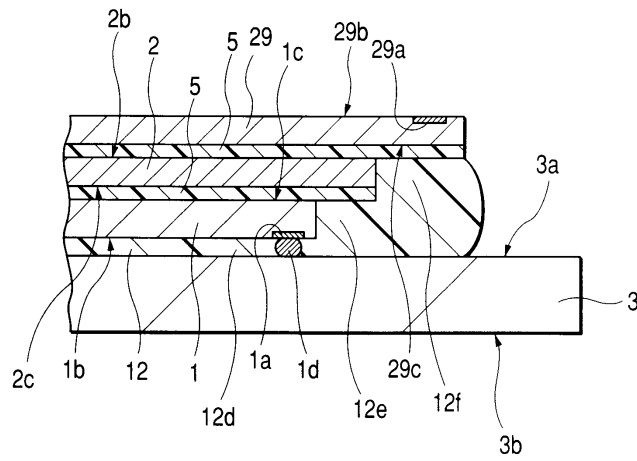


28: 열 압착 헤드(열 압착용 지그)  
 28a: 돌기부

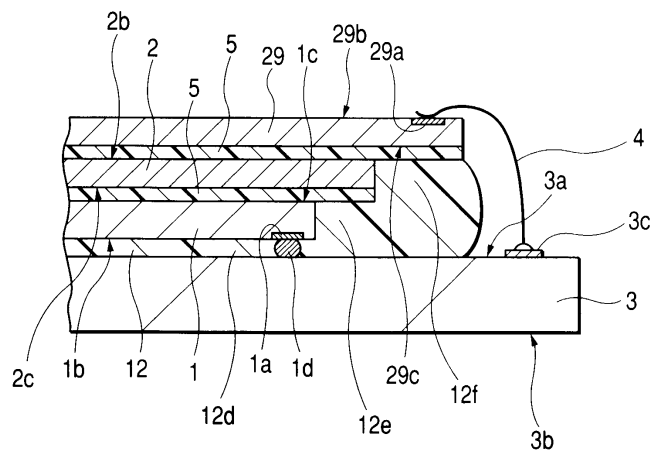
도면40



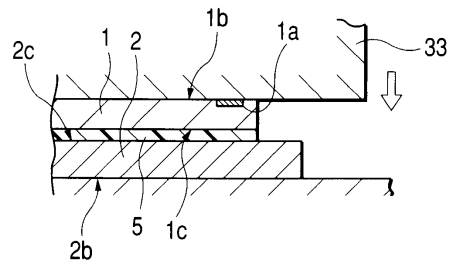
도면41



도면42

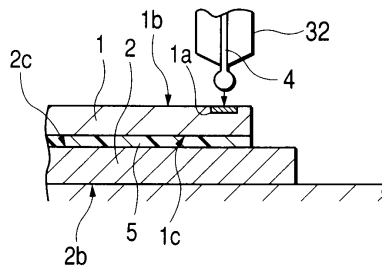


도면43

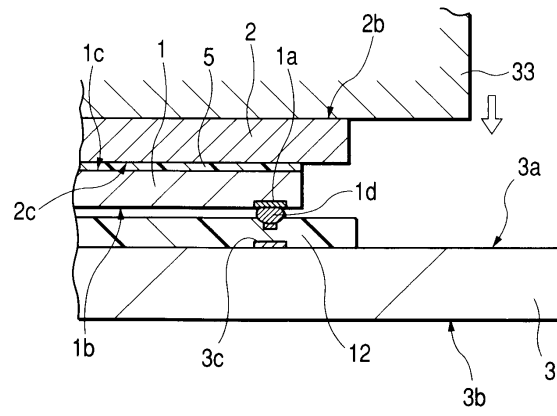


33: 열 압착 헤드(열 압착용 지그)

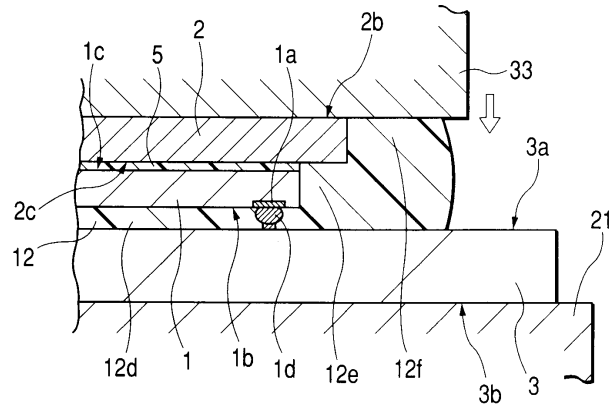
도면44



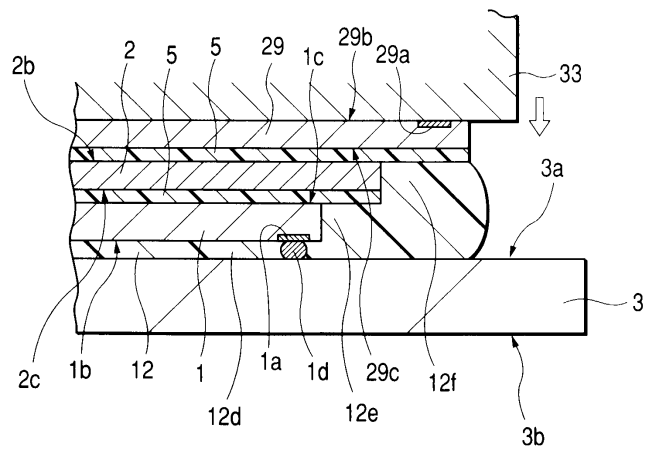
도면45



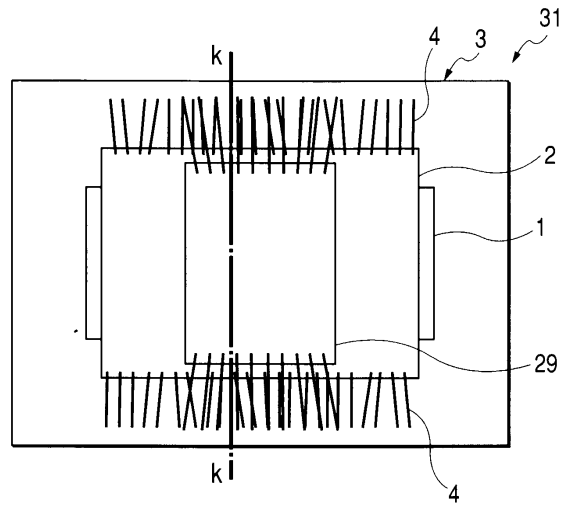
도면46



도면47

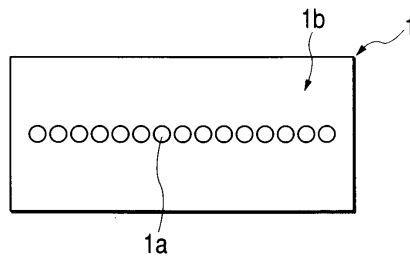


도면48

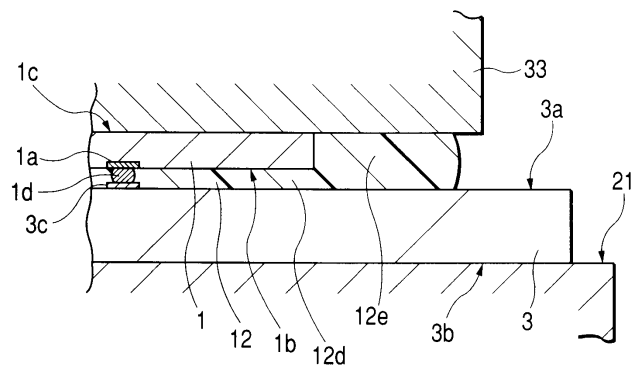


31: CSP(반도체 장치)

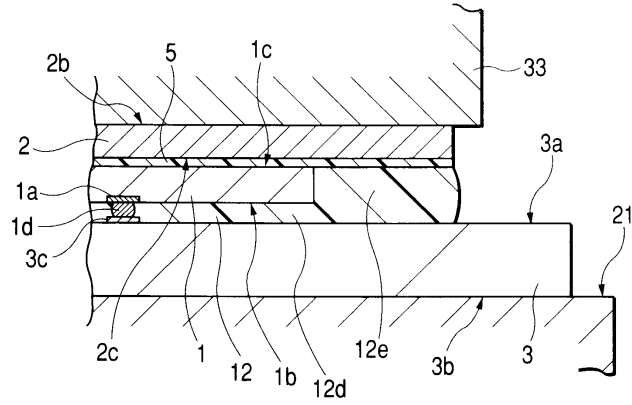
도면49



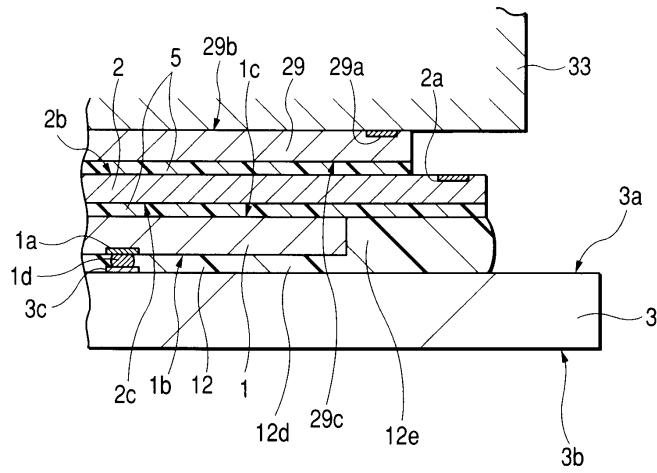
도면50



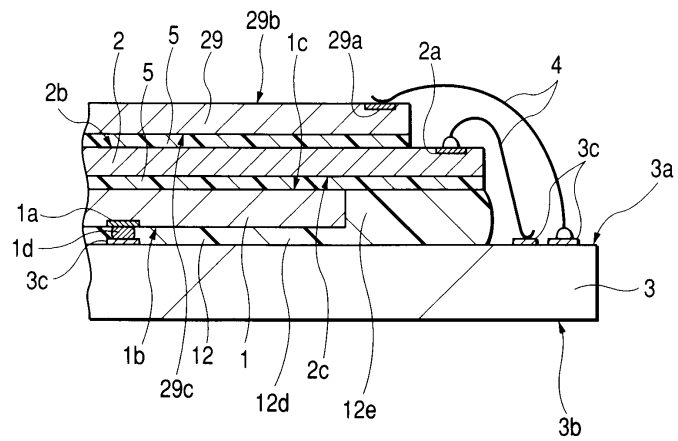
도면51



도면52



도면53



도면54

