

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2020年1月30日(30.01.2020)



(10) 国際公開番号

**WO 2020/021938 A1**

(51) 国際特許分類:

*H01L 29/786* (2006.01) *H01L 27/088* (2006.01)  
*G02F 1/1368* (2006.01) *H01L 27/32* (2006.01)  
*G09F 9/30* (2006.01) *H01L 51/50* (2006.01)  
*H01L 21/8234* (2006.01) *H05B 33/02* (2006.01)

(21) 国際出願番号: PCT/JP2019/025095

(22) 国際出願日: 2019年6月25日(25.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2018-137518 2018年7月23日(23.07.2018) JP

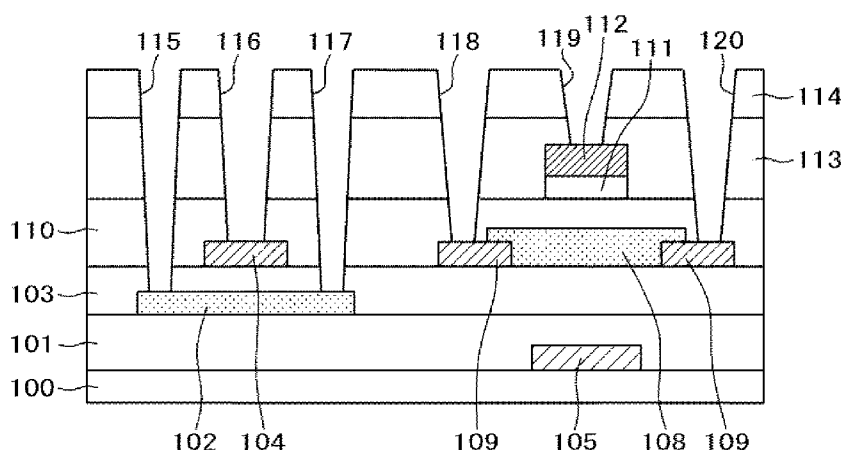
(71) 出願人: 株式会社ジャパンディスプレイ (JAPAN DISPLAY INC.) [JP/JP]; 〒1050003 東京都港区西新橋三丁目7番1号 Tokyo (JP).

(72) 発明者: 花田 明 紘 (HANADA Akihiro); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 渡壁 創 (WATAKABE Hajime); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP). 鈴木 功 (SUZUMURA Isao); 〒1050003 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内 Tokyo (JP).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置

[図6]



(57) **Abstract:** The purpose of the present invention is to form a LTPS-TFT and an oxide semiconductor TFT within the same substrate in a display device. To this end, the present invention is configured in the manner described below. This display device comprises a substrate 100 having formed thereon a first TFT in which a polysilicon semiconductor 102 is used and a second TFT in which an oxide semiconductor 108 is used. The display device is characterized in that a first gate insulating film 103 is formed so as to cover the polysilicon semiconductor 102, a first gate electrode 104 is formed on the first gate insulating film 103, the oxide semiconductor 108 is formed at a position separated from the first gate electrode 104 on the first gate insulating film 103, a second gate insulating film 110 is formed so as to cover the oxide semiconductor 108, a second gate electrode 112 is formed on the second gate insulating film 110, and an interlayer

[続葉有]

(74) 代理人: ポレール特許業務法人 (POLAIRE I.P.C.); 〒1030025 東京都中央区日本橋茅場町二丁目13番11号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

---

insulating film 113 is formed so as to cover the second gate electrode 112.

(57) 要約: 表示装置において、同一基板内に LTPS TFT と酸化物半導体 TFT を形成することを目的とする。このために、次のような構成とする。ポリシリコン半導体 102 を用いた第 1 の TFT と酸化物半導体 108 を用いた第 2 の TFT が形成された基板 100 を有する表示装置であって、前記ポリシリコン半導体 102 を覆って第 1 のゲート絶縁膜 103 が形成され、前記第 1 のゲート絶縁膜 103 の上に第 1 のゲート電極 104 が形成され、前記第 1 ゲート絶縁膜 103 の上で前記第 1 のゲート電極 104 とは離れた位置に前記酸化物半導体 108 が形成され、前記酸化物半導体 108 を覆って第 2 のゲート絶縁膜 110 が形成され、前記第 2 のゲート絶縁膜 110 の上に第 2 のゲート電極 112 が形成され、前記第 2 のゲート電極 112 を覆って層間絶縁膜 113 が形成されていることを特徴とする表示装置。

## 明 細 書

発明の名称：表示装置

### 技術分野

[0001] 本発明は表示装置に係り、ポリシリコン半導体を用いたＴＦＴと酸化物半導体を用いたＴＦＴの両者による、ハイブリッド構造を用いた表示装置に関する。

### 背景技術

[0002] 液晶表示装置では画素電極および薄膜トランジスタ（ＴＦＴ）等を有する画素がマトリクス状に形成されたＴＦＴ基板と、ＴＦＴ基板に対向して対向基板が配置され、ＴＦＴ基板と対向基板の間に液晶が挟持されている構成となっている。そして液晶分子による光の透過率を画素毎に制御することによって画像を形成している。一方、有機ＥＬ表示装置は、各画素に自発光する有機ＥＬ層とＴＦＴを配置することによってカラー画像を形成する。有機ＥＬ表示装置はバックライトを必要としないので、薄型化には有利である。

[0003] ポリシリコン半導体は移動度が高いので、駆動回路用ＴＦＴとして適している。一方、酸化物半導体はＯＦＦ抵抗が高く、これを画素内におけるスイッチングＴＦＴとして用いるとＯＦＦ電流を小さくすることが出来る。

[0004] 酸化物半導体を用いたＴＦＴとポリシリコン半導体を用いた表示装置を記載したものとして、特許文献１、特許文献２及び特許文献３が挙げられる。特許文献１には、ポリシリコン半導体によるＴＦＴと酸化物半導体によるＴＦＴに同時にスルーホールを形成する場合に、酸化物半導体スルーホール部分において消失する現象を対策した構成が記載されている。特許文献２には、酸化物半導体を用いたＴＦＴとポリシリコン半導体を用いたＴＦＴを有する表示装置において、酸化物半導体によるＴＦＴをボトムゲートタイプのＴＦＴとすることによって、プロセス工数を低減した構成が記載されている。特許文献３には、有機ＥＬ表示装置において、画素内にポリシリコン半導体によるＴＦＴと酸化物半導体によるＴＦＴを配置した構成が記載されてい

る。

## 先行技術文献

## 特許文献

[0005] 特許文献1：特開 2 0 1 7 - 2 0 8 4 7 3 号公報

特許文献2：特開 2 0 1 6 - 1 9 4 7 0 3 号公報

特許文献3：特表 2 0 1 7 - 5 3 6 6 4 6 号公報

## 発明の概要

## 発明が解決しようとする課題

[0006] 画素のスイッチングとして用いられる T F T は、リーク電流が小さいことが必要である。酸化物半導体による T F T は、リーク電流を小さくすることが出来る。しかし酸化物半導体はキャリアの移動度が小さいので、表示装置内に内蔵する駆動回路を、酸化物半導体を用いた T F T で形成することは難しい場合がある。

[0007] 一方、ポリシリコン半導体で形成した T F T は移動度が大きいので、駆動回路を、ポリシリコン半導体を用いた T F T で形成することが出来る。しかし、ポリシリコン半導体を画素におけるスイッチング T F T として使用する場合には、ポリシリコン半導体はリーク電流が大きいので、通常は、2 個のポリシリコン半導体を直列にして使用する。

[0008] そこで、表示領域における画素のスイッチング T F T として酸化物半導体を用い、周辺駆動回路の T F T にポリシリコン半導体を用いれば、合理的である。しかし、ポリシリコン半導体を用いた T F T と酸化物半導体を用いた T F T は別な層に形成する必要がある。プロセス温度条件から、一般には、ポリシリコン半導体を用いた T F T が先に、すなわち、下層に形成され、酸化物半導体を用いた T F T が後に、すなわち、上層に形成される。

[0009] 一方、T F T と配線を接続するためのスルーホールは、ポリシリコン半導体を用いた T F T と酸化物半導体を用いた T F T とに同時に形成される。そうすると、スルーホールにおいて、上層に形成された酸化物半導体の電極あ

るいは酸化物半導体がエッチング液やエッチングガスに晒される時間が長くなる。したがって、酸化物半導体によるＴＦＴのスルーホールにおいて、電極あるいは酸化物半導体が消滅する危険がある。

[0010] 本発明は、このような現象を対策し、酸化物半導体によるＴＦＴとポリシリコン半導体によるＴＦＴの両方を用いた信頼性の高い表示装置を実現することである。

### 課題を解決するための手段

[0011] 本発明は上記問題を克服するものであり、具体的な手段は次のとおりである。

[0012] (１) ポリシリコン半導体を用いた第１のＴＦＴと酸化物半導体を用いた第２のＴＦＴが形成された基板を有する表示装置であって、前記ポリシリコン半導体を覆って第１の絶縁膜が形成され、前記第１の絶縁膜の上に第１のゲート電極が形成され、前記第１の絶縁膜の上で前記第１のゲート電極とは離れた位置に前記酸化物半導体が形成され、前記酸化物半導体を覆って第２の絶縁膜が形成され、前記第２の絶縁膜の上に第２のゲート電極が形成され、前記第２のゲート電極を覆って第３の絶縁膜が形成されていることを特徴とする表示装置。

[0013] (２) ポリシリコン半導体を用いた第１のＴＦＴと酸化物半導体を用いた第２のＴＦＴが形成された基板を有する表示装置であって、前記ポリシリコン半導体を覆って第１のゲート絶縁膜が形成され、前記第１の絶縁膜の上に第１のゲート電極が形成され、前記第１の絶縁膜は、少なくとも、前記ポリシリコン半導体のドレイン領域とソース領域には存在せず、前記第１の絶縁膜の上で前記第１のゲート電極とは離れた位置に前記酸化物半導体が形成され、前記酸化物半導体を覆って第２の絶縁膜が形成され、前記第２の絶縁膜の上に第２のゲート電極が形成され、前記第２のゲート電極を覆って第３の絶縁膜が形成されていることを特徴とする表示装置。

### 図面の簡単な説明

[0014] [図１]液晶表示装置の平面図である。

[図2]液晶表示装置の表示領域の断面図である。

[図3]本発明を使用しない場合のT F Tの構成を示す断面図である。

[図4]本発明を使用しない場合のT F Tの他の構成を示す断面図である。

[図5]実施例1の断面図である。

[図6]実施例2の断面図である。

[図7]実施例2の途中工程の断面図である。

[図8]図7に続く、実施例2の途中工程の断面図である。

[図9]実施例3の断面図である。

[図10]実施例3の途中工程の断面図である。

[図11]図10に続く、実施例3の途中工程の断面図である。

[図12]実施例4の断面図である。

[図13]実施例4の途中工程の断面図である。

[図14]図13に続く、実施例4の途中工程の断面図である。

[図15]有機E L表示装置の表示領域の断面図である。

### 発明を実施するための形態

[0015] 酸化物半導体には、I G Z O (I n d i u m G a l l i u m Z i n c O x i d e)、I T Z O (I n d i u m T i n Z i n c O x i d e)、Z n O N (Z i n c O x i d e N i t r i d e)、I G O (I n d i u m G a l l i u m O x i d e) 等がある。酸化物半導体のうち光学的に透明でかつ結晶質でないものはT A O S (T r a n s p a r e n t A m o r p h o u s O x i d e S e m i c o n d u c t o r) と呼ばれている。以後、本明細書では、酸化物半導体をT A O Sと呼ぶこともある。

[0016] 表示装置においては、一般には、ポリシリコン半導体は、C V D (C h e m i c a l V a p o r D e p o s i t i o n) によって形成したa-S i 半導体をエキシマレーザでアニールして形成された、いわゆるL T P S (L o w T e m p e a r t u r e P o l y - S i) が用いられる。以後、本明細書では、ポリシリコン半導体をL T P Sと呼ぶこともある。

[0017] 本明細書では、酸化物半導体を用いたT F Tとポリシリコン半導体を用い

た T F T の両方を用いた方式をハイブリッド方式と呼ぶこともある。以下、実施例によって本発明の内容を詳細に説明する。

## 実施例 1

[0018] 図 1 は、本発明が適用される液晶表示装置の平面図である。図 1 において、T F T 基板 1 0 0 と対向基板 2 0 0 がシール材 1 6 によって接着し、T F T 基板 1 0 0 と対向基板 2 0 0 の間に液晶層が挟持されている。T F T 基板 1 0 0 と対向基板 2 0 0 が重なっている部分に表示領域 1 4 が形成されている。

[0019] T F T 基板 1 0 0 の表示領域 1 4 には、走査線 1 1 が横方向（x 方向）に延在し、縦方向（y 方向）に配列している。また、映像信号線 1 2 が縦方向に延在して横方向に配列している。走査線 1 1 と映像信号線 1 2 に囲まれた領域が画素 1 3 になっている。T F T 基板 1 0 0 は対向基板 2 0 0 よりも大きく形成され、T F T 基板 1 0 0 が対向基板 2 0 0 と重なっていない部分は端子領域 1 5 となっている。端子領域 1 5 にはフレキシブル配線基板 1 7 が接続している。液晶表示装置を駆動するドライバ IC はフレキシブル配線基板 1 7 に搭載されている。

[0020] 液晶は、自らは発光しないので、T F T 基板 1 0 0 の背面にバックライトが配置している。液晶表示パネルはバックライトからの光を画素毎に制御することによって画像を形成する。フレキシブル配線基板 1 7 は、バックライトの背面に折り曲げられることによって、液晶表示装置全体としての外形を小さくする。

[0021] 本発明の液晶表示装置では、表示領域 1 4 に用いる T F T には、リーク電流の少ない酸化物半導体を用いた T F T が使用されている。また、シール材付近の額縁部分には、例えば、走査線駆動回路が形成されており、走査線駆動回路には、移動度の大きい、ポリシリコン半導体を用いた T F T が使用されている。

[0022] 図 2 は、画素が存在する表示領域の断面図である。図 2 は、I P S ( I n P l a n e S w i t c h i n g ) の内の、F F S ( F r i n g e F i

e l d S w t i c h i n g) と呼ばれる方式の液晶表示装置である。図 2 では、酸化物半導体 108 を用いた T F T が使用されている。酸化物半導体 108 を用いた T F T はリーク電流が小さいので、スイッチング T F T として好適である。

[0023] 本発明では、後で説明するように、周辺回路を、ポリシリコン半導体を用いた T F T で構成しているため、このための絶縁層等が表示領域にも形成されるが、図が複雑化することを避けるために、これらの絶縁膜は図 2 では省略されている。

[0024] 図 2 において、ガラスあるいはポリイミド等に樹脂で形成された T F T 基板 100 の上に遮光膜 105 が金属によって形成されている。この金属は、後で説明するゲート電極等と同じ金属を使用してもよい。遮光膜 105 は、後で形成される T F T のチャネル部にバックライトからの光が照射されないように遮光するためのものである。

[0025] 遮光膜 105 を覆って下地膜 101 が形成されている。下地膜 101 は、その上に形成される半導体層 108 がガラス基板等からの不純物によって汚染されることを防止する。下地膜 101 はシリコン酸化膜（以後 S i O で代表させる）とシリコン窒化膜（以後 S i N で代表させる）の積層膜で形成されることが多い。なお、アルミニウム酸化膜（以後 A l O で代表させる）がさらに積層される場合もある。

[0026] 図 2 において、下地膜 101 の上に T F T を構成する酸化物半導体 108 が形成されている。酸化物半導体 108 の厚さは 10 nm 乃至 100 nm である。酸化物半導体 108 には例えば I G Z O が使用される。酸化物半導体 108 のソース、ドレイン領域において、スルーホール 118, 120 と接続する部分には、金属膜 109 が形成されている。スルーホール 118, 120 を形成するときに、酸化物半導体 108 が消失することを防止するためである。以後この金属膜を S D 金属 109 と呼ぶ。

[0027] 酸化物半導体 108 を覆ってゲート絶縁膜 110 が S i O によって形成される。S i O で形成されたゲート絶縁膜 110 は、酸化物半導体 108 に酸

素を供給してチャネル特性を安定化させる。ゲート絶縁膜 110 を覆ってゲート電極 112 が形成されるが、ゲート電極 112 とゲート絶縁膜 110 の間に AIO 膜 111 が 10 nm 程度の厚さで形成されている。ゲート絶縁膜 110 からの酸化物半導体 108 への酸素の供給を補助するためである。

[0028] ゲート電極 112 を覆って層間絶縁膜 113 が SiN によって形成されている。層間絶縁膜 113 の厚さは、例えば、150 nm 乃至 300 nm である。層間絶縁膜 113 の上に層間絶縁膜 114 が SiO によって形成される。層間絶縁膜 114 の厚さは、例えば、100 乃至 200 nm である。

[0029] 層間絶縁膜 113、層間絶縁膜 114、ゲート絶縁膜 110 を貫通してスルーホール 118、120 が形成されている。酸化物半導体 108 とドレイン電極 121、あるいは、酸化物半導体 108 とソース電極 122 を接続するためである。ドレイン電極 121 は映像信号線 12 と接続し、ソース電極 122 はスルーホール 130 及び 131 を介して画素電極 126 と接続する。

[0030] 図 2 において、ドレイン電極 121 及びソース電極 122 を覆って有機パッシベーション膜 123 が形成されている。有機パッシベーション膜 123 は、例えば、アクリル樹脂等で形成される。有機パッシベーション膜 123 は平坦化膜としての役割と、映像信号線 12 とコモン電極 124 間の浮遊容量を小さくするために、2 乃至 4  $\mu$ m 程度と厚く形成される。ソース電極 122 と画素電極 126 を接続するために、有機パッシベーション膜 123 にスルーホール 130 が形成される。

[0031] 有機パッシベーション膜 123 の上に ITO (Indium Tin Oxide) 等の透明導電膜によってコモン電極 124 が形成される。コモン電極 124 は平面状に形成される。コモン電極 124 を覆って容量絶縁膜 125 が SiN によって形成されている。容量絶縁膜 125 を覆って ITO (Indium Tin Oxide) 等の透明導電膜によって画素電極 126 が形成されている。画素電極 126 は櫛歯状に形成される。容量絶縁膜 125 は、コモン電極 124 と画素電極 126 との間において、画素容量を構

成するので、このように呼ばれる。

[0032] 画素電極 126 を覆って配向膜 127 が形成されている。配向膜 127 は液晶分子 301 の初期配向方向を規定する。配向膜 127 の配向処理は、ラビングによる配向処理か偏光紫外線を用いた光配向処理が用いられる。IPS ではプレティルト角は必要ないので、光配向処理が有利である。

[0033] 図 2 において、液晶層 300 を挟んで、対向基板 200 が配置している。対向基板 200 にはカラーフィルタ 201 とブラックマトリクス 202 が形成され、その上にオーバーコート膜 203 が形成されている。オーバーコート膜 203 の上に配向膜 204 が形成されている。配向膜 204 の作用および配向処理は、TF T 基板 100 側の配向膜 127 と同じである。

[0034] 図 2 において、コモン電極 124 と画素電極 126 との間に電圧が印加されると、図 2 の矢印で示すような電気力線が発生し、液晶分子 301 を回転させて液晶層 300 によるバックライトからの光の透過率を制御する。画素毎に光の透過率を制御することによって画像を形成する。

[0035] 図 3 は、本発明を適用しない場合の、ハイブリット方式における酸化物半導体 108 を用いた TF T とポリシリコン半導体 102 を用いた TF T の層構造を示す断面図である。図 3 において、左側の TF T がポリシリコン半導体 102 を用いた TF T であり、右側の TF T が酸化物半導体 108 を用いた TF T である。実際の製品では、駆動回路にポリシリコン半導体を用いた TF T を形成し、表示領域に酸化物半導体を用いた TF T を形成する場合が多いが、図 3 では、わかり易くするために、並列して描いている。以後の図も同様である。

[0036] 図 3 は、図 2 における、層間絶縁膜 114 以下の構成に対応するが、図 3 では、ポリシリコン半導体 102 による TF T も記載しているので、図 2 と図 3 の層構成は 1 : 1 で対応するわけではない。以後の図も同様である。

[0037] 図 3 において、TF T 基板 100 の上に下地膜 101 が形成されている。下地膜 101 の構成は図 2 で説明したとおりである。下地膜 101 の上にポリシリコン半導体 102 が形成されている。ポリシリコン半導体 102 は、

まず、a-Si半導体をCVDによって形成し、これをエキシマレーザによってアニールして、ポリシリコン化したものである。これはLTPS (Low Temperature Poly-Silicon) と呼ばれる。

[0038] その後、ポリシリコン半導体102をパターニングし、これを覆って第1ゲート絶縁膜103を形成する。第1ゲート絶縁膜103の上にゲート電極104を形成する。ゲート電極104は、例えば、Ti-Al-Ti (チタン-アルミニウム-チタン) の積層膜あるいは、MoW合金等によって形成される。この時、同時に酸化物半導体108によるTFEの遮光膜を形成する。

[0039] 第1ゲート電極104及び遮光膜105を覆って第1層間絶縁膜106がSiNによって形成され、その上に第2層間絶縁膜107がSiOによって形成される。第1層間絶縁膜106の厚さは、例えば、150nm乃至300nmである。また、第2層間絶縁膜107の厚さは、例えば、100乃至200nmである。

[0040] 図3において、第2層間絶縁膜107の上に酸化物半導体108がスパッタリングによって形成され、パターニングされている。酸化物半導体108のドレインおよびソースには、スルーホール118、120を形成するときに、酸化物半導体108が消失することを防止するために、SD金属109が形成されている。図3においては、SD金属109は酸化物半導体108の上部において接触しているので、トップコンタクトと言われる。

[0041] 酸化物半導体108及びSD金属109を覆って第2ゲート絶縁膜110がSiOによって形成される。第2ゲート絶縁膜110は、図2におけるゲート絶縁膜110において説明したのと同じである。第2ゲート絶縁膜110の上に第2ゲート電極112が形成されるが、第2ゲート電極112と第2ゲート絶縁膜110の間にAlO膜111が形成される。第2ゲート電極112は、第1ゲート電極104と同じ構造でよい。第2ゲート電極112と第2ゲート絶縁膜110の間に形成されるAlO膜111の役割、厚さ等は、図2において説明したとおりである。

[0042] 図3において、第2ゲート電極112を覆って、第3層間絶縁膜113が形成され、その上に第4層間絶縁膜114が形成されている。第3層間絶縁膜113はSiNで形成され、厚さ等は第1層間絶縁膜106と同じである。第4ゲート絶縁膜114はSiOで形成され、厚さ等は第2層間絶縁膜107と同じである。SiNで形成された第3層間絶縁膜113は酸化物半導体108のドレインおよびソースに水素を供給し、ドレイン及びソースが高抵抗化することを防止する。

[0043] その後、ポリシリコン半導体102で形成されたTF Tあるいは酸化物半導体108で形成されたTF Tと、配線、あるいは電極と接続するために、スルーホール115乃至120が形成される。ポリシリコン半導体102によるTF T側のスルーホールは、115、116、117であり、酸化物半導体108によるTF T側のスルーホールは118、119、120である。

[0044] 図3から明らかなように、ポリシリコン半導体102側は、酸化物半導体108側よりも、スルーホールはより多くの層を貫通する必要がある。逆に言えば、酸化物半導体108側は、スルーホールにおいて、より長い時間エッチング液、あるいは、ドライエッチングの場合は、エッチングガスに晒される（以後エッチング液で代表させる）。エッチング液が、スルーホールが形成される絶縁膜とSD金属109との間で十分な選択比を有していない場合は、酸化物半導体108側において、SD金属109あるいはゲート電極112が消失する危険が生ずる。

[0045] 図4は、本発明を適用しない場合の、ハイブリット方式における酸化物半導体108を用いたTF Tとポリシリコン半導体102を用いたTF Tの層構造の他の例を示す断面図である。図4が図3と異なる点は、SiOで構成される第4層間絶縁膜114が第2ゲート電極112を覆って形成され、その上にSiNで形成される第3層間絶縁膜113が形成されている点である。

[0046] 第2ゲート電極112を覆う層間絶縁膜から水素の供給をする必要が無い

、あるいは、水素を供給しないほうが良い場合は、図4の構成が使用される。図4の他の構成は図3と同じなので説明を省略する。以後の説明では、第3層間絶縁膜113及び第4層間絶縁膜114の順番は図3の場合を基準に説明するが、図4の場合も同様に本発明を適用することが出来る。

[0047] 図5は本発明の実施例1を示す断面図である。図5において、TFT基板100の上に遮光膜105が形成されている。遮光膜105は第1ゲート電極104あるいは第2ゲート電極112と同じ金属で形成することが出来る。遮光膜105のその他の構成は図2で説明したのと同じである。

[0048] 遮光膜105を覆って下地膜101が形成され、その上にポリシリコン半導体102が形成されている。ポリシリコン半導体102を覆って第1ゲート絶縁膜103が形成され、その上に第1ゲート電極104が形成されている。これらの構成は図3で説明したのと同様である。

[0049] 図5が図3と異なる点は、第1ゲート絶縁膜103の上に酸化物半導体108が形成されていることである。すなわち、ポリシリコン半導体102と酸化物半導体108の間には、1層の絶縁膜しかない。一方、図3においては、ポリシリコン半導体102との酸化物半導体1の間には、3層の絶縁膜が存在している。酸化物半導体108の両側にトップコンタクトでSD金属109が形成されている点は図3と同じである。

[0050] 図5において、酸化物半導体108及びSD金属109を覆って第2ゲート絶縁膜110が形成されている。第2ゲート絶縁膜110の構成は図3と同様である。そして、第2ゲート絶縁膜110の上に第2ゲート電極112及びAIO膜111が形成されている。第2ゲート電極112及びAIO膜111の構成は図3と同じである。

[0051] 第2ゲート電極112及びAIO膜111を覆ってSiNによる第3層間絶縁膜113が形成されており、その上にSiOによる第4層間絶縁膜114が形成されている。その後、ポリシリコン半導体102、酸化物半導体108と、配線または電極と接続するためのスルーホール115乃至120が形成される。

[0052] 本実施例を示す図5の特徴は、図3における第1層間絶縁膜106と第2層間絶縁膜107が存在していないことである。したがって、ポリシリコン半導体108側のスルーホール115、116、117の深さと酸化物半導体108側のスルーホール118、119、120の深さの差が小さくなり、酸化物半導体108側のスルーホールにおいて、酸化物半導体108あるいは電極が消失するという現象を回避することが出来る。

[0053] 図5において、ポリシリコン半導体102側のスルーホール115、117は4層の絶縁膜に対して形成されているのに対し、酸化物半導体108側のスルーホール118、120は3層の絶縁膜に対して形成される。すなわち、差は1層のみである。これに対して、図3においては、この差は3層である。また、ポリシリコン半導体102側のスルーホール116は3層の絶縁膜に対して形成されているのに対し、酸化物半導体108側のスルーホール119は2層の絶縁膜に対して形成される。すなわち、この差は1層のみである。これに対して、図3においては、この差は3層である。

[0054] すなわち、図5においては、スルーホール形成時に、酸化物半導体108側において、エッチング液に、より長く晒される時間は、小さくなり、酸化物半導体108、あるいは、SD金属109、第2ゲート電極112等が消失する危険が小さくなる。したがって、ハイブリッド構成を有する表示装置を安定して製造することが出来る。

## 実施例 2

[0055] 図6は、本発明の実施例2を示す断面図である。図6が実施例1の図5と異なる点は、酸化物半導体108を用いたTFETの構成である。図6の酸化物半導体108はSD金属109と底面で接する、いわゆるボトムコンタクトとなっている。図6に示す構成は、図5に示す構成に対して、以下に示すような利点を持っている。

[0056] 図7は図6の構成を実現する途中工程を示す断面図である。図7において、第1ゲート絶縁膜103の構成までは、図5と同じである。図7の特徴は、第1ゲート絶縁膜103の上に第1ゲート電極104と同時に酸化物半導

体の両側に形成されるSD金属109を形成することである。一方、図5においては、酸化物半導体108を形成した後、SD金属109を形成するので、SD金属109のためのフォトリソグラフィ工程が必要になる。つまり、図6及び図7の構成であれば、フォトリソグラフィ工程を1工程省略することが出来る。

[0057] 第1ゲート電極104及びSD金属104を形成した後、リン(P)あるいはボロン(B)をポリシリコン半導体102にイオンインプランテーション(I/I)によって注入し、ポリシリコン半導体102にドレイン及びソースを形成する。

[0058] 図8は図7に続く途中工程における構成を示す断面図である。図8において、酸化物半導体108を、第1ゲート絶縁膜103の上に形成する。この時、酸化物半導体108の両側は、SD金属109の上に形成される。酸化物半導体108及び第1ゲート電極104を覆って第2ゲート絶縁膜110をSiO<sub>2</sub>によって形成する。

[0059] その後、酸化物半導体108のチャネルに対応する部分に第2ゲート電極112及びAlO膜111を形成する。第2ゲート電極112及びAlO膜111の構成は図3等で説明したのと同様である。

[0060] その後、リン(P)あるいはボロン(B)をイオンインプランテーション(I/I)によって酸化物半導体108に注入する。イオンは平面で見て、第2ゲート電極112とSD金属109の間において、酸化物半導体108に導電性を与える作用を有する。つまり、この領域は、SD金属109と接触していないので、酸化物半導体108は絶縁物のままであるので、イオンを注入することによって導通を与える。

[0061] その後、第3層間絶縁膜113及び第4層間絶縁膜114を形成し、酸化物半導体108及びポリシリコン半導体102に対してスルーホールを形成する。実施例2の効果は、実施例1の効果と同じである。ただし、実施例2では、実施例1におけるSD金属109をパターニングするための、フォトリソグラフィ工程を省略することが出来る点で有利である。

[0062] なお、図 7 及び図 8 で説明したイオンインプランテーション工程およびその効果は、実施例 1 における図 5 も同様である。

### 実施例 3

[0063] 図 9 は、本発明の実施例 3 を示す断面図である。図 9 が実施例 2 の図 6 と異なる点は、酸化物半導体 108 を用いた TFT の構成である。図 9 の酸化物半導体 108 には、SD 金属 109 は存在していない。すなわち、本実施例においても、第 1 層間絶縁膜 106 と第 2 層間絶縁膜 107 は存在していないので、図 2 で説明したように、酸化物半導体 108 側のスルーホールが貫通する絶縁膜の層数とポリシリコン半導体 102 側のスルーホールが貫通する絶縁膜の層数とは 1 層しか差がない。したがって、エッチング比の大きなエッチング液、あるいは、エッチング比の大きなドライエッチングのガスを用いることによって、SD 金属 109 を省略することが出来る。

[0064] 図 10 は図 9 の構成を実現する途中工程を示す断面図である。図 9 において、第 1 ゲート絶縁膜 103 の構成までは、実施例 2 の図 7 と同じである。図 10 が図 7 と異なる点は、第 1 ゲート絶縁膜 103 の上に SD 金属 109 が形成されていないことである。第 1 ゲート電極 104 を形成した後、リン(P)あるいはボロン(B)をイオンインプランテーション(I/I)によって注入し、ポリシリコン半導体 102 にドレイン及びソースを形成する。

[0065] 図 11 は図 10 の後の、途中工程における構成を示す断面図である。図 11 において、酸化物半導体 108 を、第 1 ゲート絶縁膜 103 の上に形成する。その後、酸化物半導体 108 及び第 1 ゲート電極 104 を覆って第 2 ゲート絶縁膜 110 を SiO<sub>2</sub> によって形成する。そして、酸化物半導体 108 のチャネルに対応する部分に第 2 ゲート電極 112 及び AlO<sub>3</sub> 膜 111 を形成する。

[0066] その後、リン(P)あるいはボロン(B)をイオンインプランテーション(I/I)によって酸化物半導体 108 に注入する。イオンは平面で見て、第 2 ゲート電極 112 で覆われている以外の部分において、酸化物半導体 108 に導電性を与える作用を有する。つまり、この領域の酸化物半導体 108

は絶縁物のままであるので、イオンを注入することによって導通を与える。

[0067] その後、第3層間絶縁膜113及び第4層間絶縁膜114を形成し、酸化物半導体108及びポリシリコン半導体102に対してスルーホールを形成する。実施例3の効果は、実施例1及び2の効果と同じである。

#### 実施例 4

[0068] 図12は、本発明の実施例4を示す断面図である。実施例4の特徴は、イオンインプランテーションを1回で済ませられることである。また、図12の構成では、ポリシリコン半導体108によって形成されるTFETはpチャネルTFETである。

[0069] 図13は図12の構成を実現する途中工程を示す断面図である。図13の構成は次のような工程で形成される。TFET基板100の上に下地膜101を形成し、その上にポリシリコン半導体102を形成し、その上に第1ゲート絶縁膜103を形成する。これらの3層の膜はいずれもCVDによって形成される。その後酸化物半導体108をスパッタリングによって形成し、酸化物半導体108をパターニングする。

[0070] その後、第1ゲート電極104及びSD金属109となる金属あるいは合金をスパッタリング等によって、形成し、この金属あるいは合金をパターニングして、第1ゲート電極104及びSD金属109とする。したがって、この場合は、SD金属109は酸化物半導体108に対してトップコンタクトになる。その後、第1ゲート絶縁膜103をパターニングする。第1ゲート絶縁膜103は、第1ゲート絶縁膜104の下及びSD金属109を含む酸化物半導体108の下にのみ残存し、他は除去される。

[0071] その後、第2ゲート絶縁膜110をSiO<sub>2</sub>によって形成する。第2ゲート絶縁膜110の上で、酸化物半導体108のチャネル部に相当する部分に第2ゲート電極112およびAIO層111を形成する。第2ゲート電極112及びAIO層111等は、図5等で説明したのと同様である。

[0072] その後、第1ゲート電極104及び第2ゲート電極112をマスクにしてボロン(B)をイオンインプランテーションによってポリシリコン半導体1

１０２及び酸化物半導体１０８に同時に注入する。これによって、ポリシリコン半導体１０２及び酸化物半導体１０８にドレイン及びソースを形成する。

[0073] 図１４では、若干異なって見えるが、酸化物半導体１０８の上の第２ゲート絶縁膜１１０の厚さ $d$ とポリシリコン半導体１０２の上の第２ゲート絶縁膜１１０の厚さ $d$ は同じである。したがって、同じイオンインプランテーションのエネルギーによって正確に酸化物半導体１０８とポリシリコン半導体１０２にボロンを注入することが出来る。

[0074] なお、この構成においては、ポリシリコン半導体１０２におけるＴＦＴは、ドレイン及びソースにボロン（Ｂ）をドーピングしたような、 $p$ チャネル方式ＴＦＴに限定となる。図１４において、ボロン（Ｂ）に替えてリン（Ｐ）をドーピングした場合は、 $n$ チャネルタイプのＴＦＴとなるが、このプロセスにおいては、ＬＤＤ（Light Doped Drain）を形成することが出来ない。したがって、ポリシリコン半導体によるＴＦＴの信頼性を確保することが困難になる。

[0075] その後、第２ゲート電極１１２を覆って第３層間絶縁膜１１３、及び第４層間絶縁膜１１４を形成し、ポリシリコン半導体１０２によるＴＦＴと酸化物半導体１０８によるＴＦＴにスルーホールを形成する。第３層間絶縁膜１１３、第４層間絶縁膜１１４、スルーホール１１５乃至１２０の形成工程は、実施例１乃至３で説明したのと同じである。

[0076] 本実施例においては、ポリシリコン半導体１０２側におけるスルーホール１１５、１１７が貫通する絶縁膜の層数は３であり、酸化物半導体１０８側におけるスルーホール１１８、１２０が貫通する絶縁膜の層数も３であり、同数である。したがって、ポリシリコン半導体１０２側と酸化物半導体１０８側におけるスルーホールの形成条件を、実施例１乃至３の場合よりも、より均一にすることが出来る。

[0077] なお、図１２において、第１ゲート絶縁膜１０３は第１ゲート電極１０４の下及びＳＤ金属１０９を含む酸化物半導体１０８の下を除いて除去されているが、本実施例の作用からは、少なくとも、ポリシリコン半導体１０２の

ドレイン領域及びソース領域から除去されていけばよい。ポリシリコン半導体 102 と酸化物半導体 108 に対して同じ条件によってイオンインプランテーションが可能であればよいからである。

[0078] また、図 12 において、酸化物半導体 108 に対するスルーホールは、酸化物半導体 108 に接続する SD 金属 109 の上に形成されているが、実施例 3 のように、酸化物半導体 108 の上に直接形成されていてもよい。特に、本実施例では、ポリシリコン半導体 102 側に形成されるスルーホール 115、117 が貫通する絶縁膜の層数と酸化物半導体 108 側に形成されるスルーホール 118、120 が貫通する絶縁膜の層数が等しいので、実施例 3 の場合よりもさらに、この構成を実現しやすい。

## 実施例 5

[0079] 実施例 1 乃至 4 では、液晶表示装置を例にとって説明した。本発明は有機 EL 表示装置についても同様に適用することが出来る。図 15 は有機 EL 表示装置の画素部の断面図である。図 15 において、TFT 基板 100 にはガラス基板あるいはポリイミド等の樹脂基板が使用される。図 15 において、TFT 基板 100 からドレイン電極 121 及びソース電極 122 が形成されるまでは、液晶表示装置における図 2 と同一である。したがって、実施例 1 乃至 4 で説明した本発明の構成はそのまま適用することが出来る。

[0080] 図 15 における有機 EL 表示装置のその他の構成は次の通りである。ドレイン電極 121 及びソース電極 122 を覆って有機パッシベーション膜 123 が形成され、この有機パッシベーション膜 123 にスルーホール 130 を形成する。有機パッシベーション膜 123 の上に金属あるいは合金による反射電極と酸化物導電膜によるアノードの積層膜による下部電極 150 を形成する。

[0081] その上にバンク 160 となるアクリル等の有機膜を形成し、この膜にホールを形成する。ホール内に発光層となる有機 EL 膜 151 を形成する。有機 EL 膜 151 は通常は複数の膜によって形成される。有機 EL 膜 151 及びバンク 160 を覆ってカソード 152 を形成する。カソード 152 は、IT

O、AZO (Aluminium doped Zinc Oxide) 等の透明酸化物導電膜か金属薄膜によって形成される。

[0082] その後、有機EL膜151を保護するための、保護膜153をSiN等によって形成する。その後、反射防止のための偏光板155を粘着材154を介して保護膜153の上に貼り付ける。なお、保護膜153は、SiN等の無機膜のみでなく、これに積層してアクリル等の透明有機膜が積層される場合もある。

[0083] また、有機EL表示装置においても、走査線駆動回路等の周辺回路を、TFTを用いて形成する。したがって、周辺駆動回路をポリシリコン半導体102によって形成し、画素部に形成されるスイッチングTFT等を酸化物半導体108によって形成するという要求も、液晶表示装置と同様に存在する。

[0084] このように、有機EL表示装置においても、実施例1乃至4で説明した本発明の構成を適用することが出来る。

[0085] また、表示装置はじめ電子デバイスにおいて内蔵される光センサとしても用いることができる。

## 符号の説明

[0086] 11…走査線、 12…映像信号線、 13…画素、 14…表示領域、  
15…端子領域、 16…シール材、 17…フレキシブル配線基板、  
100…TFT基板、 101…下地膜、 102…ポリシリコン半導体、  
103…ゲート絶縁膜、 104…ゲート電極、 105…遮光膜、 1  
06…第1層間絶縁膜、 107…第2層間絶縁膜、 108…酸化物半導  
体、 109…SD金属、 110…ゲート絶縁膜、 111…AlO膜、  
112…ゲート電極、 113…第3層間絶縁膜、 114…第4層間絶縁  
膜、 115…スルーホール、 116…スルーホール、 117…スルー  
ホール、 118…スルーホール、 119…スルーホール、 120…ス  
ルーホール、 121…ドレイン電極、 122…ソース電極、 123…  
有機パッシベーション膜、 124…コモン電極、 125…容量絶縁膜、

126…画素電極、 127…配向膜、 130…スルーホール、 131…スルーホール、 150…下部電極、 151…有機EL層、 152…カソード、 153…保護層、 154…粘着材、 155…偏光板、 160…バンク、 200…対向基板、 201…カラーフィルタ、 202…ブラックマトリクス、 203…オーバーコート膜、 204…配向膜、 300…液晶層、 301…液晶分子

## 請求の範囲

- [請求項1]           ポリシリコン半導体を用いた第1のTFTと酸化物半導体を用いた第2のTFTが形成された基板を有する表示装置であって、
- 前記ポリシリコン半導体を覆って第1の絶縁膜が形成され、前記第1の絶縁膜の上に第1のゲート電極が形成され、
- 前記第1の絶縁膜の上で前記第1のゲート電極と平面視で重ならない位置に前記酸化物半導体が形成され、前記酸化物半導体を覆って第2の絶縁膜が形成され、
- 前記第1のゲート電極と前記酸化物半導体とは、前記第1の絶縁膜と前記第2の絶縁膜の間にあり、前記第1の絶縁膜に接触しており、
- 前記第2の絶縁膜の上に第2のゲート電極が形成され、
- 前記第2のゲート電極を覆って第3の絶縁膜が形成されていることを特徴とする表示装置。
- [請求項2]           前記ポリシリコン半導体に、複数の絶縁膜を貫通して第1のスルーホールが形成され、
- 前記酸化物半導体に、複数の絶縁膜を貫通して第2のスルーホールが形成され、
- 前記第1スルーホールが貫通する絶縁膜の層数と前記第2のスルーホールが貫通する絶縁膜の層数の差は1であることを特徴とする請求項1に記載の表示装置。
- [請求項3]           前記第1のスルーホールは前記ポリシリコン半導体の上に形成され、前記第2のスルーホールは前記酸化物半導体の上に形成されていることを特徴とする請求項2に記載の表示装置。
- [請求項4]           前記第2のスルーホールは、前記酸化物半導体の基板に対向する面と反対側と接触する金属又は合金の上に形成されていることを特徴とする請求項2に記載の表示装置。
- [請求項5]           前記第2のスルーホールは、前記酸化物半導体の基板に対向する面側と接触する金属又は合金の上に形成されていることを特徴とする請

求項 2 に記載の表示装置。

[請求項6] 前記第 1 のゲート電極と前記金属または合金は、同じ金属であることを特徴とする請求項 5 に記載の表示装置。

[請求項7] 前記第 3 の絶縁膜は複数の膜の積層膜であることを特徴とする請求項 1 に記載の表示装置。

[請求項8] 前記第 2 のゲート電極と前記酸化物半導体の間には A I O 膜が存在していることを特徴とする請求項 1 に記載の表示装置。

[請求項9] ポリシリコン半導体を用いた第 1 の T F T と酸化物半導体を用いた第 2 の T F T が形成された基板を有する表示装置であって、

前記ポリシリコン半導体を覆って第 1 の絶縁膜が形成され、前記第 1 の絶縁膜の上に第 1 のゲート電極が形成され、

前記第 1 の絶縁膜は、少なくとも、前記ポリシリコン半導体のドレイン領域とソース領域には存在せず、

前記第 1 絶縁膜の上で前記第 1 のゲート電極と平面視で重ならない位置に前記酸化物半導体が形成され、前記酸化物半導体を覆って第 2 の絶縁膜が形成され、前記第 2 の絶縁膜の上に第 2 のゲート電極が形成され、

前記第 2 のゲート電極を覆って第 3 の絶縁膜が形成されていることを特徴とする表示装置。

[請求項10] 前記第 1 の T F T は p チャネル型の T F T であることを特徴とする請求項 9 に記載の表示装置。

[請求項11] 前記ポリシリコン半導体の接続のために、複数の絶縁膜を貫通して第 1 のスルーホールが形成され、前記酸化物半導体の接続のために、複数の絶縁膜を貫通して第 2 のスルーホールが形成され、

前記第 1 スルーホールが貫通する絶縁膜の層数と前記第 2 のスルーホールが貫通する絶縁膜の層数は同じであることを特徴とする請求項 9 に記載の表示装置。

[請求項12] 前記第 1 のスルーホールは前記ポリシリコン半導体の上に形成され

、前記第 2 のスルーホールは前記酸化物半導体の上に形成されていることを特徴とする請求項 1 1 に記載の表示装置。

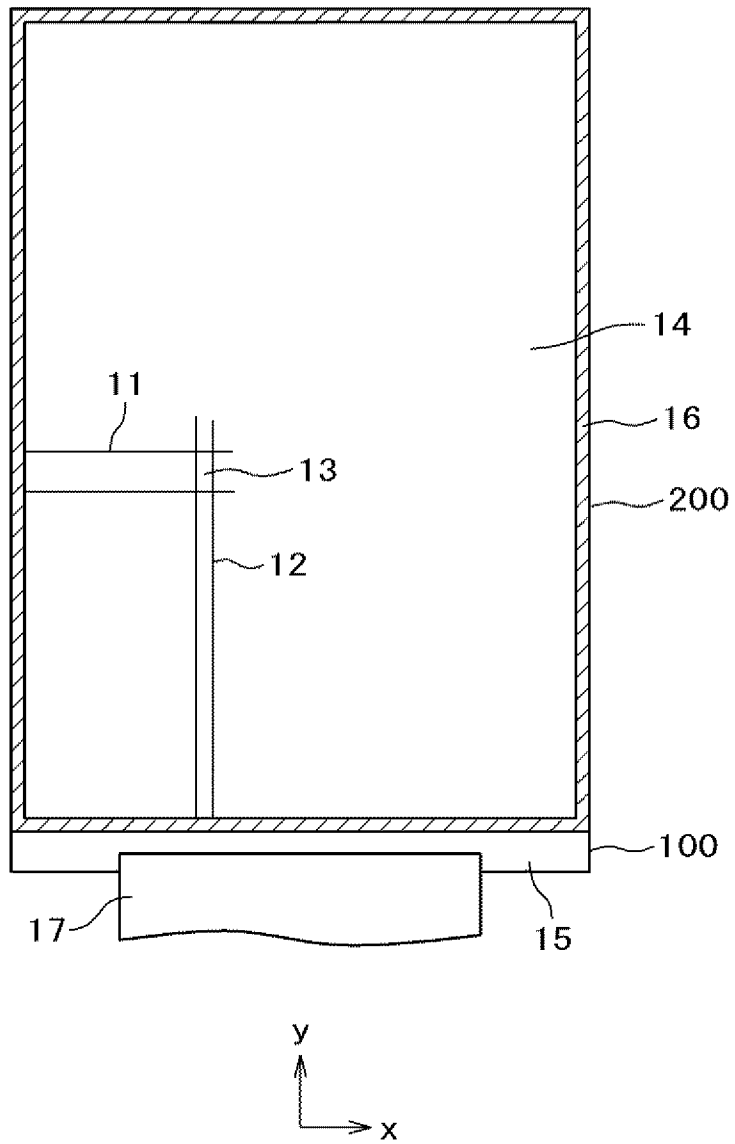
[請求項13] 前記第 2 のスルーホールは、前記酸化物半導体の基板に対向する面と反対側と接触する金属又は合金の上に形成されていることを特徴とする請求項 1 1 に記載の表示装置。

[請求項14] 前記第 2 のスルーホールは、前記酸化物半導体の基板に対向する面側と接触する金属又は合金の上に形成されていることを特徴とする請求項 1 1 に記載の表示装置。

[請求項15] 前記第 1 の T F T は表示領域に形成され、前記第 2 の T F T は周辺駆動回路に形成されていることを特徴とする請求項 1 乃至 1 4 のいずれか 1 項に記載の表示装置。

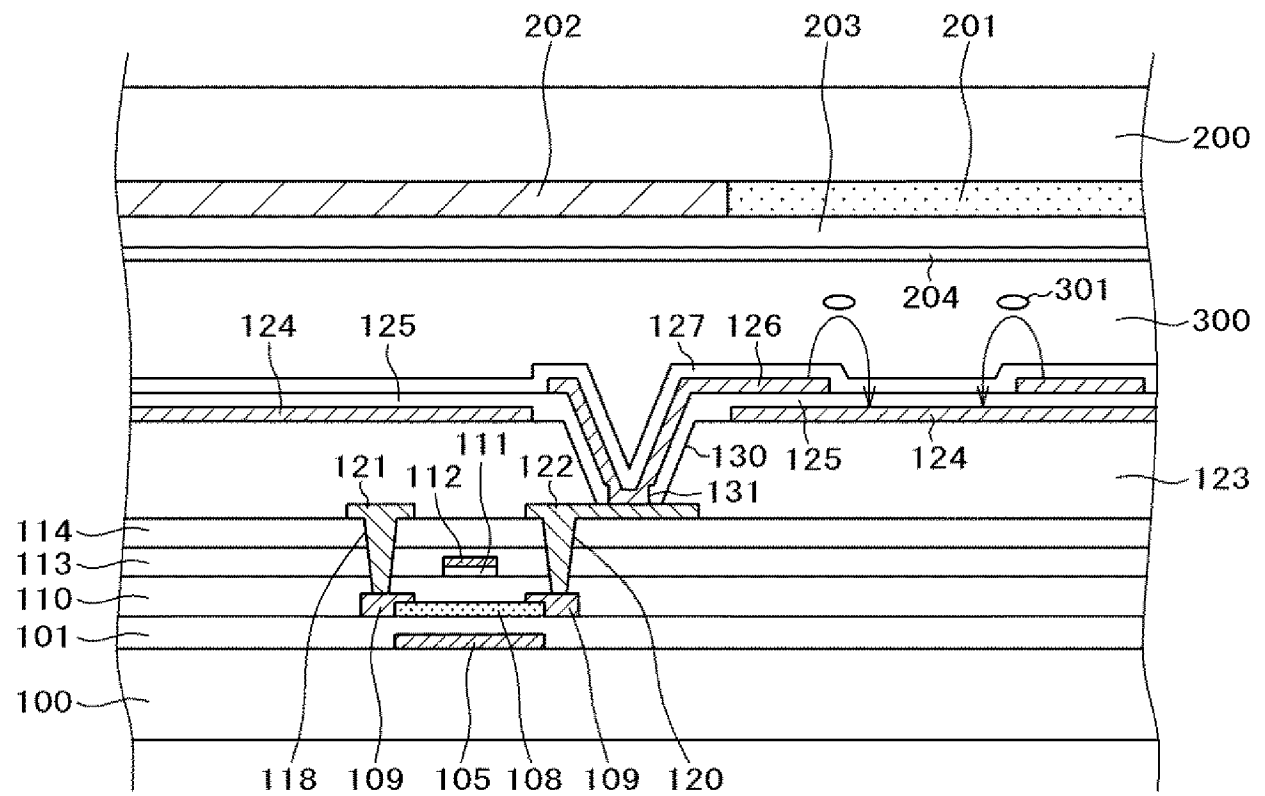
[図1]

図 1



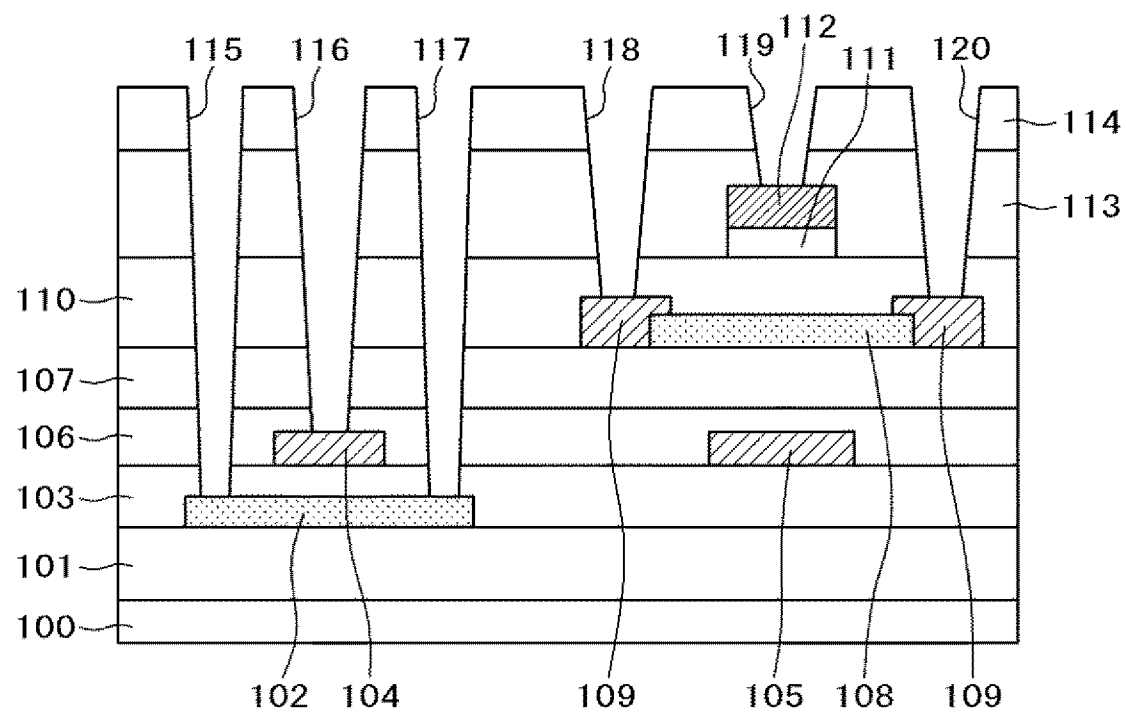
[図2]

图 2



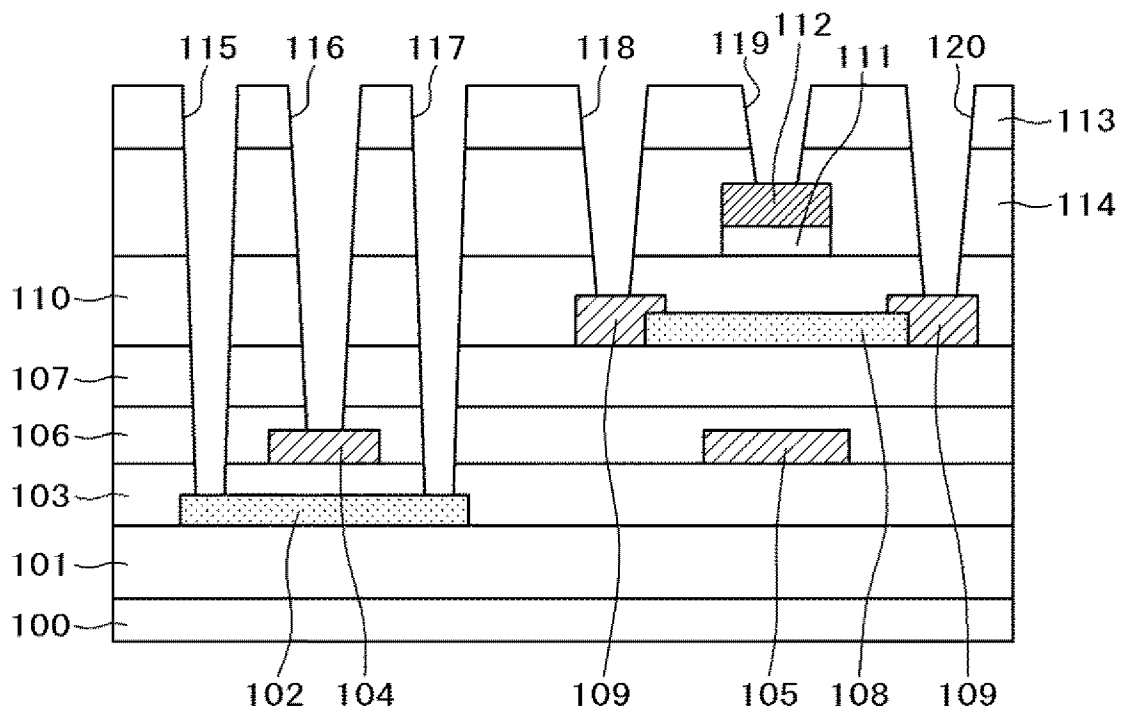
[図3]

图 3



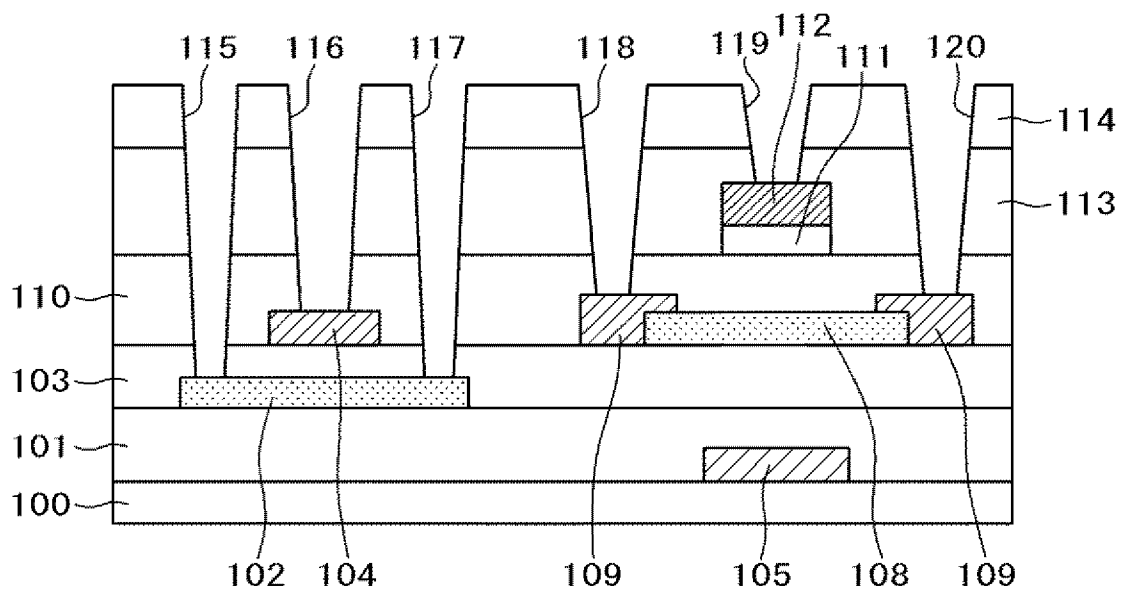
[図4]

図 4



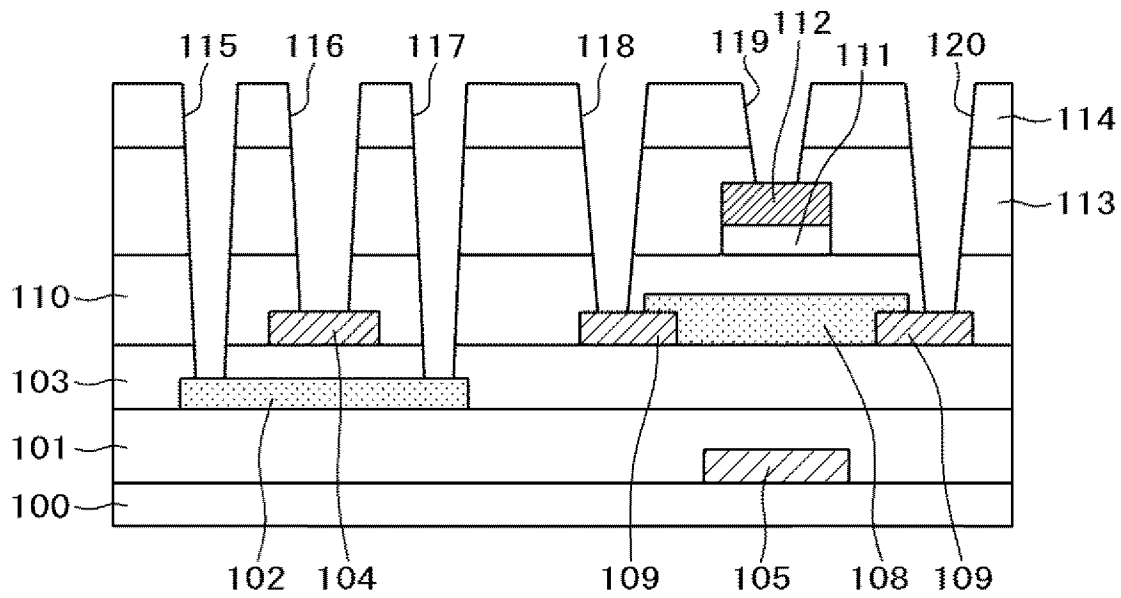
[図5]

図 5



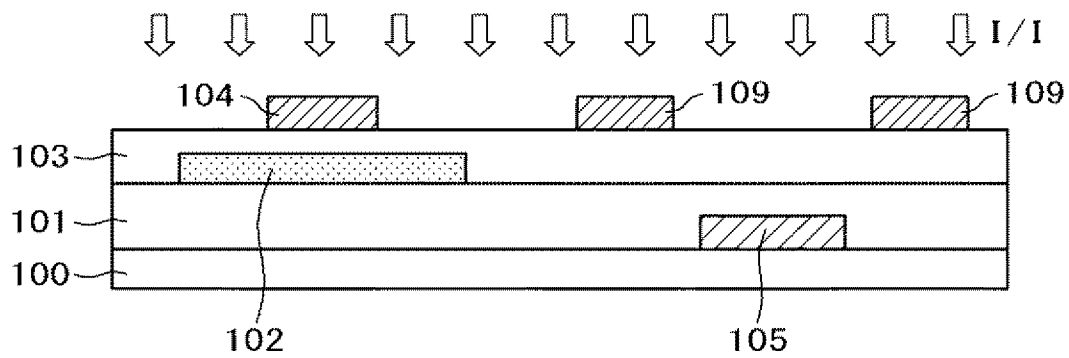
[図6]

図 6



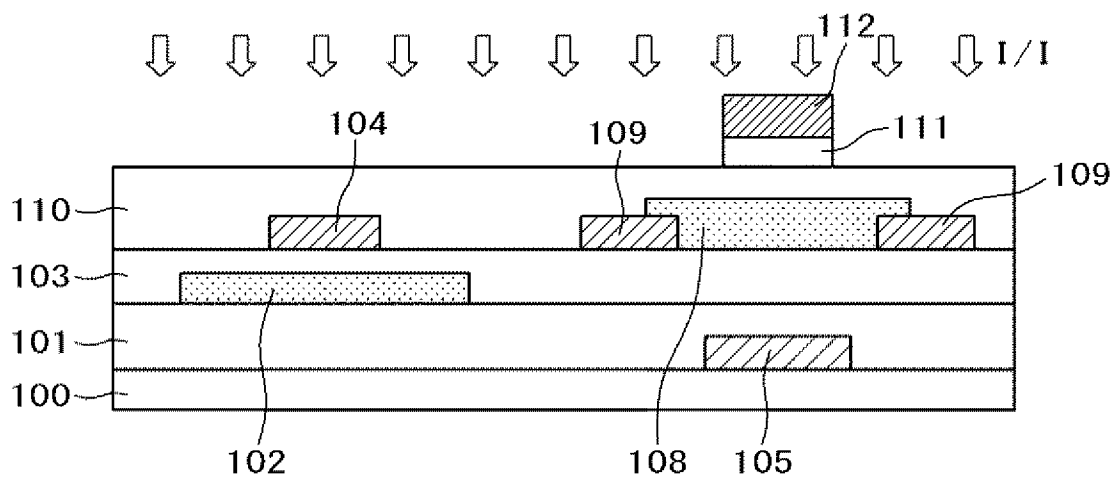
[図7]

図 7



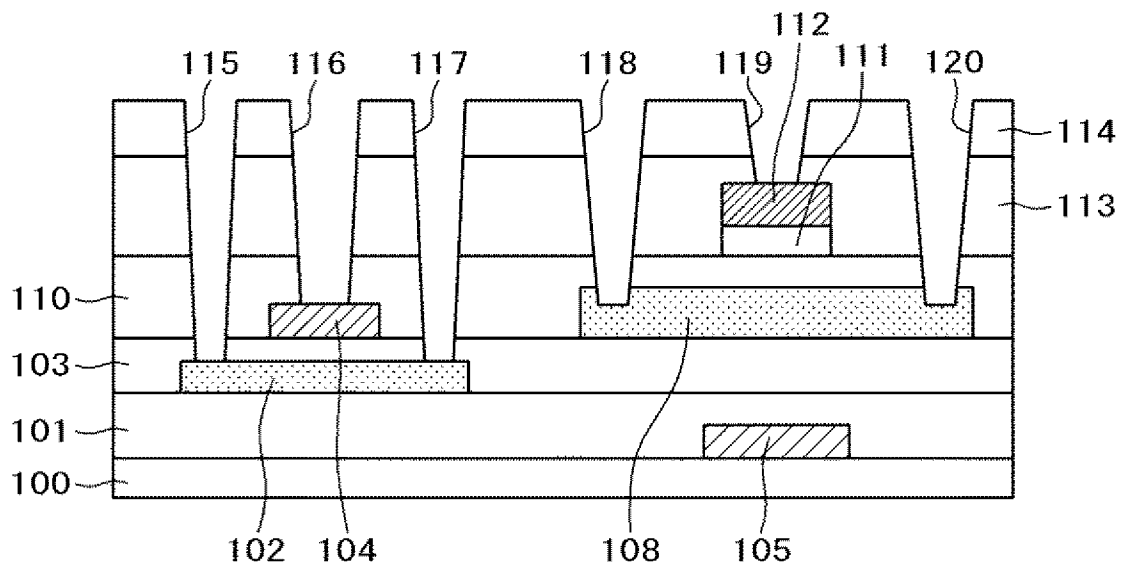
[図8]

図 8



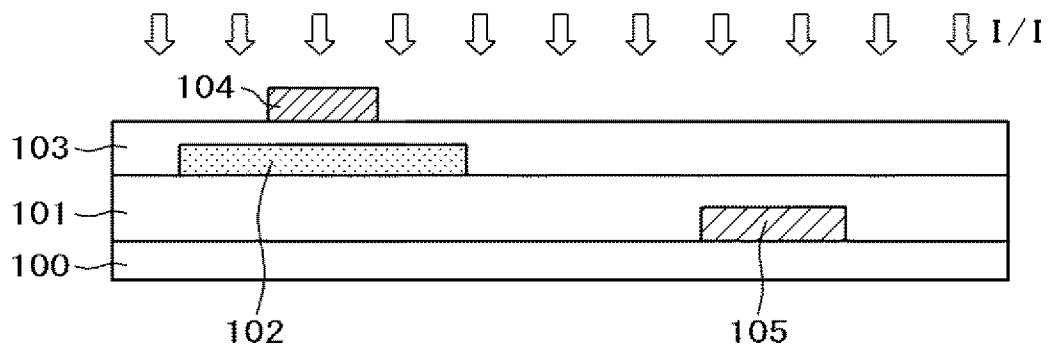
[図9]

図 9



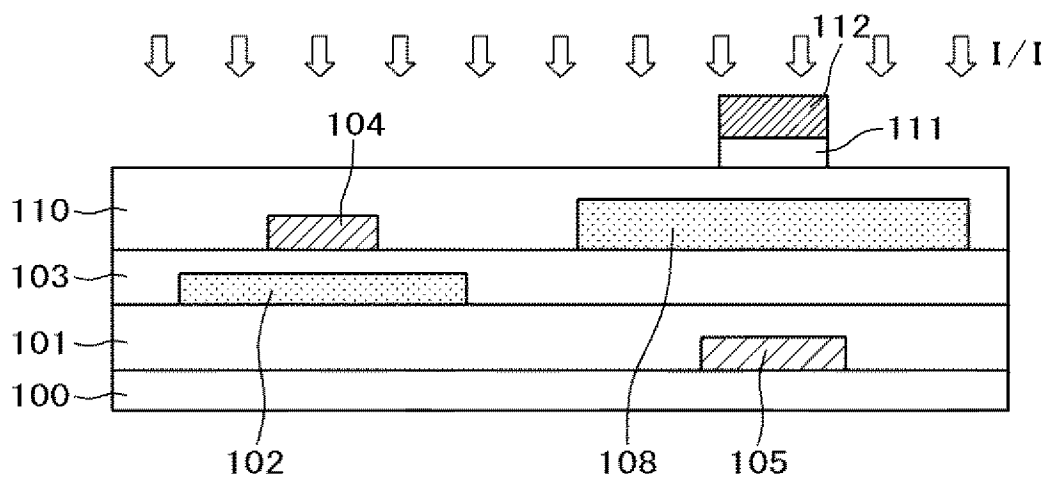
[図10]

図 10



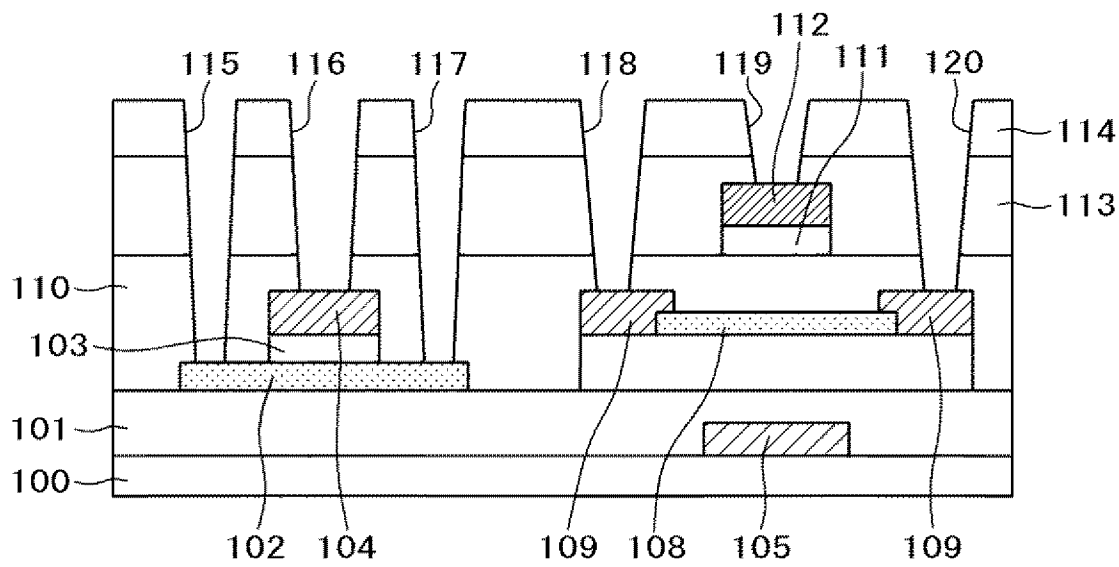
[図11]

図 11



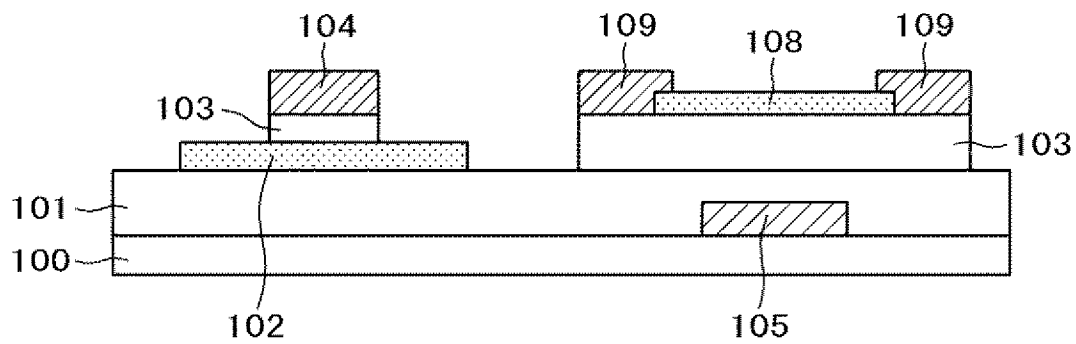
[図12]

図 1 2



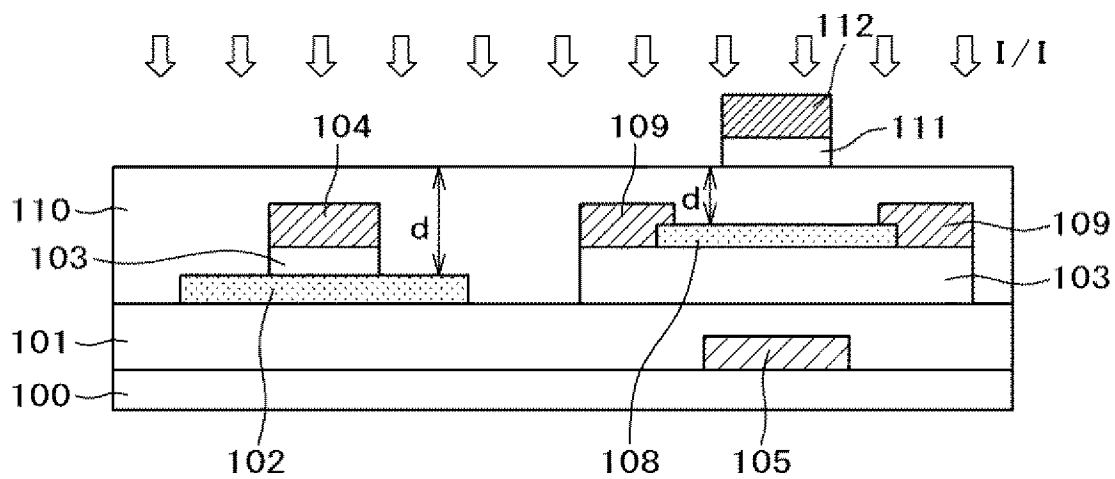
[図13]

図 1 3



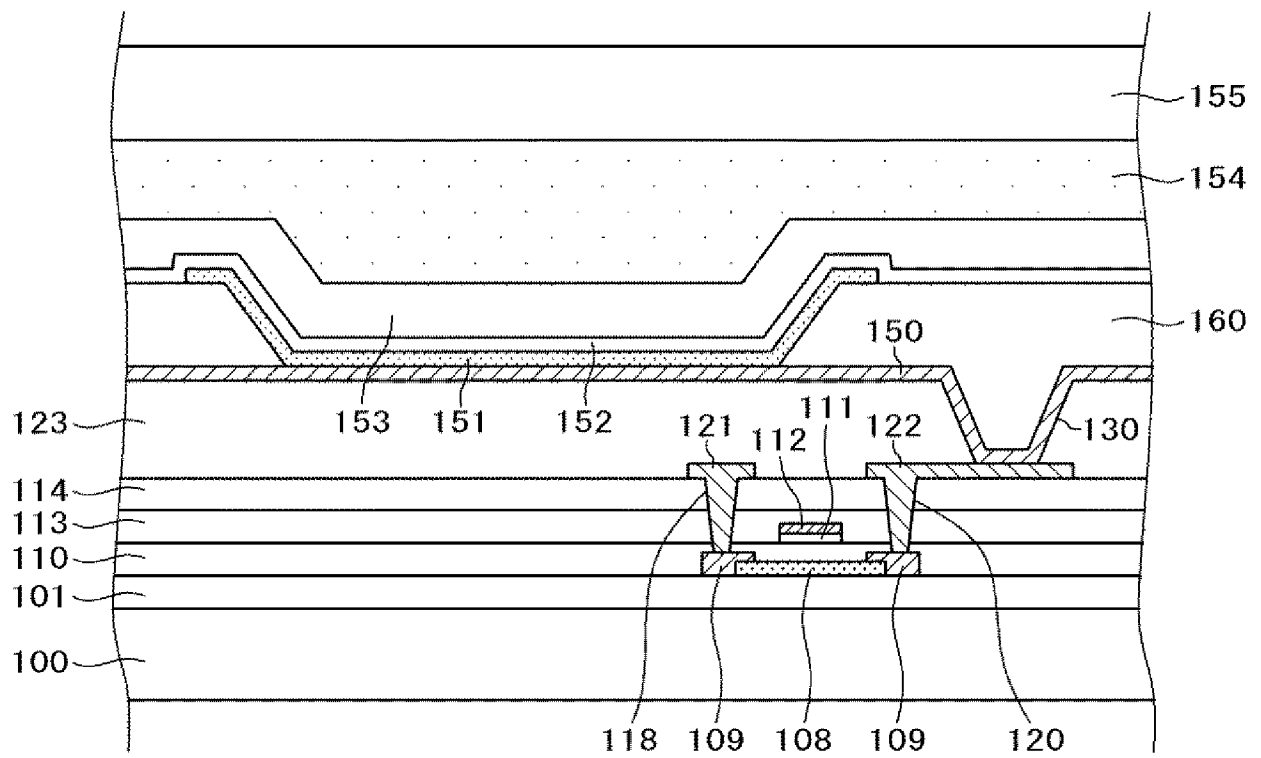
[図14]

図 1 4



[図15]

図 15



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025095

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L29/786 (2006.01) i, G02F1/1368 (2006.01) i, G09F9/30 (2006.01) i,  
H01L21/8234 (2006.01) i, H01L27/088 (2006.01) i,  
H01L27/32 (2006.01) i, H01L51/50 (2006.01) i, H05B33/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L29/786, G02F1/1368, G09F9/30, H01L21/8234, H01L27/088,  
H01L27/32, H01L51/50, H05B33/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                                                          |           |
|----------------------------------------------------------|-----------|
| Published examined utility model applications of Japan   | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan         | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                               | Relevant to claim No.   |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------|
| X<br>Y    | JP 2018-50029 A (TIANMA JAPAN, LTD.) 29 March 2018, paragraphs [0016]-[0047], fig. 4 & US 2018/0076241 A1, paragraphs [0036]-[0067], fig. 4 & CN 107818986 A                                                                     | 1-3<br>3-15             |
| X<br>Y    | US 2015/0123084 A1 (SAMSUNG DISPLAY CO., LTD.) 07 May 2015, paragraphs [0060]-[0105], fig. 4 & KR 10-2015-0051824 A                                                                                                              | 1, 2, 5-8<br>3, 4, 7-15 |
| Y         | JP 2011-48339 A (SAMSUNG MOBILE DISPLAY CO., LTD.) 10 March 2011, paragraphs [0057], [0076], fig. 1, 3, 8 & US 2011/0049523 A1, paragraphs [0067], [0086], fig. 1, 3, 8 & KR 10-2011-0021259 A & CN 101997025 A & TW 201114027 A | 4-6, 10, 13-15          |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
03 September 2019 (03.09.2019)

Date of mailing of the international search report  
10 September 2019 (10.09.2019)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025095

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                           | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2013-168639 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 August 2013, paragraphs [0105]-[0107] & US 2013/0187151 A1, paragraphs [0153]-[0155] & KR 10-2013-0086163 A  | 8, 15                 |
| Y         | KR 10-2013-0040342 A (LG DISPLAY CO., LTD.) 24 April 2013, paragraphs [0025]-[0028] (Family: none)                                                                           | 8, 15                 |
| Y         | US 2015/0243719 A1 (LG DISPLAY CO., LTD.) 27 August 2015, fig. 6A & US 2015/0243718 A1 & US 2015/0243720 A1 & EP 3241241 A1 & EP 3241209 A1 & EP 3241240 A1 & CN 107004682 A | 9-15                  |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/786(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, H01L21/8234(2006.01)i, H01L27/088(2006.01)i, H01L27/32(2006.01)i, H01L51/50(2006.01)i, H05B33/02(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/786, G02F1/1368, G09F9/30, H01L21/8234, H01L27/088, H01L27/32, H01L51/50, H05B33/02

## 最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2019年 |
| 日本国実用新案登録公報 | 1996-2019年 |
| 日本国登録実用新案公報 | 1994-2019年 |

## 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                         | 関連する<br>請求項の番号          |
|-----------------|-------------------------------------------------------------------------------------------------------------------------------------------|-------------------------|
| X<br>Y          | JP 2018-50029 A (TIANMA JAPAN 株式会社) 2018.03.29, 段落<br>[0016]-[0047], [図4] & US 2018/0076241 A1, 段落[0036]-[0067],<br>[図4] & CN 107818986 A | 1-3<br>3-15             |
| X<br>Y          | US 2015/0123084 A1 (SAMSUNG DISPLAY CO., LTD.) 2015.05.07, 段<br>落[0060]-[0105], [図4] & KR 10-2015-0051824 A                               | 1, 2, 5-8<br>3, 4, 7-15 |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

03.09.2019

国際調査報告の発送日

10.09.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

脇水 佳弘

5 F

3464

電話番号 03-3581-1101 内線 3516

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                             |                |
|-----------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                           | 関連する<br>請求項の番号 |
| Y                     | JP 2011-48339 A (三星モバイルディスプレイ株式会社) 2011.03.10, 段落[0057], [0076], [図1], [図3], [図8] & US 2011/0049523 A1, 段落[0067], [0086], 図1, 3, 8 & KR 10-2011-0021259 A & CN 101997025 A & TW 201114027 A | 4-6, 10, 13-15 |
| Y                     | JP 2013-168639 A (株式会社半導体エネルギー研究所) 2013.08.29, 段落[0105]-[0107] & US 2013/0187151 A1, 段落[0153]-[0155] & KR 10-2013-0086163 A                                                                 | 8, 15          |
| Y                     | KR 10-2013-0040342 A (LG DISPLAY CO., LTD.) 2013.04.24, 段落[0025]-[0028] (ファミリーなし)                                                                                                           | 8, 15          |
| Y                     | US 2015/0243719 A1 (LG DISPLAY CO., LTD.) 2015.08.27, 図6A & US 2015/0243718 A1 & US 2015/0243720 A1 & EP 3241241 A1 & EP 3241209 A1 & EP 3241240 A1 & CN 107004682 A                        | 9-15           |