

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 21/66

(45) 공고일자 1997년02월17일
(11) 공고번호 특1997-0001840

(21) 출원번호	특1992-0017009	(65) 공개번호	특1993-0006936
(22) 출원일자	1992년09월18일	(43) 공개일자	1993년04월22일

(30) 우선권주장
91-238410 1991년09월18일 일본(JP)
91-240010 1991년09월19일 일본(JP)
91-241046 1991년09월20일 일본(JP)
91-254954 1991년10월02일 일본(JP)

후지쓰 가부시끼가이샤 세끼자와 다다시

일본국 가나가와쿄 가와사키시 나가하라구 가미고다나카 4쪽오메 1-1

(73) 특허권자

일본국 가나가와쿄 가와사키시 나가하라구 가미고다나카 4쪽오메 1-1

(72) 발명자

야마무라 다케시
일본국 가나가와쿄 가와사끼시 나가하라구 가미고다나까 1015반찌 후지
쓰 가부시끼가이샤 내
사이또오 다다히로

일본국 가나가와쿄 가와사끼시 나가하라구 가미고다나까 1015반찌 후지
쓰 가부시끼가이샤 내

고바야시 가즈히로

(74) 대리인

문기상, 조기호

심사관 : 유환열 (책자공보 제4821호)

(54) 반도체 집적회로

요약

내용 없음.

대표도

도1

영세서

[발명의 명칭]

반도체 집적회로

[도면의 간단한 설명]

제1도는 종래의 웨이퍼 탐침검사의 일예를 설명하기 위한 LSI칩의 평면도.

제2도는 종래의 웨이퍼 탐침검사의 또다른 예를 설명하기 위한 LSI칩의 평면도.

제3도는 본 발명에 의한 제1실시예의 반도체 집적회로를 설명하기 위한 평면도.

제4도는 주사체인(scan chain)을 설명하기 위한 회로도.

제5도는 내부 주사체인을 설명하기 위한 회로도.

제6도는 검사를 설명하기 위한 제1실시예의 평면도.

제7도~제10도는 제3도에 보인 입/출력셀들의 실시예들을 나타내는 회로도.

제11도는 제7,8 및 제10도에 보인 구성을 갖는 입/출력셀들을 접속하여 형성된 주사회로의 일실시예를 나타내는 시스템 개통도.

제12도는 제11도에 보인 주사회로에 공급된 각종 신호들을 생성하는 회로의 일실시예를 나타내는 시스템 개통도.

제13도는 제11도에 보인 주사회로의 동작을 설명하기 위한 타이밍도.

제14도는 본 발명에 의한 제2실시예의 반도체 집적회로의 요부 회로도.

제15도는 제14도에 보인 회로의 동작을 설명하기 위한 타이밍도.

제16도는 제14도에 보인 스위치의 일실시예의 회로도.

제17도는 제14도에 보인 래치회로의 일실시예의 회로도.

제18도는 본 발명에 의한 제2실시예의 반도체 집적회로의 요부의 수정 회로도.

제19도는 제18도에 보인 회로의 동작을 설명하기 위한 타이밍도.

제20도는 제18도에 보인 래치회로의 일실시예의 회로도.

제21도는 제18도에 보인 회로의 동작을 설명하기 위한 또다른 요부 회로도.

제22도는 제21도에 보인 회로의 동작을 설명하기 위한 타이밍도.

제23도는 LSI칩상의 입/출력셀들을 배치할때의 고려사항을 설명하기 위한 평면도.

제24도는 본 발명에 의한 제3실시예의 반도체 집적회로의 개념을 설명하는 평면도.

제25도는 제24도에 보인 입/출력셀의 일실시예의 회로도.

제26도는 제24도에 보인 입/출력셀의 다른 실시예의 회로도.

제27도는 제25도에 보인 입/출력셀의 출력회로를 형성하는 출력트랜지스터의 횡단면도.

제28도는 제26도에 보인 입/출력셀의 출력회로를 형성하는 출력트랜지스터의 횡당면도.

제29 및 30도는 제26도에 보인 형의 입/출력셀들이 기본셀로우들내에 형성된 경우들을 나타내는 도면.

제31도는 제26도에 보인 형의 입/출력셀들의 보호 다이오드들이 기본셀로우들간에 형성된 경우를 나타내는 도면.

제32도는 종래의 반도체 집적회로의 패드부의 횡단면도.

제33도는 종래의 반도체 집적회로의 패드부들의 배치 평면도.

제34도는 종래의 반도체 집적회로를 검사하는데 사용되는 종래의 검사회로의 회로도.

제35도는 본 발명에 의한 제4실시예의 반도체 집적회로의 패드구성의 횡단면도.

제36도는 본 발명에 의한 제4실시예의 반도체 집적회로를 검사하는데 사용되는 검사회로의 회로도.

제37a 및 제37b도는 본 발명의 의한 제5실시예의 반도체 집적회로의 패드구성의 횡단면도 및 평면도.

제38도는 본 발명에 의한 제6실시예의 반도체 집적회로의 패드구성의 횡단면도.

제39도는 본 발명에 의한 제7실시예의 반도체 집적회로의 패드구성의 평면도.

제40도는 본 발명에 의한 제8실시예의 반도체 집적회로의 패드구성의 평면도.

제41도는 본 발명에 의한 제9실시예의 반도체 집적회로의 요부 회로도.

[발명의 상세한 설명]

본 발명은 반도체 집적회로에 관한 것으로 특히 주사 입/출력 시스템을 사용하는 주사로회로(scan path circuit)를 갖는 반도체 집적회로에 관한 것이다.

반도체 기술이 최근 수년에 걸쳐 크게 발전함에 따라 대규모 집적회로(LSI)와 최대 규모 집적회로(VLSI) 등의 반도체 집적회로의 집적밀도가 향상되었다. 집적도가 증가함에 따라 데이터 입/출력용 단자수가 증가되고 또한 데이터 입/출력용 입/출력셀들의 수 또한 증가되었다.

이러한 이유 때문에, 반도체 집적회로의 칩의 주변부에만 입/출력셀들을 배치하는 방법으로는 필요한 수의 입/출력셀들을 확보하기가 불가능하므로 현재는 반도체 집적회로 칩의 전표면에 입/출력셀들을 칩 전표면에 배치하고 있다. 그러나 입/출력셀들을 칩 전표면에 배치하면 탐침을 사용하여 검사를 행하기가 어렵다.

한편, 반도체 집적회로의 집적도가 증가함에 따라 반도체 집적회로가 원래 설계된 바와 같이 동작하는지를 진단하기가 점점 어려워진다. 결과적으로, 검사비가 증가하는 문제점이 있다. 따라서, 검사가 용이하고 검사비가 절감되는 반도체 집적회로를 실현시킬 필요성이 생겼다.

LSI제조공정중에는 LSI성능을 확인하는 공정이 필요하다. LSI의 성능을 확인하는 검사는 일반적으로 현상단계에서 검사와 대량 생산단계에서 행하는 검사로 나눈다. 대량 생산단계에서 행하는 검사로서, 불량칩 혼합률을 줄이기 위해 웨이퍼공정의 종료단계에서 조립공정까지 행하는 웨이퍼 탑침검사가 있다.

웨이퍼 탑침검사에 의하면, 탑침기(도시안됨)의 침(14)의 단부를 제1도에 보인 바와 같은 LSI칩(10)상에 배열된 입/출력셀들(11)의 대응 패드들(15)과 접촉시키고 탐침기에 결합된 신호발생기, 파형분석기 등을 사용하여 LSI칩(10)의 전기특성을 체크한다.

결과적으로, LSI칩(10)의 동작뿐만 아니라 신호의 전송지연시간, 상승시간, 하강시간 등을 체크하는 것이 가능하다.

이 웨이퍼 탑침검사의 결과로서 불량한 것으로 판정되는 LSI칩(10)을 자동으로 불량칩으로 표시하여 차기 조립공정에서 제외시킨다. 그러므로, 조립공정후 결함인 것으로 판정되는 칩들은 조립공정중에

발생된 것들 뿐이므로 LSI의 제조수율과 제조비를 상당히 개선하는 것이 가능하다.

종래에는, LSI칩(10)의 집적도는 그렇게 높지 않고 또한 입/출력셀들(11)의 수는 그렇게 많지 않았다.

이 때문에 입/출력셀들(11)을 LSI칩(10)의 외부 단부영역 즉 주변부에 제공할 수 있었다.

따라서, LSI칩(10)의 주변부에만 웨이퍼 탐침검사에 필요한 탐침기의 침들(14)을 배치하는 것으로 충분했다.

그러나, 최근에 LSI의 개선된 집적도로 인해, LSI칩의 내부에 데이터 입/출력용 입/출력셀들을 배치해야만 했다.

상술한 종래의 경우와 마찬가지로 웨이퍼 탐침검사를 행하기 위해, 제2도에 보인 바와 같이, LSI칩(10A)내에 모든 입/출력셀들(11)의 패드들(15)과 웨이퍼 탐침검사에 필요한 탐침기의 침들(14)을 접촉시켜야한다.

그러나, 침들(14)을 갖는 탐침기를 제2도에 보인 모든 입/출력셀들(11)의 패드들(15)과 접촉하도록 배치하기가 어렵고 또한 설사 그렇게 할 수 있다 하더라도, 그러한 탐침기는 값비싸고 침(14)의 접촉정밀성이 불량한 문제점이 있다. 그밖에도, 검사장비에 모든 입/출력셀들(11)에 신호를 공급하기 위한 수많은 단자들을 설비해야 하므로 검사장비 자체의 코스트가 높아지는 문제점이 있다.

따라서, 본 발명의 목적은 상술한 문제점이 제거된 신규하고도 유용한 반도체 집적회로를 제공하는데 있다.

본 발명의 또 다른 구체적인 목적은 반도체 칩 몸체와, 상기 반도체 칩 몸체의 표면상의 주변부와 중심부를 포함하는 부분들에 배치된 복수의 입/출력셀들과, 상기 반도체 칩 몸체상에 제공된 적어도 하나의 내부 논리회로를 포함하며, 상기 입/출력셀들 각각은 패드와 입력데이터를 훌드하기 위해 상기 패드에 결합되는 훌딩수단을 포함하며, 상기 복수의 훌딩수단은 주사로회로를 형성하도록 검사모드에 직렬로 결합되며, 검사모드에서 외부 검사신호 수신용 패드를 갖는 입/출력셀은 상기 반도체 칩 몸체의 주변부에 배치되고, 상기 주변부 이외의 부분에 배치되는 입/출력셀의 훌딩수단에 훌드된 검사데이터는 검사모드에서 내부 논리회로로 전송되는 것이 특징인 반도체 집적회로를 제공하는데 있다. 본 발명의 반도체 집적회로에 의하면, 종래에 사용된 것과 동일한 탐침기와 검사장비를 그대로 사용할 수 있다.

그러므로, 탐침기의 침을 필요한 패드들과 정확히 접촉시킬 수 있으므로 간단한 구성을 갖는 값싼 탐침기와 검사장비를 사용하여 쉽게 검사를 행할 수 있다.

본 발명의 또 다른 목적은 상기 반도체 칩 몸체의 주변부에 반도체 집적회로 외부로 신호를 출력하고 또한 외부 신호를 수신하기 위한 패드들을 갖는 입/출력셀들 중 소정의 것들을 배치하고, 또한 주사로회로를 형성하도록 결합된 훌딩수단이 검사모드에서 외부 검사신호수신용 패드를 갖는 입/출력셀로부터 수신된 검사데이터를 전이시키기 위한 제1쉬프트 레지스터를 포함하는 상술한 형의 반도체 집적회로를 제공하는데 있다.

본 발명의 반도체 집적회로에 의하면, 반도체 집적회로의 주변부에 배치된 패드들에 탐침들을 간단히 접촉시키는 것으로 반도체 집적회로를 검사하는 것이 가능하다.

본 발명의 또 다른 목적은 상기 반도체 칩 몸체의 주변부에 반도체 집적회로 외부로 신호를 출력하고 또한 외부 신호를 수신하기 위한 패드들을 갖는 입/출력셀들 중 소정의 것들을 배치하고, 제1입/출력셀들은 주변부에 배치하고, 제2입/출력셀들은 중심부에 배치하고, 제1입/출력셀들 각각은 반도체 집적회로와 반도체 칩 몸체와 독립되는 또 다른 반도체 집적회로간에 데이터 전송을 위해 사용되고 또한 제2입/출력셀들 각각은 반도체 집적회로내의 데이터 전송을 위해 사용되는 것이 특징인 처음에 개시한 형의 반도체 집적회로를 제공하는데 있다.

본 발명의 반도체 집적회로에 의하면, 입/출력셀들의 설비로 인한 내부 논리회로의 집적도의 저하를 최소화하고 또한 반도체 집적회로 칩 몸체의 표면을 효율적으로 이용하는 것이 가능하다.

본 발명의 또 다른 목적은 반도체 칩이 기판을 포함하며, 상기 기판상에 형성되고 또한 반도체 집적회로내의 상호 상이한 논리회로들에 결합된 한쌍의 하부 도전층들과, 상기 한쌍의 하부 도전층들을 단락시키도록 상기 하부 도전층상에 형성된 상부 도전층을 포함하며 상기 상부 도전층은 입/출력셀의 패드를 형성하는 처음에 개시한 형의 반도체 집적회로를 제공하는데 있다. 본 발명의 반도체 집적회로에 의하면, 도전불량, 회로단락 등이 패드부근에서 발생할 경우, 경계주사체인이 확립되지 않는다. 그러므로, 패드내 또는 패드부근 영역에서 도통검사 등을 검사하기 위해 모든 패드들에 탐침을 접촉시킬 필요가 없다. 결과적으로, 접속이 가능한한 패드들의 간격을 줄이는 것에 대한 다른 제한이 없으므로 반도체 칩 몸체의 표면을 효율적으로 사용하는 임의의 배치를 사용하여 패드들을 배치할 수 있다.

그러므로, 반도체 집적회로의 집적도를 향상시킬 수 있다.

본 발명의 또 다른 목적은 반도체 칩 몸체와, 상기 반도체 칩 몸체의 표면상에 배치되는 복수의 입/출력셀들과, 상기 반도체 칩 몸체상에 제공된 적어도 하나의 내부 논리회로를 포함하며, 상기 입/출력셀들은 상기 반도체 칩 몸체의 주변부에 배치된 제1입/출력셀들과 중심부에 배치된 제2입/출력셀들을 포함하여 제1입/출력 각각은 반도체 집적회로와 상기 반도체 칩 몸체로부터 독립된 또 다른 반도체 집적회로간의 데이터 전송을 위해 사용되고 또한, 제2입/출력셀 각각은 상기 반도체 집적회로내의 데이터 전송을 위해 사용되는 것이 특징인 반도체 집적회로를 제공하는데 있다. 본 발명의 반도체 집적회로에 의하면, 입/출력셀의 설비로 인한 내부 논리회로의 집적도의 저하를 최소화하고 상기 반도체 칩 몸체의 표면을 효율적으로 이용하는 것이 가능하다.

본 발명의 기타 목적 및 특징들은 첨부도면을 참조하여 이하에 설명되는 상세한 설명으로부터 명백

히 이해될 수 있다.

이하 제3~6도를 참조하여 본 발명에 의한 제1실시예의 반도체 집적회로에 대해 설명한다. 본 실시 예에서 본 발명을 LSI칩에 적용한다.

제3도는 LSI칩(1)의 표면상에 배열된 입/출력셀(2)을 갖는 LSI칩(1)을 나타낸다.

입/출력셀(2) 각각은 패드(3)를 갖고 있다.

주사 입/출력용 입/출력셀(2)은 LSI칩(1)의 외주 단부영역 즉 주변부내에 배치된다.

주사입력용 입력셀(2)의 패드(3)는 SI로 나타내는 한편 주사출력용 출력셀의 패드(3)는 SO로 나타낸다.

한편, 데이터 입/출력용 입/출력셀(2)은 LSI칩(1)의 전표면상에 배치된다. 제3도에서 굵은 선으로 나타낸 경계주사체인 또는 제3도에서 점선으로 나타낸 내부(논리) 주사체인은 주사로회로로서 주사 입/출력용 입/출력셀(2) 각각에 접속된다. 물론, 제3도는 주사 입/출력용 입/출력셀(2)의 일부만을 나타낸다.

LSI를 검사하는 한 방법인 경계주사는 원래 LSI들간에 신호전송들이 정상적으로 행해지는지를 확인하고자 한 것이다.

그러나 본 실시예에서는 경계주사체인은 탐침기의 침들에 의해 접촉될 수 없는 입/출력셀(2)로부터 출력들을 독출하거나 또는 그에 입력들을 세팅하는 수단으로서 사용된다.

다시 말해, 탐침기의 침들에 의해 접촉될 수 없는 입/출력셀(2)로부터의 출력들 또는 그 예로의 입

력들은 경계주사체인을 통해 독출 또는 세트된다.

경계주사체인은 제4도에 보인 바와같이 쉬프트 레지스터를 형성하도록 모드신호를 스위칭함으로써 LSI칩(1)의 내부에 배열된 입/출력셀(2)내에 존재하는 복수의 플립플롭들(메모리 소자들)중 선택된 것들을 접속하는 직렬 루프이다. 검사를 행할시에, 각 플립플롭에 검사데이터를 연속적으로 기입하도록 주사 클록신호와 동기하여 주사입력패드(3)(SI_B)로부터 논리값 1또는 0을 갖는 검사데이터를 입력한다.

각 플립플롭의 내용을 임의로 변경함으로써 LSI칩(1)의 입/출력셀(2) 각각을 임의의 상태로 세트하는 것이 가능해진다. 한편, LSI칩(1)의 입/출력셀(2)의 상태를 조사할시에, 입/출력셀(2)의 상태가 변경되지 않도록 시스템 클록신호가 정지된 후, 주사 클록신호는 주사출력 패드(3)(SO_B)로부터 입/출력셀(2)의 상태를 출력하도록 입력된다. 그러므로, 주사 입/출력용 입/출력셀(2)은 LSI칩(1)의 최외주부내에 배치되고 또한 데이터는 경계주사체인을 통해 LSI칩(1)의 중심부에 위치된 입/출력셀(2)에 공급되거나 또는 그로부터 독출된다.

예를들어, LSI칩(1)내에 제공된 내부 논리회로의 정상동작을 체크함으로써 시스템 불량진단을 행할시에 제5도에 보인 내부 주사체인이 사용된다.

이 경우에, 데이터는 모드신호의 스위칭에 의해 LSI칩(1)의 최외주부내에 배치된 주사입력용 입/출력셀(2)의 주사입력패드들(3)(SI₁₁, SI₁₂)을 통해 내부 경계체인을 형성하는 플립플롭들내에 연속적으로 기입된다.

그와 동시에, 데이터는 또한 경계주사체인을 통해 LSI칩(1)의 입/출력셀(2)내에 존재하는 플립플롭들내에도 기입된다. 시스템 클록신호는 내부 주사체인과 경계주사체인에 대한 기입동작들이 완료될 때 다시 공급된다. 결과적으로 데이터 전송은 내부 주사체인내에 존재하는 플립플롭들간에 그리고 경계주사체인내에 존재하는 플립플롭들간에서 발생한다. 그후, 내부 주사체인내에 존재하는 플립플롭들의 데이터는 주사출력 패드들(3)(SO₁₁, SO₁₂)을 통해, 독출되고 또한 경계주사체인내에 존재하는 플립플롭들의 데이터는 주사출력 패드(3)(SO_B)를 통해 독출된다.

다시 말해, 검사는 각 LSI칩(1)을 정상적으로 동작시키는 동안 특정 타이밍들에서 주사출력 패드들(3)(SO₁₁, SO₁₂)로부터 정상 동작신호를 출력시킴으로서 행해진다.

따라서, 제6도에 보인 바와같이, 검사는 경계주사 또는 내부 주사가 행해지는 어느 한 경우에 대해 LSI칩(1)의 최외주부내에 배치된 주사 입/출력용 입/출력셀(2)의 패드들(3)에 탐침기의 침들(14)을 접촉시킴으로써 수행될 수 있다. 이러한 이유 때문에, 탐침기의 구성은 종래의 경우에서와 같이 간단하게 만들 수 있다. 그밖에도 탐침기의 침들(14)의 수를 증가시킬 필요가 없기 때문에, 탐침기와 관련된 검사장비의 비용을 절감하는 것이 가능하다.

본 실시예에서, 특정 입/출력셀(2)은 주사 입/출력용 입/출력셀로서 가능하도록 한다.

그러나, 임의의 입/출력셀(2)은 주사 입/출력용 입/출력셀로서 기능하도록 한다.

또한 본 실시예에서는 경계주사용 입/출력셀(2)과 내부 주사용 입/출력셀(2)을 별도로 사용하지만 모드신호의 스위칭에 응답하여 주사체인을 스위칭함으로써 경계주사 또는 내부 주사용으로 동일 입/출력셀을 사용하는 것이 가능하다.

제7도는 제3도에 나타낸 입/출력셀(2₁₀₀, 2₄₀₁~2₄₀₄)의 어느 하나로서 사용될 수 있는 입/출력셀의 일실시예를 나타낸다.

제7도에 보인 입/출력셀은 도시된 바와 같이 접속된 인버터들과 전송케이트들로 구성되며 주사데이터가 그에 입력된다.

제8도에 제3도에 보인 입/출력셀(2_{300})으로 사용될 수 있는 입/출력셀의 일실시예를 나타낸다. 제8도에 보인 입/출력셀은 도시된 바와같이 연결된 인버터들과 전송게이트들로 구성되며 입/출력부 이외에 주사회로의 일부에 해당한다.

제9도는 제3도에 보인 입/출력셀(2_{300})으로서 사용될 수 있는 입/출력셀의 또 다른 실시예를 나타낸다. 제9도에 보인 입/출력셀은 도시된 바와같이 연결된 인버터들과 전송케이트들로 구성되며 입/출력부 이외에 주사회로의 일부에 해당한다.

제9도에 보인 입/출력셀은 제8도에 보인 입/출력셀의 것에 비해 증가된 출력구동능력을 갖는다.

제10도는 제3도에 보인 입/출력셀(2_{200})으로서 사용될 수 있는 입/출력셀의 일실시예를 나타낸다. 제10도에 보인 입/출력셀은 도시된 바와같이 연결된 인버터들과 전송게이터들로 구성되며 주사신호를 출력한다.

제7~9도에서, 보호소자(또는 회로)(6)는 패드(3)에 접속된다.

제11도는 제7,8 및 10도에 나타낸 구성을 갖는 입/출력셀에 의해 형성된 주사회로의 일실시예를 나타낸다.

입/출력셀($2_{100}, 2_{200}, 2_{300}$)은 각각 주사동작하기 위해 사용되는 주사 플립플롭의 주사 클록신호(A,B)에 상관하여 제13도에 보인 타이밍으로 주사출력단자(S0)로부터 주사입력단자(S1)로 데이터 입력을 출력한다.

후술하는 제11 및 12도에서, NFN은 3상태 제어용 제어신호를 나타낸다. IT는 입력단자를 나타내고, OT는 출력단자를 CK는 정상 데이터 독출동작을 위해 사용되는 주사 플립플롭의 클록신호들, TCK는 내부 주사체인을 형성하는 플립플롭에 입력된 클록신호를 UP는 래지회로내로 주사 플립플롭의 내용을 독출하기 위해 클록신호를, MD는 제4도에 보인 것과 선택기를 제어하기 위한 제어신호를 나타낸다. 제어신호들(NFN,MD)과 클록신호(UP)는 LSI침내에 제공된 검사제어회로(9)로부터 발생되는 한편 클록신호들(A,B,CK,TCK)은 제12도에 보인 회로로부터 발생된다.

제11도에 보인 경우에, 입/출력셀($2_{100}, 2_{200}, 2_{300}$)에 의해 형성된 경계주사체인은 제1 내부 논리회로를 통해, 내부 주사체인을 형성하는 플립플롭들에 결합되고 또한 내부 주사체인을 형성하는 플립플롭들은 제2내부 논리회로에 결합된다. 제10도에서 정선으로 둘러싼 입/출력셀(2_{200})의 일부는 각각 내부 주사체인을 형성하는 플립플롭으로서 사용될 수 있다.

제12도는 제11도에 사용된 여러 가지 제어신호들과 클록신호들을 생성하는 회로의 일실시예를 나타낸다.

제12도에 보인 회로는 입/출력($2_{401} \sim 2_{404}$)과 검사제어회로(9)를 포함한다.

입/출력셀($2_{401} \sim 2_{404}$)은 제각기 클록신호들(CK,A,B,TCK)을 생성한다.

클록신호(CK)는 패드(3)를 통해 주사 플립플롭에 훌드된 데이터를 주사 플립플롭에 다시 입력시키고 또한 데이터를 제1내부 논리회로에 출력시키기 위해 사용된다. 주사 클록신호들(A,B)은 입/출력셀내에서 주사데이터 패턴을 주사 플립플롭들의 로우로 전이시키기 위해 사용된다. 클록신호(TCK)는 제1 내부 논리회로로부터의 데이터가 제3도에서 정선으로 나타난 내부 주사체인(내부 주사회로)내로 입력되는 타이밍을 결정하기 위해 사용된다.

주사검사는 다음과 같이 수행될 수 있다.

첫째, 클록신호(UP)는 저레벨에 고정하고, 클록신호(CK)는 고레벨에 고정하고, 데이터 패턴은 제13 도에 보인 클록신호들(A,B)에 응답하여 경계주사체인과 내부 주사체인의 주사 플립플롭들내로 입력한다.

둘째, 클록신호(UP)는 고레벨에 세트하고, 클록신호(CK)는 저레벨에 세트하고, 데이터는 경계주사체인의 주사 플립플롭으로부터 제1내부 논리회로로 패드(3)를 통해 전송한다.

그와 동시에, 클록신호(TCK)는 주사체인의 주사 플립플롭에 입력하여 데이터를 내부 주사체인의 주사 플립플롭으로부터 제2내부 논리회로로 출력하도록 하고 또한 데이터를 제1내부 논리회로로부터 내부 주사체인의 주사 플립플롭의 단자(D)로 입력하도록 한다.

셋째, 데이터가 클록신호들(A,B)에 응답하여 주사출력 플립플롭을 통해 출력한다.

제14도는 본 발명에 의한 제2실시예의 반도체 집적회로의 일부를 나타낸다.

제14도에 보인 회로는 집적회로의 검사입력회로에 해당한다.

제14도에서, 외부 단자들(120~123)은 제3도에 보인 것과 같은 LSI(또는 반도체)칩의 표면상의 주변부에 배치된 패드들(또는 단자들)이다.

클리어신호(CL) : 스트로브신호(STB), 검사용 데이터신호(DATA), 클록신호(CLK)가 제각기 단자들(120~123)에 입력된다.

D-형 플립플롭들($124_1, 124_n$)은 직렬로 접속되어 제1쉬프트 레지스터를 형성한다.

플립플롭들($124_1 \sim 124_n$)은 제15a도에 보인 클리어신호(CL)의 제레벨 기간동안 클리어되고, 단자(120)로부터 입력되고 또한 플립플롭들($124_1 \sim 124_n$)의 Q-단자들은 저레벨에 세트된다.

그후, 단자(122)로부터 입력된 제15c도에 보인 데이터신호(DATA)는 제15d도에 보인 클록신호(CLK)에 응답하여 플립플롭들(124₁~124_n)에서 연속으로 전이되고 또한 단자(123)에 입력된다. 그러므로, 플립플롭들(124₁~124_n)의 Q-단자들로부터의 출력들은 제15e~15i도에 보인 바와같이 세트된다.

플립플롭들(124₁~124_n)의 Q-단자들로부터의 출력들은 래치회로들(125₁~125_n)에 제각기 공급된다. 래치회로들(125₁~125_n)은 동일한 구성이므로 제14도에는 래치회로(125₁)의 구성만 나타낸다. 각 래치회로는 단자(120)로부터 클리어신호(CL)와 제15b도에 보인 단자(121)로부터 나오는 스트로브신호(STB)를 수신한다. 래치회로들(125₁~125_n)은 제각기 클리어신호(CL)의 저레벨 기간동안 각각의 NAND회로(126)와 인버터(127)를 통해 제15j~15n도에 보인 출력신호들(X₁~X_n)을 저레벨로 만들어 준다.

제15j~15n도와 뒤이은 타이밍도에서, H는 고레벨, L은 저레벨 신호를 나타낸다.

스트로브신호(STB)의 레벨이 고일 때 스위치(S₁)는 폐쇄되고 스위치(S₂)는 인버터(128)에 의해 반전된 스트로브신호(STB)에 응답하여 개방되므로 인버터(127)의 출력은 NAND회로(126)로 귀환되어 출력신호들(X₁~X_n)중 상응하는 것을 래치시킨다.

래치회로들(125₁~125_n)중에 래치된 출력신호들(X₁~X_n)은 LSI칩의 표면상의 중심부에 위치된 패드들에 공급된다.

스위치(S₁)는 제16도에 보인 바와같이 전송게이트(129)와 스트로브신호(STB)를 반전시키는 인버터(130)로 구성된다.

플립플롭들(124₁~124_n)중 대응하는 것의 Q-단자로부터의 출력은 스트로브신호(STB)의 고레벨 기간동안 단자(132)로부터 NAND회로(126)로 공급된다. 스위치(S₂)는 스위치(S₁)과 동일한 구성이다.

제17도에 보인 바와같이, 제14도에 보인 래치회로들(125₁~125_n) 대신 인버터들(135~137)과 NAND회로들(138~140)로 구성된 래치회로를 사용하는 것이 가능하다.

이 경우에 클리어신호(CL)는 단자(141)에 입력되고, 스트로브신호(STB)는 단자(142)에 입력되고 또한 플립플롭들(124₁~124_n)중 대응하는 것의 Q-단자로부터의 출력은 단자(143)에 입력된다. 출력신호(X)는 단자(144)로부터 출력된다.

제18도는 제14도에 보인 반도체 집적회로의 변형을 나타낸다. 제18도에서 제14도에서와 동일 부분에는 동일 참조번호로 나타내고 그에 대한 설명은 생략한다.

제18도에서 외부 단자(150)는 LSI칩의 표면상의 주변부에 배치된 패드에 해당한다.

제19a도에 보인 제어신호(CNTL)은 이 외부 단자(150)에 입력되어 각 래치회로들(151₁~151_n)에 공급된다. 쉬프트 레지스터를 형성하는 플립플롭들(124₁~124_n)은 제19c도에 보인 클록신호(CLK)에 응답하여 제19b도에 보인 데이터신호(DATA)를 전이하고 또한 제19d~19f도에 보인 플립플롭들(124₁~124_n)의 Q-단자들로부터의 출력들은 제각기 래치회로들(151₁~151_n)에 공급된다.

제20도에 보인 바와같이, 래치회로들(151₁~151_n)은 각각 전송게이트용 제어신호를 생성하도록 단자(155)로부터의 제어신호(CNTL)를 반전시키기 위한 인버터들(156, 157)과, 단자(158)를 통해 수신된 플립플롭들(124₁~124_n)중 상응하는 것의 Q-단자로부터의 출력을 인버터들(160, 161)로 공급하기 위한 전송게이트(159)와, 래치루프를 형성하도록 인버터(160)로 인버터(161)의 출력을 귀환시키기 위한 전송게이트(162)를 포함한다.

제어신호(CNTL)의 고레벨 기간동안, 전송게이트(59)는 폐쇄되고, 단자(158)로부터의 신호(Q)는 출력신호(X)로서 단자(163)로부터 출력된다.

그밖에도, 제어신호(CNTL)의 저레벨 기간동안 전송게이트(162)는 폐쇄되고 출력신호(X)는 래치된다.

다시 말해, 제18도에 보인 래치회로들(151₁~151_n)은 제각기 제어신호(CNTL)의 고레벨 기간동안 플립플롭들(124₁~124_n)의 Q-단자들로부터 출력을 얻어 LSI칩의 표면상의 중심부의 패드들에 출력신호들(X₁~X_n)로서 출력한다.

제21도에 본 발명에 의한 제2실시예의 반도체 집적회로의 다른 부분을 나타낸다.

제21도에 보인 회로는 집적회로의 검사출력회로에 상응한다.

제21도에서, 외부 단자들(170~172)은 LSI칩의 표면상의 주변부에 배치된 패드들이다.

제어신호(CNTL), 클록신호(CLK) 및 클리어신호(CL)는 단자들(170~172)에 제각기 입력된다.

단자들(174₁~174₃)은 LSI칩의 표면상의 중심부에 배치된 출력용 패드들이고, 내부 회로로부터 출력된 신호(a, b, c)를 제각기 공급받는다.

D-형 플립플롭들(175₁~175₄)은 제2шу프트 레지스터를 형성하도록 직렬로 접속되며, 제22a도에 보인 클리어신호(CL)의 저레벨기간 동안 클리어된다.

NAND회로들(176₁~176₃)은 제22e도에 보인 제어신호(CNTL)의 고레벨기간 동안 제22b, 22c, 22d도에 보인 신호들(a, b, c)을 제각기 반전시킨다. 이 반전된 신호들은 인버터(177₁)와 NAND회로들(177₂,

177₃)을 통해 플리플롭들(175₁~175₃)에 제각기 공급되어 제22f도에 보인 클록신호(CK)의 상승연부에서 세트된다. 그밖에 플립플롭들(175₄)에는 클록신호(CK)의 제1상승연부에서 인버터(176₄)와 NAND회로(177₄)를 통해 고레벨신호가 세트된다.

그후, 제22g도에 보인 플립플롭들(175₁~175₃)의 Q-단자들로부터의 출력들은 제각기 클록신호(CK)가 수신될 때마다 NAND회로들(177₂~177₄)을 통해 그 다음단의 플립플롭들(175₂~175₄)에 공급된다.

결과적으로, 제22j도에 나타낸 플립플롭들(175₄)의 Q-단자로부터의 출력은 단자(178)를 통해 출력된다. 이단자(178)는 LSI칩의 표면상의 주변부에 배치된 출력용 패드이다.

그러므로, 이 패드로부터 일련으로 입력된 검사데이터는 제1수프트 레지스터를 형성하는 플립플롭들(124₁~124_n)과 래치회로들(125₁~125_n)을 통해 LSI칩의 중심부에 위치된 패드에 공급된다.

또한, LSI칩의 중심부에 위치된 패드로부터의 출력신호는 제2수프트 레지스터를 형성하는 플립플롭들(175₁~175₄)을 통해 LSI칩의 주변부에 위치된 래드로부터 일련으로 출력된다.

이러한 이유 때문에, LSI칩의 주변부에 위치된 패드와 탐침을 접촉시킴으로써 필요한 검사를 행하는 것이 가능하다.

예를들어 게이트 어레이형 반도체 집적회로에서는 LSI칩의 표면 내부에 입/출력셀들(또는 회로들)을 배치할 경우 2가지 문제점들이 있다. 즉, 제23도에 나타낸 바와같이, 논리회로가 형성될 LSI칩의 영역은 입/출력셀(207)에 의해 사용되며, 또한 입/출력셀(20)은 기본셀 로우들(209)과 분리된다.

결과적으로, LSI칩의 내부 회로의 집적도가 좋지 않다. 제23도에서 입/출력셀(207)은 패드(208)를 갖는 것으로 나타낸다.

그러므로, LSI칩의 주변부 뿐만 아니라 내부에 입/출력셀들을 배치할 때, LSI칩의 내부 회로의 집적도의 저하를 최소화하는 배지를 사용해야 한다.

한편, 반도체 집적회로의 고속동작을 실현시키기 위해, 반도체 집적회로들간의 데이터 전송속도를 개선할 필요성이 있다.

그러한 필요성을 만족시키기 위해, 단일기판상에 복수의 반도체 집적회로를 설치하는 여러 제안이 있다.

그러나, 이 경우에 또한 기판들간의 데이터 전송을 행하기 위해 입/출력셀들이 필요하다.

일반적으로, 상이한 기판상에 설치되는 반도체 집적회로들간의 데이터 전송을 위해 사용되는 입/출력셀은 반도체 집적회로들내에 사용된 다른 트랜지스터들에 비해 사이즈가 큰 출력 트랜지스터를 사용해야 한다.

이러한 이유 때문에, 그러한 데이터 전송을 위해 사용되는 입/출력셀은 동일기판내에서 데이터 전송을 위해 사용되는 입/출력보다 더 큰 면적을 점유한다. 따라서, 용도에 따른 입/출력셀들의 사이즈에서의 이와 같은 차는 LSI칩의 내부의 뿐만 아니라 주변부에 입/출력셀들을 배치할 때 고려해야만 한다.

그 다음, 제24~32도를 참조하여, 상기 것을 고려한 본 발명에 의한 제3실시예의 반도체 집적회로에 대해 설명한다.

본 실시예에서 다른 입/출력셀들에 비해 작은 면적을 점유하는 입/출력셀들은 LSI칩의 표면상의 내부에 주로 배치되므로 다른 입/출력셀들에 비해 상대적으로 큰 면적을 차지하는 입/출력셀들에 의해 원인이 되는 LSI칩의 내부 회로의 집적도의 저하를 최소화할 수 있다.

본 실시예에서는 본 발명을 게이트어레이형 반도체 집적회로에 적용했다.

제24도는 일반적으로 본 실시예의 개념을 나타낸다. 제24도에서, LSI칩은 칩 몸체(212), 소자형성표면(213), 입/출력셀들(214, 215)을 포함한다.

입/출력셀(214)은 본 실시예가 설치된 제1 기판과 다른 제2 기판간의 데이터 전송용으로 사용된다.

제25도는 입/출력셀(214)의 회로구성을 나타낸다. 입/출력셀(214)은 패드(216), 보호다이오드들(217, 218) 출력회로(219), 입력회로(220), 입력보호저항(221)을 포함한다.

한편, 입/출력셀(215)은 동일한 제1기판상에 설치된 LSI칩들간의 데이터 전송용으로 사용된다.

제26도는 입/출력셀(215)의 회로구성을 나타낸다. 입/출력셀(215)은 패드(222), 보호다이오드들(223, 224), 출력회로(225; 입력회로(226)를 포함한다.

입/출력셀(214)의 보호다이오드들(217, 218)에 의해 점유된 면적은 입/출력셀(215)의 보호다이오드들(223, 224)에 의해 점유된 면적보다 크므로 입/출력셀(214)에서 정전파괴에 대해 더욱 강한 조치를 취할 수 있다.

또한 입/출력셀(214)의 출력회로(219)를 형성하는 출력트랜지스터의 사이즈는 입/출력셀(215)의 출력회로(225)를 형성하는 출력트랜지스터의 사이즈보다 크므로, 출력회로(219)의 전류구동능력에 관해서는 입/출력(214)에 더욱 강한 조치를 취할 수 있다.

제27도는 입/출력셀(214)의 출력회로(219)를 형성하는 출력트랜지스터의 횡면적을 나타낸다. 제27도에는 실리콘 기판(227), 필드산화층(228), 드레인 확산층(229), 소오스 확산층(230), 게이트산화물층(231) 및 게이트(132)가 도시되어 있다. 이 출력트랜지스터는 정전파괴에 대해 내압을 증가시키도록

록 기판(227)의 상대적으로 깊은 부분에 형성된 드레인 확산층(229)과 소오스 확산층(230)을 갖는다.

제28도는 입/출력셀(215)의 출력회로(225)를 형성하는 출력트랜지스터의 횡단면도를 나타낸다. 제28도에서, 제27도에서와 동일부분에는 동일참조번호를 부여하고 그에 대한 설명은 생략한다. 제28도에는 드레인 확산층(233), 소오스 확산층(234), 실리사이드층(235, 236); 게이트산화물층(237) 및 게이트(238)가 도시되어 있다. 이 출력트랜지스터는 기판(227)의 상대적으로 얕은 부분으로 형성된 드레인 확산층(233)과 소오스 확산층(234)을 갖는다. 또한 실리사이드층들(235, 236)은 제각기 드레인과 소오스의 저항성분을 감소시키도록 드레인 확산층(233)과 소오스 확산층(234)상에 형성됨을 고속 동작이 가능해질 수 있다.

비록 도시하지 않았지만 입/출력셀(214)의 입력회로(220)를 형성하는 입력트랜지스터는 기판의 상대적으로 얕은 부분으로 형성된 드레인 확산층과 소오스 확산층을 갖지만 드레인과 소오스 확산층상에는 실리사이드층이 형성되지 않는다. 왜냐하면 실리사이드층의 구비는 입력트랜지스터를 정전파괴에 견딜 수 있게 해주기 때문이다.

그밖에도 입/출력셀(215)의 입력회로(226)를 형성하는 입력트랜지스터는 제28도에 보인 출력트랜지스터와 동일하게 형성된다.

제29도 및 제30도는 입/출력셀(215)가 기본셀로 우들내에 형성된 경우를 나타낸다.

한편, 제31도는 입/출력셀(215)의 보호다이오드들(223, 224)이 기본셀로 우들간에 형성된 경우를 나타낸다.

제26도에 제어회로(239)가 도안안됐지만 이 제어회로(239)는 검사용으로 사용된다. 또한 제29~31도에서 논리회로들은 부분들(240~255)내에 형성된다.

출력회로(225)를 형성하는 출력트랜지스터의 드레인 확산층과 기판간의 접합다이오드는 보호다이오드(223, 224)로서 공통으로 사용될 수 있으므로 보호다이오드들(223, 224)로서 별도의 전용다이오드들을 제공할 필요가 없다.

본 실시예에 의하면, 큰 면적을 점유하는 입/출력셀들(214)은 LSI칩의 표면(213)상의 주변부에 배치되고, 상대적으로 작은 면적을 점유하는 입/출력셀들(215)은 내부에 배치된다. 이러한 이유 때문에, LSI칩의 표면(213)이 효율적으로 이용되므로 LSI칩의 내부 회로의 집적도 저하를 최소화할 수 있다.

본 실시예에서는 본 발명을 게이트 어레이형 반도체 집적회로에 적용했으나 다른형의 반도체 집적회로에도 적용할 수 있다.

그밖에, 본 실시예에서는 입/출력들은 입력회로와 출력회로를 갖고 있지만 본 발명은 입/출력셀들이 입력회로 또는 출력회로만을 갖고 있는 경우에도 마찬가지로 적용될 수 있다.

그 다음, 제8~10도를 참조하면 종래의 반도체 집적회로의 입/출력셀의 패드에 대해 설명한다.

제32도에서는 종래의 반도체 집적회로의 패드부의 횡단면도가 도시되어 있고, 또한 필드절연층(301), 필드절연층(301)상에서 연장되고 또한 입/출력 상호접속으로서 사용되는 하부 도전층(311), 절연층(312), 상부 도전층(313), 표면안정화층(314)을 나타낸다.

종래의 반도체 집적회로에서는 제32도에 나타낸 것과 같은 패드들(302)이 제33도에 나타낸 바와 같이 LSI칩(반도체 집적회로)(305)의 주변부에 배치된다.

종래에는 제34도에 도시된 구성을 갖는 검사회로가 LSI칩(305)을 검사하기 위해 사용되었다. 제34도에서, 검사회로는 경계주사 플립플롭(321), 선택기(322), 출력회로(323), 도시된 바와 같이 접속된 출력회로(324)를 포함한다. 경계주사 플립플롭(321)은 그의 일측에 제공된 주사 출력단자(도시안됨)에 접속된 주사 입력단자(SI)와, 다른쪽에 제공된 주사 입력단자(도시안됨)에 접속된 주사 출력단자(SO)와, 데이터를 경계주사 플립플롭(321)내로 입력시키기 위한 단자(CK)와, 검사용 클록단자(TCK)를 포함한다. 출력회로(323)는 논리회로(도시안됨)로부터 출력된 신호(L₁)를 출력한다. 입력회로(32)는 논리회로에 신호(L₂)를 입력한다.

상기 검사회로를 사용하는 LSI칩의 기능을 검사할시에 경계주사체인이 설정되어 있는 한 모든 패드들(302)에 탐침들(도시안됨)을 접촉시킬 필요는 없다.

그러나, 제34도에 보인 부분(A)에서 도통상태, 회로단락 등을 확인하기 위해 모든 패드들(302)에 탐침들을 접촉시켜야 한다. 왜냐하면, 부분(A)에서 불량이 존재할지라도 경계주사체인이 확립되어 있기 때문이다.

한편, LSI칩상에 대량의 패드들(302)이 설치되는 것이 요망되기 때문에, LSI칩의 전표면에 걸쳐 패드들(302)을 분산시키거나 또는 LSI칩의 한 주변로우를 따라서 뿐만 아니라 2 이상의 로우들을 따라서 패드들(302)을 배치하는 것이 요망된다.

그러나 상술한 바와 같이 제34도에서 부분(A)에서 도통상태, 회로단락 등을 확인하기 위해 모든 패드들(302)에 탐침들을 접촉시켜야 한다. 이러한 이유 때문에, LSI칩의 많은 영역에 패드들(302)을 배치하는 것이 불가능하다. 왜냐하면 그러한 경우에, 탐침들을 모든 패드들(302)에 정확하게 접촉시키도록 배치할 수가 없기 때문이다.

그 다음, 이러한 문제점을 제거할 수 있는 실시예들에 대해 설명한다.

제35 및 36도를 참조하여, 본 발명에 의한 제4실시예의 반도체 집적회로에 대해 설명한다.

본 실시예에서는 LSI칩의 패드가 제35도에 보인 구성을 갖는다. 제35도에서, 서로 상이한 논리회로

들에 제각기 접속된 하부 도전층들(331, 332)은 필드절연층(301)상에 형성된다. 상부 도전층(334)은 하부 도전층들(331, 332)과 절연층(333) 위에 형성되어 하부 도전층들(331, 332)과 회로 단락되어 있다.

표면안정화층(335)은 도시된 바와 같이 표면상에 형성된다.

그 다음, 제36도를 참조하여 제35도에 보인 구성을 갖는 패드(304)를 갖는 LSI칩 검사방법에 대해 설명한다.

제36도에서, 경계주사 플립플롭(321)은 그의 일측에 인접한 경계주사 플립플롭(도시안됨)의 주사출력단자에 접속된 주사 입력단자(S1)와, 그의 타측에 인접한 경계주사 플립플롭(도시안됨)의 주사 입력단자에 접속된 주사 출력단자(S0)와, 데이터를 경계주사 플립플롭(321)에 입력시키기 위한 데이터단자(D)와, 시스템회로의 클록신호를 입력시키기 위한 단자(CK)와 검사용 클록단자(TCK)를 포함한다.

제36도에 도시된 검사회로는 이 경계주사 플립플롭(321), 선택기(322), 출력회로(323), 도시된 바와 같이 접속된 출력회로(324)를 포함한다. 출력회로(323)는 논리회로(도시안됨)로부터 출력된 신호(L₁)를 출력한다. 입력회로(32)는 논리회로에서 신호(L₂)를 입력한다.

상기 검사회로를 사용하여 LSI칩의 기능을 검사할 때 경계주사체인이 확립되어 있는 한 모든 패드들(304)에 탐침들(도시안됨)을 접촉시킬 필요가 없다.

그밖에도, 경계주사체인 패드(304)를 통해 만들어지기 때문에 패드(304) 또는 그에 인접한 영역내에 도통불량, 회로단락 등이 존재할 경우 경계주사체인이 확립되지 않게 되므로, 도통 불량, 회로단락 등을 즉시 발견하는 것이 가능하다.

그 다음 검사동작에 대해 더욱 상세히 설명한다.

첫째, 데이터 1은 경계주사체인(단자 S1)을 통해 임의의 경계주사 플립플롭(321)에 세트된다.

둘째, 세트된 데이터가 출력회로(323)를 통해 출력될 때, 데이터는 패드(304)와 입력회로(324)를 통해 경계주사 플립플롭(321)에 입력된다. 셋째, 경계주사체인(단자 S1)을 통해 경계주사 플립플롭(321)내로 그 다음에 독출된 데이터는 데이터 0을 경계부사 플립플롭(321)내로 세팅함으로써 독출된다.

이 상태에서, 패드(304) 또는 패드(304) 부근영역내에 비접속이 존재할 경우, 입력회로(324)를 통해 경계주사 플립플롭(321)내에 시트된 데이터는 1또는 0으로 고정되므로 그에 의해 그러한 불량을 즉시 발견할 수 있다.

본 실시예에 의하면, 패드들 또는 그 부근에 영역들내의 도전상태를 검사하기 위해 모든 패드들에 탐침들을 접촉시킬 필요가 없다. 이러한 이유 때문에 LSI칩상의 패드들을 임의의 배치로 분산시키는 것이 가능하다.

그 다음 제37a 및 37b도를 참조하여 본 발명에 의한 제5실시예의 반도체 집적회로에 대해 설명한다. 제37a 및 37b도에서, 제35도에서와 동일부분에 대해서는 동일번호를 부여하고 그에 대한 설명을 생략한다.

본 실시예에서는 상부 도전층(334) 대신에 단자(336)를 제공한다. 그렇지 않으면 본 실시예는 제4실시예와 동일하므로 동일한 기능을 한다.

그 다음 제38도를 참조하여 제6실시예의 반도체 집적회로에 대해 설명한다.

제38도에서는 제35도에서와 동일부분에 대해서는 동일번호를 부여하고 그에 대한 설명은 생략한다.

본 실시예에서는 상호 다른 논리회로들에 상호접속들(337~340)이 제각기 접속된다.

그러므로, 복수의 논리회로들에 외부 신호들을 선택적으로 입력시키고 또한 복수의 논리회로들로부터 신호들을 선택적으로 출력시키는 것이 가능하다. 그렇지 않으면 본 실시예는 제4실시예와 동일하므로 동일기능을 한다.

그 다음, 제39도를 참조하여 본 발명에 의한 제7실시예의 반도체 집적회로에 대해 설명한다.

본 실시예에서는 각 패드(304)의 구성 때문에 모든 패드들(304)에 탐침들을 접촉시킬 필요가 없다. 그러므로, 패드들(304)의 간격들은 접속이 가능한한 자유롭게 선택될 수 있으므로 제39도에 보인 바와 같이 LSI칩(305)상에 패드들(304)을 임의로 배치한다.

그 다음 제40도를 참조하여 본 발명에 의한 제8실시예의 반도체 집적회로에 대해 설명한다. 제40도에서 제39도에서와 동일부분에 대해서는 동일번호를 부여하고 그에 대한 설명을 생략한다.

본 실시예에서는 패드들(304)을 제40도에 보인 바와같이 매트릭스배열로 배치한다.

그 다음, 제41도를 참조하여 본 발명에 의한 제9실시예의 반도체 집적회로에 대해 설명한다. 제41도에서 제36도에서와 동일부분에 대해서는 동일한 번호를 부여하고 그에 대한 설명은 생략한다.

본 실시예에서는 출력회로(325)와 패드(304)간에 그리고 입력회로(324)와 패드(304)간에 보호회로(325)가 접속된다. 각 보호회로(325)는 외부 잡음으로부터 논리회로 등을 보호하기 위해 제공된다. 물론, 본 실시예의 모든 패드들(304)에 탐침들을 접촉시킬 필요가 없으므로 상술한 제6 및 제7실시예들에서와 같이 패드들(304)이 배치될 수도 있다.

또한, 본 발명은 상술한 실시예들로만 제한되지 않고, 본 발명의 범위내에서 여러 수정 변경이 가능하다.

(57) 청구의 범위

청구항 1

반도체 칩 몸체와, 상기 반도체 칩 몸체의 표면상의 주변부 및 중심부를 포함하는 부분들에 배치되는 복수의 입/출력셀들(2, 214, 215)과, 상기 반도체 칩 몸체상에 제공된 적어도 하나의 내부 논리회로를 포함하며, 상기 입/출력셀들(2, 214, 215)은 패드(3, 216, 222, 304) 및 입력데이터를 훌드하기 위해 상기 패드에 결합되는 훌딩수단을 포함하며, 상기 복수의 훌딩수단은 검사모드에서 직렬로 결합되어 주사로회로를 형성하며, 검사모드에서 외부 검사신호를 수신하기 위해 패드(3)를 갖는 입/출력셀(2)은 상기 반도체 칩 몸체의 주변부에 배치되며, 상기 반도체 칩 몸체의 주변부 이외의 부분에 배치되는 입/출력셀(2)의 훌딩수단에 훌드된 검사데이터는 검사모드에서 상기 내부 논리회로로 전송되는 것이 특징인 반도체 집적회로.

청구항 2

제1항에 있어서, 외부 신호를 수신하고 또한 반도체 집적회로 외부로 신호를 출력하기 위한 패드(3)를 갖는 상기 입/출력셀들(2)중 소정의 것은 상기 반도체 칩 몸체의 주변부에 배치된 것이 특징인 반도체 집적회로.

청구항 3

제1 또는 2항에 있어서, 상기 소정의 입/출력셀들(2)은 상기 주사로회로에 결합된 것이 특징인 반도체 집적회로.

청구항 4

제1항에 있어서, 상기 훌딩수단에 의해 형성된 주사로회로는 경계주사회로인 것이 특징인 반도체 집적회로.

청구항 5

제1항에 있어서, 상기 훌딩수단에 의해 형성된 주사로회로는 내부 주사회로인 것이 특징인 반도체 집적회로.

청구항 6

제1,4 또는 5항중 어느 한항에 있어서, 상기 주사로회로를 형성하도록 결합된 훌딩수단은 검사모드에서 외부 검사신호를 수신하기 위한 패드를 갖는 입/출력셀(2)로부터 수신된 검사데이터를 전이시키기 위한 제1수프트 레지스터($124_1 \sim 124_n$)를 포함하는 것이 특징인 반도체 집적회로.

청구항 7

제6항에 있어서, 상기 주사로회로를 생성하도록 결합된 훌딩수단이 상기 제1수프트 레지스터($124_1 \sim 124_n$)의 상응하는 단들로부터 수신된 출력데이터를 래치하고 또한 그 데이터를 상기 반도체 칩 몸체의 중심부에 배치된 입/출력셀들(2)의 패드들(3)과 병렬로 공급하기 위한 래치회로들($125_1 \sim 125_n$)과, 상기 반도체 칩 몸체의 중심부의 상응하는 단들에 배치된 입/출력셀들(2)의 패드들로부터 수신된 신호들로서 세트되고 또한 상기 반도체 칩 몸체의 주변부에 배치된 입/출력셀(2)의 패드로부터 신호를 일련으로 출력하도록 신호들을 전이시키는 제2수프트 레지스터($175_1 \sim 175_n$)를 포함하는 것이 특징인 반도체 집적회로.

청구항 8

제1 또는 제7항에 있어서, 상기 입/출력셀들(2)의 패드들(3)은 상기 반도체 칩 몸체의 전체 표면에 걸쳐 배치된 것이 특징인 반도체 집적회로.

청구항 9

제2항에 있어서, 제1 입/출력셀들(214)은 상기 반도체 칩 몸체(212)의 주변부에 배치되고, 제2 입/출력셀들(215)은 반도체 칩 몸체 중심부에 배치되고, 상기 제1 입/출력셀(214) 각각은 반도체 집적회로와 상기 반도체 칩 몸체와 독립된 또다른 반도체 집적회로간의 데이터 전송용으로 사용되며, 상기 제2입/출력셀(215) 각각은 반도체 집적회로내의 데이터 전송용으로 사용된 것이 특징인 반도체 집적회로.

청구항 10

제9항에 있어서, 상기 제1 및 제2 입/출력셀들(214, 215)은 제각기 패드(216, 222)와 내부 논리회로간에 결합된 보호다이오드(217, 218 ; 223, 224)를 포함하며, 또한, 상기 제1 입/출력셀(214)의 보호다이오드(217, 218)는 상기 반도체 칩 몸체의 표면상에서 제2 입/출력셀(215)의 보호다이오드(223, 224)에 의해 점유된 면적보다 크게 점유된 것이 특징인 반도체 집적회로.

청구항 11

제9 또는 10항에 있어서, 상기 제1 및 제2 입/출력셀(214, 215)은 제각기 출력트랜지스터를 포함하며, 상기 제1 입/출력셀(214)의 출력트랜지스터는 상기 제2 입/출력셀(215)의 출력트랜지스터 보다 사이즈가 큰 것이 특징인 반도체 집적회로.

청구항 12

제11항에 있어서, 상기 제1 입/출력셀(214)의 출력트랜지스터의 드레인과 소오스 확산층(229, 230)의 깊이는 상기 제2 입/출력셀(215)의 출력트랜지스터의 드레인과 소오스 확산층(233, 234)의 것보다 큰 것이 특징인 반도체 집적회로.

청구항 13

제12항에 있어서, 상기 제1 입/출력셀(214)의 출력트랜지스터의 드레인과 소오스 확산층들(229, 230)은 비실리사이드 표면을 가지며 또한 상기 제2 입/출력셀(215)의 출력트랜지스터의 드레인과 소오스 확산층들(233, 234)은 실리사이드 표면(235, 236)을 갖는 것이 특징인 반도체 집적회로.

청구항 14

제9, 10, 12 또는 13항중 어느 한항에 있어서, 상기 제1 입/출력셀(214)은 게이트를 갖는 입력트랜지스터와, 상기 입력트랜지스터의 게이트와 상기 제1 입/출력셀의 패드(216) 사이에 직렬로 결합된 입력보호저항(221)을 포함하는 것이 특징인 반도체 집적회로.

청구항 15

제9, 10, 12 또는 13항중 어느 한항에 있어서, 상기 반도체 칩 몸체의 표면상에는 기본셀들(209)의 로우들이 더 제공되며, 상기 제2 입/출력셀들(215)은 기본셀들(209)의 로우들내에 배치된 것이 특징인 반도체 집적회로.

청구항 16

제15항에 있어서, 상기 제2 입/출력셀(215)은 그의 패드(222)와 내부 논리회로간에 결합된 보호다이오드(223, 224)를 포함하며 각 보호다이오드(223, 224)는 상기 기본셀들(209)의 로우들간에 형성된 것이 특징인 반도체 집적회로.

청구항 17

제15항에 있어서, 상기 제2 입/출력셀(215)은 그의 패드(222)와 내부 논리회로간에 결합된 보호다이오드(223, 224)를 포함하며 각 보호다이오드(223, 224)는 상기 기본셀들(209)의 로우들간과 상기 기본셀들(209)의 로우들내에 형성된 것이 특징인 반도체 집적회로.

청구항 18

제1항에 있어서. 상기 반도체 칩 몸체는 기판(301)을 포함하며, 상기 반도체 집적회로는 상기 기판(301)상에 형성되고 또는 상기 반도체 집적회로내의 서로 다른 논리회로들에 결합된 한쌍의 하부 도전층들(331, 332)과, 상기 하부 도전층들의 쌍을 단락시키도록 상기 하부 도전층 쌍위에 형성되는 상부 도전층(334)을 포함하며, 상기 상부 도전층은 입/출력셀의 패드(304)를 형성하는 것이 특징인 반도체 집적회로.

청구항 19

제18항에 있어서, 상기 상부 도전층(334)은 단자로서 형성되는 것이 특징인 반도체 집적회로.

청구항 20

제18 또는 19항에 있어서 상기 상부 도전층(334)에는 복수의 입/출력 상호결선들(339, 340)이 더 설비되는 것이 특징인 반도체 집적회로.

청구항 21

제1항 또는 제18항에 있어서, 상기 입/출력셀들의 패드들은 상기 반도체 칩 몸체의 표면상에 임의 배치로 분산되어 있는 것이 특징인 반도체 집적회로.

청구항 22

제1항 또는 제18항에 있어서, 상기 입/출력셀들의 패드들은 상기 반도체 칩 몸체의 표면상에서 매트릭스 배열로 배치되는 것이 특징인 반도체 집적회로.

청구항 23

제1, 7, 9, 10, 16 또는 17항중 어느 한항에 있어서, 각 입/출력셀은 그의 패드(304)에 결합된 입력회로(324)와 패드(304)에 결합된 출력회로(323)와, 상기 패드(304)와 입/출력회로(324, 323)간에 제각기 결합된 한쌍의 보호회로들(325)를 포함하며, 상기 입력회로(324)와 상기 보호회로들(325)중 하나는 상기 하부 도전층들(331, 332)중 하나에 접속되고 상기 출력회로(323)와 상기 보호회로들(325)중 다른 하나는 상기 하부 도전층(331, 332)의 다른 것에 접속된 것이 특징인 반도체 집적회로.

청구항 24

반도체 칩 몸체(212)와, 상기 칩 몸체의 표면상에 배치된 복수의 입/출력셀들(214, 215)과, 상기 칩 몸체상에 제공된 적어도 하나의 내부 논리회로를 포함하며, 상기 입/출력셀들(214, 215)은 상기 칩 몸체(212)의 주변부에 배치된 제1 입/출력셀들(214)과 중심부에 배치된 제2 입/출력셀들(215)을 포함하며, 상기 제1 입/출력셀 각각은 반도체 집적회로와 상기 칩 몸체와 독립된 또 다른 반도체 집적회로간의 데이터 전송용으로 사용되며, 상기 제2 입/출력셀 각각은 상기 반도체 집적회로내의 데이터 전송용으로 우선적으로 사용되는 것이 특징인 반도체 집적회로.

청구항 25

제24항에 있어서, 상기 제1 및 제2 입/출력셀들(214, 215)은 제각기 패드와 내부 논리회로간에 결합된 보호다이오드(217, 218 ; 223, 224)를 포함하며, 또한, 상기 제1 입/출력셀(214)의 보호다이오드(217, 218)는 상기 반도체 칩 몸체(212)의 표면상에서 상기 제2 입/출력셀(215)의 보호다이오드(223, 224)에 의해 점유된 면적보다 큰 면적을 점유하는 것이 특징인 반도체 집적회로.

청구항 26

제24항에 있어서, 상기 제1 및 제2 입/출력셀들(214, 215)은 제각기 출력트랜지스터를 포함하며, 상기 제1 입/출력셀(214)의 출력트랜지스터는 상기 제2 입/출력셀(215)의 출력트랜지스터의 것보다 큰 사이즈를 갖는 것이 특징인 반도체 집적회로.

청구항 27

제26항에 있어서, 상기 제1 입/출력셀(214)의 출력트랜지스터의 드레인과 소오스 확산층들(229, 230)의 깊이들은 상기 제2 입/출력셀(215)의 출력트랜지스터의 것보다 큰 것이 특징인 반도체 집적회로.

청구항 28

제27항에 있어서, 상기 제1 입/출력셀(214)의 출력트랜지스터의 드레인과 소오스 확산층들(229, 230)은 비실리사이드 표면을 가지며 또한 상기 제2 입/출력셀(215)의 출력트랜지스터의 드레인과 소오스 확산층들(233, 234)은 실리사이드 표면(235, 236)을 갖는 것이 특징인 반도체 집적회로.

청구항 29

제24~28항중 어느 한항에 있어서, 상기 제1 입/출력셀(214)은 게이트를 갖는 입력트랜지스터와, 상기 입력트랜지스터의 게이트와 상기 제1 입/출력셀의 패드(216) 사이에 직렬로 결합된 입력보호 저항(221)을 포함하는 것이 특징인 반도체 집적회로.

청구항 30

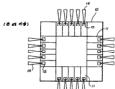
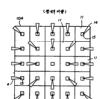
제24~28항중 어느 한항에 있어서, 상기 반도체 칩 몸체의 표면상에는 기본셀들(209)의 로우들이 더 제공되며, 상기 제2 입/출력셀들(215)은 기본셀들(209)의 로우들내에 배치된 것이 특징인 반도체 집적회로.

청구항 31

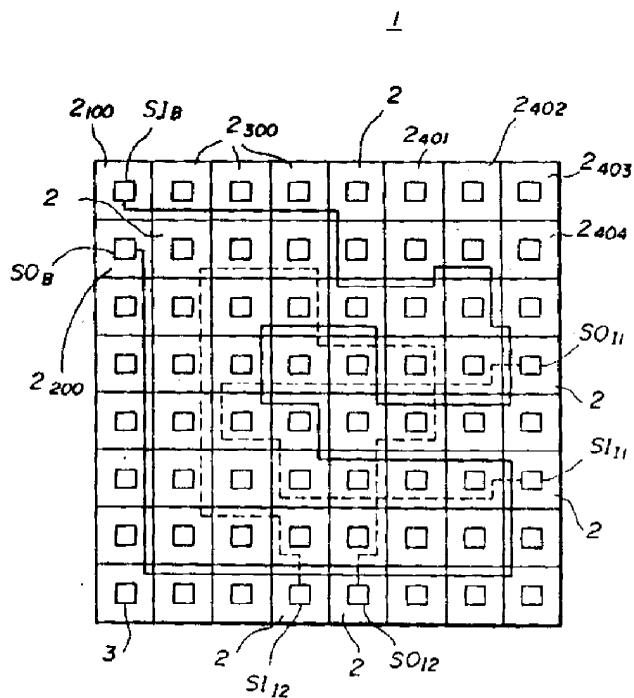
제30항에 있어서, 상기 제2 입/출력셀(215)은 그의 패드(222)와 내부 논리회로간에 결합된 보호다이오드(223, 224)를 포함하며 각 보호다이오드(223, 224)는 상기 기본셀들(209)의 로우들간에 형성된 것이 특징인 반도체 집적회로.

청구항 32

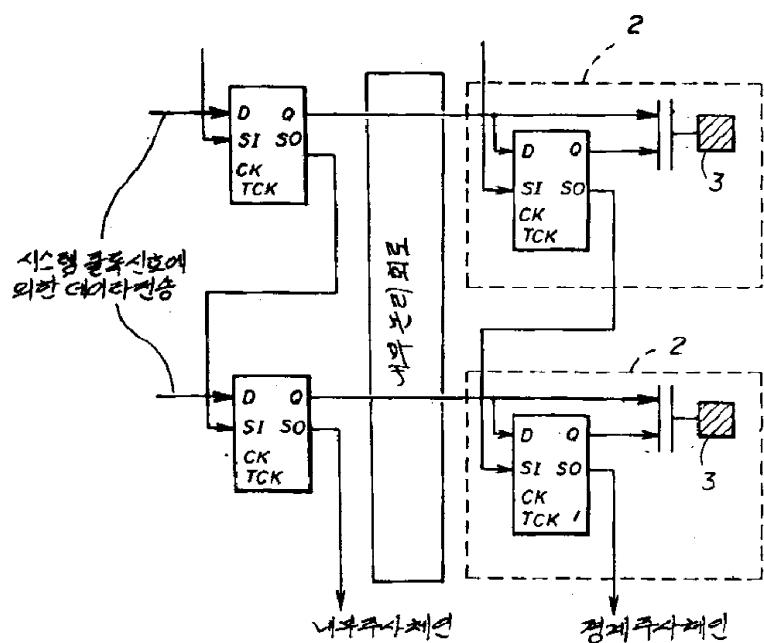
제30항에 있어서, 상기 제2 입/출력셀(215)은 그의 패드(222)와 내부 논리회로간에 결합된 보호다이오드(223, 224)를 포함하며 각 보호다이오드(223, 224)는 상기 기본셀들(209)의 로우들간과 상기 기본셀들(209)의 로우들내에 형성된 것이 특징인 반도체 집적회로.

도면**도면1****도면2**

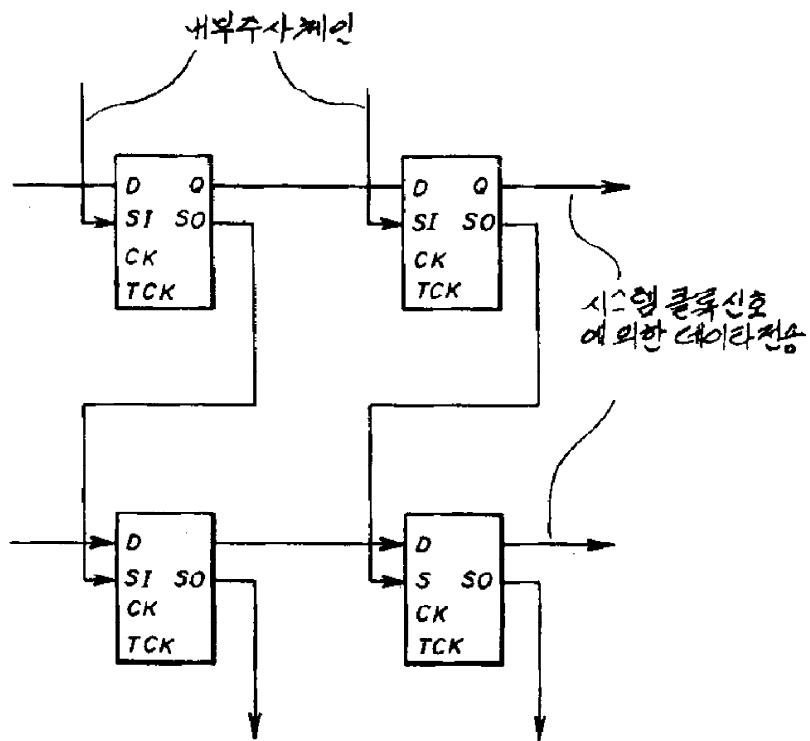
도면3



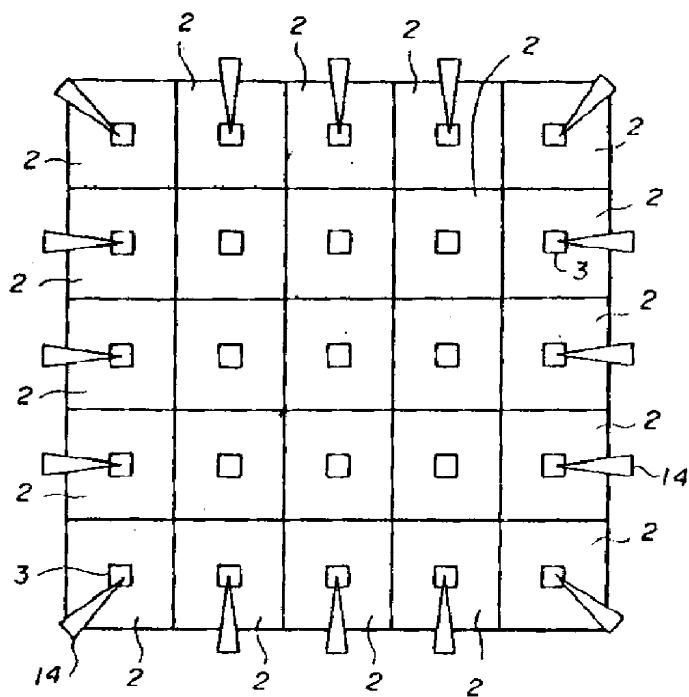
도면4



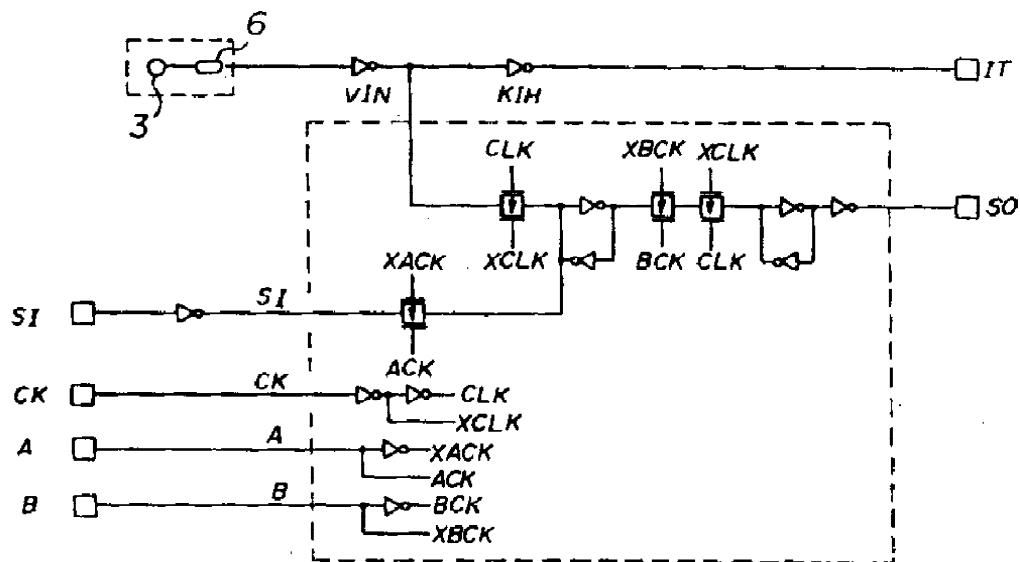
도면5



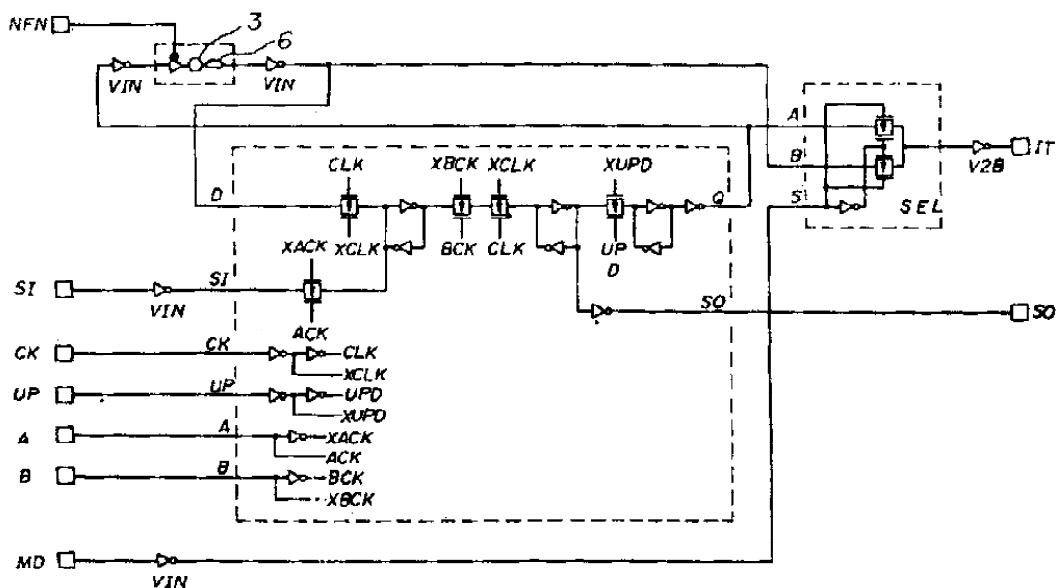
도면6



도면7

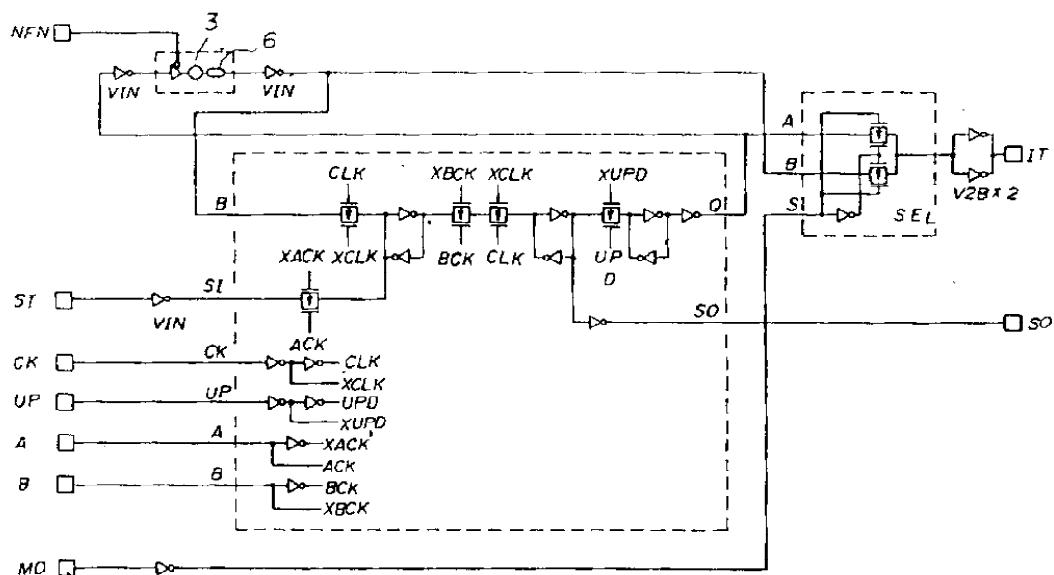
2100, 2401~2404

도면8

2300

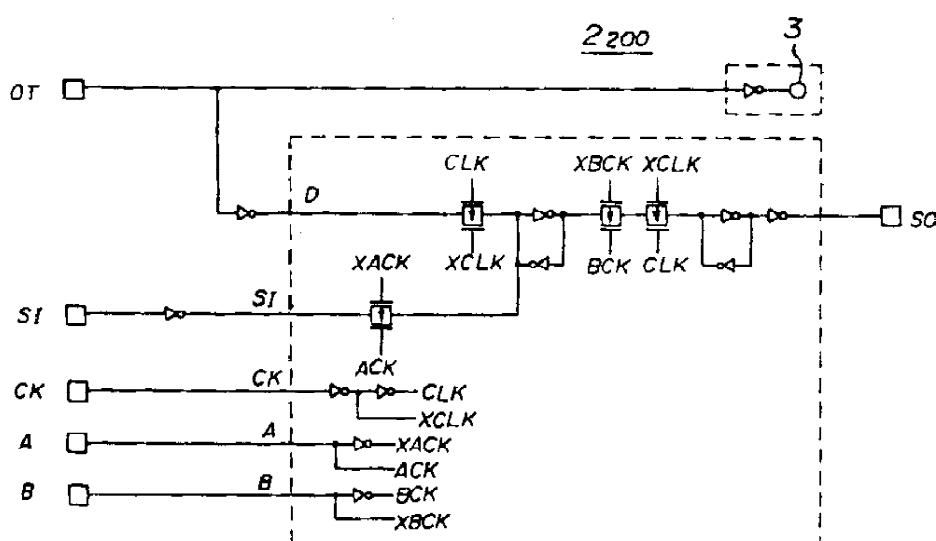
도면9

2300

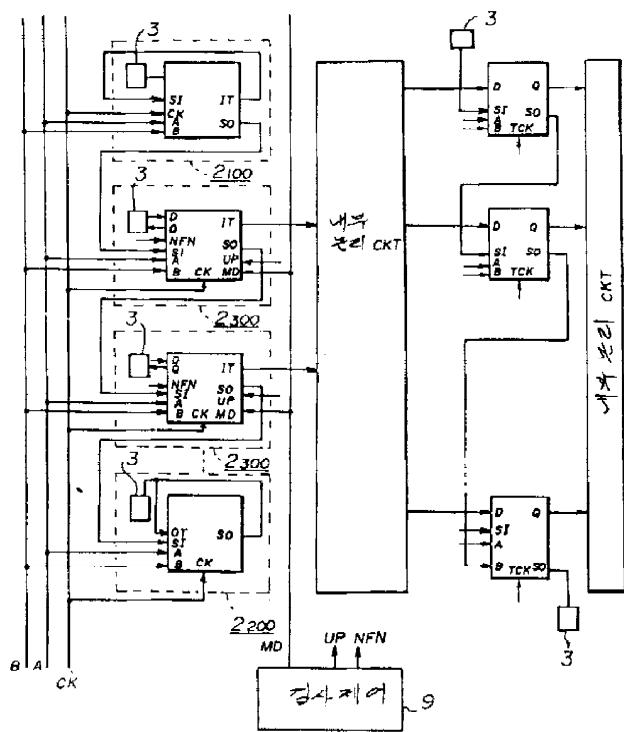


도면10

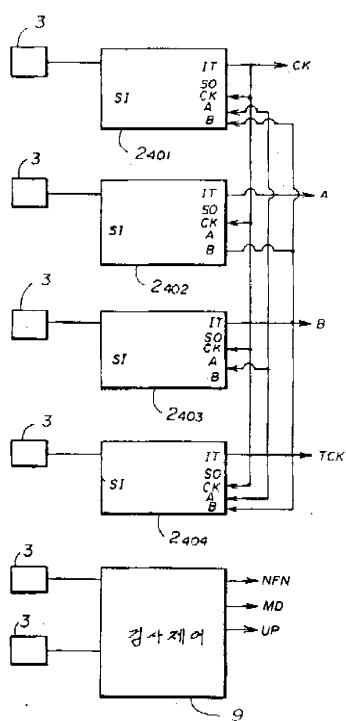
2200



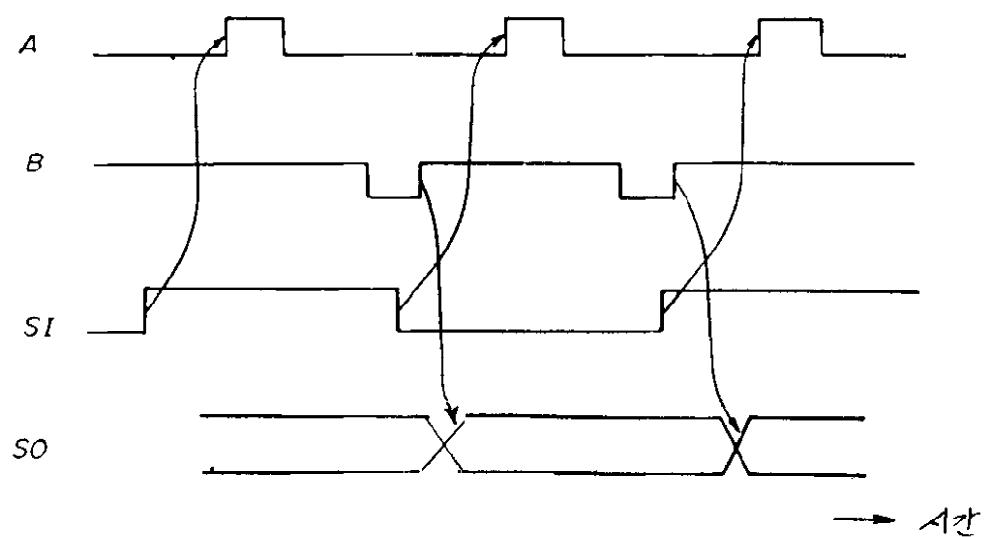
도면11



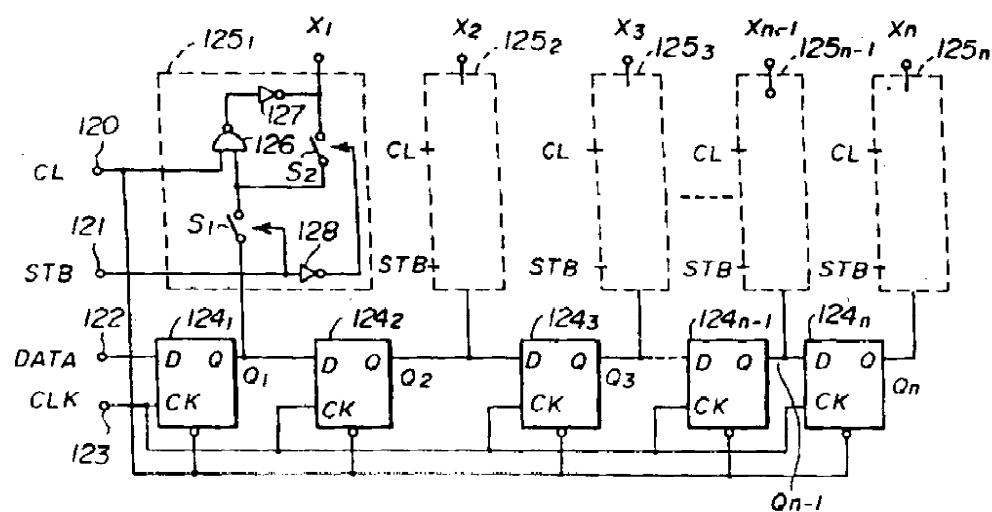
도면12



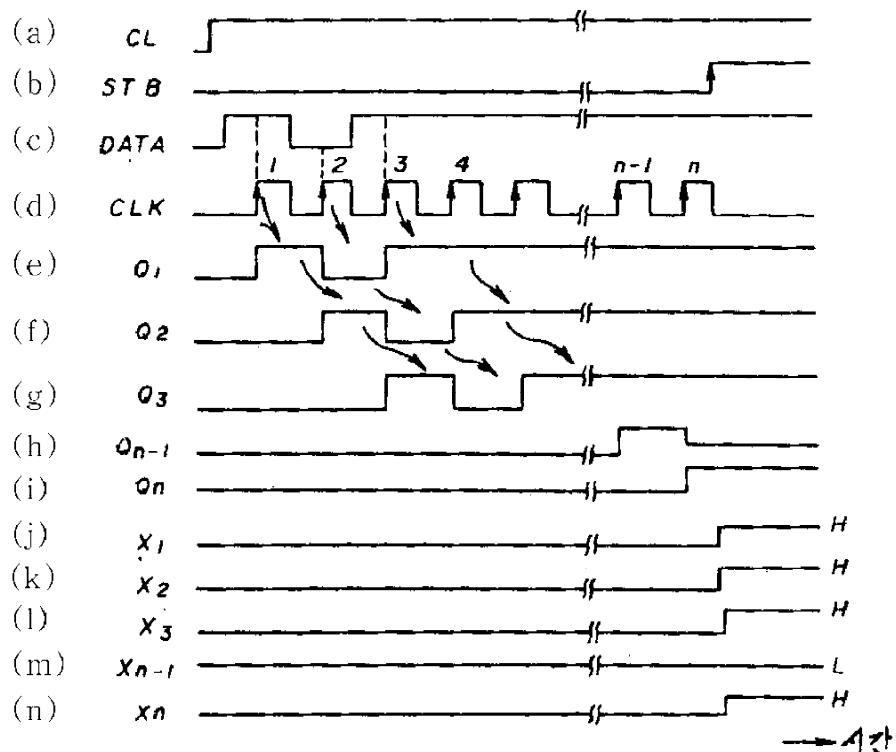
도면13



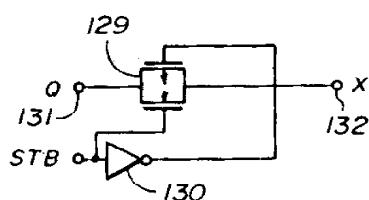
도면14



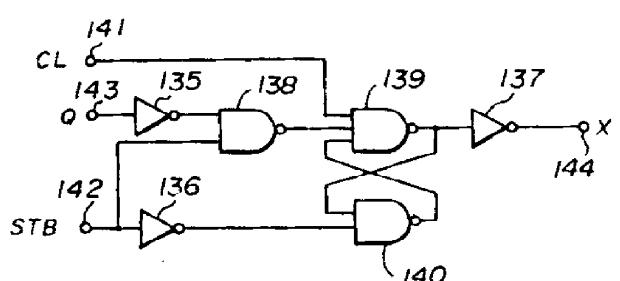
도면 15



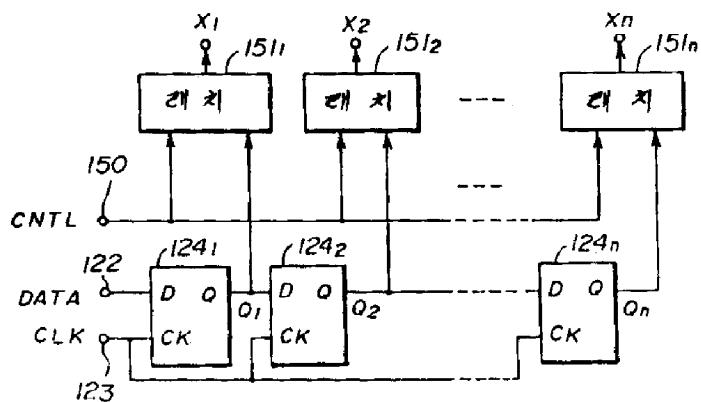
도면 16



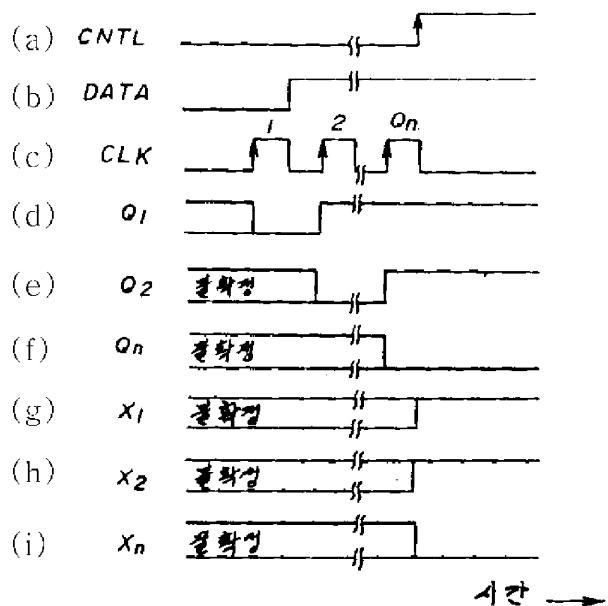
도면 17



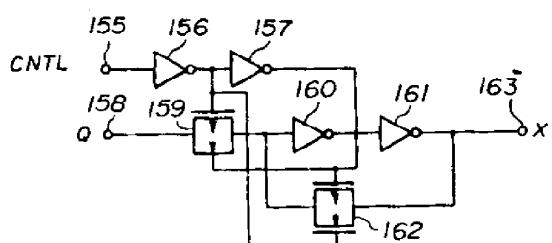
도면18



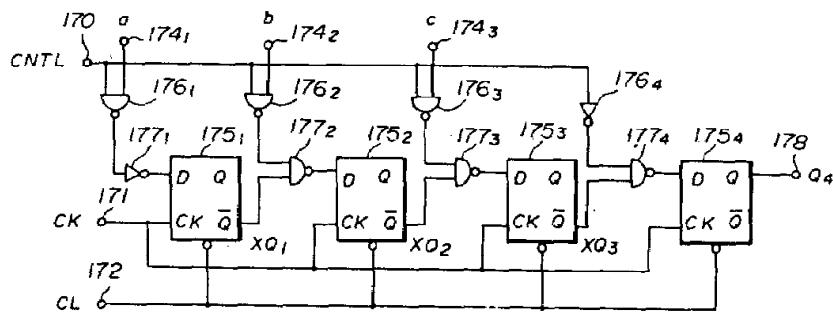
도면19



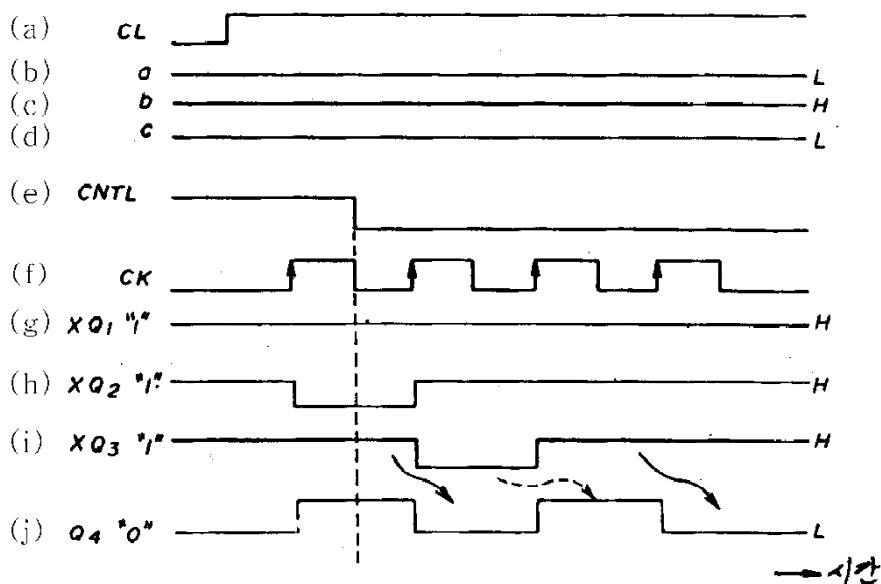
도면20



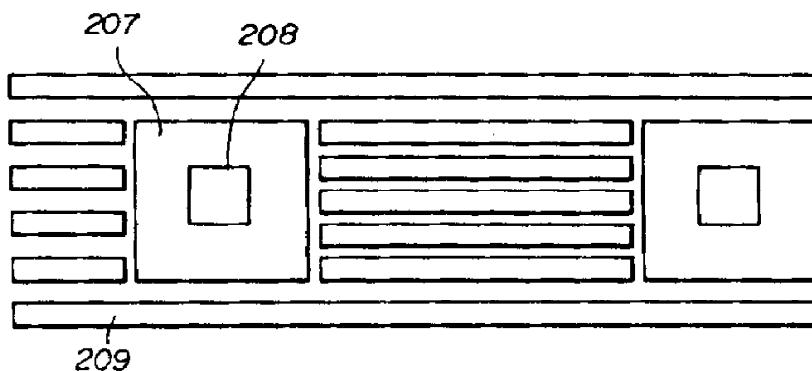
도면21



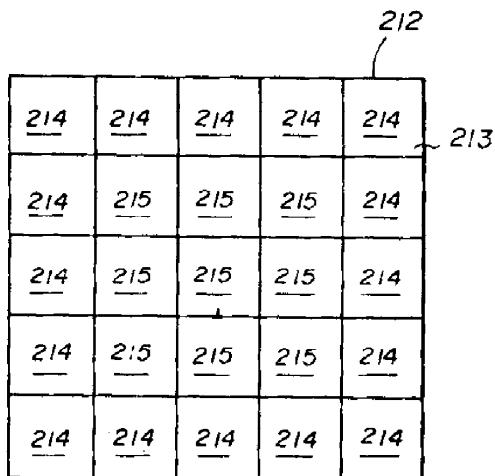
도면22



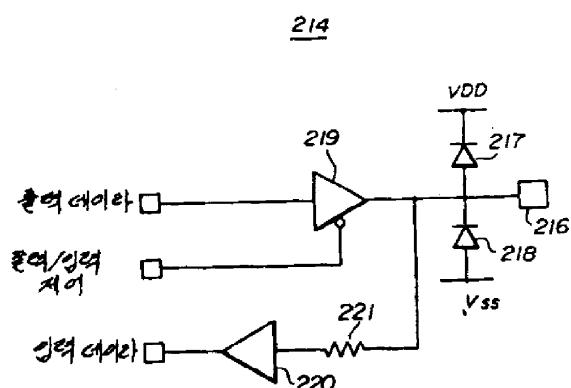
도면23



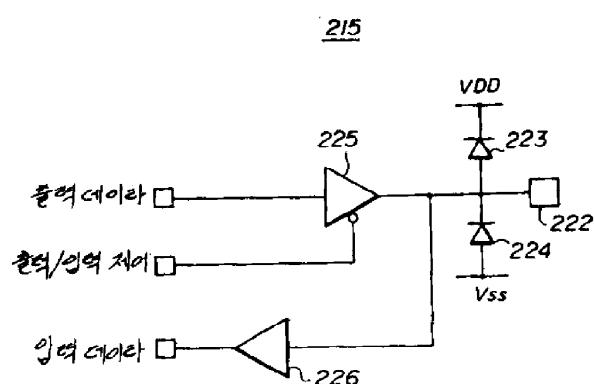
도면24



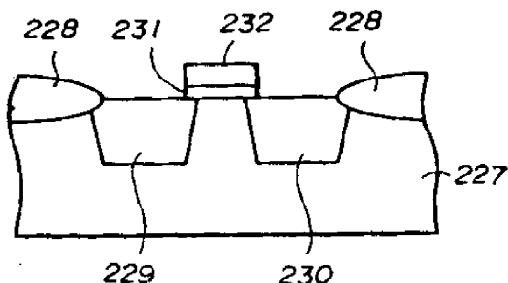
도면25



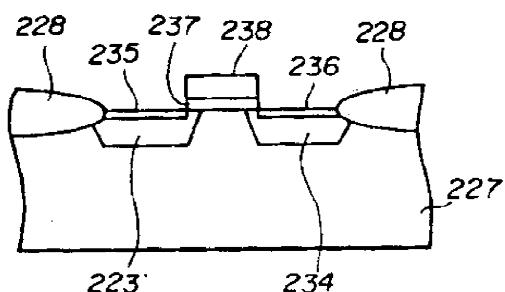
도면26



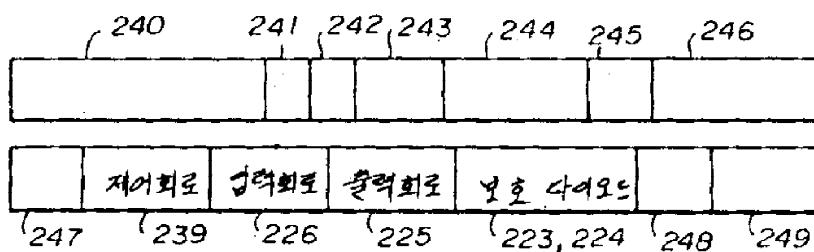
도면27



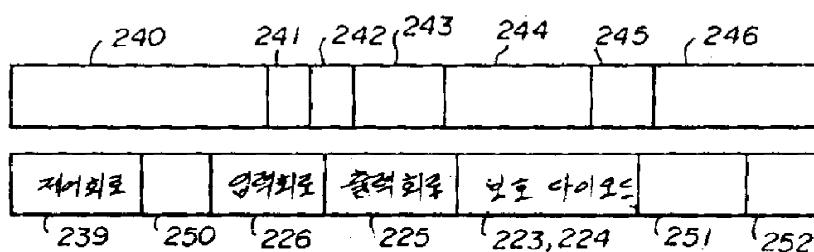
도면28



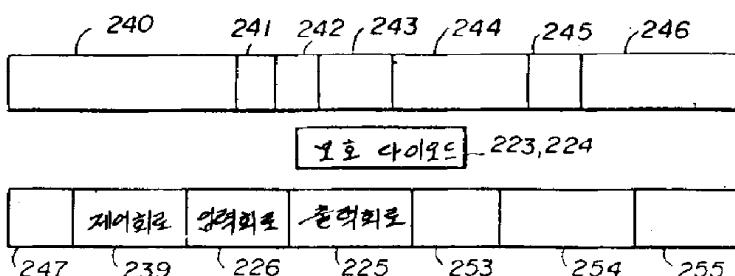
도면29



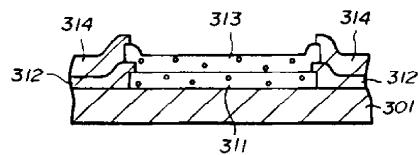
도면30



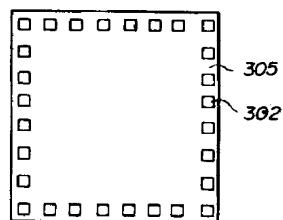
도면31



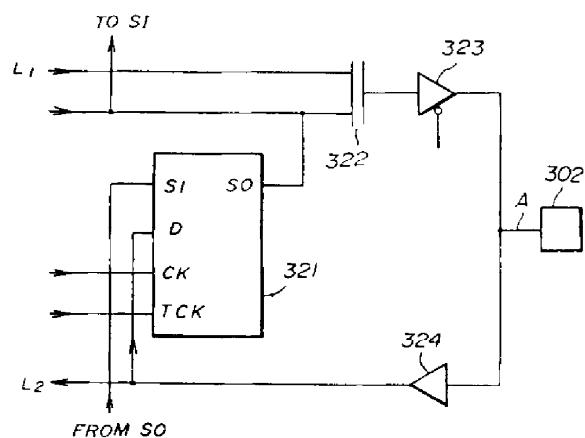
도면32



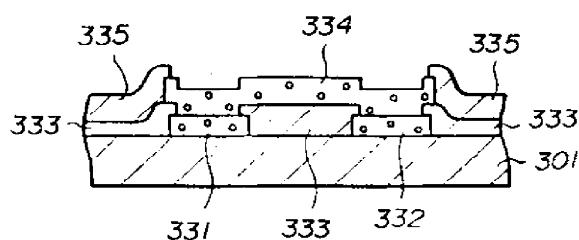
도면33



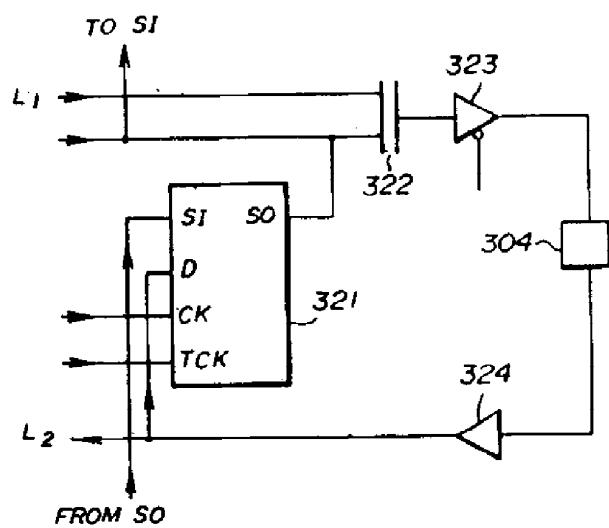
도면34



도면35



도면36



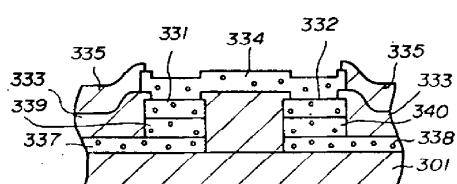
도면37B



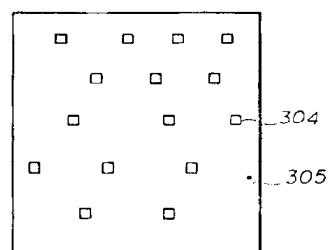
도면37A



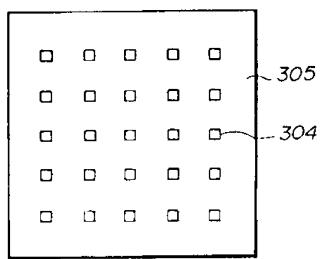
도면38



도면39



도면40



도면41

