



# (12)发明专利

(10)授权公告号 CN 104681625 B

(45)授权公告日 2017.08.18

(21)申请号 201510088765.X

(22)申请日 2013.06.06

(65)同一申请的已公布的文献号  
申请公布号 CN 104681625 A

(43)申请公布日 2015.06.03

(30)优先权数据  
2012-129399 2012.06.06 JP

(62)分案原申请数据  
201380029493.5 2013.06.06

(73)专利权人 株式会社神户制钢所  
地址 日本兵库县  
专利权人 三星显示有限公司

(72)发明人 后藤裕史 三木绫 岸智弥  
广濑研太 森田晋也 钉宫敏洋  
安秉斗 金建熙 金连洪

(74)专利代理机构 中科专利商标代理有限责任  
公司 11021

代理人 张玉玲

(51)Int.Cl.  
H01L 29/786(2006.01)

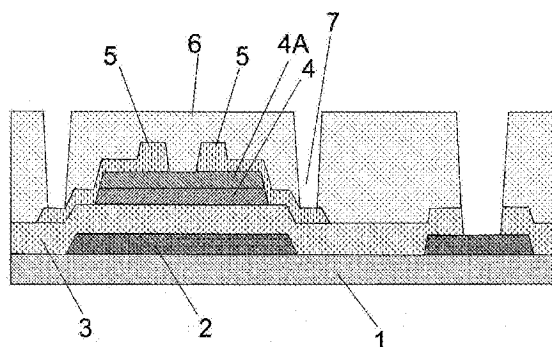
(56)对比文件  
JP 特开2008-72011 A,2008.03.27,  
JP 特开2008-243928 A,2008.10.09,  
US 2008/0296568 A,2008.12.04,  
JP 特开2010-21333 A,2010.01.28,  
US 2012/0012840 A1,2012.01.19,  
CN 102347368 A,2012.02.08,

审查员 张伟兵

权利要求书1页 说明书23页 附图5页

(54)发明名称  
薄膜晶体管

(57)摘要  
本发明提供一种具有迁移率良好、应力耐受性也优异、并且湿蚀刻特性也良好的氧化物半导体层的薄膜晶体管。本发明的薄膜晶体管在基板上至少依次有栅电极、栅极绝缘膜、氧化物半导体层、源-漏电极及保护膜，其中，前述氧化物半导体层是具有第一氧化物半导体层(IGZTO)和第二氧化物半导体层(IZTO)的层叠体，前述第二氧化物半导体层形成于前述栅极绝缘膜之上，且前述第一氧化物半导体层形成于前述第二氧化物半导体层与前述保护膜之间，并且在前述第一氧化物半导体层中，各金属元素相对于除去氧的全部金属元素的含量为：Ga:5%以上、In:25%以下(不含0%)、Zn:35~65%及Sn:8~30%。



1. 一种薄膜晶体管,其特征在於,在基板上至少依次具有栅电极、栅极绝缘膜、氧化物半导体层、蚀刻阻挡层、源-漏电极及保护所述源-漏电极的保护膜,

所述氧化物半导体层是具有由In、Ga、Zn、Sn及O构成的第一氧化物半导体层和由In、Zn、Sn及O构成的第二氧化物半导体层的层叠体,并且

在所述第一氧化物半导体层中,各金属元素相对于除去氧的全部金属元素的含量以原子%计为:

In:25%以下且不含0%、

Ga:8.0%以上且30以下%、

Zn:30.0~65%、以及

Sn:5~30%。

2. 根据权利要求1所述的薄膜晶体管,其中,在所述第一氧化物半导体层中,各金属元素相对于除去氧的全部金属元素的含量以原子%计为:

In:20%以下且不含0%、

Ga:15%以上且30以下%、

Zn:35~65%、以及

Sn:8~30%。

3. 根据权利要求1或2所述的薄膜晶体管,其中,所述第二氧化物半导体层形成于所述栅极绝缘膜之上,并且

所述第一氧化物半导体层形成于所述第二氧化物半导体层与所述蚀刻阻挡层之间。

4. 根据权利要求1或2所述的薄膜晶体管,其中,所述第二氧化物半导体层的厚度为0.5nm以上。

5. 一种显示装置,其具备权利要求1或2所述的薄膜晶体管。

## 薄膜晶体管

[0001] 本申请是申请号:201380029493.5,PCT申请号:PCT/JP2013/065743,申请日:2013.06.06,发明名称:“薄膜晶体管”的申请的分案申请。

### 技术领域

[0002] 本发明涉及用于液晶显示器或有机EL显示器等显示装置的薄膜晶体管(TFT)。

### 背景技术

[0003] 非晶(非晶质)氧化物半导体与通用的非晶硅(a-Si)相比,具有高载流子迁移率(也称为场效应迁移率。以下,有时仅称为“迁移率”),光学带隙大,能够以低温成膜。因此,期待其面向要求大型、高分辨率、高速驱动的新一代显示器或耐热性低的树脂基板等的应用。

[0004] 在使用氧化物半导体作为薄膜晶体管的半导体层时,不仅要求载流子浓度(迁移率)高,而且还要求TFT的开关特性(晶体管特性、TFT特性)优异。即,要求(1)通态电流(对栅电极和漏电极施加正电压时的最大漏电流)高;(2)断态电流(分别对栅电极施加负电压,对漏电极施加正电压时的漏电流)低;(3)S值(Subthreshold Swing,亚阈值摆幅,使漏电流提高1位数量级所需要的栅电压)低;(4)阈值(向漏电极施加正电压,向栅电压施加正负任意一种电压时,漏电流开始流通的电压,也称为阈值电压)在时间上不发生变化而保持稳定(意味着在基板面内均匀);并且,(5)迁移率高;等。

[0005] 作为具有这样的特性的氧化物半导体,通用的是由铟、镓、锌、以及氧构成的非晶氧化物半导体(In-Ga-Zn-O、以下有时称作“IGZO”)。(专利文献1、非专利文献1、非专利文献2)。

[0006] 另外,作为具有比IGZO高的迁移率的材料,使用的是由铟、锌、锡、以及氧构成的非晶氧化物半导体(In-Zn-Sn-O、以下有时称作“IZTO”)。(专利文献2)。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:日本专利第4568828号公报

[0010] 专利文献2:日本特开2008-243928号公报

[0011] 非专利文献

[0012] 非专利文献1:固体物理、VOL44、P621(2009)

[0013] 非专利文献2:Nature、VOL432、P488(2004)

### 发明内容

[0014] 发明所要解决的课题

[0015] 进一步要求使用了上述氧化物半导体层的薄膜晶体管对于电压施加或光照射等应力的耐受性(应力施加前后的阈值电压的变化量少)优异。例如指出的有:在对于栅电极持续施加电压时、或持续照射光吸收开始的蓝色波段时,在薄膜晶体管的栅极绝缘膜与半

导体层界面,电荷被捕获,由于体层内部的电荷的变化而使阈值电压向负侧大幅地变化(偏移),由此,TFT的开关特性变化。另外,在液晶面板驱动之时、或对栅电极施加负偏压而使像素点亮时等情况下,从液晶元件泄漏的光会照射到TFT上,而该光对于TFT施加应力而成为使图像不匀或特性劣化的原因。在实际使用薄膜晶体管时,若由于光照射或电压施加造成的应力导致开关特性发生变化,则会招致显示装置自身的可靠性降低。

[0016] 另外,对于有机EL显示器也同样,从发光层泄漏的光会照射到半导体层上,导致阈值电压等值散乱这样的问题。

[0017] 由此,尤其是阈值电压的偏移会招致具备TFT的液晶显示器或有机EL显示器等显示装置自身的可靠性降低,因此强烈希望提高应力耐受性。

[0018] 进而,在制作氧化物半导体层和在其上具备源-漏电极的薄膜晶体管基板时,还要求上述氧化物半导体层相对于湿蚀刻液等药液具有较高的特性(湿蚀刻特性)。具体来说,在制作TFT时的各工序中,由于所使用的湿蚀刻液的种类也不同,因此,上述氧化物半导体层需要以下两个特性。

[0019] (A) 氧化物半导体层相对于氧化物半导体加工用湿蚀刻液具有优异的可溶性

[0020] 即,需要下述特性:利用在加工氧化物半导体层时所使用的草酸等有机酸系湿蚀刻液,以适宜的速度蚀刻上述氧化物半导体层,且能够无残渣地图案化。

[0021] (B) 氧化物半导体层相对于源-漏电极用湿蚀刻液为不溶性的

[0022] 即,需要下述特性:利用在加工成膜于氧化物半导体层之上的源-漏电极用配线膜时所使用的湿蚀刻液(例如包括磷酸、硝酸、醋酸等的无机酸),可以以适宜的速度来蚀刻源-漏电极,但是,上述氧化物半导体层的表面(背沟道)侧不会被上述湿蚀刻液的切削或受到损伤,从而不会使TFT特性和应力耐受性降低。

[0023] 基于湿蚀刻液的蚀刻的程度(蚀刻速度)根据湿蚀刻液的种类也不同,但是,上述的IZTO相对于草酸等湿蚀刻液具有优异的可溶性[即,上述(A)的氧化物半导体层加工时的湿蚀刻性优异],相对于无机酸系湿蚀刻液的可溶性也高,因而极其容易受到无机酸系湿蚀刻液的蚀刻。因此,在利用源-漏电极的湿蚀刻液进行加工时,存在IZTO膜消失而难以制作TFT、或TFT特性等降低这样的问题[即,上述(B)的源-漏电极在加工时的湿蚀刻耐性变差]。为了解决这种问题,还研究了使用不对IZTO进行蚀刻的药液( $\text{NH}_4\text{F}$ 与 $\text{H}_2\text{O}_2$ 的混合液)作为源-漏电极用蚀刻液的情况,但是,上述药液的寿命短且不稳定,因此,批量生产性变差。

[0024] 对于与上述的(B)的源-漏电极的湿蚀刻相伴的TFT特性等的降低来说,尤其是在如图1所示的不具有蚀刻阻挡层的背沟道蚀刻(BCE)结构的TFT中会看到。

[0025] 即,使用了氧化物半导体的底栅薄膜晶体管的结构大致分为图1所示的不具有蚀刻阻挡层的背沟道蚀刻型(BCE型)、和图2所示的具有蚀刻阻挡层8的蚀刻阻挡型(ESL型)这两种。

[0026] 图2中的蚀刻阻挡层8基于下述目的而形成的,即,防止在对源-漏电极5实施蚀刻时氧化物半导体层4受到损伤而导致晶体管特性降低。根据图2,源-漏电极加工时对氧化物半导体层表面的损伤少,因此,易于获得良好的TFT特性。作为上述蚀刻阻挡层,通常使用 $\text{SiO}_2$ 等绝缘膜。

[0027] 与此相对,在图1中,不具有蚀刻阻挡层,因此能过简化工序数,生产性优异。即,基于不同的制造方法,有时即使在蚀刻时不设置蚀刻阻挡层,也可不对氧化物半导体层4带来

损伤,例如在利用剥离法加工源-漏电极5时,对氧化物半导体层4没有损伤,因此不需要蚀刻阻挡层,在这种情况下可使用图1的BCE型。或者,在使用即使没有蚀刻阻挡层也可发挥出良好的TFT特性而开发出的特殊的湿蚀刻液的情况下,可使用图1的BCE型。

[0028] 如上所述,从薄膜晶体管的制作成本降低或工序简化的观点出发,推荐使用不具有蚀刻阻挡层的图1的BCE型,但是,前述的湿蚀刻时的问题非常令人担忧。然而,即使对于图2的ESL型来说,根据湿蚀刻液的种类的不同也存在发生上述问题的担忧。

[0029] 本发明是鉴于上述情况而完成的,其目的在于,提供一种具备如下半导体层用氧化物的薄膜晶体管,该半导体层用氧化物在不具有蚀刻阻挡层的BCE型的薄膜晶体管中,保持高的场效应迁移率的同时,相对于光或偏压应力等来说阈值电压的变化量小且应力耐受性优异,并且,(A)相对于氧化物半导体加工用湿蚀刻液具有优异的可溶性,(B)相对于在使将源-漏电极图案化时所使用的湿蚀刻液具有优异的耐性。

[0030] 另外,本发明的目的在于,提供一种具备如下半导体层用氧化物的薄膜晶体管,该半导体层用氧化物在具有蚀刻阻挡层的ESL型的薄膜晶体管中,保持高的场效应迁移率的同时,应力耐受性优异,并且,(A)相对于氧化物半导体加工用湿蚀刻液具有优异的可溶性。

[0031] 用于解决课题的手段

[0032] 能够解决上述课题的本发明所述的薄膜晶体管是在基板上至少依次具有栅电极、栅极绝缘膜、氧化物半导体层,其要旨在于,前述氧化物半导体层是具有由In、Ga、Zn、Sn及O构成的第一氧化物半导体层、和由In、Zn、Sn及O构成的第二氧化物半导体层的层叠体,前述第二氧化物半导体层形成于前述栅极绝缘膜之上,且前述第一氧化物半导体层形成于前述第二氧化物半导体层与前述保护膜之间,并且,前述第一氧化物半导体层中,各金属元素相对于除去氧的全部金属元素的含量(原子%、以下相同)为In:25%以下(不含0%)、Ga:5%以上、Zn:35~65%及Sn:8~30%。

[0033] 优选在前述第一氧化物半导体层中,各金属元素相对于除去氧的全部金属元素的含量为In:20%以下(不含0%)、Ga:15%以上且低于50%、Zn:35~65%及Sn:8~30%。

[0034] 优选前述第一氧化物半导体层相对于源-漏电极用湿蚀刻液的蚀刻速率为前述源-漏电极的蚀刻速率的1/2以下。

[0035] 另外,本发明所述的薄膜晶体管是在基板上至少依次具有栅电极、栅极绝缘膜、氧化物半导体层、源-漏电极、蚀刻阻挡层及保护前述源-漏电极的保护膜的薄膜晶体管,其要旨在于,前述氧化物半导体层是具有由In、Ga、Zn、Sn及O构成的第一氧化物半导体层、和由In、Zn、Sn及O构成的第二氧化物半导体层的层叠体,且在前述第一氧化物半导体层中,各金属元素相对于除去氧的全部金属元素的含量(原子%、以下相同)为In:25%以下(不含0%)、Ga:8.0%以上、Zn:30.0~65%及Sn:5~30%。

[0036] 优选在前述第一氧化物半导体层中,各金属元素相对于除去氧的全部金属元素的含量为In:20%以下(不含0%)、Ga:15%以上且低于50%、Zn:35~65%及Sn:8~30%。

[0037] 另外,优选前述第二氧化物半导体层形成于前述栅极绝缘膜之上,且前述第一氧化物半导体层形成于前述第二氧化物半导体层与前述蚀刻阻挡层之间。

[0038] 进而,还优选第二氧化物半导体层的厚度为0.5nm以上。

[0039] 本发明还包括具备上述薄膜晶体管的显示装置。

[0040] 发明效果

[0041] 根据本发明,能够提供一种具备如下半导体层用氧化物的薄膜晶体管,该半导体层用氧化物在不具有蚀刻阻挡层的BCE型的薄膜晶体管中的迁移率高,薄膜晶体管的开关特性以及应力耐受性(光照射以及负偏压施加前后的阈值电压的偏移量少)优异,并且具有优异的湿蚀刻特性、即(A)相对于氧化物半导体加工用湿蚀刻液而具有优异的可溶性(优异的湿蚀刻性)、(B)相对于源-漏电极用湿蚀刻液而具有优异的耐性(优异的湿蚀刻耐性)。

[0042] 另外,能够提供一种具备如下半导体层用氧化物的薄膜晶体管,该半导体层用氧化物在具有蚀刻阻挡层的ESL型的薄膜晶体管中的迁移率高,薄膜晶体管的开关特性以及应力耐受性(光照射以及负偏压施加前后的阈值电压的偏移量少)优异,并且具有优异的湿蚀刻特性、即、(A)相对于氧化物半导体加工用湿蚀刻液而具有优异的可溶性(优异的湿蚀刻性)。

### 附图说明

[0043] 图1是用于对现有的具备氧化物半导体层(单层)的薄膜晶体管(BCE型)进行说明的示意剖面图。

[0044] 图2是用于对现有的具备氧化物半导体层(单层)的薄膜晶体管(ESL型)进行说明的示意剖面图。

[0045] 图3是用于对具备第二氧化物半导体层(从基板侧观看为下侧)和第一氧化物半导体层(从基板侧观看为上侧)的层叠体作为本发明所使用的氧化物半导体层的薄膜晶体管(BCE型)进行说明的示意剖面图。

[0046] 图4是用于对具备第二氧化物半导体层(从基板侧观看为下侧)和第一氧化物半导体层(从基板侧观看为上侧)的层叠体作为本发明所使用的氧化物半导体层的薄膜晶体管(ESL型)进行说明的示意剖面图。

[0047] 图5是用于对具备第二氧化物半导体层(从基板侧观看为上侧)和第一氧化物半导体层(从基板侧观看为下侧)的层叠体作为本发明所使用的氧化物半导体层的薄膜晶体管(ESL型)进行说明的示意剖面图。

### 具体实施方式

[0048] 本发明人等发现,如果使IZTO(有时表述为“第二氧化物半导体层”。)与由规定的组成构成的由In、Ga、Zn、Sn及O(以下有时表述为“IGZTO”。)构成的氧化物(以下有时表述为“第一氧化物半导体层”。)层叠而构成氧化物半导体层,则可实现所期望的目的,从而完成了本发明。

[0049] 在本说明书中,“应力耐受性优异”是指,在利用后述的实施例所记载的方法,进行边对试样照射白色光边对栅电极持续施加负偏压的应力施加试验2小时时,应力施加试验前后的阈值电压( $V_{th}$ )的偏移量 $\Delta V_{th}$ (绝对值)为IZTO单层的 $\Delta V_{th}$ 以下的情形。

[0050] 在本说明书中,“湿蚀刻特性优异”是指,在为不具有蚀刻阻挡层的BCE型的情况下满足下述(A)湿蚀刻性优异以及(B)湿蚀刻耐性优异的情形,在为具有蚀刻阻挡层的ESL型的情况下满足下述(A)湿蚀刻性优异的情形。需要说明的是,以下有时将湿蚀刻性和湿蚀刻耐性统称为“湿蚀刻特性”。

[0051] (A)相对于氧化物半导体加工用湿蚀刻液具有优异的可溶性(湿蚀刻性优异)。即

表示,通过对氧化物半导体层进行加工时所使用的草酸等有机酸系湿蚀刻液,以大致相同程度(0.1~4倍)的蚀刻速率蚀刻具有本发明的层叠结构的氧化物半导体层的第一氧化物半导体层、第二氧化物半导体层,从而无残渣地图案化。

[0052] (B)表示在利用湿蚀刻液使源-漏电极图案化时,蚀刻源-漏电极,且氧化物半导体层相对于上述湿蚀刻液而言是不溶性的(湿蚀刻耐性优异)。在本说明书中,为了测定的简便化,如后述的实施例所示,在基板上使氧化物半导体层成膜,对利用源-漏电极用湿蚀刻液图案化时的蚀刻速度进行测定,如果此时的第一氧化物半导体层的蚀刻速度为源-漏电极的蚀刻速度的1/2以下,则评价为相对于源-漏电极用湿蚀刻液而言湿蚀刻耐性优异。由于具有上述范围的蚀刻速度的情形不易使氧化物半导体层被上述湿蚀刻液蚀刻,因此,氧化物半导体层的表面(背沟道)侧不会被上述湿蚀刻液切削或受到损伤,从而不会使TFT特性或应力耐受性降低。

[0053] 以下,一边说明完成本发明的经纬,一边详述本发明。

[0054] 如上所述,IZTO通用为迁移率高的氧化物半导体层。尤其是IZTO,虽然其是具有比IGZO高的迁移率的材料,但是应力耐受性却比IGZO低,且存在稳定性降低的可能性,因此,为了应对显示器的大型化、高速驱动化,而需要更高的应力耐受性。

[0055] 因此,本发明人等为了使作为氧化物半导体层而有用的IZTO的应力耐受性提高,而反复进行了各种研究。

[0056] 其结果可知,在形成使IZTO与由SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>、HfO<sub>2</sub>等绝缘体构成的保护膜(BCE型的情况)或蚀刻阻挡层(ESL型的情况)(以下有时将它们统称为“氧化物系绝缘体”)接触的结构的情况下,IZTO与氧化物系绝缘体的界面因不同种材料的接触而容易在该界面形成因氧缺陷而致的陷阱能级。

[0057] 在此,在本发明中,使由IGZTO构成的第一氧化物半导体层介于由IZTO构成的第二氧化物半导体层与氧化物系绝缘体之间,使氧化物半导体层成为第一氧化物半导体层、第二氧化物半导体层的层叠结构。

[0058] 即,在本发明中,在氧化物系绝缘体与第二氧化物半导体层之间设置第一氧化物半导体层作为第二氧化物半导体层的保护层。因此,第二氧化物半导体层不与氧化物系绝缘体直接接触,因而能够抑制因上述氧缺陷所致的陷阱能级的形成。

[0059] 需要说明的是,对于第一氧化物半导体层和第二氧化物半导体层而言,在有无Ga这点上,构成元素严格地不同,除Ga以外的元素是重复的,因此,通过适当地控制第一氧化物半导体层的构成元素的比率,从而能够抑制在第一氧化物半导体层与第二氧化物半导体层的接触界面形成陷阱能级。其结果,可认为使第二氧化物半导体层的界面结构稳定化,在保持高迁移率的同时,提供应力耐受性。

[0060] 另外,不仅在第一氧化物半导体层与氧化物系绝缘体的界面难以产生氧缺陷,而且利用第二氧化物半导体层来充分地确保氧化物半导体层全体的迁移率,因此,基本不存在使氧化物半导体层全体的迁移率等TFT特性降低的情况。

[0061] 进而,就本发明而言,通过上述层叠结构而能够改善氧化物半导体层的湿蚀刻特性。即,对于BCE型、ESL型来说,(A)本发明的氧化物半导体层相对于氧化物半导体加工用湿蚀刻液均具有优异的可溶性(湿蚀刻性优异)。若将氧化物半导体层形成层叠结构,则因金属的种类或含量的不同,在形成布线图案时,在第一层与第二层中,侧向蚀刻量不同,存在

无法图案化为所需形状等问题。但是,就本发明而言,通过适当地控制第一氧化物半导体层与第二氧化物半导体层的成分组成及组成比,从而能够使一氧化物半导体层与第二氧化物半导体层的蚀刻速率同等。

[0062] 另外,在为BCE型时,(B)本发明的第一氧化物半导体层相对于源-漏电极用湿蚀刻液的不溶性高(湿蚀刻耐性优异)。由于本发明的第一氧化物半导体层难以被无机酸系湿蚀刻液蚀刻,所以氧化物半导体层的表面(背沟道)侧不会被上述湿蚀刻液切削或受到损伤,因而不会使TFT特性或应力耐受性降低。

[0063] 构成第一氧化物半导体层的各金属元素(In、Ga、Zn、Sn)的含量(相对于第一氧化物半导体层中所含的全部金属元素的比例(除去氧)、以下相同)考虑到第二氧化物半导体层的种类或组成比、迁移率、载流子密度、湿蚀刻特性等而确定即可。

[0064] In:在BCE型、ESL型时均为25%以下(不含0%)

[0065] In是对于氧化物半导体层的电阻降低来说有效的元素。为了有效地发挥这种效果,在BCE型、ESL型中任一情况下,均优选为1%以上、更优选为3%以上、进一步优选为5%以上。另一方面,若In含量过多,则有时应力耐受性降低,因此,对于第二氧化物半导体层来说,在任一情况下,In含量均为25%以下、优选为23%以下、更优选为20%以下。

[0066] Ga:在不具有蚀刻阻挡层的BCE型的情况下为5%以上,在具有蚀刻阻挡层的ESL型的情况下为8.0%以上

[0067] Ga是抑制氧缺陷且对于应力耐受性向上有效的元素。为了有效地发挥出这种效果,在不具有蚀刻阻挡层的BCE型的情况下,使Ga含量为5%以上、优选为10%以上、更优选为15%以上。另一方面,在具有蚀刻阻挡层的ESL型的情况下,使Ga含量为8.0%以上、优选为10%以上、更优选为12%以上、进一步优选为15%以上。若Ga含量过多,则用于形成第一氧化物半导体层的溅射靶自身发生高电阻化。若使用该高Ga溅射靶进行成膜,则有时无法正常地形成DC放电(直流放电)。由此,优选Ga含量低于50%。另外,在第一氧化物半导体层中,担负电子的电导通路的In和Sn的含量相对降低,其结果是有时使迁移率降低。因而,Ga含量更优选为40%以下、进一步优选为30%以下、更进一步优选为20%以下。

[0068] Zn:在不具有蚀刻阻挡层的BCE型的情况下,为35~65%,在具有蚀刻阻挡层的ESL型的情况下,为30.0~65%

[0069] Zn是对湿蚀刻速率带来影响的元素,若Zn过少,则使用了氧化物半导体加工用湿蚀刻液时的湿蚀刻性变差。另外,若Zn过少,则非晶结构变得不稳定,有时TFT变得不进行开关动作。因而,在为BCE型的情况下,Zn含量为35%以上、优选为40%以上、更优选为45%以上。另外,在为ESL型的情况下,Zn含量为30.0%以上、更优选为35%以上、更优选为40%以上。若Zn含量过多,则相对于氧化物半导体加工用湿蚀刻液的湿蚀刻速率变得过快,难以形成所需的图案形状。另外,氧化物半导体层有时发生结晶化,或者In或Sn等的含量相对减少而应力耐受性变差。因而,Zn含量为65%以下、优选为60%以下。

[0070] Sn:在不具有蚀刻阻挡层的BCE型的情况下为8~30%,在具有蚀刻阻挡层的ESL型的情况下为5~30%

[0071] Sn是对于迁移率提高、湿蚀刻耐性提高有效的元素。若Sn含量过少则迁移率变差,或湿蚀刻速度增加,因而在对源-漏电极进行湿蚀刻时,导致构成氧化物半导体层的薄膜的膜厚减少或对表面的损伤增加,因此,带来TFT特性的降低。另外,还存在相对于氧化物半导

体加工用湿蚀刻液的湿蚀刻性变差的情况。因而,在为BCE型时,Sn含量为8%以上、优选为10%以上、更优选为12%以上。另外,在为ESL型时,Sn含量为5%以上、优选为8%以上、更优选为10%以上。若Sn含量过多,则有时应力耐受性降低,并且相对于氧化物半导体加工用湿蚀刻液的湿蚀刻速率也降低(湿蚀刻性降低)。尤其是在通用为氧化物半导体加工用湿蚀刻液的草酸等有机酸中变得不溶,无法进行氧化物半导体层的加工。因而,在不具有蚀刻阻挡层的BCE型的情况下,Sn含量为30%以下、优选为28%以下、更优选为25%以下。另一方面,在具有蚀刻阻挡层的ESL型的情况下,Sn含量为30%以下、优选为25%以下、更优选为23%以下、进一步优选为20%以下。

[0072] 作为BCE型、ESL型中均优选的第一氧化物半导体层的组成,考虑到上述各金属元素的平衡,优选设定为有效地发挥出所需特性的适当的范围。

[0073] 对于构成本发明的第二氧化物半导体层的金属元素(In、Zn、Sn)的各金属间的比率而言,只要包含这些金属的氧化物具有非晶相、且为显示出半导体特性的范围,就没有特别限制。不过,如上所述,因所添加的金属元素的含量(原子%)不同,会对迁移率或湿蚀刻特性带来不良影响,因此优选适当地进行调整。例如,对于湿蚀刻时的蚀刻速率而言,优选在第一氧化物半导体层和第二氧化物半导体层中成为大致相同的程度,因此,按照使蚀刻速率比成为大致相同程度(以蚀刻速率比计为0.1~4倍)的方式调整成分组成即可。

[0074] 本发明的第二氧化物半导体层的厚度在BCE型、ESL型中均没有特别限定,但是,若第二氧化物半导体层过薄,则基板面内的特性(迁移率、S值、 $V_{th}$ 等TFT特性)有可能会产生偏差。由此,从充分地抑制特性的偏差的观点出发,第二氧化物半导体层的厚度优选为0.5nm以上、更优选为5nm以上、进一步优选为10nm以上。另一方面,若过厚,则有时氧化物半导体层的加工性变差,或成膜、蚀刻需要时间而导致生产成本增加,因此优选为100nm以下、更优选为50nm以下。另外,在将第二氧化物半导体层的厚度设为与第一氧化物半导体层的厚度同等以下时,还可进一步设为30nm以下、更进一步设为20nm以下、特别设为10nm以下。

[0075] 另外,第一氧化物半导体层的厚度在BCE型、ESL型中均没有特别地限定,但是若第一氧化物半导体层的厚度过薄,则有时无法充分地发挥出形成上述第一氧化物半导体层的效果,因此优选为20nm以上、更优选为30nm以上。另一方面,若过厚,则迁移率有可能降低,因此优选为50nm以下、更优选为40nm以下。

[0076] 第二氧化物半导体层与第一氧化物半导体层的合计膜厚在BCE型、ESL型中均在上述范围内适当地组合即可,若氧化物半导体层全体的膜厚变得过厚,则生产成本增加,或阻碍薄膜晶体管的薄型化,因此,优选为100nm以下、更优选为50nm以下。合计膜厚的下限只要采用可发挥出上述各氧化物半导体层的效果的程度的膜厚即可。

[0077] 接下来,对于本发明的第一氧化物半导体层(IGZTO)与第二氧化物半导体层(IZTO)的层叠结构的优选实施方式进行说明。

[0078] 首先,在现有例中,如图1(无蚀刻阻挡层:BCE型)所示,由IZTO构成的氧化物半导体层4(单层)是直接于保护膜6(图1)以及栅极绝缘膜3接触的构成,如图2(有蚀刻阻挡层:ESL型)所示,由IZTO构成的氧化物半导体层4(单层)是直接于蚀刻阻挡层8(图2)以及栅极绝缘膜3接触的构成。

[0079] 图3是本发明的BCE型的优选实施方式的一例。由于在第二氧化物半导体层4B(IZTO)与保护膜6界面中容易形成因氧缺陷所致的陷阱能级,因此,在第二氧化物半导体层

4B (IZTO) 与保护膜6之间形成第一氧化物半导体层4A (IGZTO), 由此, 能够避开因氧缺陷所致的问题、还能够保护第二氧化物半导体层远离源-漏电极用湿蚀刻液。

[0080] 在图示例中, 按照第一氧化物半导体层4A与保护膜6直接接触的方式构成, 但是也可以在第一氧化物半导体层4A与保护膜6之间介于其他层。

[0081] 图4是本发明的ESL型的优选实施方式的另外一例。第一氧化物半导体层4A形成于第二氧化物半导体层4B与蚀刻阻挡层8之间。在图示例中, 第一氧化物半导体层4A按照与蚀刻阻挡层8直接接触的方式构成, 但是也可以在第一氧化物半导体层4A与蚀刻阻挡层8之间介于其他层。由于在第二氧化物半导体层4B (IZTO) 与蚀刻阻挡层8的界面容易形成因氧缺陷所致的陷阱能级, 因此, 通过将第一氧化物半导体层4A (IGZTO) 形成于第二氧化物半导体层4B (IZTO) 与蚀刻阻挡层8之间, 从而能够消除该问题。另外, 由于第二氧化物半导体层4B的迁移率高, 因此, 不将其配置在蚀刻阻挡层8侧, 而是配置在电流大量流通的栅极绝缘膜3侧, 由此可实现高迁移率。

[0082] 图5是本发明的ESL型的优选的其他实施方式的一例 (第一氧化物半导体层、第二氧化物半导体层的层叠顺序与图4相反的构成)。第一氧化物半导体层4A形成于第二氧化物半导体层4B与栅极绝缘膜3之间。在图示例中, 第一氧化物半导体层4A按照与栅极绝缘膜3直接接触的方式构成, 但与上述同样地, 也可在它们之间介于其他层。即使使第一氧化物半导体层和第二氧化物半导体层的层叠结构与上述第一层叠结构 (图4) 相反, 也能够抑制在第二氧化物半导体层与第一氧化物半导体层的界面的氧缺陷等。另外, 如果为不含有对迁移率有影响的Ga的第二氧化物半导体层 (IZTO), 则即使将第二氧化物半导体层配置在蚀刻阻挡层侧, 也能够实现高迁移率。

[0083] 在为ESL结构的情况下, 通过在栅极绝缘膜3和蚀刻阻挡层8中的至少任一方 (优选如后所述的蚀刻阻挡层)、与第二氧化物半导体层4B之间设置第一氧化物半导体层4A, 从而能够获得应力耐受性提高效果。

[0084] 接下来, 对于本发明的氧化物半导体层的制造方法进行说明。

[0085] 由上述IZTO构成的第二氧化物半导体层与由IGZTO构成的第一氧化物半导体层优选利用溅射法且使用溅射靶 (以下有时也称作“靶”) 来成膜。根据溅射法, 可易于形成成分、膜厚的膜面内均匀性优异的薄膜。另外, 也可以通过涂布法等化学成膜法来形成氧化物。

[0086] 作为用于溅射法的靶, 优选使用包含前述元素且与所需氧化物为相同的组成的溅射靶, 由此, 能够形成组成偏离少且为所需的成分组成的薄膜。具体来说, 作为将第二氧化物半导体层成膜的靶, 可使用由In、Zn及Sn构成的氧化物靶 (IZTO靶)。

[0087] 另外, 作为将第一氧化物半导体层成膜的靶, 可使用由In、Ga、Zn及Sn构成的氧化物靶 (IGZTO靶)。

[0088] 或者, 也可以使用对组成不同的两个靶同时进行放电的共溅射法 (Co-Sputter法) 来成膜。或者, 还可使用包含上述元素中的至少2种以上的混合物的氧化物靶。

[0089] 上述靶例如可通过粉末烧结法来制造。

[0090] 在利用溅射法将第二氧化物半导体层和第一氧化物半导体层成膜的情况下, 优选在保持真空状态的状态下连续地进行成膜。其原因在于, 若在将第二氧化物半导体层与第一氧化物半导体层成膜时暴露在大气中, 则空气中的水分或有机成分附着于薄膜表面, 造

成污染(品质不良)的原因。

[0091] 在使用上述靶并利用溅射法成膜时,为了在溅射成膜时补充从薄膜中脱离的氧且尽可能使氧化物半导体层的密度变高(优选为 $6.0\text{g}/\text{cm}^3$ 以上),优选适当地控制成膜时的气压、氧添加量(氧的分压)、对溅射靶的输入功率、基板温度、T-S间距离(溅射靶与基板的距离)等。

[0092] 具体来说,例如优选在下述溅射条件下成膜。

[0093] 当使用上述靶进行溅射时,优选将基板温度大致控制在室温 $\sim 200^\circ\text{C}$ 左右,适当地控制氧添加量而进行。

[0094] 氧添加量根据溅射装置的构成、靶组成等适当地控制即可,从而以半导体的形式发挥作用,优选大致使半导体载流子浓度为 $10^{15}\sim 10^{16}\text{cm}^{-3}$ 来添加氧量。

[0095] 另外,优选适当地控制溅射成膜时的气压、对溅射靶的输入功率、T-S间距离(溅射靶与基板的距离)等,从而调整氧化物半导体层的密度。例如,为了抑制溅射原子间的散射,成膜时的总气压越低越好,从而能够形成致密(高密度)的膜。优选气压大致在 $1\sim 3\text{mTorr}$ 的范围内。另外,输入功率也越高越好,但推荐大致设定在 $200\text{W}$ 以上。

[0096] 另外,由于氧化物半导体层的密度还受到成膜后的热处理条件的影响,因此,优选适当地控制成膜后的热处理条件。成膜后的热处理例如优选在大气气氛或水蒸气气氛下在大致 $250\sim 400^\circ\text{C}$ 下进行10分钟 $\sim 3$ 小时左右。这样的热处理在例如TFT的制造过程的热过程也可以控制。例如可通过预退火处理(将氧化膜半导体层湿蚀刻后的图案化后的热处理)而提高密度。

[0097] 本发明中还包括具备上述氧化物作为TFT的半导体层(氧化物半导体层)的TFT。对于该TFT而言,只要上述氧化物半导体层具备第二氧化物半导体层与第一氧化物半导体层的层叠结构即可,对于包括栅极绝缘膜在内的其他构成而言,没有特别的限定。例如在基板上设置栅电极、栅极绝缘膜、上述氧化物半导体层、源电极、漏电极(有时将源电极与漏电极合并而称作源-漏电极)、及保护膜(BCE型)、蚀刻阻挡层的情况下,进一步至少具有蚀刻阻挡层(ESL型)即可,其构成只要是通常使用的构成,就没有特别限定。需要说明的是,保护膜也如图中所示出的那样形成于源-漏电极的上侧,但是也可以以保护栅极绝缘膜、上述氧化物半导体层、源-漏电极为宗旨而形成。

[0098] 以下,边参照图3,边对不具有蚀刻阻挡层的BCE型TFT的制造方法的实施方式进行说明。图3以及以下的制造方法示出本发明的优选实施方式的一例,但并非限定于此的意思。例如,虽然图3中示出了底栅型结构的TFT,但并不限定于此,也可以是在氧化物半导体层之上依次具备栅极绝缘膜和栅电极的顶栅型TFT。

[0099] 在图3中在基板1上形成了栅电极2以及栅极绝缘膜3,在其上形成了第二氧化物半导体层4B。在第二氧化物半导体层4B上形成了第一氧化物半导体层4A,进而在其上形成了源-漏电极5,在其上形成了保护膜(绝缘膜)6,并且经由接触孔7将透明导电膜(未图示)电连接于漏电极5。

[0100] 在基板1上形成栅电极2以及栅极绝缘膜3的方法没有特别限定,可采用通常使用的方法。另外,栅电极2以及栅极绝缘膜3的种类也没有特别限定,可使用通用的种类。例如,作为栅电极,优选使用电阻率低的Al或Cu的金属、耐热性高的Mo、Cr、Ti等高熔点金属、或它们的合金。另外,作为栅极绝缘膜3,可代表性地例示出硅氮化膜(SiN)、硅氧化膜( $\text{SiO}_2$ )、硅

氮氧化膜(SiON)等。其中,还可使用 $\text{Al}_2\text{O}_3$ 、 $\text{Y}_2\text{O}_3$ 等氧化物、或它们的层叠物。

[0101] 接下来,形成氧化物半导体层(从基板侧依次形成第二氧化物半导体层4B、第一氧化物半导体层4A)。第二氧化物半导体层4B也可通过使用了IZTO靶的DC溅射法或RF溅射法来成膜。同样地,第一氧化物半导体层4A可通过使用构成第一氧化物半导体层4A的IGZTO靶的DC溅射法或RF溅射法来成膜。

[0102] 优选第二氧化物半导体层4B、第一氧化物半导体层4A依次经真空一环连续成膜。这时,若将第一氧化物半导体层控制为满足上述的组成,则在溅射速率提高的同时,湿蚀刻特性也提高。

[0103] 对于氧化物半导体层经湿蚀刻后进行图案化。紧接图案化之后,为了改善氧化物半导体层的膜质而优选进行热处理(预退火)。由此,晶体管特性的通态电流和场效应迁移率上升,使晶体管性能提高。作为优选的预退火条件,例如,可列举温度:约 $250\sim 400^\circ\text{C}$ ,时间:约10分钟~1小时等。

[0104] 预退火后形成源-漏电极5。源-漏电极5的种类没有特别限定,可使用通用的种类。例如与栅电极同样,可使用Mo、Al、Cu等金属或它们的合金。

[0105] 作为源-漏电极5的形成方法,例如可通过磁控管溅射法将金属薄膜成膜,然后通过光刻法图案化,进行湿蚀刻而形成电极。

[0106] 接着,在氧化物半导体层4A、源-漏电极5之上,通过CVD(Chemical Vapor Deposition)法成膜保护膜6。保护膜6例如可使用 $\text{SiO}_2$ 和SiON、SiN。另外,可使用溅射法来形成保护膜6。氧化物半导体层4A的表面由于CVD造成的等离子体损伤而容易导通化(推测大致是因为在第一氧化物半导体表面生成的氧缺陷成为电子供体。),因此也可以在保护膜6的成膜前进行 $\text{N}_2\text{O}$ 等离子体照射。 $\text{N}_2\text{O}$ 等离子体的照射条件,例如采用下述文献所述的条件即可。

[0107] J.Park等,Appl.Phys.Lett.,1993,053505(2008)

[0108] 接着,基于常规方法,经由接触孔7将透明导电膜与漏电极5电连接。透明导电膜和漏电极的种类未特别限定,可以使用通常所用的部件。作为漏电极,可以使用例如前述的源-漏电极中例示的漏电极。

[0109] 以下,边参照图4边对具有蚀刻阻挡层的ESL型TFT的制造方法的实施方式进行说明。图4以及以下的制造方法示出本发明的优选实施方式的一例,但并非限定于此的意思。例如,虽然图4中示出了底栅型结构的TFT,但并不限定于此,可以在氧化物半导体层之上依次具备栅极绝缘膜和栅电极的顶栅型的TFT。在顶栅型TFT中也是使第一氧化物半导体层介于第二氧化物半导体层与蚀刻阻挡层之间即可。

[0110] 在图4中,在基板1上形成了栅电极2以及栅极绝缘膜3,在其上形成了第二氧化物半导体层4B。在第二氧化物半导体层4B上形成了第一氧化物半导体层4A,进而在其上形成了蚀刻阻挡层8、源-漏电极5,在其上形成了保护膜(绝缘膜)6,经由接触孔7将透明导电膜(未图示)电连接于漏电极5。

[0111] 在基板1上形成栅电极2以及栅极绝缘膜3的方法没有特别限定,可采用通常使用的方法。另外,栅电极2以及栅极绝缘膜3的种类也没有特别限定,可使用通常的种类。例如,作为栅电极,可优选使用电阻率低的Al或Cu金属、耐热性高的Mo、Cr、Ti等高熔点金属、或它们的合金。另外,作为栅极绝缘膜3,可代表性地例示出硅氮化膜(SiN)、硅氧化膜( $\text{SiO}_2$ )、硅氮氧化膜(SiON)等。其中,还可使用 $\text{Al}_2\text{O}_3$ 或 $\text{Y}_2\text{O}_3$ 等氧化物、或它们的层叠物。

[0112] 接下来,形成氧化物半导体层(从基板侧依次形成第二氧化物半导体层4B、第一氧化物半导体层4A)。第二氧化物半导体层4B也可以通过使用了IZTO靶的DC溅射法或者RF溅射法来成膜。同样地,第一氧化物半导体层4A也可以通过使用构成第一氧化物半导体层4A的IGZTO靶的DC溅射法或RF溅射法来成膜。

[0113] 优选第二氧化物半导体层4B、第一氧化物半导体层4A依次经真空一环连续成膜。这时,若将第一氧化物半导体层控制为满足上述的组成,则在溅射速率提高的同时,湿蚀刻特性也提高。

[0114] 对于氧化物半导体层经湿蚀刻后进行图案化。紧接图案化之后,为了改善氧化物半导体层的膜质而优选进行热处理(预退火)。由此,晶体管特性的通态电流和场效应迁移率上升,使晶体管性能提高。作为优选的预退火条件,例如,可列举温度:约250~400℃,时间:约10分钟~1小时等。

[0115] 预退火之后,形成蚀刻阻挡层8。蚀刻阻挡层8通常使用SiO<sub>2</sub>等绝缘膜。若在不形成蚀刻阻挡层8的情况下形成源-漏电极5,则在对源-漏电极5实施蚀刻时有可能使氧化物半导体层受到损伤而使晶体管特性降低。蚀刻阻挡层8的种类没有特别限定,使用通常的种类即可,例如与保护膜同样地,由SiO<sub>2</sub>等形成即可。

[0116] 源-漏电极5的种类未特别限定,可以使用通用的。例如与栅电极同样,也可以使用Mo、Al、Cu等金属或合金。电极的形成普遍使用的是溅射法。

[0117] 作为源-漏电极5的形成方法,例如可通过磁控管溅射法将金属薄膜成膜,然后通过光刻法图案化,进行湿蚀刻而形成电极。

[0118] 接着,在氧化物半导体层4A、源-漏电极5之上,通过CVD(Chemical Vapor Deposition)法成膜保护膜6。保护膜6例如可使用SiO<sub>2</sub>和SiON、SiN等。另外,也可以使用溅射法形成保护膜6。

[0119] 接着,基于常规方法,经由接触孔7将透明导电膜与漏电极5电连接。透明导电膜和漏电极5的种类未特别限定,可以使用通常所用的。作为漏电极,可以使用例如前述的源-漏电极中例示的漏电极。

[0120] 实施例

[0121] 以下,列举实施例来对本发明更具体地进行说明,但是本发明根本不受下述实施例的限制,自然也可在符合前后所述的主旨的范围内适当地进行改变,它们均包含在本发明的技术范围中。

[0122] 实施例1(BCE型)

[0123] (应力耐受性的评价)

[0124] 制作具有氧化物半导体层的TFT(图1、3),评价应力耐受性。

[0125] 首先,在玻璃基板1(Corning公司制EAGLE XG、直径100mm×厚度0.7mm)上依次作为栅电极2而成膜100nm的Mo薄膜,以及作为栅极绝缘膜3而成膜SiO<sub>2</sub>(200nm)。栅电极2使用纯Mo的溅射靶,通过DC溅射法,以成膜温度:室温、成膜功率密度:300W、载气:Ar、气压:2mTorr、Ar气流量:20sccm进行了成膜。另外,栅极绝缘膜3使用等离子体CVD法,以载气:SiH<sub>4</sub>和N<sub>2</sub>O的混合气体、成膜功率:100W、成膜时的气压:133Pa、成膜温度:320℃进行了成膜。

[0126] 其次,使用具有与氧化物半导体层的组成相对应的组成的氧化物溅射靶,通过下述条件的溅射法,以规定的膜厚成膜表1所示的组成和结构的氧化物半导体层。

[0127] 具体来说,表1中,No.1(现有例)是图1的构成例,作为上述氧化物半导体层4,将非晶IZTO的氧化物半导体层(In:Zn:Sn(原子%比)=20:56.7:23.3、单层)在栅极绝缘膜3之上成膜(第一氧化物半导体层4A不成膜)。

[0128] No.2是图3的构成例,在栅极绝缘膜3上将第二氧化物半导体层4B(IZTO:原子%比与No.1相同)成膜后,再将第一氧化物半导体层4A(In:Ga:Zn:Sn(原子%比)=21.1:16.7:53.3:8.9)成膜。

[0129] 构成氧化物半导体层的第二氧化物半导体层4B与第一氧化物半导体层4A的成膜在途中对腔室不开放大气,而连续地进行了成膜。

[0130] 由此而得的氧化物半导体层中的金属元素的各含量通过XPS(X-ray Photoelectron Spectroscopy)法进行了分析。第一氧化物半导体层、第二氧化物半导体层的金属元素的含量与用于成膜的氧化物溅射靶中的金属元素的含量和组成比相同。

[0131] 第二氧化物半导体层4B、第一氧化物半导体层4A的成膜均使用DC溅射法来成膜。溅射所使用的装置为(株)ULVAC公司制造的“CS-200”,溅射条件如下所述。

[0132] 基板温度:室温

[0133] 气压:1mTorr

[0134] 氧分压: $O_2/(Ar+O_2) \times 100 = 4\%$

[0135] 成膜功率密度: $2.55W/cm^2$

[0136] 如上述这样成膜氧化物半导体层后,通过光刻和湿蚀刻进行了图案化。作为湿蚀刻液,使用了关东化学公司制造的“ITO-07N”。此时,在第一和第二氧化物半导体层之间不存在因湿刻蚀速率差造成的显著的高度差,确认到作为TFT器件,氧化物半导体层恰当地进行了湿蚀刻。

[0137] 使氧化物半导体层图案化后,为了使膜质提高而进行了预退火处理。预退火在大气气氛中以350℃进行了1小时。

[0138] 接着,使用纯Mo,通过剥离法形成源-漏电极5。具体来说,使用光刻胶进行图案化之后,通过DC溅射法成膜Mo薄膜(膜厚为100nm)。源-漏电极用Mo薄膜的成膜条件与上述栅电极相同。然后,通过光刻以及湿蚀刻形成了图案。湿蚀刻液使用了Nagasechemtex公司制造的“AC101”。具体来说,使用混酸蚀刻液(AC101:纯水=1:0.75),在将液温保持在室温的同时可靠地进行图案化,并且为了防止源-漏电极的短路,进行相对于膜厚相当于20%的过蚀刻。接下来,在丙酮液中使用超声音波洗涤器将多余的光致抗蚀剂除去,使TFT的沟道长为10 $\mu$ m、沟道宽为25 $\mu$ m。

[0139] 如此形成源-漏电极5后,在其上形成保护氧化物半导体层的保护膜6。作为保护膜6,使用了SiO<sub>2</sub>(膜厚100nm)和SiN(膜厚150nm)的层叠膜(合计膜厚350nm)。上述SiO<sub>2</sub>和SiN的形成,使用Samco公司制造的“PD-220NL”,且使用等离子体CVD法进行。在本实施例中,利用N<sub>2</sub>O气进行等离子体处理后,依次形成SiO<sub>2</sub>膜和SiN膜。在SiO<sub>2</sub>膜的形成中使用N<sub>2</sub>O和SiH<sub>4</sub>的混合气体,在SiN膜的形成中使用SiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub>的混合气体。在任意一种情况下,成膜功率均为100W,成膜温度均为150℃。

[0140] 接着,通过光刻和干蚀刻,在保护膜6上形成用于晶体管特性评价用探测的接触孔7。

[0141] 对于由此而得的各TFT,按以下方式对光照射和负偏压应力施加后的应力耐受性进行了评价。

[0142] 在本实施例中,进行了一边对栅电极施加负偏压、一边照射光(白色光)的应力施加试验。应力施加条件如下。作为光的波长,选择了接近氧化物半导体的带隙、晶体管特性易发生变动的400nm左右。

[0143] 栅极电压:-20V

[0144] 基板温度:60℃

[0145] 光应力

[0146] 波长:400nm

[0147] 照度(照射到TFT的光的强度): $0.1\mu\text{W}/\text{cm}^2$

[0148] 光源:OPTOSUPPLY公司制造的LED(由ND滤光片调整光量)

[0149] 应力施加时间:2小时

[0150] 在本实施例中,将2小时的应力施加时的阈值电压的变动值作为阈值电压偏移量 $\Delta V_{th}$ ,作为TFT特性中的应力耐受性的指标。在实施例1中,将 $\Delta V_{th}$ (绝对值)为12.25V以下(No.1的 $\Delta V_{th}$ 以下的值)的情况设为合格(判定:○)。

[0151] [表1]

试样No.	半导体层结构 (第一氧化物半导体层 / 第二氧化物半导体层)	构成图	$\Delta V_{th}$ (V)	判定
1	IZTO(40nm)	图1	12.25	-
2	IGZTO(20nm) / IZTO (20nm)	图3	9.50	○

[0152]

[0153] No.1为现有例(图1),应力施加开始后阈值电压大幅地偏移至负侧,2小时经过后的阈值电压的变化量( $\Delta V_{th}$ )为12.25V。另一方面,就No.2(图3)来说,应力施加时间2小时经过后的阈值电压的变化量低于No.1的值,与现有例相比显示出良好的应力耐受性。

[0154] 实施例2(BCE型)

[0155] (湿蚀刻特性的评价)

[0156] 为了评价湿蚀刻特性,不使氧化物半导体层形成层叠结构,对于第一氧化物半导体层、第二氧化物半导体层、纯Mo膜各自来说,测定使用了氧化物半导体加工用蚀刻液或源-漏电极用蚀刻液时的蚀刻速率。而且,对相对于氧化物半导体加工用蚀刻液的湿蚀刻性(第一氧化物半导体层与第二氧化物半导体层的蚀刻速率差)、相对于源-漏电极用蚀刻液的湿蚀刻耐性(第一氧化物半导体层与纯Mo膜的蚀刻速率差)进行了评价。

[0157] 对于本发明的层叠结构所使用的第一氧化物半导体层,如下所述地制作出试样,评价了湿蚀刻特性。

[0158] 对于实施例1相同地,在玻璃基板依次时栅电极(Mo)、栅极绝缘膜( $\text{SiO}_2$ )成膜。接着,将 $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 、 $\text{ZnO}$ 及 $\text{SnO}_2$ 这4个靶配置在基板的周围,利用与上述实施例1的第一氧化物半导体层的溅射条件相同的条件下的溅射法,使第一氧化物半导体层(膜厚40nm)成膜在静止的基板上。

[0159] 根据上述成膜方法,可根据基板上的位置来改变IGZTO的组成比。即,伴随着远离靶,膜中的靶构成元素的比率降低。例如,在靠近 $\text{SnO}_2$ 靶的位置,组成成为 $\text{In}:\text{Ga}:\text{Zn}:\text{Sn}=13.9:9.6:55.8:20.7$ (表2的No.9),而在基板中央成为 $\text{In}:\text{Ga}:\text{Zn}:\text{Sn}=5.6:39.8:38.9:15.7$ (No.6)。另外,在靠近 $\text{ZnO}$ 靶的位置,成为 $\text{In}:\text{Ga}:\text{Zn}:\text{Sn}=6.0:15.0:73.0:6.0$ (No.5)。

[0160] 需要说明的是,这种成膜方法被常规地确立为用于考察最佳组成比的方法。

[0161] 另外,对于相当于第二氧化物半导体层的IZTO( $\text{In}:\text{Zn}:\text{Sn}$ (原子%比)=20:56.7:23.3)、相当于上述源-漏电极的纯Mo膜而言,也分别进行同样的操作而制作出试样(成膜条件分别与实施例1相同),考察对于各湿蚀刻液的湿蚀刻特性。

[0162] 对于上述各试样的湿蚀刻特性而言,在(A)氧化物半导体加工用湿蚀刻液[关东化学社制造的“ITO-07N”、液温:室温]中浸渍上述试样而进行了蚀刻。测定蚀刻前后的氧化物半导体层的膜厚的变化(切削量),基于与蚀刻时间的关系,算出蚀刻速度。

[0163] 另外,在(B)源-漏电极用湿蚀刻液[Nagasechemtex公司制造的“AC101”与纯水的混酸蚀刻液(AC101:纯水=1:0.75)、液温:室温]中,浸渍上述试样而进行蚀刻,进行同样地操作,算出蚀刻速度。

[0164] 需要说明的是,相对于氧化物半导体加工用湿蚀刻液的与第2半导体层相当的IZTO膜的蚀刻速率为49nm/分钟。另外,相对于源-漏电极用湿蚀刻液的与源-漏电极相当的纯Mo膜的蚀刻速率为300nm/分钟。

[0165] 相当于第一氧化物半导体层的IGZTO膜与相当于第二氧化物半导体层的IZTO膜的蚀刻速率比为0.1~4倍时,将(A)相对于氧化物半导体加工用湿蚀刻液的湿蚀刻性评价为良好(○),将上述蚀刻速率比在上述范围外的情况评价为不良(×)。

[0166] 另外,如果第一氧化物半导体层的蚀刻速率相对于纯Mo膜的蚀刻速率为1/2以下,则将(B)相对于源-漏电极用湿蚀刻液的湿蚀刻耐性评价为良好(○),将超过1/2的情况评价为上述湿蚀刻耐性不良(×)。

[0167] (应力耐受性的评价)

[0168] 进而,使用具有表2的各试样的组成比的靶,使第一氧化物半导体层成膜,除此以外,基于上述实施例1的制造方法来制作TFT(图3:BCE型),从而以与上述实施例1相同的基准对应力耐受性进行了试验。需要说明的是,在实施例2中,将阈值电压的变化为8.0V以下的情况评价为应力耐受性良好。

[0169] (综合评价)

[0170] 基于上述湿蚀刻特性、以及应力耐受性的结果,以下述基准进行判定。

[0171] ○:应力耐受性  $\Delta V_{th} \leq 8.0V$ 、且

[0172] 湿蚀刻特性

[0173] (A) 氧化物半导体层用蚀刻液:○评价

[0174] (B) 源-漏电极用湿蚀刻液:○评价

[0175] ×:上述○评价以外

[0176] 需要说明的是,前述“ $\Delta V_{th} \leq 8.0V$ ”是可评价为与第二氧化物半导体层单层的情况相比而言应力耐受性良好的基准。

[0177] [表2]

[0178]

试样 No.	In(原子%)	Ga(原子%)	Zn(原子%)	Sn(原子%)	$\Delta V_{th}$ (V)	氧化物半导体加工用蚀刻液 相对于IZTO的比	源-漏电极用蚀刻液 相对于Mo的比	判定
1	19	57.9	34.1	6.2	8.25	x	x	x
2	3.4	49.5	36.8	10.2	4.25	o	o	o
3	3.2	46.4	42.1	8.3	3.75	o	o	o
4	2.9	42.7	47.7	6.7	11.00	o	x	x
5	6.0	15.0	73.0	6.0	6.00	x	x	x
6	5.6	39.8	38.9	15.7	6.50	o	o	o
7	16.6	16.8	47.2	19.4	6.50	o	o	o
8	3.0	49.5	38.3	9.3	3.75	o	o	o
9	13.9	9.6	55.8	20.7	7.70	o	o	o
10	24.0	8.0	55.0	12.0	4.50	o	o	o

[0179] No. 2、3、6~10是将本发明的第一氧化物半导体层所含的成分组成控制在规定的范围内的例子,具有优异的应力耐受性和蚀刻特性。

[0180] No. 1是Zn及Sn的含量少的例子。对于Zn含量少的No. 1来说,相对于IZTO而言蚀刻

速度慢,因此相对于氧化物半导体加工用湿蚀刻液的湿蚀刻性差。另外,由于Sn少,因此相对于源-漏电极用湿蚀刻液来说,第一氧化物半导体层发生溶出。

[0181] No.4是Sn含量少的例子。与No.1相同,由于Sn少,因此相对于源-漏电极用湿蚀刻液来说,第一氧化物半导体层发生溶出。

[0182] No.5是第一氧化物半导体层的Zn含量多、而Sn少的例子。由于Zn含量的多,因此与IZTO相比,第一氧化物半导体层的蚀刻速度快。另外,由于Sn少,因此相对于源-漏电极用湿蚀刻液而言,第一氧化物半导体层发生溶出。

[0183] 实施例3 (ESL型)

[0184] 制作具有氧化物半导体层的TFT(图2、图4、图5),评价了应力耐受性。

[0185] 首先,在玻璃基板1(Corning公司制造的EAGLE XG、直径100mm×厚度0.7mm)上依次作为栅电极2而成膜100nm的Mo薄膜,以及作为栅极绝缘膜3而成膜SiO<sub>2</sub>(200nm)。栅电极2使用纯Mo的溅射靶,通过DC溅射法,以成膜温度:室温、成膜功率密度:300W、载气:Ar、气压:2mTorr、Ar气流量:20sccm的条件进行了成膜。另外,栅极绝缘膜3使用等离子体CVD法,以载气:SiH<sub>4</sub>和N<sub>2</sub>O的混合气体、成膜功率:100W、成膜时的气压:133Pa、成膜温度:320°C的条件进行了成膜。

[0186] 其次,使用具有与氧化物半导体层的组成相对应的组成的氧化物溅射靶,通过下述条件的溅射法,以规定的膜厚成膜表3所示的组成和结构的氧化物半导体层。

[0187] 具体来说,表3中,No.1(现有例)是图2的构成例,作为上述氧化物半导体层4而将非晶IZTO的氧化物半导体层(In:Zn:Sn(原子%比)=20:56.7:23.3、单层)成膜在栅极绝缘膜3之上(第一氧化物半导体层4A未成膜)。

[0188] No.2~5是图4的构成例,在栅极绝缘膜3上将第二氧化物半导体层4B(IZTO:原子%比与No.1相同)成膜,然后将第一氧化物半导体层4A(原子%比In:Ga:Zn:Sn=21.1:16.7:53.3:8.9)成膜。

[0189] No.6是图5的构成例,在栅极绝缘膜3上将第一氧化物半导体层4A(IGZTO:原子%比与No.2~5相同)成膜,然后将第二氧化物半导体层4B(原子%比与No.1相同)成膜。

[0190] No.7(现有例)是图2的构成例,作为上述氧化物半导体层4而将与上述No.1的成分组成不同的非晶IZTO的氧化物半导体层(原子%比In:Zn:Sn=30:49.6:20.4,单层)在栅极绝缘膜3之上成膜(第一氧化物半导体层4A未成膜)。

[0191] 进而,No.8~19为图4的构成例,在栅极绝缘膜3上将第二氧化物半导体层4B(IZTO:原子%比与No.7相同)成膜,然后将表3所示的成分组成的第一氧化物半导体层4A成膜。

[0192] No.2~6以及8~19的构成氧化物半导体层的第二氧化物半导体层4B与第一氧化物半导体层4A的成膜在途中不对腔室开放大气而连续地进行了成膜。另外,由此所得的氧化物半导体层中的金属元素的各含量通过XPS(X-ray Photoelectron Spectroscopy)法进行了分析。第一氧化物半导体层、第二氧化物半导体层的金属元素的含量与用于成膜的氧化物溅射靶中的金属元素的含量和组成比相同。

[0193] 第二氧化物半导体层4B、第一氧化物半导体层4A的成膜均使用DC溅射法来成膜。溅射所使用的装置为(株)ULVAC公司制造的“CS-200”,溅射条件如下所述。

[0194] 基板温度:室温

[0195] 气压:1mTorr

[0196] 氧分压: $O_2/(Ar+O_2) \times 100=4\%$

[0197] 成膜功率密度: $2.55W/cm^2$

[0198] 如上所述地将氧化物半导体层成膜后,通过光刻以及湿蚀刻进行图案化。作为湿蚀刻液,使用了关东化学公司制造的“ITO-07N”。此时,在第一和第二氧化物半导体层之间不存在因湿刻蚀速率差造成的显著的高度差,确认到作为TFT器件,氧化物半导体层恰当地进行了湿蚀刻。

[0199] 使氧化物半导体层图案化后,为了使膜质提高而进行了预退火处理。预退火在大气气氛中以 $350^\circ C$ 进行了1小时

[0200] 接下来,作为蚀刻阻挡层8而使用等离子体CVD法在沟道层(氧化物半导体层)上将硅氧化膜( $SiO_2$ )成膜为100nm。具体来说,在基板温度: $200^\circ C$ 、成膜功率:100W、载气: $SiH_4$ 与 $N_2O$ 的混合气体的条件下成膜。需要说明的是,蚀刻阻挡层8使用与栅极绝缘膜相同的装置来成膜。

[0201] 接着,使用纯Mo,通过剥离法形成源-漏电极5。具体来说,使用光刻胶进行图案化之后,通过DC溅射法成膜Mo薄膜(膜厚为100nm)。源-漏电极用Mo薄膜的成膜条件与上述栅电极相同。接下来,在丙酮液中使用超声音波洗涤器将不必要的光致抗蚀剂除去,使TFT的沟道长为 $10\mu m$ 、沟道宽为 $25\mu m$ 。

[0202] 如此形成源-漏电极5后,在其上形成保护膜6。作为保护膜6,形成了 $SiO_2$ (膜厚100nm)和 $SiN$ (膜厚150nm)的层叠膜(合计膜厚350nm)。上述 $SiO_2$ 和 $SiN$ 的形成,使用Samco公司制造的“PD-220NL”,且使用等离子体CVD法进行。在本实施例中,利用 $N_2O$ 气进行等离子体处理后,依次形成 $SiO_2$ 膜和 $SiN$ 膜。在 $SiO_2$ 膜的形成中使用 $N_2O$ 和 $SiH_4$ 的混合气体,在 $SiN$ 膜的形成中使用 $SiH_4$ 、 $N_2$ 、 $NH_3$ 的混合气体。在任意一种情况下,成膜功率均为100W,成膜温度均为 $150^\circ C$ 。

[0203] 接着,通过光刻和干蚀刻,在保护膜6上形成用于晶体管特性评价用探测的接触孔7。

[0204] 对于由此而得的各TFT,如以所下地对光照射和负偏压应力施加后的应力耐受性进行了评价。

[0205] 在本实施例中,进行了一边对栅电极施加负偏压、一边照射光(白色光)的应力施加试验。应力施加条件如下。作为光的波长,选择了接近氧化物半导体的带隙、晶体管特性易发生变动的400nm左右。

[0206] 栅极电压:-20V

[0207] 基板温度: $60^\circ C$

[0208] 光应力

[0209] 波长:400nm

[0210] 照度(照射到TFT的光的强度): $0.1\mu W/cm^2$

[0211] 光源:OPTOSUPPLY公司制造的LED(由ND滤光片调整光量)

[0212] 应力施加时间:2小时

[0213] 在本实施例中,将2小时的应力施加时的阈值电压的变动值作为阈值电压偏移量 $\Delta V_{th}$ ,作为TFT特性中的应力耐受性的指标。而且,在No.2~6中,即将 $\Delta V_{th}$ (绝对值)为

4.00V以下 (No.1的  $\Delta V_{th}$  以下的值) 的情形作为合格 (判定: ○), 将上述  $\Delta V_{th}$  超过4.00的情形作为不合格 (判定: ×)。另外, 在No.8~19中, 将  $\Delta V_{th}$  (绝对值) 为5.50V以下 (No.7的  $\Delta V_{th}$  以下的值) 的情形作为合格 (判定: ○), 将上述  $\Delta V_{th}$  为超过5.50V的情形作为不合格 (判定: ×)。

[0214] [表3]

试样 No.	第一氧化物半导体层				膜厚 (nm)	第二氧化物半导体层			膜厚 (nm)	构成图	$\Delta V_{th}$ (V)	判定
	In(原子%)	Ga(原子%)	Zn(原子%)	Sn(原子%)		In(原子%)	Zn(原子%)	Sn(原子%)				
1	-	-	-	-	0	-	-	-	40	图 2	4.00	-
2	-	-	-	-	35	-	-	-	5	图 4	0.75	○
3	-	-	-	-	30	-	-	-	10	图 4	0.75	○
4	21.1	16.7	53.3	8.9	20	20	56.7	23.3	20	图 4	0.50	○
5	-	-	-	-	10	-	-	-	30	图 4	2.25	○
6	-	-	-	-	10	-	-	-	30	图 5	0.75	○
7	-	-	-	-	0	-	-	-	40	图 2	5.50	-
8	-	-	-	-	10	-	-	-	30	图 4	5.00	○
9	19.5	44.6	24.2	11.8	20	-	-	-	20	图 4	3.75	○
10	-	-	-	-	30	-	-	-	10	图 4	2.25	○
11	-	-	-	-	10	-	-	-	30	图 4	6.75	×
12	14	33	38	15	20	30	49.6	20.4	20	图 4	5.25	○
13	-	-	-	-	30	-	-	-	10	图 4	4.75	○
14	-	-	-	-	10	-	-	-	30	图 4	7.25	×
15	15	23	44	18	20	-	-	-	20	图 4	6.25	×
16	-	-	-	-	30	-	-	-	10	图 4	5.25	○
17	-	-	-	-	10	-	-	-	30	图 4	8.50	×
18	17	17	47	19	20	-	-	-	20	图 4	6.75	×
19	-	-	-	-	30	-	-	-	10	图 4	5.50	○

[0215]

[0216] No.1为现有例(图2),应力施加开始后阈值电压大幅地偏移至负侧,2小时经过后的阈值电压的变化量( $\Delta V_{th}$ )为4.00V。另一方面,就No.2~5(图4)及No.6(图5)来说,应力施加时间2小时经过后的阈值电压的变化量低于No.1的值,与现有例相比显示出良好的应力耐受性。

[0217] 另外,No.7~19是将与No.1~6的第二氧化物半导体层(In为20%)相比In含量高的、包含In为30%的IZTO用于第二氧化物半导体层的例子。No.7是现有例(图2),应力施加开始后,阈值电压大幅地偏移至负侧,2小时经过后的阈值电压的变化量( $\Delta V_{th}$ )为5.50V。与此相对可知,若使第一氧化物半导体层与第二氧化物半导体层层叠,则与上述No.7相比, $\Delta V_{th}$ 变小,即,处于应力耐受性提高的倾向。

[0218] 需要说明的是,仅由第一氧化物半导体组成制成的薄膜晶体管的应力耐受性( $\Delta V_{th}$ )通过添加Ga15%以上而得到改善,若使第一氧化物半导体层与第二氧化物半导体层层叠,则应力耐受性受到第二氧化物半导体的影响而发生变化。

[0219] 由No.8~19的结果可知,在作为第二氧化物半导体层而使与No.1~6的第二氧化物半导体层相比In含量多的In30%的IZTO层叠的情况下,在第一氧化物半导体层的组成中,若使Ga量升至33%以上,则 $\Delta V_{th}$ 容易变小,即,易于获得更优异的应力耐受性。

[0220] 另外,根据No.1与No.7(均将第二氧化物半导体层形成为单层)的比较、第一氧化物半导体层的组成、膜厚类似的No.3~5(第二氧化物半导体层包含In为20%的IZTO)与No.17~19(第二氧化物半导体层包含In为30%的IZTO)的比较可知,在第二氧化物半导体的组成为更为富In(30%)的情况下(上述No.7、上述No.17~19), $\Delta V_{th}$ 存在变大的倾向。

[0221] 进而,由No.8~19的结果可知,在第二氧化物半导体的组成更为富In的情况下,第一氧化物半导体的膜厚为与第二氧化物半导体的膜厚同等以上时, $\Delta V_{th}$ 处于变小的倾向。

[0222] 由上述结果可知,在作为第二氧化物半导体而使用富In的IZTO时,优选第一氧化物半导体层的Ga含量为33%以上(如前所述,考虑到正常的成膜而优选Ga含量的上限低于50原子%)且第一氧化物半导体的膜厚为与第二氧化物半导体的膜厚同等以上。

[0223] 实施例4(ESL型)

[0224] (湿蚀刻特性的评价)

[0225] 为了评价湿蚀刻特性,不使氧化物半导体层成为层叠结构,对于第一、第二氧化物半导体层分别测定各自的蚀刻速率,评价相对于氧化物半导体加工用蚀刻液的湿蚀刻性(第一氧化物半导体层与第二氧化物半导体层的蚀刻速率差)。

[0226] 对于本发明的层叠结构所使用的第一半导体层,如下所述地制作出试样,评价湿蚀刻特性。

[0227] 与实施例3同样地进行操作,在玻璃基板依次将栅电极(Mo)、栅极绝缘膜( $\text{SiO}_2$ )成膜。接着,将 $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 、ZnO及 $\text{SnO}_2$ 这4个靶配置在基板的周围,利用与上述实施例3的第一氧化物半导体层的溅射条件相同的条件下的溅射法使第一氧化物半导体层(膜厚40nm)成膜在静止的基板上。

[0228] 根据上述成膜方法,可根据基板上的位置来改变IGZTO的组成比。即,伴随着远离靶,膜中的靶构成元素的比率降低。即,伴随着远离靶,膜中的靶构成元素的比率降低。例如在靠近 $\text{SnO}_2$ 靶的位置,组成为In:Ga:Zn:Sn=3.6:52.7:29.7:14.0(表4的No.1),在基板中央为In:Ga:Zn:Sn=5.0:35.3:49.1:10.6(No.10)。另外,在靠近ZnO靶的位置,为In:Ga:Zn:

Sn=10.6:13.0:60.8:15.5 (No.15)。

[0229] 需要说明的是,这样的成膜方法作为一直以来调制最佳的组成比的方法被确立。

[0230] 另外,在基板上制作相当于第二氧化物半导体层的IZTO(In:Zn:Sn(原子%比)=20:56.7:23.3)(成膜条件与实施例3的第二氧化物半导体层相同),与上述No.1~16进行相同的操作,考察湿蚀刻特性。

[0231] 对于上述各试样的湿蚀刻特性而言,在(A)氧化物半导体加工用湿蚀刻液[关东化学社制造的“ITO-07N”、液温:室温]中浸渍上述试样而进行了蚀刻。测定蚀刻前后的氧化物半导体层的膜厚的变化(切削量),基于与蚀刻时间的关系,算出蚀刻速度。

[0232] 需要说明的是,相对于氧化物半导体加工用湿蚀刻液的与第二半导体层相当的IZTO膜的蚀刻速率为49nm/分钟。

[0233] 相当于第一氧化物半导体层的IGZTO膜(No.1~16)与相当于第二氧化物半导体层的IZTO膜的蚀刻速率比为0.1~4倍时,将相对于(A)氧化物半导体加工用湿蚀刻液的湿蚀刻性评价为良好(○),将上述蚀刻速率比在上述范围外的情况评价为不良(×)。

[0234] (应力耐受性的评价)

[0235] 进而,使用具有表4的各试样的组成比的靶将第一氧化物半导体层成膜,除此以外,基于上述实施例3的制造方法,制作TFT(图4:ESL结构时的类型),以与上述实施例3相同的基准来评价应力耐受性。需要说明的是,将阈值电压的变化为4.0V以下的情况评价为应力耐受性良好。

[0236] (综合评价)

[0237] 基于上述湿蚀刻特性、及应力耐受性的结果,以下述基准进行了评价。

[0238] ○:应力耐受性 $\Delta V_{th} \leq 4.0V$ 、且

[0239] 湿蚀刻特性○评价

[0240] ×:上述○评价以外

[0241] 需要说明的是,前述“ $\Delta V_{th} \leq 4.0V$ ”是与第二氧化物半导体层单层的情况相比可评价为应力耐受性良好的基准。

[0242] [表4]

[0243]

试样No.	In(原子%)	Ga(原子%)	Zn(原子%)	Sn(原子%)	$\Delta V_{th}$ (V)	氧化物半导体加工用蚀刻液 相对于 IZTO 的比		判定
1	3.6	52.7	29.7	14.0	2.50		x	x
2	3.4	49.5	36.8	10.2	2.50		o	o
3	3.2	46.4	42.1	8.3	1.00		o	o
4	5.8	41.4	31.8	21.0	2.75		x	x
5	5.7	40.5	36.5	17.3	2.50		o	o
6	5.3	37.9	43.9	13.0	1.25		o	o
7	16.6	16.8	47.2	19.4	0.50		o	o
8	13.9	9.6	55.8	20.7	1.75		o	o
9	21.1	16.7	53.3	8.9	2.75		o	o
10	5.0	35.3	49.1	10.6	0.75		o	o
11	4.3	30.5	57.4	7.8	2.75		o	o
12	7.8	26.8	49.6	15.7	0.50		o	o
13	7.7	12.4	69.4	10.4	4.50		x	x
14	12.5	15.3	48.6	23.5	2.00		o	o
15	10.6	13.0	60.8	15.5	3.75		o	o
16	24.0	7.9	55.0	12.0	4.50		o	x

[0244] No. 2、3、5~12、14、15是将本发明的第一氧化物半导体层中所含的成分组成控制在规定的范围内的例子,具有优异的应力耐受性和湿蚀刻特性。

[0245] No. 1是Zn含量少的例子。对于Zn含量少的No. 1而言,蚀刻速度慢,因此湿蚀刻特性

差。

[0246] No.13是Zn含量多的例子,与由IZTO构成的第二氧化物半导体层相比,第一氧化物半导体层的蚀刻速率过快,因此,侧向蚀刻变大,无法图案化为所需的形状。

[0247] No.16是第一氧化物半导体层所含的Ga含量低于规定的例子,与由IZTO构成的第二氧化物半导体层的蚀刻速率比良好,但是应力耐受性不足。

[0248] 本申请主张基于2012年6月6日申请的日本专利申请第2012-129399号的优先权的利益。2012年6月6日申请的日本专利申请第2012-129399号的说明书的全部内容被援引于本申请中而用于参考。

[0249] 符号说明

[0250] 1 基板

[0251] 2 栅电极

[0252] 3 栅极绝缘膜

[0253] 4 第二氧化物半导体层

[0254] 4A 第一氧化物半导体层

[0255] 5 源-漏电极

[0256] 6 保护膜(绝缘膜)

[0257] 7 接触孔

[0258] 8 蚀刻阻挡层

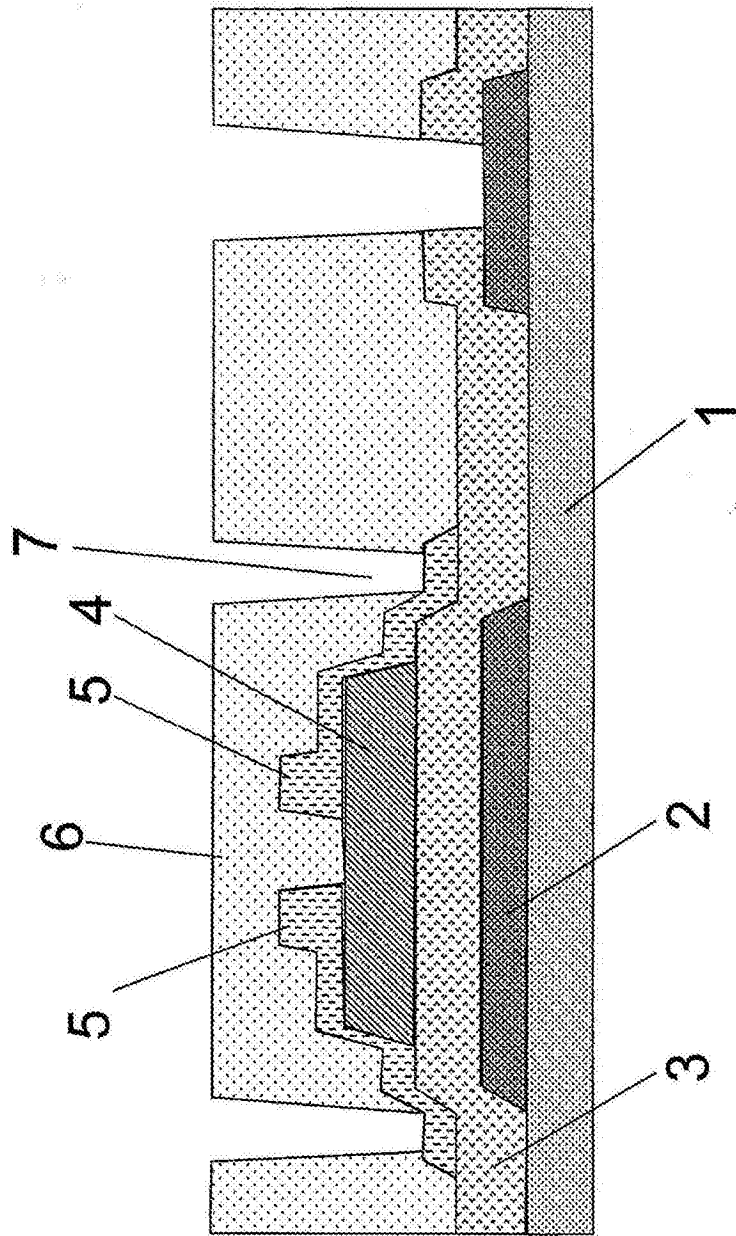


图1

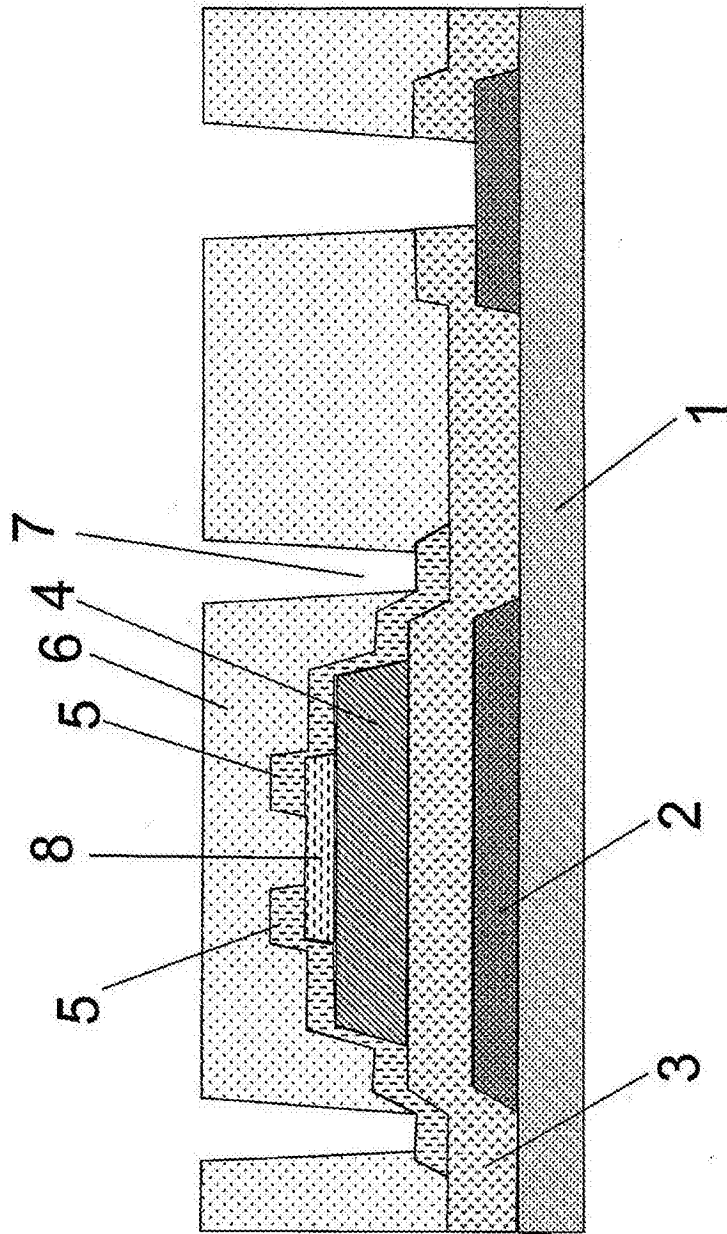


图2

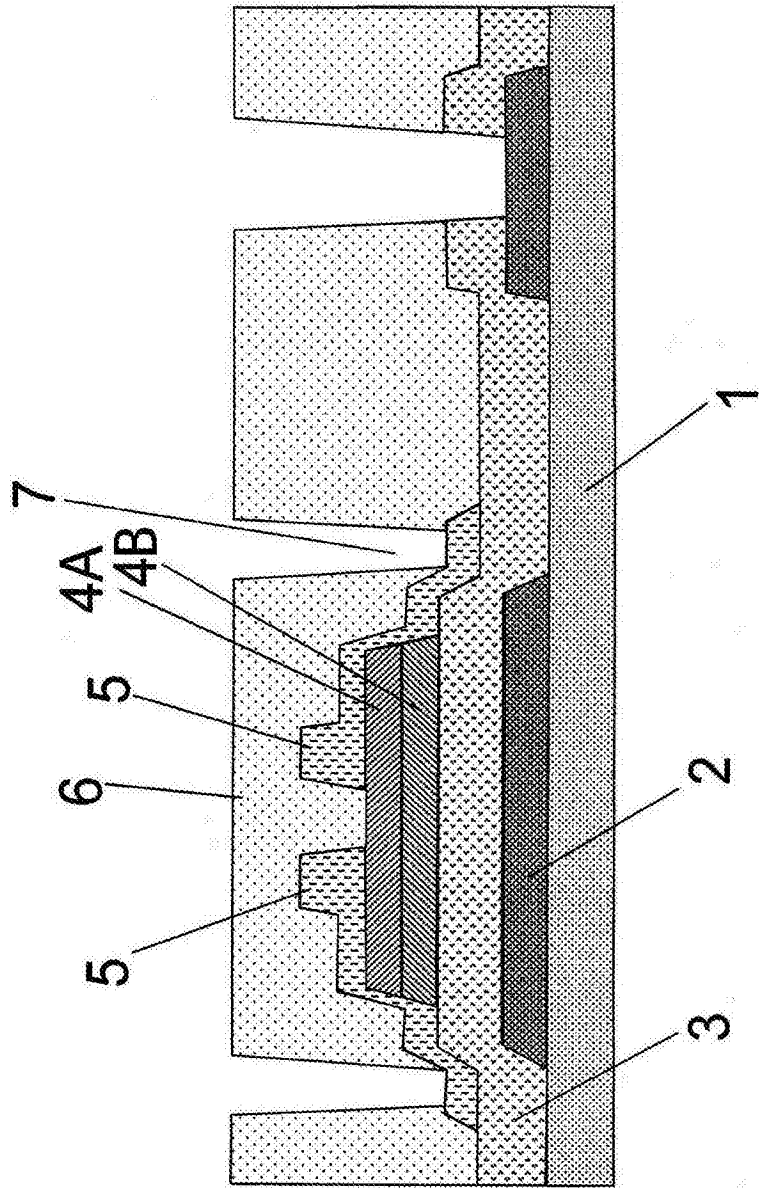


图3

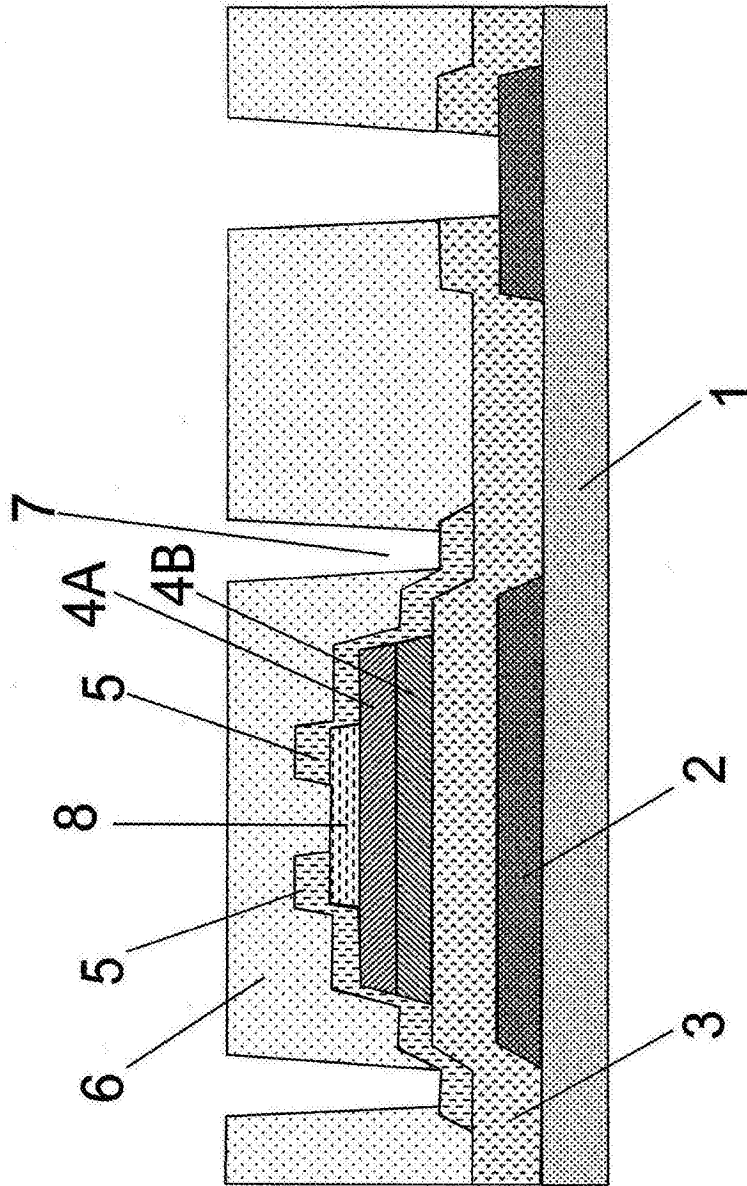


图4

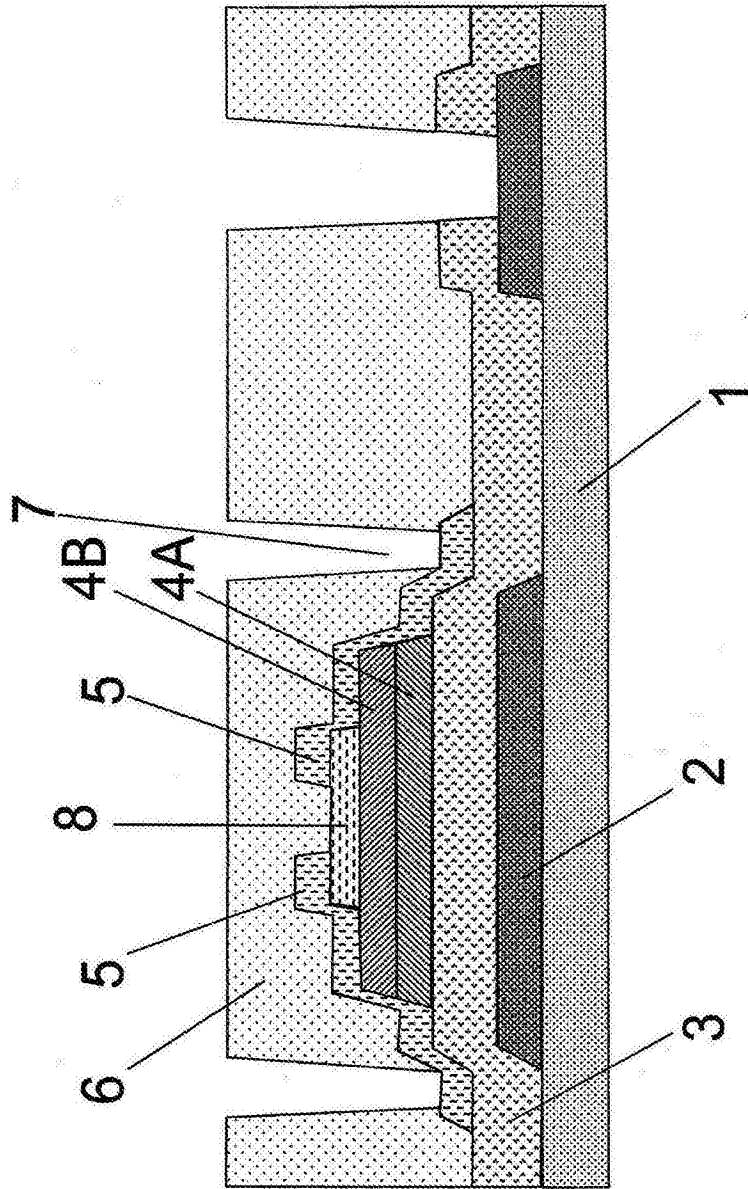


图5