



(12) 发明专利

(10) 授权公告号 CN 107112242 B

(45) 授权公告日 2020.11.13

(21) 申请号 201580072647.8

专利权人 三星电气株式会社

(22) 申请日 2015.12.18

(72) 发明人 萩本和德 篠宫胜 土屋庆太郎

(65) 同一申请的已公布的文献号

后藤博一 佐藤宪 鹿内洋志

申请公布号 CN 107112242 A

(74) 专利代理机构 隆天知识产权代理有限公司

(43) 申请公布日 2017.08.29

72003

(30) 优先权数据

代理人 李英艳 张永康

2015-002047 2015.01.08 JP

(51) Int.CI.

H01L 21/338 (2006.01)

(85) PCT国际申请进入国家阶段日

H01L 21/20 (2006.01)

2017.07.06

H01L 21/336 (2006.01)

(86) PCT国际申请的申请数据

H01L 29/778 (2006.01)

PCT/JP2015/006313 2015.12.18

H01L 29/78 (2006.01)

(87) PCT国际申请的公布数据

H01L 29/812 (2006.01)

W02016/110906 JA 2016.07.14

审查员 蒋佳

(73) 专利权人 信越半导体股份有限公司

权利要求书1页 说明书7页 附图11页

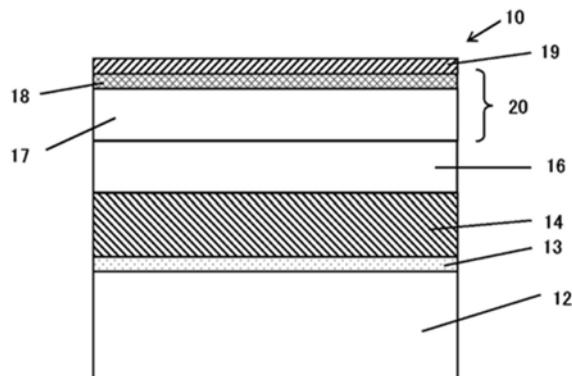
地址 日本东京都

(54) 发明名称

电子器件用外延基板、电子器件、电子器件  
用外延基板的制造方法及电子器件的制造方法

(57) 摘要

本发明是一种电子器件用外延基板，其具有：硅系基板；AlN初始层，其被设置于该硅系基板上；以及，缓冲层，其被设置于该AlN初始层上；前述AlN初始层的位于前述缓冲层侧的表面的粗糙度Sa为4nm以上。由此，提供了一种电子器件用外延基板，其能够抑制缓冲层构造的V形凹坑，并改善制作电子器件时的纵向漏泄电流特性。



1. 一种电子器件用外延基板，其特征在于，  
具有：硅系基板；

A1N初始层，被设置于前述硅系基板上；以及，  
缓冲层，被设置于前述A1N初始层上，  
前述电子器件用外延基板具有：通道层，被设置于前述缓冲层上；  
障壁层，被设置于前述通道层上；以及，  
顶盖层，被设置于前述障壁层上，  
前述A1N初始层的位于前述缓冲层侧的表面的粗糙度Sa为4nm以上且为8nm以下。

2. 如权利要求1所述的电子器件用外延基板，其中，前述缓冲层，包含与前述A1N初始层接触的Al<sub>z</sub>Ga<sub>1-z</sub>N层，而且0≤z<1，

前述Al<sub>z</sub>Ga<sub>1-z</sub>N层的位于前述A1N初始层的相反侧的表面的粗糙度Sa为0.6nm以下，而且0≤z<1。

3. 如权利要求2所述的电子器件用外延基板，其中，前述缓冲层包含多层膜，该多层膜与前述Al<sub>z</sub>Ga<sub>1-z</sub>N层接触，并由Al<sub>x</sub>Ga<sub>1-x</sub>N层与Al<sub>y</sub>Ga<sub>1-y</sub>N层交互积层而成，而且0≤z<1、0<x≤1、0≤y<x；

前述多层膜的位于前述Al<sub>z</sub>Ga<sub>1-z</sub>N层的相反侧的表面的粗糙度Sa为0.3nm以下，而且0≤z<1。

4. 一种电子器件，其特征在于，是使用权利要求1～3中任一项所述的电子器件用外延基板而制作出来的电子器件，在前述电子器件用外延基板上设置有电极。

5. 一种电子器件用外延基板的制造方法，其特征在于，包括以下工序：

在硅系基板上形成A1N初始层的工序；  
在前述A1N初始层上形成缓冲层的工序；  
在前述缓冲层上形成通道层的工序；  
在前述通道层上形成障壁层的工序；以及，  
在前述障壁层上形成顶盖层的工序，  
将前述A1N初始层的位于前述缓冲层侧的表面的粗糙度Sa设为4nm以上且为8nm以下。

6. 一种电子器件用外延基板的制造方法，其特征在于，包括以下工序：

在硅系基板上形成A1N初始层的工序；  
在前述A1N初始层上形成缓冲层的工序；  
在前述缓冲层上形成通道层的工序；  
在前述通道层上形成障壁层的工序；  
在前述障壁层上形成顶盖层的工序；以及，  
在前述顶盖层上形成电极的工序，  
将前述A1N初始层的位于前述缓冲层侧的表面的粗糙度Sa设为4nm以上且为8nm以下。

## 电子器件用外延基板、电子器件、电子器件用外延基板的制造方法及电子器件的制造方法

### 技术领域

[0001] 本发明是关于电子器件用外延基板、电子器件、电子器件用外延基板的制造方法、以及电子器件的制造方法。

### 背景技术

[0002] 关于电子器件用化合物半导体外延晶片的制造技术,针对在硅(Si)基板上外延生长出氮化镓(GaN)膜的半导体外延晶片,正在研究能够改善其电特性、特别是纵向的漏泄电流的制造方法。

[0003] 在这样的研究中,是在半导体外延晶片制造后,于半导体外延晶片表面制作出器件,并进行电特性评价。

[0004] 以往,为了要进行外延生长,一直以来,优选的是,要进行外延生长的基底的表面平坦。

[0005] 例如,专利文献1有提及初始层的AlN(氮化铝)层的粗糙度,公开了通过将与AlN层接触的硅基板的表面粗糙度设为0.2~1nm,使生长于其上方的III族氮化物半导体的结晶性提高。然而,关于电特性,专利文献1中并未提及。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2011-066333号公报。

### 发明内容

[0009] 发明所要解决的问题

[0010] 本发明人针对如上述的外延晶片的电特性进行研究,发现了缓冲层构造的V形凹坑与纵向漏泄电流有关联性,若缓冲层构造的V形凹坑较少,则纵向漏泄电流会减少。

[0011] 然而,关于要怎样抑制缓冲层构造的V形凹坑,则还有研究的余地。

[0012] 本发明是鉴于上述问题点而完成,其目的在于提供一种电子器件用外延基板,其能够抑制缓冲层构造的V形凹坑,并改善制作电子器件时的电流漏泄特性。

[0013] 解决问题的技术方案

[0014] 为了达成上述目的,本发明提供一种电子器件用外延基板,其特征在于,具有:硅系基板;AlN初始层,被设置于该硅系基板上;以及,缓冲层,被设置于该AlN初始层上;前述AlN初始层的位于前述缓冲层侧的表面的粗糙度Sa为4nm以上。

[0015] 若如此地使AlN初始层的位于缓冲层侧的表面的粗糙度Sa为4nm以上,则能够抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善制作电子器件时的纵向漏泄电流特性。

[0016] 此时,优选前述AlN初始层的位于前述缓冲层侧的表面的粗糙度Sa为8nm以下。

[0017] 若如此地使AlN初始层的位于缓冲层侧的表面的粗糙度Sa为8nm以下,则能够确实

地抑制被形成于AlN初始层上的缓冲层构造的V形凹坑。

[0018] 此时,优选是前述缓冲层,包含与前述AlN初始层接触的Al<sub>z</sub>Ga<sub>1-z</sub>N(0≤z<1)层;并且,前述Al<sub>z</sub>Ga<sub>1-z</sub>N(0≤z<1)层的位于前述AlN初始层的相反侧的表面的粗糙度Sa为0.6nm以下。

[0019] 若如此地使Al<sub>z</sub>Ga<sub>1-z</sub>N层的位于AlN初始层的相反侧的表面的粗糙度Sa为0.6nm以下,则能够有效地改善制作电子器件时的纵向漏泄电流特性。

[0020] 此时,优选是前述缓冲层包含多层膜,该多层膜与前述Al<sub>z</sub>Ga<sub>1-z</sub>N(0≤z<1)层接触,并且由Al<sub>x</sub>Ga<sub>1-x</sub>N(0<x≤1)层与Al<sub>y</sub>Ga<sub>1-y</sub>N(0≤y<x)层交互积层而成;并且,前述多层膜的位于前述Al<sub>z</sub>Ga<sub>1-z</sub>N(0≤z<1)层的相反侧的表面的粗糙度Sa为0.3nm以下。

[0021] 若如此地使多层膜的位于Al<sub>z</sub>Ga<sub>1-z</sub>N(0≤z<1)层的相反侧的表面的粗糙度Sa为0.3nm以下,则能够更有效地改善制作电子器件时的纵向漏泄电流特性。

[0022] 此时,优选进一步具有:通道层,其被设置于前述缓冲层上;障壁层,其被设置于该通道层上;以及,顶盖层,其被设置于该障壁层上。

[0023] 若为这样的构成,则能够适合用来作为电子器件用外延基板。

[0024] 另外,本发明提供一种电子器件,其特征在于:是使用上述电子器件用外延基板而制作出来的电子器件,并且在前述电子器件用外延基板上设置有电极。

[0025] 若为这样的电子器件,则能够抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善纵向漏泄电流特性。

[0026] 此外,本发明提供一种电子器件用外延基板的制造方法,其特征在于,包括以下工序:在硅系基板上形成AlN初始层的工序;在前述AlN初始层上形成缓冲层的工序;在前述缓冲层上形成通道层的工序;在前述通道层上形成障壁层的工序;以及,在前述障壁层上形成顶盖层的工序;其中,将前述AlN初始层的位于前述缓冲层侧的表面的粗糙度Sa设为4nm以上。

[0027] 若为这样的电子器件用外延基板的制造方法,则能够制造出一种电子器件用外延基板,其可抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善制作电子器件时的纵向漏泄电流特性。

[0028] 此外,本发明提供一种电子器件的制造方法,其特征在于,包括以下工序:在硅系基板上形成AlN初始层的工序;在前述AlN初始层上形成缓冲层的工序;在前述缓冲层上形成通道层的工序;在前述通道层上形成障壁层的工序;在前述障壁层上形成顶盖层的工序;以及,在前述顶盖层上形成电极的工序;其中,将前述AlN初始层的位于前述缓冲层侧的表面的粗糙度Sa设为4nm以上。

[0029] 若为这样的电子器件的制造方法,则能够制造出一种电子器件,其可抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善纵向漏泄电流特性。

[0030] 发明效果

[0031] 如以上所述,根据本发明,能够抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善制作电子器件时的纵向漏泄电流特性。

## 附图说明

[0032] 图1是表示本发明的电子器件用外延基板的实施方式的一个例子的剖面图。

- [0033] 图2是表示本发明的电子器件用外延基板的缓冲层的详细构成的剖面图。
- [0034] 图3是表示本发明的电子器件用外延基板的详细构成的剖面图，并且该构成中也包含AlN初始层和缓冲层的表面粗糙度。
- [0035] 图4是表示本发明的电子器件的实施方式的一个例子的剖面图。
- [0036] 图5是表示本发明的电子器件用外延基板的制造流程的工序剖面图。
- [0037] 图6是表示实验例中的缓冲层构造的V形凹坑密度与AlN初始层的表面粗糙度Sa之间的关系的图。
- [0038] 图7是表示实验例中的纵向漏泄电流与AlN初始层的表面粗糙度Sa之间的关系的图。
- [0039] 图8是表示实施例中的AlN初始层生长后的AlN初始层的表面的照片的图。
- [0040] 图9是表示实施例中的Al<sub>z</sub>Ga<sub>1-z</sub>N (0≤z<1) 层(第1层)生长后的Al<sub>z</sub>Ga<sub>1-z</sub>N (0≤z<1) 层(第1层)的表面的照片的图。
- [0041] 图10是表示实施例中的第1多层膜生长后的第1多层膜的表面的照片的图。
- [0042] 图11是表示比较例中的AlN初始层生长后的AlN初始层的表面的照片的图。
- [0043] 图12是表示比较例的电子器件用外延基板的详细构成的剖面图，并且该构成中也包含AlN初始层和缓冲层的表面粗糙度。
- [0044] 图13是用来说明缓冲层构造的V形凹坑的剖面图。
- [0045] 图14是表示有缓冲层构造的V形凹坑产生的电子器件用外延基板的剖面图。
- [0046] 图15是表示纵向漏泄电流特性的图。
- [0047] 图16是表示缓冲层构造的V形凹坑的数量与纵向漏泄电流之间的关系的图。

## 具体实施方式

- [0048] 以下，关于本发明，作为实施方式的一个例子，一边参照附图一边详细进行说明，但本发明并不被限定于此实施方式。
- [0049] 如前述，本发明人已对在硅基板上外延生长出GaN膜的半导体外延晶片的电特性进行了研究。在该研究中，是从纵向电流特性不佳的晶片中，任意地进行选择直到挑到良品为止，然后将各晶片分割成2块，在分割出来的其中1块进行纵向漏泄电流特性评价，并在分割出来的另1块进行故障解析(剖面观察)。
- [0050] 故障解析是通过以下方法来进行：将外延晶片解理(Cleavage)，针对该剖面，将SEM(扫描式电子显微镜)的倍率设成25k来观察缓冲层构造的V形凹坑。
- [0051] 此处，说明缓冲层构造的V形凹坑。本来，缓冲层的各层，必须相对于基板平行地积层。所谓“V形凹坑”，是指相对于基板不平行，在一部分上产生凹陷，使多层膜或Al<sub>z</sub>Ga<sub>1-z</sub>N (0≤z<1) 插入层变得不平坦的部分(图13中以椭圆来圈起的部分)。
- [0052] 关于各晶片，观察不相邻的任意5点(也即，稍微分离的5个位置)，并对缓冲层构造的V形凹坑的数量进行计数(参照图13、图14)。
- [0053] 此处，图13是用来说明缓冲层构造的V形凹坑的剖面图，图14是表示有缓冲层构造的V形凹坑产生的电子器件用外延基板的剖面图。另外，在图13、图14中，电子器件用外延基板100，具有：硅基板112、设置于硅基板112上的AlN初始层113、以及设置于AlN初始层113上的缓冲层114。缓冲层114，是将由Al<sub>z</sub>Ga<sub>1-z</sub>N所构成的第1层114a与第1多层膜115'积层起来，

并在第1多层膜115'上进一步交互积层Al<sub>a</sub>Ga<sub>1-a</sub>N(0≤a<1)插入层114d与第2多层膜115而形成。电子器件用外延基板100,进一步具有:设置于缓冲层114上的高电阻层116、设置于高电阻层116上的通道层117、设置于通道层117上的障壁层118、以及设置于障壁层118上的顶盖层119。

[0054] 将各晶片的纵向漏泄电流特性表示于图15。图15中,也表示有各晶片的缓冲层构造的表面中的V形凹坑的数量。将图15重新绘制成缓冲层构造的表面中的V形凹坑的数量与纵向漏泄电流之间的关系的结果,则成为图16。

[0055] 根据图15、图16,可知随着缓冲层构造的V形凹坑的数量增加,漏泄电流会增加。

[0056] 因此,为了要改善纵向漏泄电流特性,必须要抑制缓冲层构造的V形凹坑。

[0057] 于是,本发明人针对能够抑制缓冲层构造的V形凹坑并改善制作电子器件时的纵向漏泄电流特性的电子器件用外延晶板,进行深入研究后,发现若AlN初始层的位于缓冲层侧的表面的粗糙度Sa在4nm以上,则能够抑制被形成于AlN层上的缓冲层构造的V形凹坑,并改善制作电子器件时的纵向漏泄电流特性,从而完成本发明。

[0058] 首先,一边参照图1~图3,一边说明本发明的电子器件用外延基板。

[0059] 图1所示的本发明的电子器件用外延基板10,具有:硅系基板12、设置于硅系基板12上的AlN初始层13、以及设置于AlN初始层13上的缓冲层14,并且AlN初始层13的位于缓冲层14侧的表面的粗糙度Sa在4nm以上。此处,粗糙度Sa是将2维的算术平均粗糙度Ra加以3维化来定义。另外,所谓硅系基板,是指硅基板或碳化硅(SiC)基板。

[0060] 图1的电子器件用外延基板10,进一步具有:设置于缓冲层14上的高电阻层16、设置于高电阻层16上的通道层17、设置于通道层17上的障壁层18、以及设置于障壁层18上的顶盖层19。此处,通道层17与障壁层18,形成主动层20。

[0061] 高电阻层16,例如能够制成含有C(碳)或Fe(铁)的GaN层;通道层17,例如能够制成其C或Fe的其中一者比高电阻层16少的GaN层;障壁层18,例如能够制成AlGaN层;顶盖层19,例如能够制成GaN层。

[0062] 将缓冲层14的详细构成表示于图2,而将也包含AlN初始层13和缓冲层14的表面的粗糙度Sa的详细构成表示于图3。缓冲层14,能够制成由Al<sub>z</sub>Ga<sub>1-z</sub>N(0≤z<1)所构成的第1层(Al<sub>z</sub>Ga<sub>1-z</sub>N层)14a与第1多层膜(多层膜)15'所积层而成的层。第1多层膜15',能够制成由Al<sub>x</sub>Ga<sub>1-x</sub>N(0<x≤1)层14b与Al<sub>y</sub>Ga<sub>1-y</sub>N(0≤y<x)层14c所交互积层而成的层,并且能够制成有多对交互积层而成的层。另外,如图2所示,在第1多层膜15'上,有多对或一对的插入层14d与第2多层膜15交互积层(在图2中,虽然是积层多对,但也可为一对)。

[0063] 插入层14d,能够制成Al<sub>a</sub>Ga<sub>1-a</sub>N(0≤a<1)层,第2多层膜15,能够制成由Al<sub>x</sub>Ga<sub>1-x</sub>N(0<x≤1)层14b与Al<sub>y</sub>Ga<sub>1-y</sub>N(0≤y<x)层14c所交互积层而成的层。

[0064] 电子器件用外延基板10,通过将AlN初始层13的位于缓冲层14侧的表面的粗糙度Sa设为4nm以上,便能够抑制被形成于AlN初始层13上的缓冲层14的构造的V形凹坑,并改善制作电子器件时的纵向漏泄电流特性。

[0065] 在此情况下,于电子器件用外延基板10中,AlN初始层13表面的粗糙度Sa优选为8nm以下。

[0066] 若如此地使AlN初始层13的位于缓冲层14侧的表面的粗糙度Sa为4nm以上且8nm以下,则能够确实地抑制被形成于AlN初始层13上的缓冲层14的构造的V形凹坑。

[0067] 在电子器件用外延基板10中,与AlN初始层13接触的由 $Al_zGa_{1-z}N$ ( $0 \leq z < 1$ )所构成的第1层14a中的位于AlN初始层13的相反侧的表面的粗糙度 $S_a$ ,优选为0.6nm以下。

[0068] 若如此地使第1层14a中的位于AlN初始层13的相反侧的表面的粗糙度 $S_a$ 为0.6nm以下,便能够有效地改善制作电子器件时的纵向漏泄电流特性。

[0069] 在电子器件用外延基板10中,与第1层14a接触的第1多层膜15'中的位于AlN初始层13的相反侧的表面的粗糙度 $S_a$ ,优选为0.3nm以下。

[0070] 若如此地使第1多层膜15'中的位于第1层14a的相反侧的表面的粗糙度 $S_a$ 为0.3nm以下,便能够更有效地改善制作电子器件时的纵向漏泄电流特性。

[0071] 接着,一边参照图4,一边说明本发明的电子器件的实施方式的一个例子。

[0072] 图4的电子器件11,是在图1的电子器件用外延基板10的由通道层17与障壁层18所构成的主动层20上的顶盖层19上,设置源极电极26、漏极电极28、栅极电极30而成。在电子器件11中,源极电极26和漏极电极28,被配置成使电流自源极电极26经由被形成于通道层17内的二维电子气体层21而流至漏极电极28。在源极电极26与漏极电极28之间流动的电流,能够通过被施加于栅极电极30上的电位来加以控制。此外,源极电极26、漏极电极28,只要是与二维电子气体层21为低电阻连接即可,而也可配置于将顶盖层19除去后的区域、或是配置于将顶盖层19和障壁层18除去后的区域。

[0073] 若为如此的电子器件,则能够抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善纵向漏泄电流特性。

[0074] 接着,一边参照图1~3、图5,一边说明本发明的电子器件用外延基板的制造方法的实施方式的一个例子。

[0075] 首先,如图5(a)所示,在厚度1mm左右的硅系基板12上,例如通过MOVPE(有机金属气相生长法),外延生长出厚度20~200nm的AlN初始层13。

[0076] 此处,将AlN初始层13的表面的粗糙度 $S_a$ 设为4nm以上,优设为4nm以上且8nm以下。此外,若要使AlN初始层13的表面变得粗糙,可通过变更生长温度、气体流量、III族元素/V族元素的比来调整表面的粗糙度。

[0077] 接着,如图5(b)所示,在AlN初始层13上,例如通过MOPVE法外延生长出缓冲层14。

[0078] 具体而言,如图2所示,积层第1层14a与第1多层膜15',并在第1多层膜15'上进一步交互积层插入层14d与第2多层膜15,以形成缓冲层14,其中第1层14a是由厚度100~500nm的 $Al_zGa_{1-z}N$ 所构成,第1多层膜15'是由厚度3~7nm左右的 $Al_xGa_{1-x}N$ 层14b与厚度2~5nm左右的 $Al_yGa_{1-y}N$ 层14c所交互积层而成,插入层14d是由厚度100~500nm左右的 $Al_aGa_{1-a}N$ 所构成,第1多层膜15是由厚度3~7nm左右的 $Al_xGa_{1-x}N$ 层14b与厚度2~5nm左右的 $Al_yGa_{1-y}N$ 层14c所交互积层而成。此处,第1层14a,被形成为比构成第1多层膜15'、第2多层膜15的各层更厚。

[0079] 此时,由于将AlN初始层13的位于缓冲层14侧的表面的粗糙度 $S_a$ 如以上所述地设为较大,所以会促进被形成于AlN初始层13上的第1层14a的横方向生长,并促进由第1层14a所产生的AlN初始层13的表面的填孔,结果能够使第1层14a生长后的表面变得平坦(参照图3),并也提高第1层14a上的第1多层膜15'的平坦性(参照图3),从而能够改善制作电子器件时的纵向漏泄电流特性。

[0080] 接着,如图5(c)所示,例如通过MOVPE法,外延生长出高电阻层16(例如为含有C或

Fe的GaN层),然后外延生长出通道层17(例如至少为其C或Fe比高电阻层16少的GaN层)。

[0081] 接着,例如通过MOVPE法外延生长出障壁层18(例如为AlGaN层)与其上的顶盖层19(例如为GaN层),便能够制造出图1所示的电子器件用外延基板10。

[0082] 若为如上述的电子器件用外延基板的制造方法,便能够制造出一种电子器件用外延基板,其可抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善制作电子器件时的纵向漏泄电流特性。

[0083] 接着,说明本发明的电子器件的制造方法的实施方式的一个例子。

[0084] 如上述所述,先制造出图1的电子器件用外延基板10,并进一步在电子器件用外延基板10的由通道层17与障壁层18所构成的主动层20上的顶盖层19上,形成源极电极26、漏极电极28、栅极电极30。源极电极26和漏极电极28,例如能够以Ti/Al的积层膜来形成;栅极电极30,例如能够以由SiO<sub>x</sub>SiN等的金属氧化物所构成的下层膜与由Ni,Au,Mo,Pt等金属所构成的上层膜的积层膜来形成。如此,可得到图4所示的电子器件11。

[0085] 若为上述电子器件的制造方法,便能够制造出一种电子器件,其可抑制被形成于AlN初始层上的缓冲层构造的V形凹坑,并改善纵向漏泄电流特性。

[0086] 实施例

[0087] 以下,示出实验例、实施例及比较例来更具体地说明本发明,但本发明并不被限定于这些例子。

[0088] (实验例)。

[0089] 使AlN初始层表面的粗糙度在2nm~7.5nm的范围内变化(制作出6个水准),从而制造出如图1所示的电子器件用外延基板10。将缓冲层构造的V形凹坑密度(位置数/cm<sup>2</sup>)与AlN初始层表面的粗糙度Sa的关系表示于图6。另外,将纵向漏泄电流与AlN初始层表面的粗糙度Sa的关系表示于图7。从图6可知,当AlN初始层表面的粗糙度在4nm以上时便没有V形凹坑(在4nm以上,V形凹坑几乎消失,在图6上不存在描点),从图7可知,当AlN初始层的上表面的粗糙度在4nm以上时,纵向漏泄电流亦被改善。

[0090] (实施例)。

[0091] 通过MOVPE法,在厚度1mm左右的硅基板上生长出厚度160nm的AlN初始层13。此处,在1100℃~1200℃的生长温度,例如在1130℃来形成AlN初始层,以将AlN初始层13的表面的粗糙度Sa设为4.79nm。

[0092] 接着,生长出缓冲层14。缓冲层14是积层了由厚度300nm的GaN所构成的第1层14a与第1多层膜15',并在第一多层膜15'上进一步交互积层由厚度300nm的GaN所构成的插入层14d与第2多层膜15。第1多层膜15'、第2多层膜15,是厚度5nm的AlN层14b与厚度3nm的GaN层14c交互积层而成。

[0093] 接着,生长出由GaN所构成的高碳浓度层(高电阻层16),并继而生长出同样由GaN所构成的低碳浓度层(通道层17)。继而,生长出由AlGaN所构成的障壁层18,并在其上生长出GaN层(顶盖层19),从而制造出图1的电子器件用外延基板10。

[0094] 图8中表示AlN初始层13的表面的照片。另外,图3中表示外延生长后的缓冲层14的剖面。如此可知,虽然AlN初始层13的表面是凹凸状,但其上的第1层14a的表面变得平坦。

[0095] 图9中表示第1层14a表面的照片。第1层14a表面的粗糙度Sa变成0.6nm以下。此外,图9的3张照片,是不同的3片晶片的照片。

[0096] 图10中表示第1多层膜15' 表面的照片。第1多层膜15' 表面的粗糙度Sa变成0.3nm以下。此外,图10的2张照片,是不同的2片晶片的照片。

[0097] 在此电子器件用外延基板上形成电极,制造出图4所示的电子器件11,当施予600V的电压并测量纵向(厚度方向)漏泄电流时,得到 $4 \times 10^{-9}$  (A) 的结果,相较于后述的比较例,能够大幅抑制纵向漏泄电流。

[0098] (比较例)

[0099] 与实施例同样地制造出电子器件用外延基板10。但是,是在1240℃的生长温度形成AlN初始层13,以将AlN初始层的表面的粗糙度Sa设为2.16nm,其余与实施例相同。

[0100] 图11中表示AlN初始层13表面的照片。另外,图12中表示外延生长后的AlN初始层13和缓冲层14的剖面。如此可知,虽然AlN初始层13的表面是平坦的,但其上的第1层14a表面和第1多层膜15' 表面变成凹凸状。在此半导体外延晶片上形成电极,制造出图4所示的电子器件11,当施予600V的电压并测量纵向漏泄电流时,得到 $8.6 \times 10^{-6}$  (A) 的结果。

[0101] 此外,本发明并不被限定于上述实施方式。上述实施方式仅为示意,任何与本发明的申请专利范围所述的技术性思想具有实质上相同的构成,且发挥相同作用功效的,均包含于本发明的技术范围内。例如,第1多层膜15' 、第2多层膜15也可为具有Al组成的浓度梯度变化的单一层。另外,也可不设置第2多层膜15或插入层14。

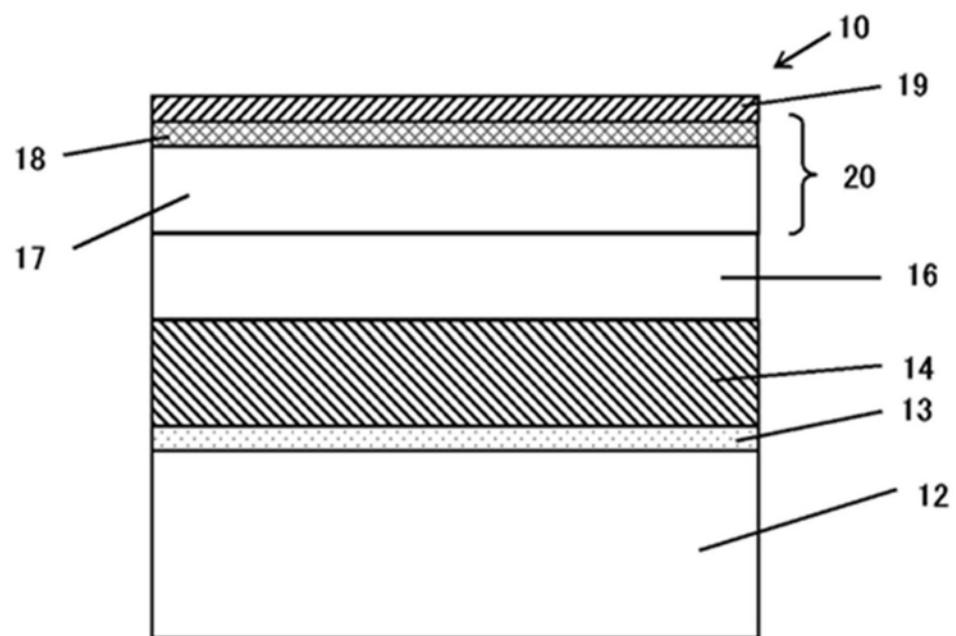


图1

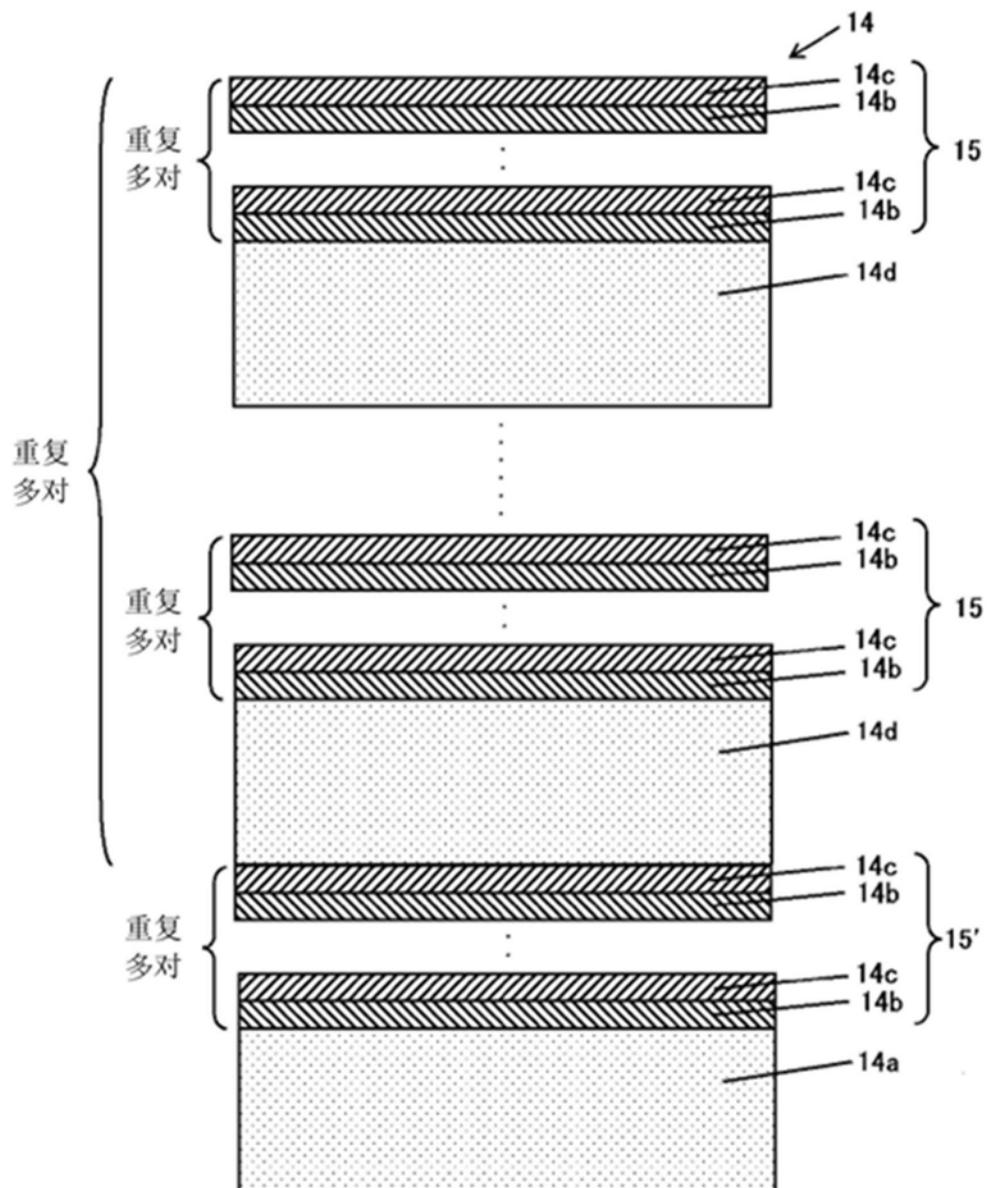


图2

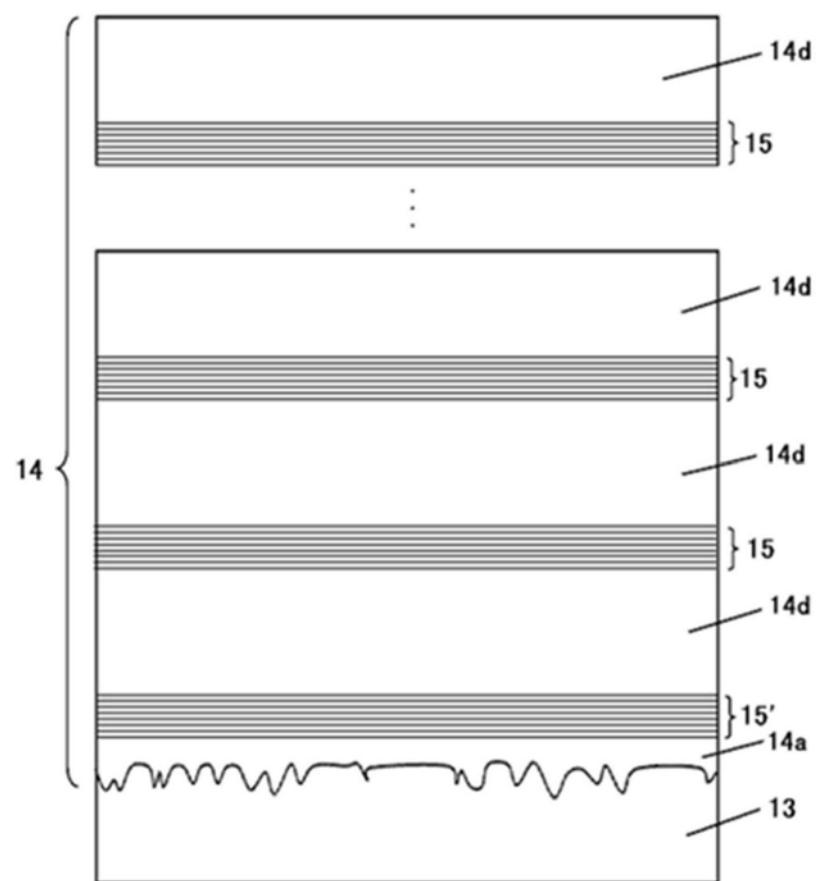


图3

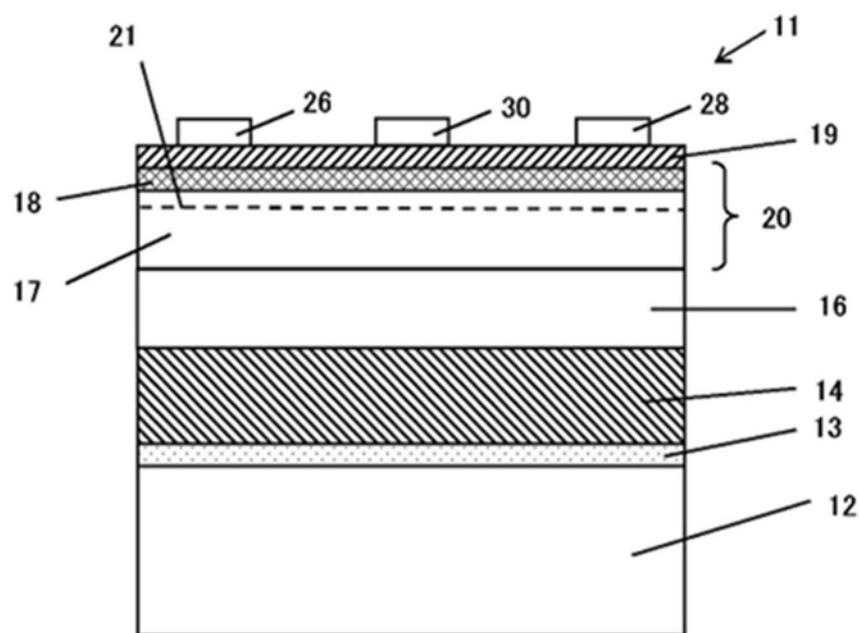


图4

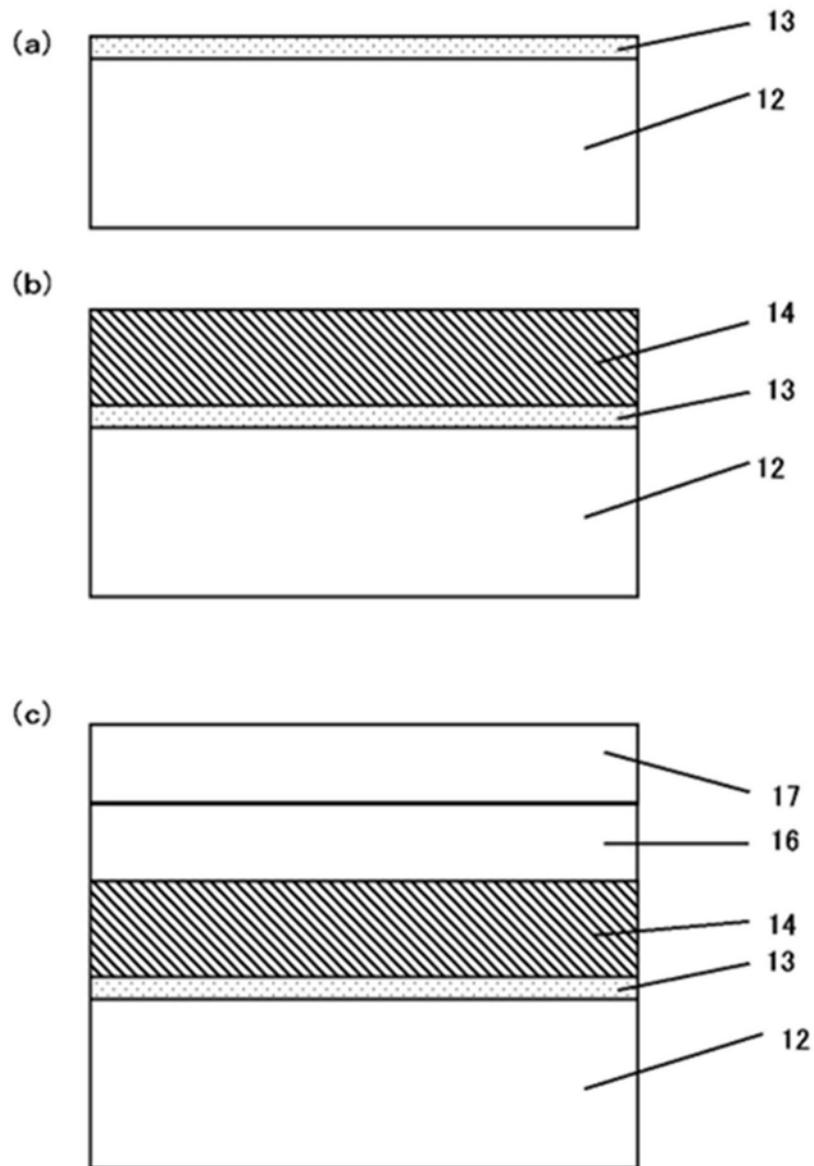


图5

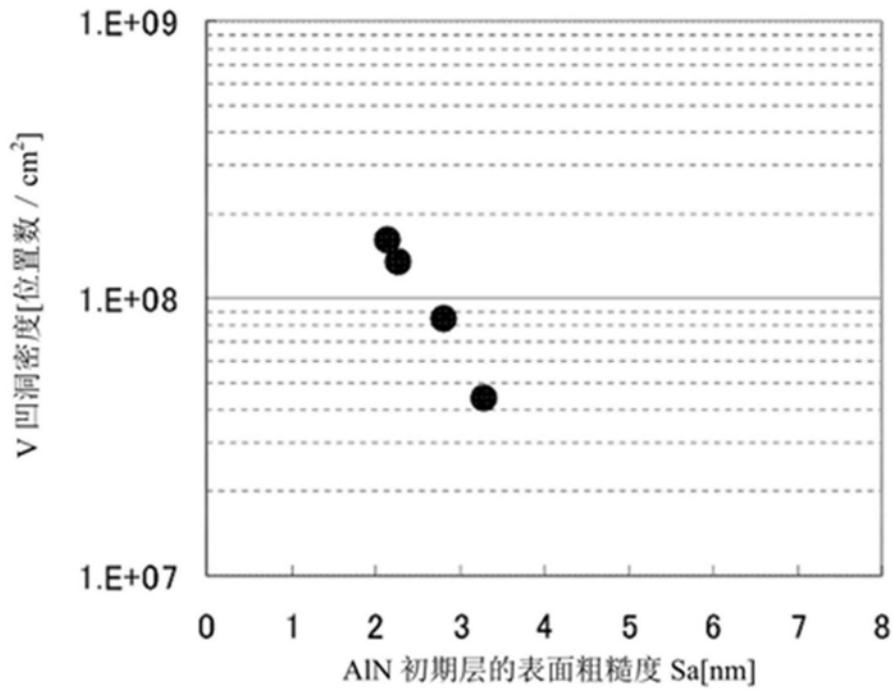


图6

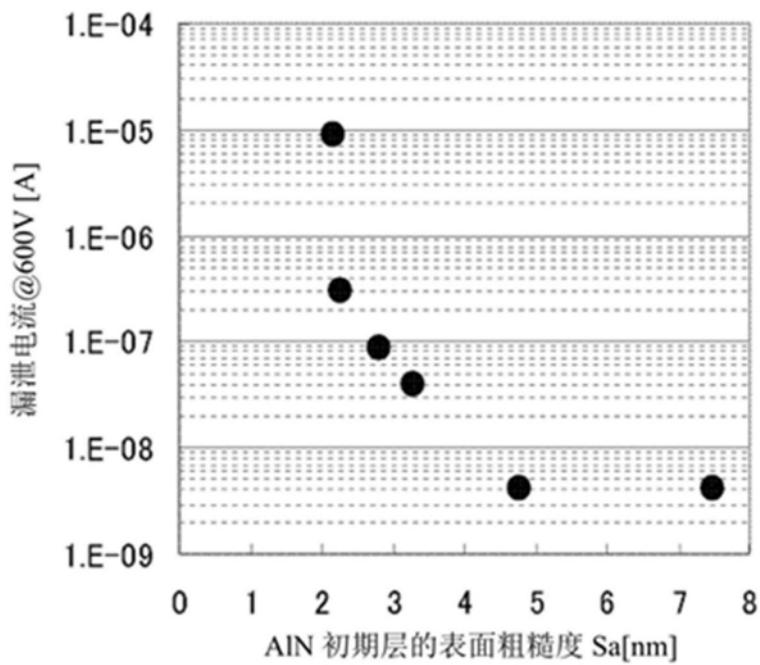


图7

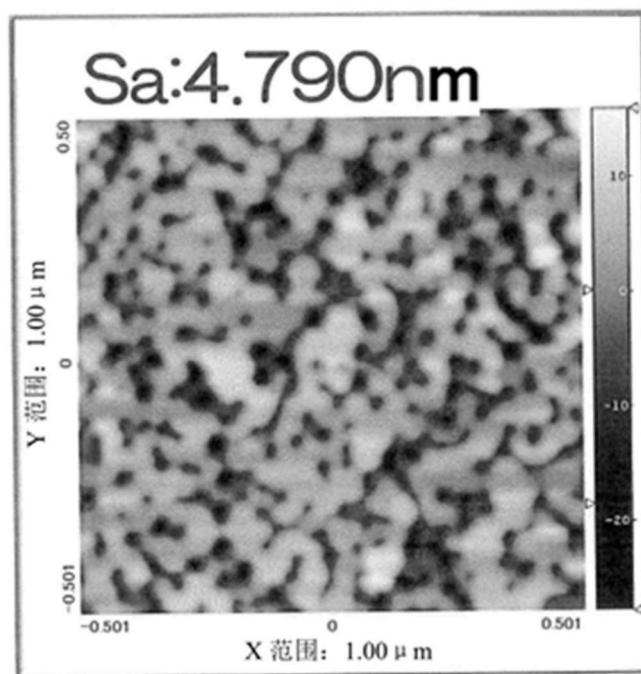


图8

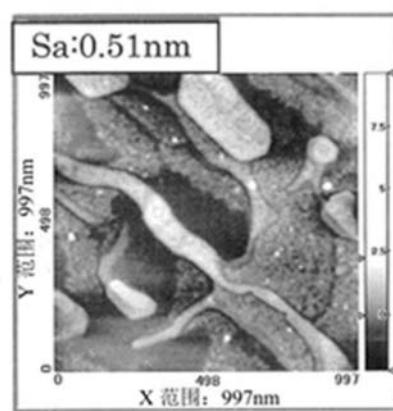
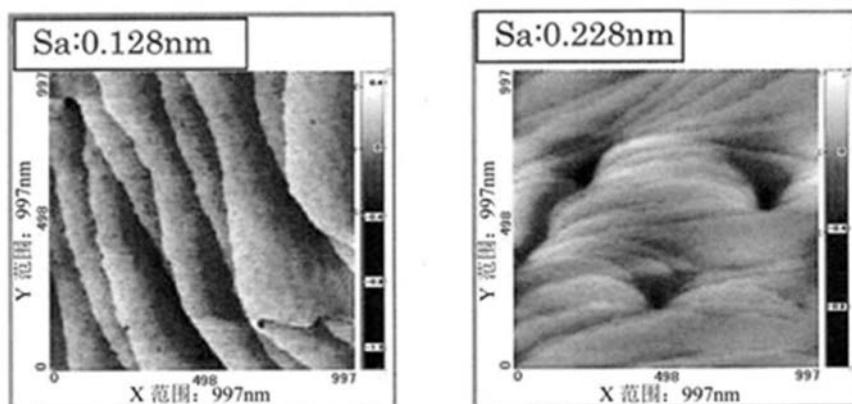


图9

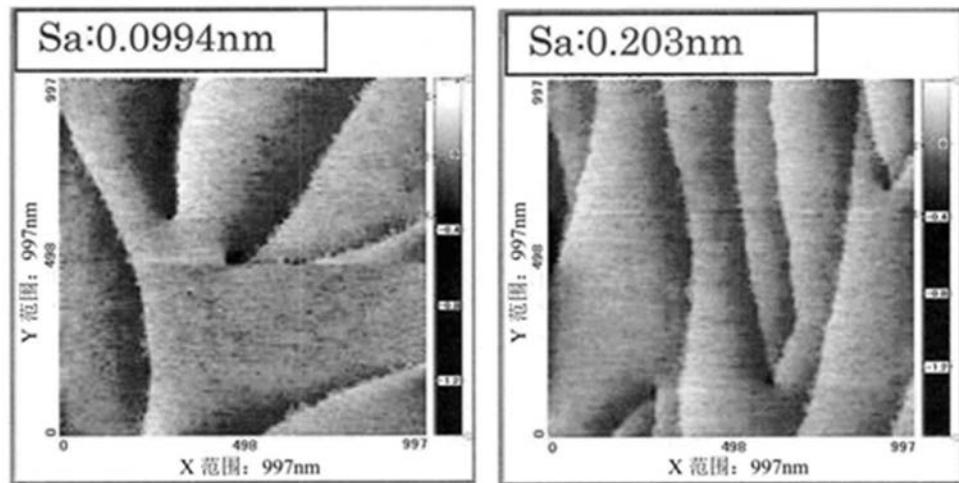


图10

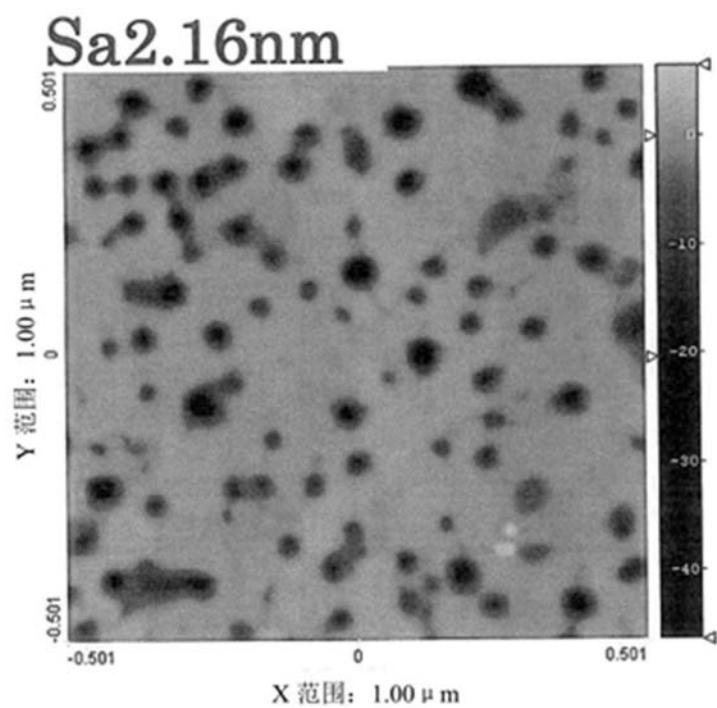


图11

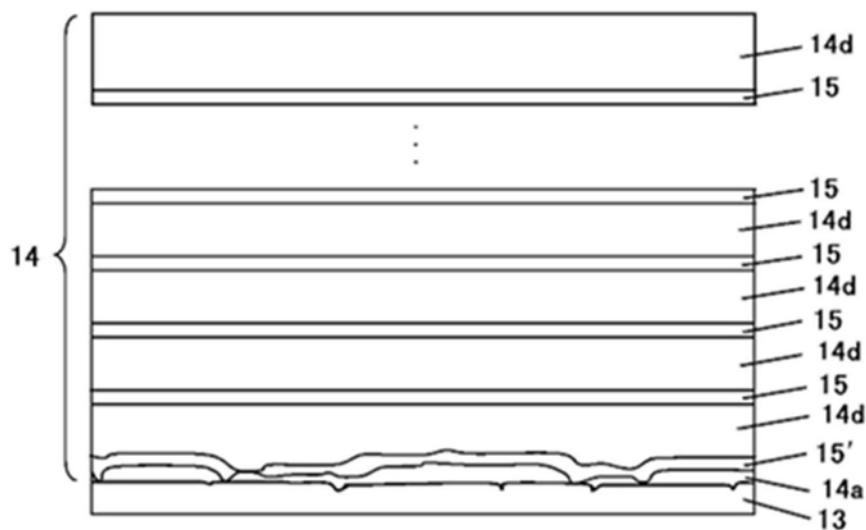


图12

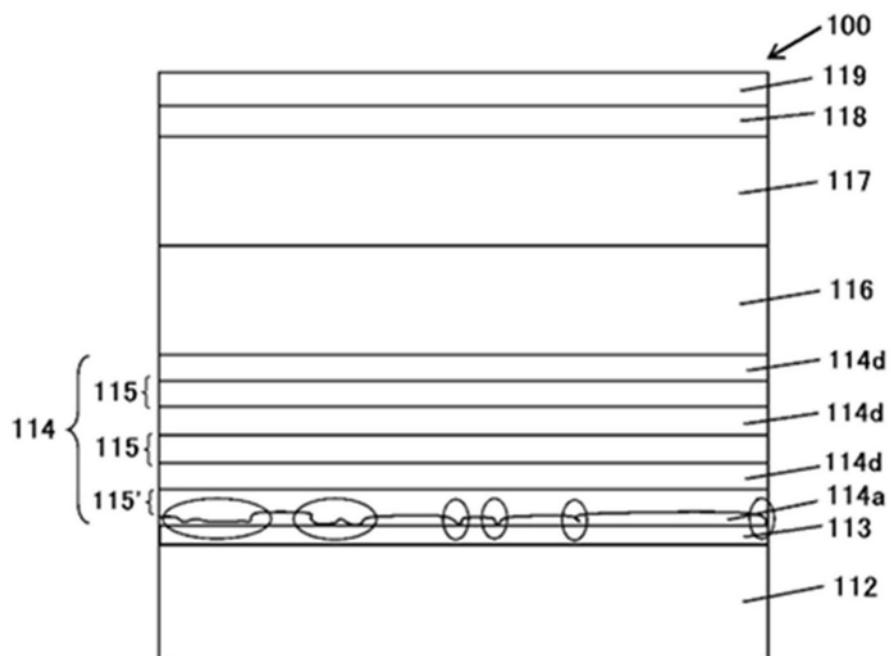


图13

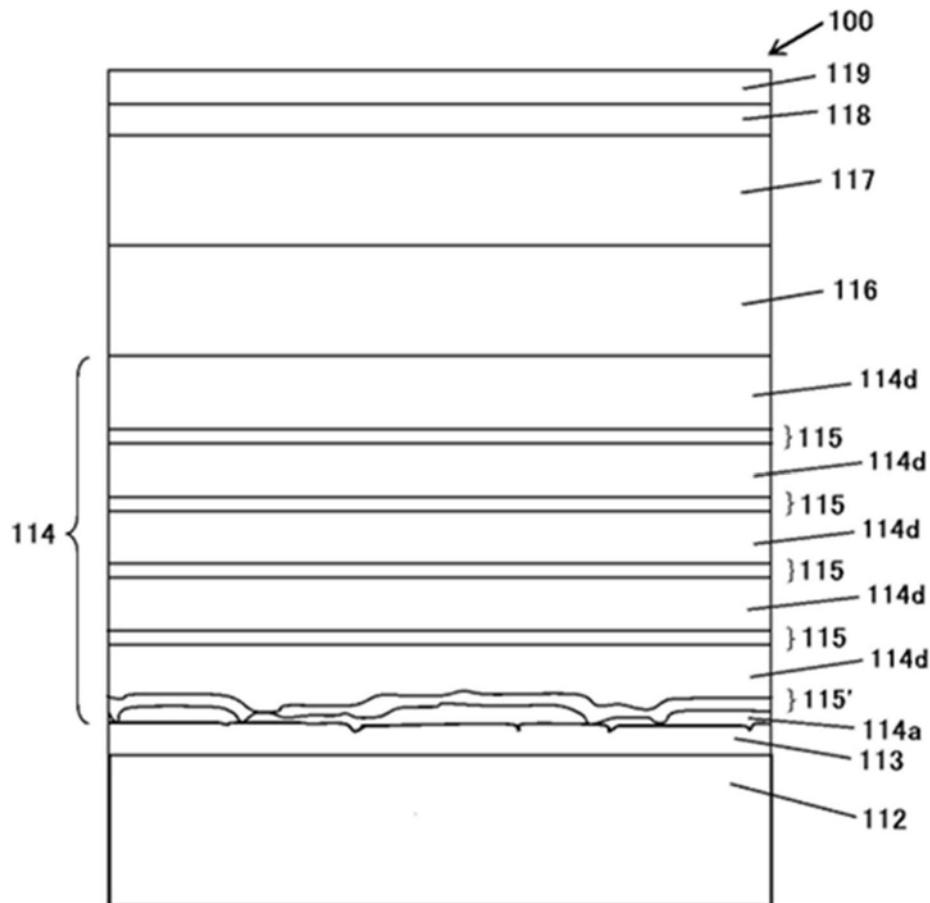


图14

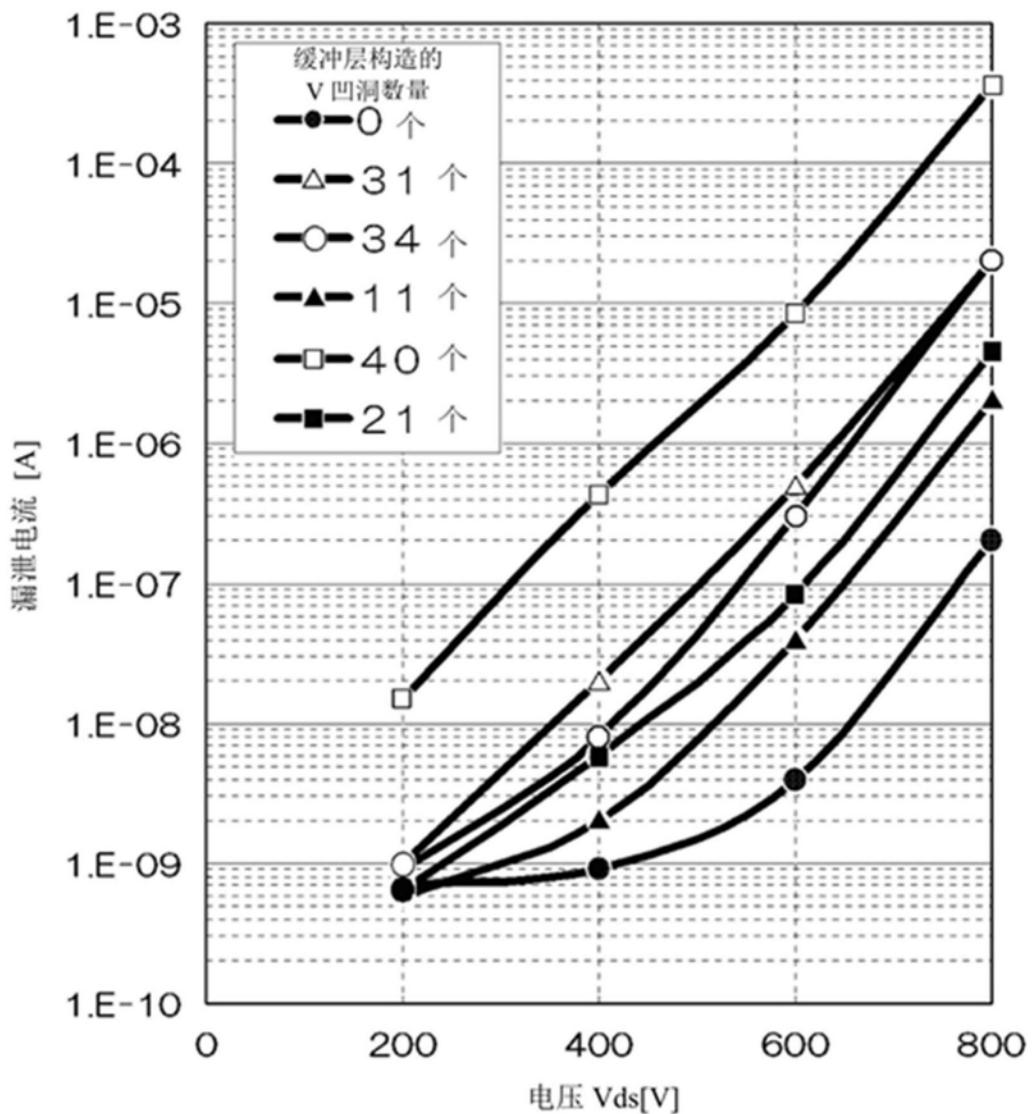


图15

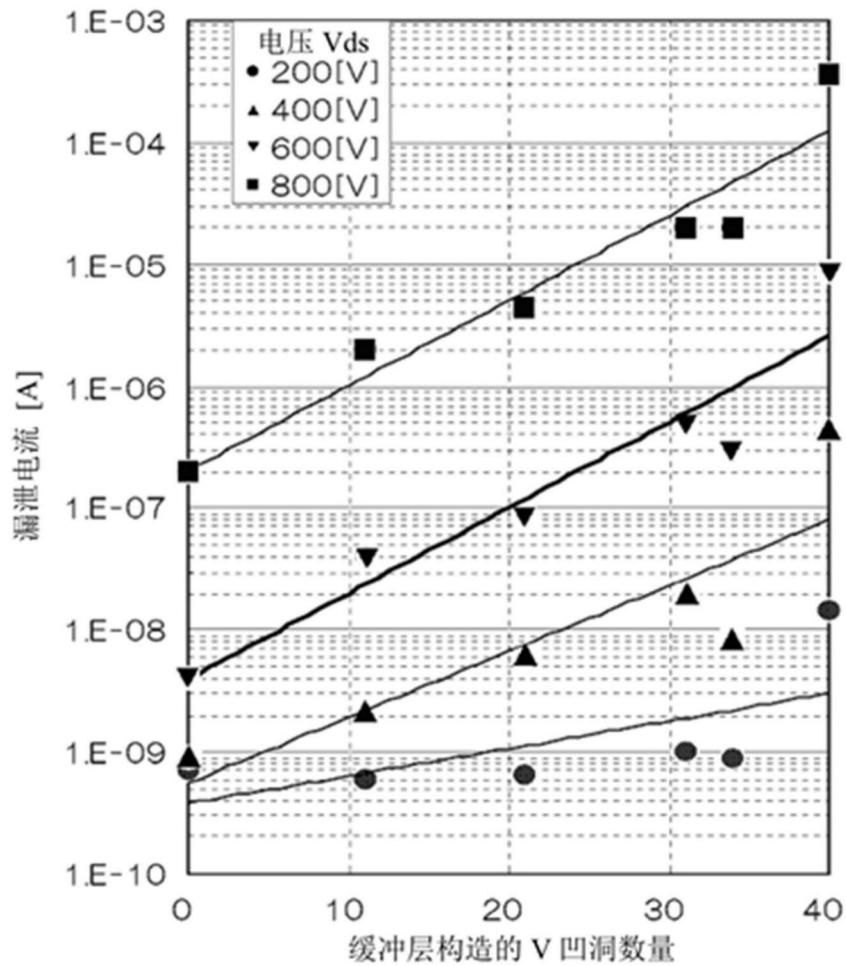


图16