



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTSCHRIFT

(19) **DD** (11) **242 907 A1**

4(51) H 01 L 21/58
B 23 K 1/06

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 01 L / 283 035 0

(22) 20.11.85

(44) 11.02.87

(71) VEB Mikroelektronik „Anna Seghers“ Neuhaus, 6420 Neuhaus am Rennweg, Thomas-Mann-Straße 2, DD
(72) Doberschütz, Frank-Michael, Dipl.-Ing.; Gutjahr, Uwe, Dipl.-Ing., DD

(54) **Verfahren zur Montage von Halbleiterelementen auf leitende Träger**

(57) Die Erfindung beinhaltet ein Verfahren zur Montage von Halbleiterelementen auf leitende Träger speziell von Siliziumhalbleiterelementen. Die Befestigung der Elemente muß so erfolgen, daß ein guter mechanischer, thermischer und elektrischer Kontakt zwischen Halbleiterelement und metallischen Träger entsteht. Erfindungsgemäß wird dies dadurch erreicht, daß die Rückseite des Halbleiterelementes vergoldet wird. Zur Erhöhung der Festigkeit ist es möglich, das aufzubringende Gold mittels bezüglich Silizium dotierend wirkende Elemente zu versetzen. Das so rückseitenvergoldete Element wird dann mittels eines AlGe-Lotes unter Einwirkung von NF-Schwingungen auf dem Träger befestigt. Die Aufbringung der mehrere Nanometer bis zu einem Mikrometer dicken Goldschichten erfolgt durch Bedampfen, Aufspütern oder galvanische Abscheidung.

Erfindungsanspruch:

1. Verfahren zur Montage von Halbleiterelementen auf leitende Träger, **dadurch gekennzeichnet**, daß auf der Rückseite des Halbleiterelementes vorher eine Goldschicht in einer Stärke von wenigen Nanometern bis ein Mikrometer aufgebracht wird und die anschließende Befestigung des Halbleiterelementes auf dem Träger mittels AlGe-haltigen Lot erfolgt.
2. Verfahren zur Montage von Halbleiterelementen auf leitende Träger nach Punkt 1, **dadurch gekennzeichnet**, daß in das auf die Halbleiterelementerückseite aufzubringende Gold bezüglich Silizium dotierend wirkende Elemente in einer Konzentration kleiner 5% eingebaut werden.
3. Verfahren zur Montage von Halbleiterelementen auf leitende Träger nach Punkt 1 und 2, **dadurch gekennzeichnet**, daß die Rückseitenvergoldung einschließlich des Einbaues dotierender Elemente durch Bedampfen, Sputtern oder galvanische Abscheidung erfolgt.

Anwendungsgebiet der Erfindung

Die Erfindung ist anwendbar in der Halbleiterbauelementefertigung zur Montage von Siliziumhalbleiterelementen auf Träger.

Charakteristik der bekannten technischen Lösungen

Bei der Montage von Halbleiterelementen auf leitende Träger ist es in vielen Fällen notwendig, einen guten mechanischen, thermischen und elektrischen Kontakt zu erzielen. Bekannte Verfahren dazu sind das Legieren, Löten oder Kleben. Beim Anlegieren des Silizium-Halbleiterplättchens reagiert das Silizium mit dem auf dem Träger befindlichen Gold unter Bildung eines Gold-Silizium-Eutektikums. Das Gold wird dabei vorher auf dem Träger abgeschieden oder ein entsprechender Goldfolienabschnitt wird vorher auf dem Träger befestigt. Der eutektische Chipkontakt ist bezüglich seiner mechanischen, thermischen und elektrischen Eigenschaften ein sehr guter und sicherer Kontakt. Zu seiner Realisierung ist jedoch ein sehr hoher Edelmetalleinsatz notwendig. Beim Weichlöten wird ein edelmetallarmes bzw. -freies Lot eingesetzt, welches sowohl den Träger als auch die Chiprückseite benetzen muß. Dafür sind entsprechende zusätzliche Präparationsschritte zur Herstellung eines meist komplizierten und aufwendigen Rückseitenmetallisierungssystems sowie zur Herstellung einer benetzungsfreudigen Trägeroberfläche notwendig. Bei der Chipkontaktierung mittels Weichlöten ist in den meisten Fällen die Schaffung einer inerten Atmosphäre notwendig. Derartige Verbindungen sind sehr anfällig gegen thermische Wechselbelastung, die oft zum Ausfall des Bauelementes führen. Bei der Chipkontaktierung mittels Kleber ergeben sich ähnliche Probleme wie beim Weichlöten. Dazu ist ein kompliziertes Rückseitenmetallisierungssystem notwendig, das schon vor der Chipkontaktierung einen niedrigen elektrischen Übergangswiderstand zum Chipsubstrat aufweist und einen niedrigen Übergangswiderstand zum Kleber besitzen muß. Bekannte Lösungen zum Kleben setzen ein Edelmetall als Deckschicht der Chiprückseite sowie eine Veredelung des Trägers voraus.

Bereits vorgeschlagene Lösungen zur Kostensenkung beim Chipkontaktieren durch Einsatz von Al-Ge-Loten genügen bezüglich ihrer mechanischen Eigenschaften insbesondere der Haftfestigkeit sowie der Benetzung der Chiprückseite nicht allen Anwendungsfällen. Außerdem ist besonders bei niedrig dotierten n-Substraten die Sicherung eines niedrigen elektrischen Kontaktwiderstandes sehr problembehaftet.

Ziel der Erfindung

Ziel der Erfindung ist es, ein Verfahren zu entwickeln, mit dem Siliziumhalbleiterelemente auf leitende Träger montiert werden können und dabei sowohl ein guter mechanischer, thermischer und elektrischer Kontakt gewährleistet als auch eine kostengünstige Alternative zu den bisher bekannten Verfahren gesichert wird.

Darlegung des Wesens der Erfindung

Bei der bereits vorgeschlagenen Verwendung von Al-Ge-Lot zur Chipkontaktierung ergibt sich, wie bereits erwähnt, eine unzureichende Anlösung oder Benetzung der Chiprückseite und daraus resultierend eine ungenügende Haftfestigkeit der Chips. Damit verbunden ist besonders bei niedrig n-dotierten Halbleitersubstraten ein ungenügender elektrischer Übergangswiderstand zwischen Halbleiter und Lot. Daraus leitet sich die zu lösende technische Aufgabenstellung so ab, ein Verfahren zu entwickeln, daß die genannten Nachteile ausschließt. Erfindungsgemäß wird diese Aufgabe dadurch gelöst, daß auf die Chiprückseite eine dünne Goldschicht aufgebracht wird, die wenige Nanometer bis zu einem Mikrometer dick sein kann. Durch die Einstellung des Verhältnisses der Goldmenge auf der Chiprückseite zum Lotangebot wird die Bildung intermetallischer Verbindungen, die zum Ausfall des Bauelementes führen können, verhindert. In das auf die Chiprückseite aufgebrachte Gold können bezüglich Silizium dotierend wirkende Elemente wie zum Beispiel Antimon in einer Konzentration kleiner 5% eingebaut werden. Damit wird einerseits eine gute mechanische Haftfestigkeit als auch ein niedriger elektrischer Übergangswiderstand gewährleistet. Dieses rückseitenvergoldete Halbleiterplättchen wird anschließend mittels Al-Ge-Lot auf dem Träger mit Hilfe von Ultraschall- oder NF-Reibbewegungen der Sonotrode befestigt. Dies erfolgt bei Temperaturen oberhalb des Schmelzpunktes des Al-Ge-Lotes. Das Al-Ge-Lot kann in Form von Folien, Formteilen oder Pasten auf dem Träger befestigt werden. Die Chiprückseitenvergoldung einschließlich Einbau dotierter Elemente kann durch Bedampfen, Aufsputtern oder galvanischer Abscheidung erfolgen.

Ausführungsbeispiel

Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. Dazu findet ein npn-Halbleiterbauelement mit einer Substratdotierung von $1 \cdot 10^{18} \text{cm}^{-3}$ mit einer 150 nm dicken Rückseitenvergoldung, in die 1% Antimon eingebaut ist, Verwendung. Die Chipmontage erfolgt durch aufbringen eines AlGe45-Lötfolienabschnittes auf einem Träger aus Nicosil und anschließender Chipbefestigung bei einer Temperatur von 500°C. Als Benetzungshilfe dienen NF-Vorrichtungen. Der so entstehende Chipkontakt entspricht allen Anforderungen bezüglich mechanischen, thermischen und elektrischen Eigenschaften.
