



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I390667B1

(45)公告日：中華民國 102 (2013) 年 03 月 21 日

(21)申請案號：098121883

(22)申請日：中華民國 98 (2009) 年 06 月 29 日

(51)Int. Cl. : H01L21/76 (2006.01)

H01L29/66 (2006.01)

(30)優先權：2008/06/30 美國

12/215,778

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：瑞奇馬迪 威利 RACHMADY, WILLY (ID)；山迪福特 賈斯汀 S SANDFORD, JUSTIN S. (US)；哈波 麥可 K HARPER, MICHAEL K. (US)

(74)代理人：憚軼群；陳文郎

(56)參考文獻：

US 7279997B2

US 2005/0215014A1

US 2007/0257319A1

審查人員：閻濟民

申請專利範圍項數：19 項 圖式數：13 共 0 頁

(54)名稱

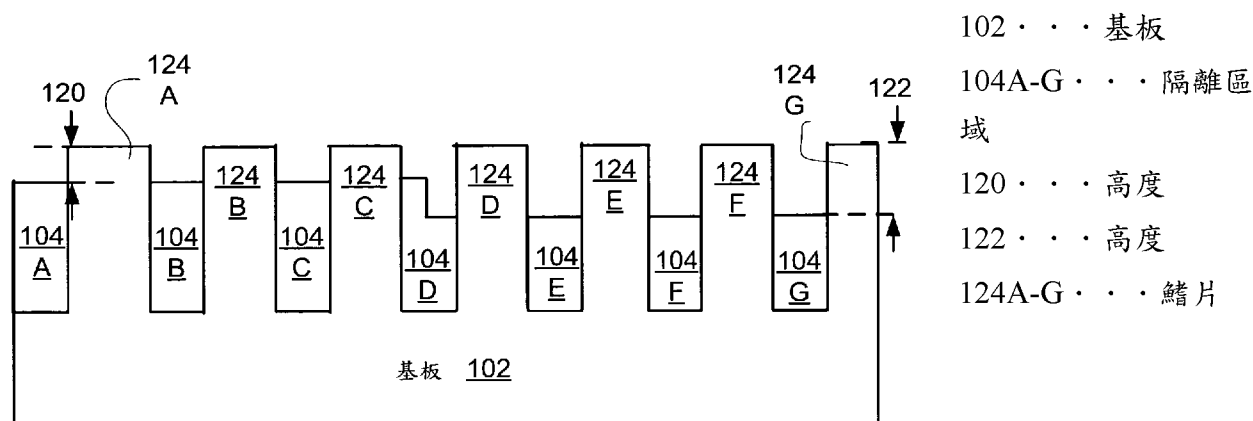
具不同高度之基板鰭片

SUBSTRATE FINS WITH DIFFERENT HEIGHTS

(57)摘要

一種裝置包括多個鰭片。該等鰭片中之某些鰭片的高度大於其他鰭片的高度。此狀況允許選擇不同驅動電流及/或電晶體面積。

A device includes a number of fins. Some of the fins have greater heights than other fins. This allows the selection of different drive currents and/or transistor areas.



第 1 圖

公告本**發明專利說明書**

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 98121883

※申請日： 98.6.29

※IPC 分類： H01L 21/76 (2006.01)
H01L 29/66 (2006.01)

一、發明名稱：(中文/英文)

具不同高度之基板鰭片

SUBSTRATE FINS WITH DIFFERENT HEIGHTS

二、中文發明摘要：

一種裝置包括多個鰭片。該等鰭片中之某些鰭片的高度大於其他鰭片的高度。此狀況允許選擇不同驅動電流及/或電晶體面積。

三、英文發明摘要：

A device includes a number of fins. Some of the fins have greater heights than other fins. This allows the selection of different drive currents and/or transistor areas.

四、指定代表圖：

(一)本案指定代表圖為：第（ 1 ）圖。

(二)本代表圖之元件符號簡單說明：

102...基板

104A-G...隔離區域

120...高度

122...高度

124A-G...鰭片

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

發明的技術領域

本發明係有關具不同高度的基板鰭片。

【先前技術】

發明的技術背景

例如電晶體的多重閘極裝置可形成在鰭片結構上。該種多重閘極裝置的閘通道“寬度”可至少部分地依據該鰭片的高度而定。

【發明內容】

發明的概要

依據本發明之一實施例，係特地揭露一種用以形成一裝置的方法，其包含下列步驟：在一基板中形成多個隔離區域；在該等多個隔離區域的一第一組隔離區域上形成一遮罩層，該等多個隔離區域的一第二組隔離區域並未位於該遮罩層下；以及以一蝕刻劑蝕刻該遮罩層以及該等多個隔離區域，該蝕刻劑以一第一蝕刻率蝕刻該遮罩層且以一第二蝕刻率蝕刻該等多個隔離區域，該等第一與第二蝕刻率係在彼此的一個量級範圍內，以在該等第一組隔離區域之間形成具有一第一高度的一第一鰭片，以及在該等第二組隔離區域之間形成具有高於該第一高度之一第二高度的一第二鰭片。

圖式的簡要說明

第1圖以橫截面側圖展示出位於相同基板上但具有不同高度的多個鰭片。

第2圖以橫截面側圖展示出該基板。

第3圖以橫截面側圖展示出該基板在多個隔離區域已經形成後的態樣。

第4圖以橫截面側圖展示出一種遮罩。

第5圖以橫截面側圖展示出型樣化的遮罩層。

第6圖以橫截面側圖展示出一種用以形成該等鰭片之蝕刻程序的時間部分。

第7圖以橫截面側圖展示出另一種用以形成該等鰭片之蝕刻程序的時間部分。

第8圖以橫截面側圖展示出可用以形成具有三種不同高度之多個鰭片的多個型樣化遮罩層。

第9圖以橫截面側圖展示出從第8圖之二種不同型樣化遮罩層產生的該等鰭片。

第10圖以橫截面側圖展示出可施加鰭片的一種應用方式：一種多重閘極電晶體。

第11圖以等尺寸圖展示出該電晶體。

第12圖與第13圖以方塊圖展示出使用上述NMOS與PMOS電晶體的多種應用方式。

【實施方式】

較佳實施例的詳細說明

本發明的各種不同實施例揭露一種具有不同高度之鰭片的基板。熟知技藝者將可瞭解的是，不需要一或多個特

定細節亦能實施本發明的各種不同實施例，或者也可利用其他替代方案及/或其他方法、材質或部件來實施本發明的各種不同實施例。在其他事例中，並不詳細地展示或解說已知的結構、材質、或操作，以避免使本發明各種不同實施例的多個面向模糊。相似地，為了解說目的，將列出特定的編號、材質、以及組態以便提供本發明的完整說明。儘管如此，不需要特定細節亦能實現本發明。再者，要瞭解的是，展示在圖式中的各種不同實施例為展示性的實例表述，且未必有依比例繪示。

本發明說明中所謂的“一個實施例”或“一實施例”係表示的是結合該實施例所述的一特定特徵、結構、材質、或者特性係包括在本發明的至少一個實施例中，但未必表示它們會出現在每個實施例中。因此，本發明說明之各種不同位置中出現的“在一個實施例中”或“在一實施例中”未必均表示相同的實施例。再者，可利用任合適當方式把該等特定特徵、結構、材質、或特性結合在一或多個實施例中。在其他實施例中，可包括各種不同的額外層體及/或結構，及/或可省略所述的特徵。

將以最能幫助解說本發明的方式依次地把各種不同操作解說為多個分立的操作。然而，不應該把解說順序闡述為暗示該等操作必須是順序獨立的。尤其，不需要依據展示順序來進行該等操作。可以依據不同於所述實施例的順序來進行本發明解說的操作，或者可利用連續或並行方式

來進行。可進行各種不同額外的操作及/或可在額外實施例中省略所述的操作。

第1圖以橫截面側圖展示出根據本發明一實施例之位於相同基板102上但具有不同高度的多個鰭片124。基板102可包含能作為一種用以建構一個半導體裝置之一基座的任何材質。在一實施例中，基板102包含矽，雖然在其他實施例中可使用另一種材質或其他多種材質。基板102可為一個大型基板(例如，一單晶矽晶片)的一部份、絕緣層上覆矽(SOI)基板102(例如，位於另一矽層上之絕緣材質層上的一矽層)、鍺基板102、III-V族材質(例如，GaAs、InSb、InAl等)基板102、包含多個層體的基板102、或包含其他一或多種材質的另一個基板102。

鰭片124已經在基板102上形成。並非所有鰭片124均具有相同高度，鰭片124高於隔離區域104的不同高度。鰭片124A至鰭片124C可具有一較小高度120，而鰭片124D至鰭片124G具有一較大高度122。可藉著挑選出材質與蝕刻劑來選擇高度120與高度122之間的差異。在一實施例中，可把較大高度122挑選為介於大約等於該較小高度120的一高度以及比該較小高度120大二倍的一高度之間(即，高度120介於高度122的99%以及50%之間)。在另一個實施例中，該較大高度122可比該較小高度120的二倍還大。在一實施例中，該較小高度120可介於15至20奈米之間，且該較大高度122可介於30至40奈米之間，雖然本發明並不限於介於該等高度範圍之間的鰭片124。

具有不同高度之鰭片124的能力可允許在鰭片124製成具有不同所欲性質的多重閘極電晶體。因為一電晶體的驅動電流係依據多重閘極電晶體的閘通道“寬度”而定，且可藉著使用一較高鰭片124而不必增加電晶體面積來使該“寬度”較大，可選擇多重高度鰭片124允許具有相同面積的該等電晶體能依據該等鰭片高度而具有選定驅動電流。在其他實施例中，並不必藉著選出該等片高度來改變驅動電流，來選出不同的電晶體面積。並不必具有介以影響驅動電流的一可選擇參數式電晶體面積，設計師可獨立地選擇電晶體高度與面積以達成所欲的裝置特性。

第2圖至第9圖為以橫截面側圖展示出根據本發明一實施例如何在相同基板102上形成具有不同高度之鰭片124的方式。

第2圖以橫截面側圖展示出基板102。如上所述，基板102可包含能作為一種用以建構一個半導體裝置之一基座的任何材質。

第3圖以橫截面側圖展示出該基板102在多個隔離區域104已經形成後的態樣。例如，該等隔離區域104可為淺溝槽隔離區域。可使用用以形成隔離區域104的任何適當方法，且隔離區域104可包含任何適當材質。一適當隔離區域104材質為一種可選擇性受蝕刻而同時能使基板102材質實質上完整無缺的材質。在一實施例中，隔離區域104包含一種氧化矽材質，且基板102包含矽。其他適當隔離區域材質

可例如包括二氧化矽(其可在多種不同程序中受到沉積)以及玻璃上旋轉(SOG)等等。

隔離區域104的形成亦可導致基板102的預設鰭片(pre-fin)區域106。該等預設鰭片區域106係介於該等隔離區域104之間。

第4圖以橫截面側圖展示出在基板102、隔離區域104、以及預設鰭片區域106上形成的遮罩層108。在一實施例中，遮罩層108可由一種具有在選定蝕刻劑方面在隔離區域104之蝕刻率之一個數量級範圍內的材質製成。在某些實施例中，遮罩層108的蝕刻率在選定蝕刻劑方面快於隔離區域104。在某些實施例中，遮罩層108的蝕刻率在選定蝕刻劑方面為隔離區域104之蝕刻率的二倍或較少。在某些實施例中，遮罩層108的蝕刻率在選定蝕刻劑方面為隔離區域104之蝕刻率一半或更多。在一實施例中，遮罩層108包含一種氮化矽材質，其實質上沒有氧與碳。在其他實施例中，遮罩層108可包含一種氮化矽材質(其具有用以調整該蝕刻率的各種不同含氧量及/或含碳量)、一種SiC材質、或者亦可使用其他多種材質。

第5圖以橫截面側圖展示出型樣化的遮罩層110。可使用任何適當方法來型樣化第4圖的遮罩層108，以產生型樣化遮罩層110。型樣化遮罩層110維持為覆蓋在預設鰭片區域106A至106C上方，以保護它們不成為欲進行之蝕刻程序的部分。預設鰭片區域106D至106G並未受到型樣化遮罩層110的保護。此狀況將導致預設鰭片區域106A至106C成為

鰭片 124A 至 124C，其高度 120 小於源自於預設鰭片區域 106D 至 106G 之鰭片 124D 至 124G 的高度。

第 6 圖以橫截面側圖展示出一種經由用以形成該等鰭片 124 之蝕刻程序的型樣化遮罩層 110、預設鰭片區域 106、隔離區域 104、以及基板 102。在第 6 圖中，已經移除了型樣化遮罩層 110 的部分，而留下剩餘的部分遮罩層 114。已經移除了型樣化遮罩層 110 的厚度 116。同樣地，在蝕刻程序的此點中已經移除了隔離區域 104 的厚度 112。厚度 112 與厚度 116 之間的差異將依據遮罩層 108 以及隔離區域 104 之蝕刻率之間的差異而定。在當中遮罩層 108 包含一種氮化矽材質、隔離區域 104 包含一種氧化矽材質，且基板 102 與預設鰭片區域 106 包含矽的一實施例中，受選的蝕刻劑可為一種氫氟酸(HF)。可根據遮罩層 108 與隔離區域 104 之間的所欲蝕刻劑率差異以及用以蝕刻遮罩層 108 與隔離區域 104 的蝕刻選擇性，來使用、選擇不同蝕刻劑及/或不同材質，而使同時使基板 102 與預設鰭片區域 106 維持為實質上完整無損。例如，可使用旋轉介電薄膜，例如矽酸鹽或矽氧烷，作為遮罩層 108 或隔離區域 104，而以 HF 或緩衝型 HF 作為蝕刻劑。亦可使用其他的組合物。

第 7 圖以橫截面側圖展示出另一種經由用以形成該等鰭片 124 之蝕刻程序的預設鰭片區域 106、隔離區域 104、以及基板 102 的時間部份。在展示於第 7 圖的該點中，均已移除了所有型樣化遮罩層 110，且先前受到型樣化遮罩層 110 保護的隔離區域 104A 至 104C 即將受到蝕刻。在此點上，隔

離區域104E至104G的厚度118，加上靠近預設鰭片區域106D之隔離區域104D的部份，已經受到移除。此厚度118設定第1圖之較高鰭片124D至124G（高度122減去高度120）以及第1圖之較短鰭片124A至124C（取決於該蝕刻程序的細微差異）之間的高度差異。因此，將選出型樣化遮罩層110之材質的厚度與蝕刻率，以提供所欲厚度118，以及第1圖之該等鰭片124之間的所欲高度差異。該蝕刻程序在第7圖的該點之後將繼續進行，以移除隔離區域104A至104C的多個部份以及隔離區域104D至104G的大部分，並且產生第1圖的鰭片124。

如上所述地，第1圖以橫截面側圖展示出源自於該遮罩與蝕刻程序之具有不同高度的鰭片124。該蝕刻程序在第7圖的該點之後將繼續進行，以移除隔離區域104A至104C的多個部份，加上隔離區域104D的左側，以形成具有一所欲高度120的鰭片124A至鰭片124C。此項繼續進行的蝕刻程序亦移除了隔離區域104E至104G的大部分，加上隔離區域104D的右側，以形成具有所欲高度122的鰭片124D至鰭片124G。係根據遮罩層108之材質以及隔離區域104之材質之間的所欲高度差異118以及蝕刻率差別，來選定遮罩層108的厚度。將選定蝕刻時間，以蝕刻型樣化遮罩層110並且移除隔離區域104A至104C的多個部份，加上隔離區域104D的左側，以形成鰭片124A至鰭片124C的所欲高度120。

第8圖以橫截面側圖展示出型樣化遮罩層126與128，該等層體可用以形成具有三種不同高度的鰭片124。隔離區域

104F與104G以及隔離區域104E的右側並未受到一遮罩層的覆蓋。型樣化遮罩層126已經受到型樣化，以覆蓋隔離區域104A至104D，加上隔離區域104E的左側。型樣化遮罩層128已經受到型樣化，以覆蓋隔離區域104A至104C，加上隔離區域104D的左側。當已經進行了一項蝕刻程序時，將從此程序的開始階段蝕刻隔離區域104F與104G以及隔離區域104E的右側。在花費時間移除型樣化遮罩層126所造成的一延遲之後，將蝕刻隔離區域104D的右側以及隔離區域104E的左側。最後，在花費時間移除型樣化遮罩層126以及型樣化遮罩層128二者所造成的一段更長延遲之後，將蝕刻隔離區域104D的左側以及隔離區域104A至104C。

第9圖以橫截面側圖展示出從第8圖之二種不同型樣化遮罩層126與128產生的該等鰭片。因為它們並未受到一遮罩層覆蓋，預設鰭片區域106E至106G變成具有最大高度134的鰭片124E至鰭片124G。因為它僅受到一型樣化層126的覆蓋，預設鰭片區域106D變成具有中等高度132的鰭片124D。因為它們受到二個型樣化遮罩層126與128的覆蓋，預設鰭片區域106A至106C變成具有最短高度130的鰭片124A至鰭片124C。

將根據鰭片124D與鰭片124E至鰭片124G(即，高度134減去高度132)之間的所欲高度差異以及遮罩層126之材質與隔離區域104之材質之間的蝕刻率差別，來選出型樣化遮罩層126的厚度。相似地，將根據鰭片124A至鰭片124C與鰭片124D(即，高度132減去高度130)之間的所欲高度差異

以及遮罩層128之材質與隔離區域104之材質之間的蝕刻率差別，來選出型樣化遮罩層128的厚度。

可使用額外的遮罩層在一基板上製造多個鰭片124之高度的其他差別。可產生不只三種不同高度。並非是多個堆疊型樣化遮罩層126與128，可以有具有一第一厚度而覆蓋某些預設鰭片區域106的一第一型樣化遮罩層，以及具有大於該第一厚度之一第二厚度而覆蓋不同於該第一型樣化遮罩層所覆蓋之預設鰭片區域106的一第二型樣化遮罩層。替代地，可使用在蝕刻劑方面具有不同蝕刻率的遮罩層，以代替不同厚度或者除了不同厚度以外。不管在最終組的鰭片124中有多少不同高度出現，可把所得的鰭片124用於需要該種結構的任何應用中。

第10圖以橫截面側圖展示出可施加鰭片124的一種應用方式：一種多重閘極電晶體135。所展示之多重閘極電晶體135的實施例為一種三閘極電晶體135，其包括鄰近於隔離區域104的鰭片124。有靠近於鰭片124的一閘極介電層136，以及靠近於閘極介電層136的閘極138。因為閘極138靠近於鰭片124的三個側邊，電晶體135的閘通道“寬度”包括鰭片124的寬度140，加上鰭片124之高度142的二倍(這就是為何在本發明中使用此用語通道“寬度”時會加上引號；“寬度”不僅是該通道的寬度，但亦包括其他尺寸/範圍)。因為電晶體124的驅動電流至少部分地依據電晶體135的閘通道“寬度”而定，可藉著增加高度142來增加該驅動電流，而同時使電晶體135的其他尺寸/範圍維持相同。

第11圖以等尺寸圖展示出電晶體135。如上所述，因為閘通道“寬度”是依據鰭片124的高度142而定，可增加電晶體135的驅動電流，而不會增加鰭片124寬度140或閘深度144。這表示，藉著增加鰭片124的高度142，可增加該驅動電流，而不會使電晶體135佔用較多的面積。“面積”表示位於X-Y平面內的面積；要注意的是，在第1圖至第10圖中，X-軸是從圖式中該平面的左邊到右邊，Z-軸是從圖式中該平面的上面到下面，而Y-軸則與該平面垂直。因此，使用展示於第1圖的實施例，可使用鰭片124A至鰭片124C來製造具有較低驅動電流的多重閘極電晶體135，且可使用鰭片124D至鰭片124G來製造具有較高驅動電流的多重閘極電晶體135，而該等多重閘極電晶體(在該X-Y平面中)中各個電晶體的面積實質上是相同的。

一種應用方式是製造實質上具有相同驅動電流的NMOS (n型金屬氧化物半導體電晶體)以及PMOS (p型金屬氧化物半導體電晶體)，且其相較於具有相同高度之鰭片上製造的NMOS與PMOS電晶體來說，在面積上較為靠近。具有與一NMOS電晶體相同之閘通道“寬度”的一PMOS電晶體典型地具有一較低驅動電流。藉著增加該PMOS電晶體之鰭片124的高度142，相較於位於相同基板102上的該NMOS電晶體來說，可增加該PMOS的閘極“寬度”，且使該驅動電流增加，而不會增加該PMOS電晶體所佔用的面積。因此，基板102上的該等PMOS與NMOS電晶體135具有實質上相同的面積以及相同的驅動電流。

在其他實施例中，PMOS電晶體135實質上具有相同於NMOS電晶體135的面積，且可藉著選出個別電晶體類型的鰭片高度，使該PMOS電晶體的驅動電流多於或少於NMOS電晶體的驅動電流。替代地，可根據針對某種特定電路需求的所欲驅動電流以及基板102上的可接受使用面積，來選出該PMOS電晶體的面積以及鰭片高度142，使其各大於或小於該NMOS電晶體的面積以及鰭片高度。

在其他實施例中，在不藉著具有不同鰭片124高度142來改變面積的狀況下，一種單一電晶體類型(N型或P型)之多個事例的驅動電流在單一基板102上可能不同。此狀況可能是有用的，例如當相同面積的電晶體135為所欲的時(例如，當規定電晶體之間距的設計規則是根據電晶體面積而定時)，其他不同驅動電流亦是所欲的。可由裝置設計師個別地選出鰭片124的面積與高度以產生一種裝置，例如具以所欲驅動電流與面積的一種電晶體。

第12圖與第13圖以方塊圖展示出使用上述NMOS與PMOS電晶體的多種應用方式。第12圖包括晶粒150以及為晶粒150之部分的記憶體胞元148。記憶體胞元148(其可例如為SRAM胞元148)包括多個NMOS以及PMOS多重閘極電晶體135二種。PMOS電晶體135的鰭片124可高於NMOS電晶體135的鰭片，因此二種類型的電晶體135具有實質上相同的面積以及實質上相同的驅動電流。第13圖包括晶粒150以及為晶粒150之部分的環型振盪器152。環型振盪器152包括多個NMOS以及PMOS多重閘極電晶體135二種。PMOS

電晶體135的鰭片124高於NMOS電晶體135的鰭片，因此二種類型的電晶體135具有實質上相同的面積以及實質上相同的驅動電流。可受惠於具有不同高度142之鰭片124之電晶體135的多種其他裝置與電路實例亦是可能的。

已經為了展示與解說目的提出本發明實施例的上述說明。該等實施例並非完全詳盡的，且並不意圖把本發明限制在所揭露的特定形式中。本發明說明以及以下申請專利範圍包括多個用語，例如左、右、上、下、上面、下面、上方、較低、第一、第二等，其僅用於描述目的且不應被解釋為具有限制性。例如，指定相對垂直位置的多個用語表示一種當中一基板或積體電路的裝置側邊(或作用中表面)為該基板之“上”表面的狀況；該基板實際上可處於任何定位，因此以標準陸地測量方式來說，一基板的一“上”邊可能低於“下”邊，且仍屬於用語“上”的意義範圍內。本文中(包括申請專利範圍中)使用的用語“在...上”並不表示在第一層“上”的第一層係直接地位於該第二層上方且即刻地與該第二層接觸，除非特別指明出來；在該第一層以及位於該第一層上方之該第二層之間可以有一第三層或其他結構。可於多種位置以及定位中製造、使用、或運送本發明所述之一裝置或一物件的實施例。熟知技藝者可瞭解的是，在以上的揭示範圍中，可以有多種修改方案以及變化方案。熟知技藝者將可瞭解圖式中各種不同部件的各種不同等校方案組合以及替代方案。因此所意圖的是，本發明的範圍並不受到發明詳細說明的限制，而使僅受到申請專

利範圍的限制。

【圖式簡單說明】

第1圖以橫截面側圖展示出位於相同基板上但具有不同高度的多個鰭片。

第2圖以橫截面側圖展示出該基板。

第3圖以橫截面側圖展示出該基板在多個隔離區域已經形成後的態樣。

第4圖以橫截面側圖展示出一種遮罩。

第5圖以橫截面側圖展示出型樣化的遮罩層。

第6圖以橫截面側圖展示出一種用以形成該等鰭片之蝕刻程序的時間部分。

第7圖以橫截面側圖展示出另一種用以形成該等鰭片之蝕刻程序的時間部分。

第8圖以橫截面側圖展示出可用以形成具有三種不同高度之多個鰭片的多個型樣化遮罩層。

第9圖以橫截面側圖展示出從第8圖之二種不同型樣化遮罩層產生的該等鰭片。

第10圖以橫截面側圖展示出可施加鰭片的一種應用方式：一種多重閘極電晶體。

第11圖以等尺寸圖展示出該電晶體。

第12圖與第13圖以方塊圖展示出使用上述NMOS與PMOS電晶體的多種應用方式。

【主要元件符號說明】

102...基板

104A-G...隔離區域

106A-G…預設鰭片區域	136…閘極介電層
108、114…遮罩層	138…閘極
110、126、128…型樣化遮罩層	140…寬度
112、116、118…厚度	144…閘深度
120、122、130~134、142…高度	148…記憶體胞元
124A-G…鰭片	150…晶粒
135…多重閘極電晶體	152…環型振盪器

七、申請專利範圍：

1. 一種用以形成具不同高度之基板鰭片的方法，其包含下列步驟：

在一基板中形成多個隔離區域；

在該等多個隔離區域中的一第一組隔離區域上形成一遮罩層，該等多個隔離區域中的一第二組隔離區域並未位於該遮罩層下；以及

以一蝕刻劑蝕刻該遮罩層以及該等多個隔離區域，該蝕刻劑以一第一蝕刻率蝕刻該遮罩層且以一第二蝕刻率蝕刻該等多個隔離區域，該等第一與第二蝕刻率係在彼此的一個量級範圍內，以在該等第一組隔離區域之間形成具有一第一高度的一第一鰭片，以及在該等第二組隔離區域之間形成具有高於該第一高度之一第二高度的一第二鰭片。

2. 如申請專利範圍第 1 項之方法，其中該第一蝕刻率係在該第二蝕刻率的 25% 範圍內。
3. 如申請專利範圍第 1 項之方法，其中該蝕刻劑包含一種氫氟酸、該遮罩層包含一種氮化矽材質、該等隔離區域包含氧化矽，且該基板包含矽。
4. 如申請專利範圍第 1 項之方法，其另包含下列步驟：
形成包含該第一鰭片的一 n 型電晶體，該 n 型電晶體具有一第一驅動電流以及一第一面積；以及
形成包含該第二鰭片的一 p 型電晶體，該 p 型電晶體具有在該第一驅動電流 15% 範圍內的一第二驅動電流以

及在該第一面積 15%範圍內的一第二面積。

5. 如申請專利範圍第 1 項之方法，其中：

該等第一組隔離區域包含一第一子組以及一第二子組；
該遮罩層具有覆蓋在該第一子組上的一第一厚度以及
覆蓋在該第二子組上而大於該第一厚度的一第二厚度；
該第一鰭片係介於該等第一子組隔離區域之間；並且
蝕刻該遮罩層以及該等多個隔離區域的步驟導致介於
該等第二子組隔離區域之間的一第三鰭片，該第三鰭片
具有短於該第一高度的一第三高度。

6. 一種用以形成具有第一高度之第一鰭片及具有第二高度之第二鰭片的方法，其包含下列步驟：

在一基板中形成多個隔離區域，進而至少導致介於第一與第二隔離區域之間的一第一預設鰭片基板區域、以及介於第三與第四隔離區域之間的一第二預設鰭片基板區域；

在該等第一與第二隔離區域上而不在該等第三與第四隔離區域形成上形成一遮罩層；

移除該遮罩層、該等第一與第二隔離區域的多個部份以及該等第三與第四隔離區域的多個部份，而該等第三與第四隔離區域被移除的部分係多於該等第一與第二隔離區域被移除的部分，以導致從該第二預設鰭片基板區域形成一較高的第二鰭片，而從該第一預設鰭片基板區域形成一較短的第一鰭片，其中係以一選定蝕刻劑移除該遮罩層以及該等第一、第二、第三以及第四隔離區域

的多個部分，並且該遮罩層在該選定蝕刻劑方面的一蝕刻率與該等隔離區域在該選定蝕刻劑方面的一蝕刻率係在相同量級範圍內。

7. 如申請專利範圍第 6 項之方法，其中移除該遮罩層、該等第一與第二隔離區域之多個部分、以及該等第三與第四隔離區域之多個部分的步驟，包含以該選定蝕刻劑蝕刻該遮罩層以及該等第一、第二、第三、以及第四隔離區域。
8. 如申請專利範圍第 7 項之方法，其中在該蝕刻步驟中，該遮罩層保護該等第一與第二隔離區域達一段時間，因此該等第一與第二隔離區域暴露在該蝕刻劑下的時間短於該等第三與第四隔離區域暴露在該蝕刻劑下的時間，進而導致該等第一與第二隔離區域被蝕刻掉的部分較少。
9. 如申請專利範圍第 6 項之方法，其中該等隔離區域包含氧化矽，且該遮罩層包含氮化矽。
10. 如申請專利範圍第 6 項之方法，其中該第一鰭片具有一第一高度、該第二鰭片具有一第二高度、且該第一高度係介於該第二高度的 50% 及 75% 之間。
11. 如申請專利範圍第 6 項之方法，其另包含形成一個多重閘極 p 型電晶體，該第二鰭片成為該多重閘極 p 型電晶體的一部分，該方法另包含形成一個多重閘極 n 型電晶體，而該第一鰭片成為該多重閘極 n 型電晶體的一部分。

12. 一種半導體裝置，其包含：

一基板；

位於該基板之一第一部份上的一第一多重閘極電晶體，該第一多重閘極電晶體包含一第一鰭片，該第一鰭片具有超過一第一隔離區域的一第一高度；以及

位於該基板之一第二部份上的一第二多重閘極電晶體，該第二多重閘極電晶體包含一第二鰭片，該第二鰭片具有超過一第二隔離區域的一第二高度，該第二高度大於該第一高度；

其中該第一隔離區域具有靠近該第一鰭片的一第一深度，一過渡下降至具有靠近該第二鰭片的一第二較低的深度之該第二隔離區域，並且沒有隔離區域直接位於該第一鰭片與具有實質上高於該第一深度的一深度之該第二鰭片之間。

13. 如申請專利範圍第 12 項之裝置，其中該第一多重閘極電晶體為一個 N 型電晶體，且該第二多重閘極電晶體為一個 P 型電晶體。

14. 如申請專利範圍第 13 項之裝置，其另包含一記憶體胞元，其中該等第一與第二多重閘極電晶體均為該記憶體胞元的電晶體。

15. 如申請專利範圍第 13 項之裝置，其另包含一環型振盪器，其中該等第一與第二多重閘極電晶體均為該環型振盪器的電晶體。

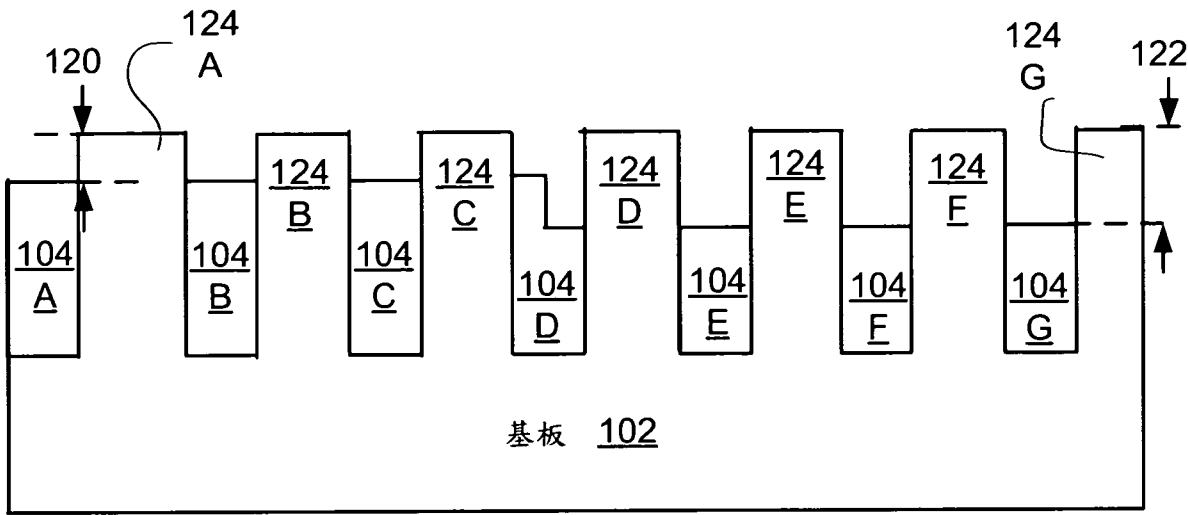
16. 如申請專利範圍第 13 項之裝置，其中該第二高度大於

該第一高度的程度足以使該第一電晶體的驅動電流在該第二電晶體之驅動電流的 10%範圍內。

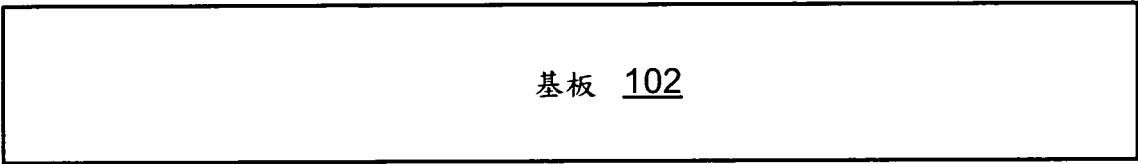
17.如申請專利範圍第 16 項之裝置，其中第一多重閘極電晶體具有一第一面積，該第二多重閘極電晶體具有一第二面積，且該第一面積在該第二面積的大約 15%範圍內。

18.如申請專利範圍第 12 項之裝置，其中該第二高度大於該第一高度至少 25%。

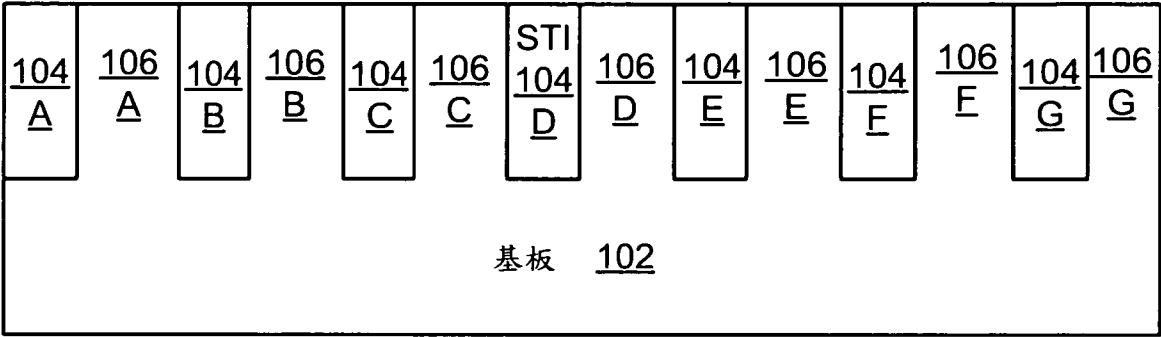
19.如申請專利範圍第12項之裝置，其另包含位於該基板之一第三部份上的一第三多重閘極電晶體，該第三多重閘極電晶體包含一第三鰭片，該第三鰭片具有超過一第三隔離區域的一第三高度，且第三高度大於該第二高度。



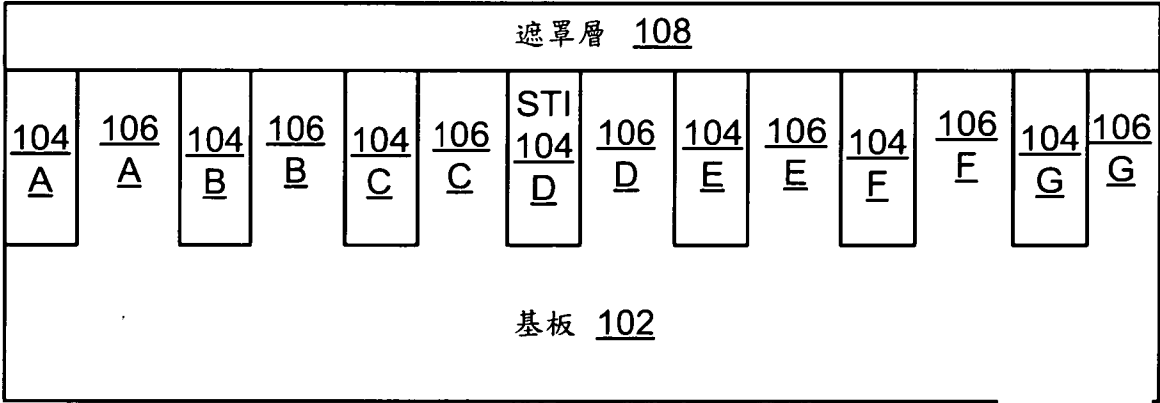
第 1 圖



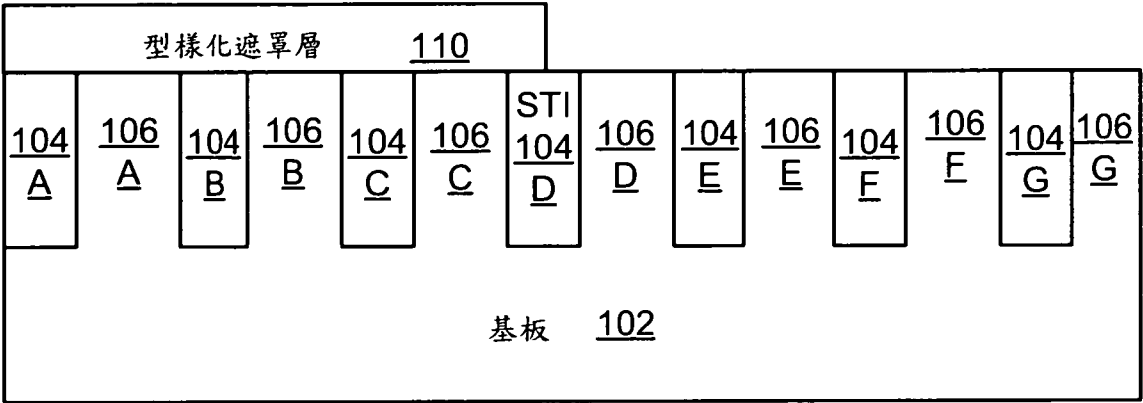
第 2 圖



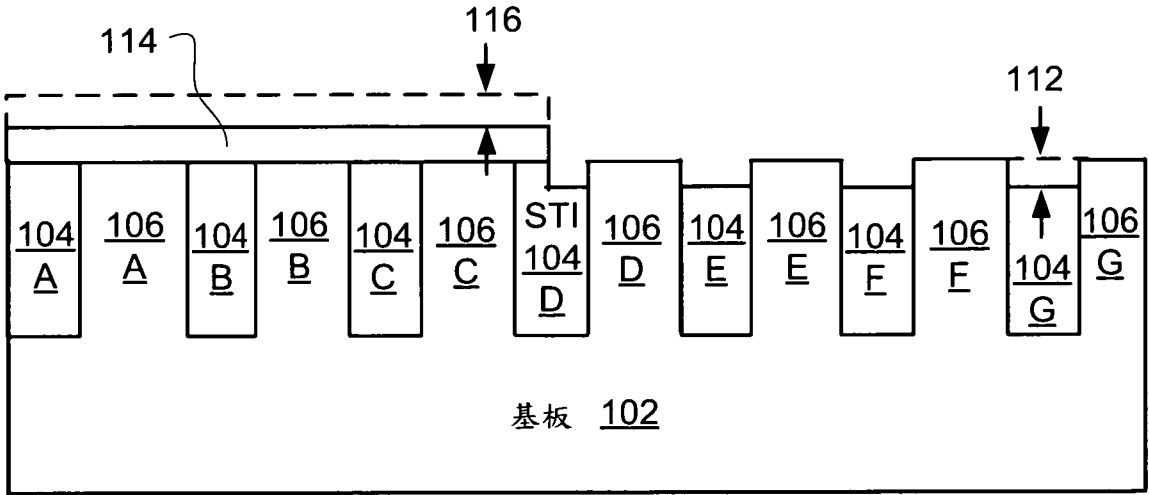
第 3 圖



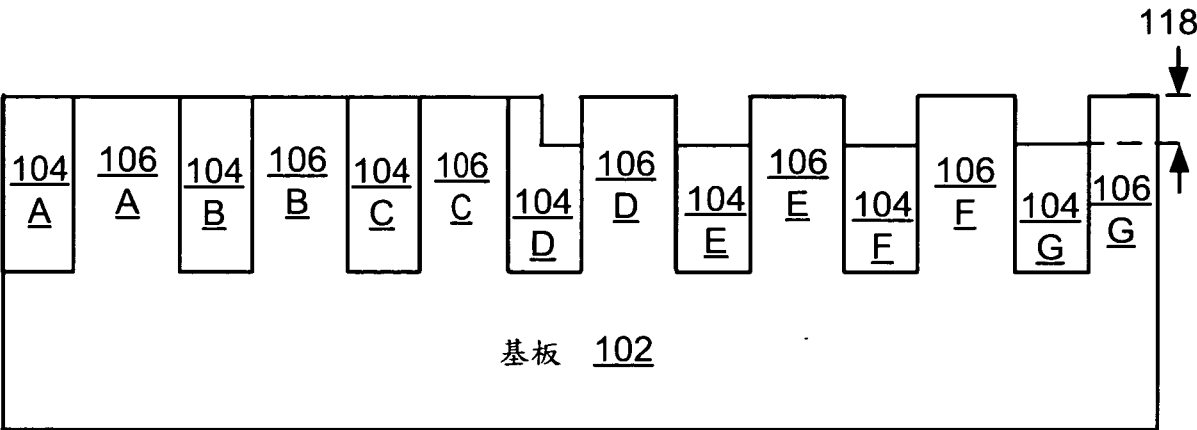
第 4 圖



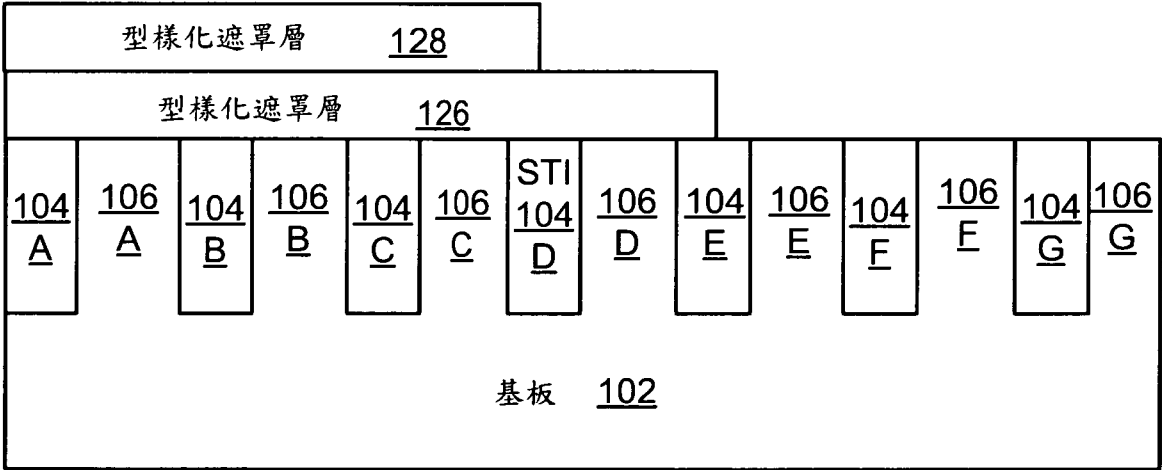
第 5 圖



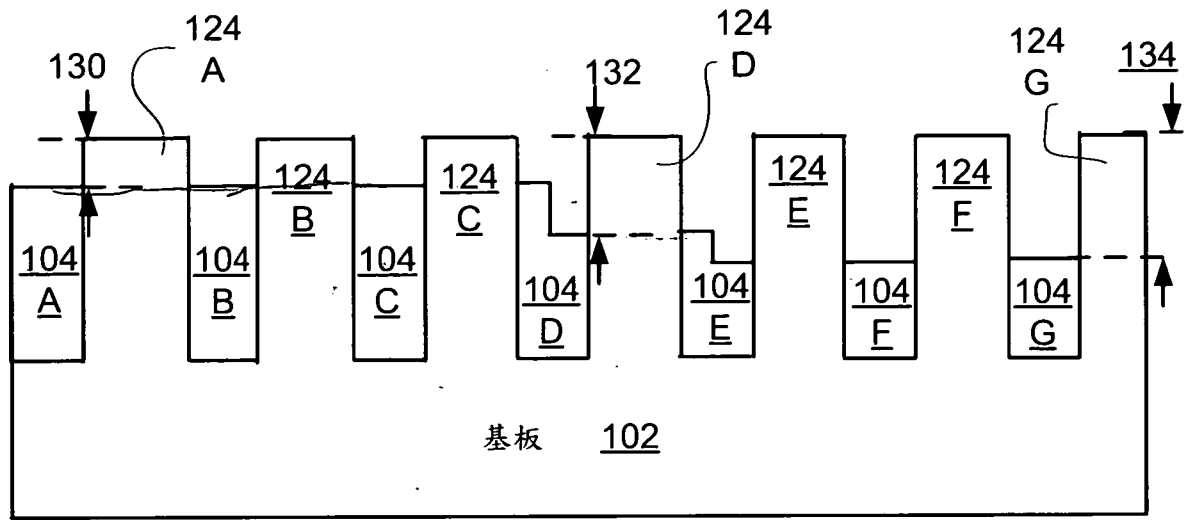
第 6 圖



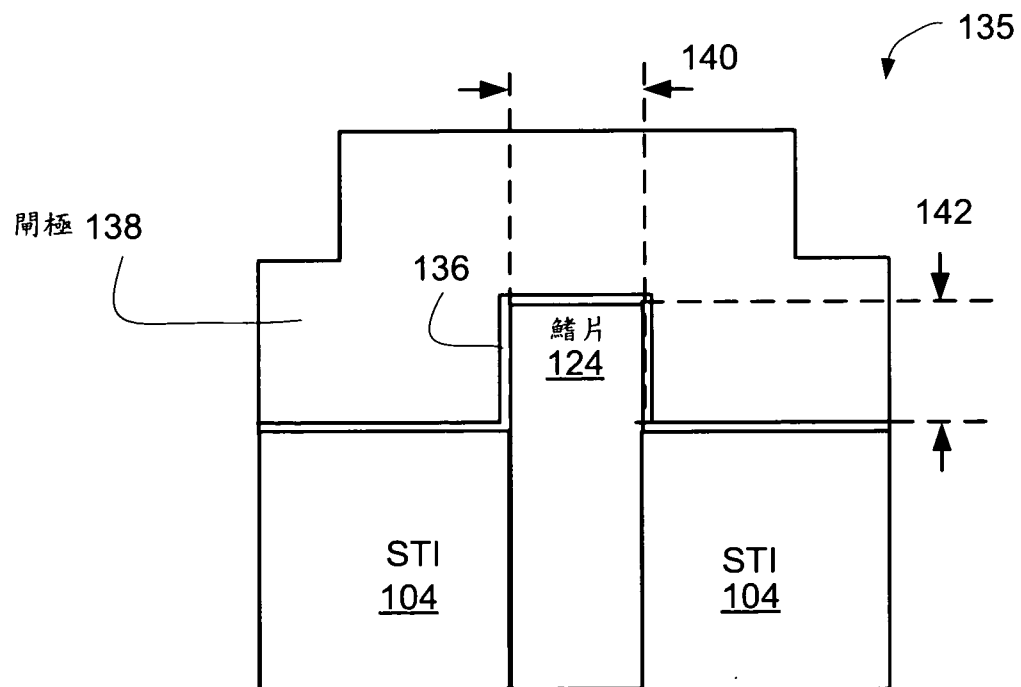
第 7 圖



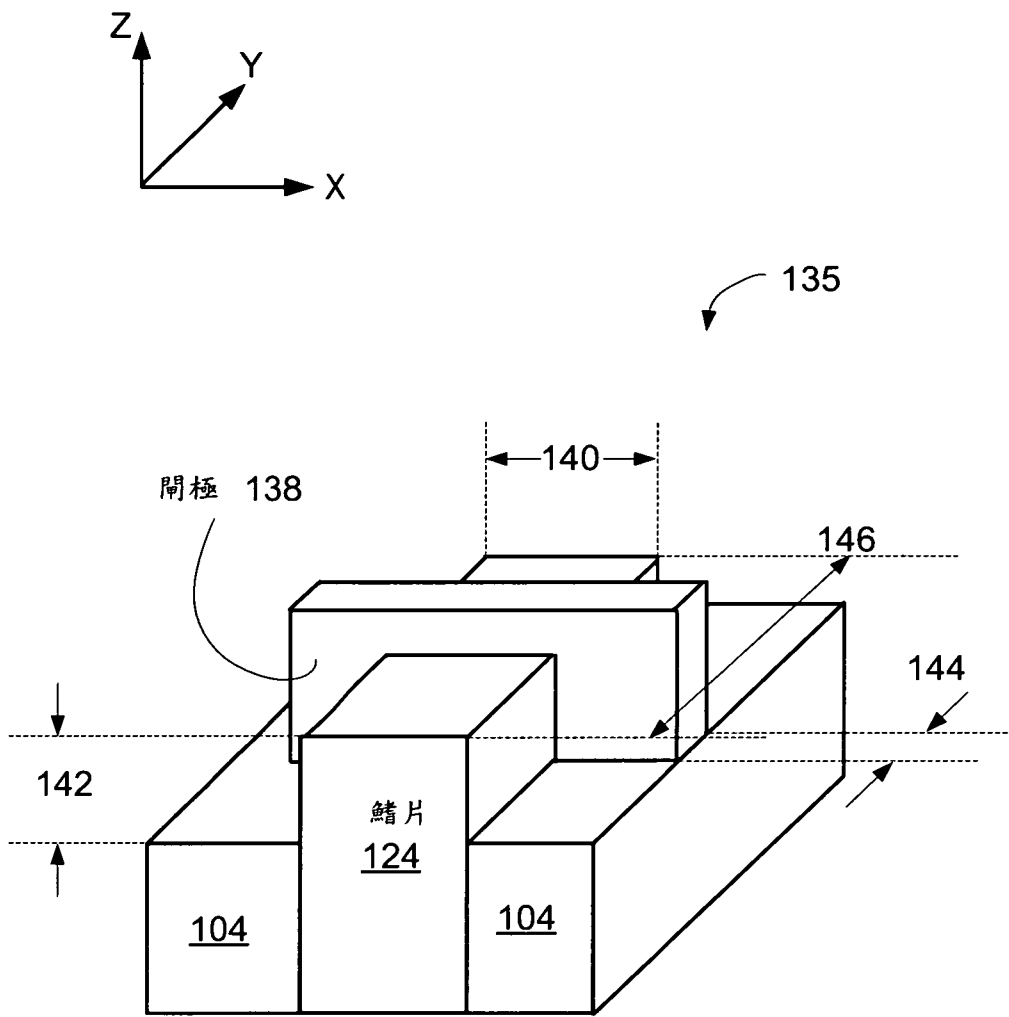
第 8 圖



第 9 圖

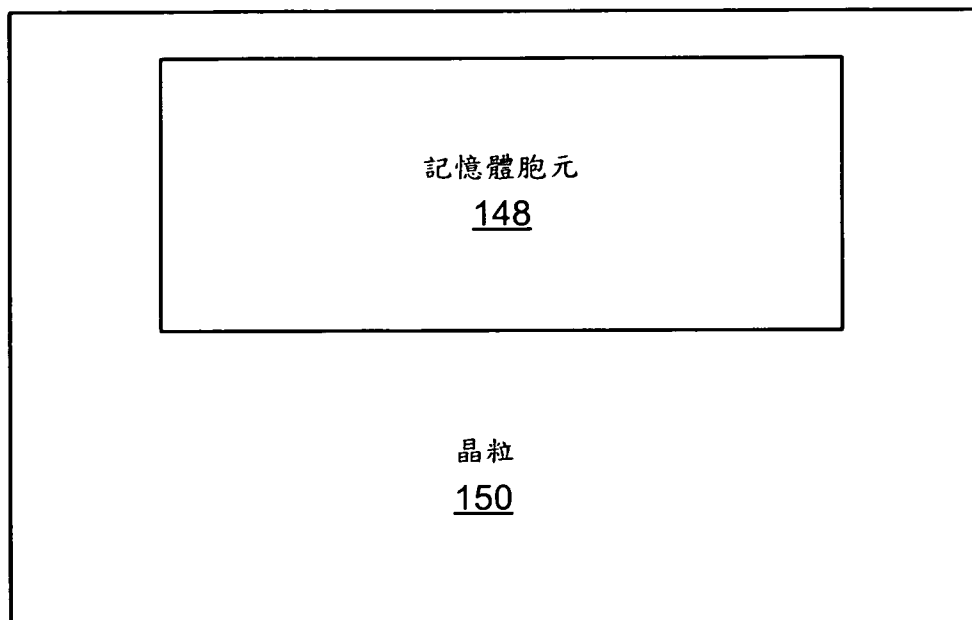


第 10 圖

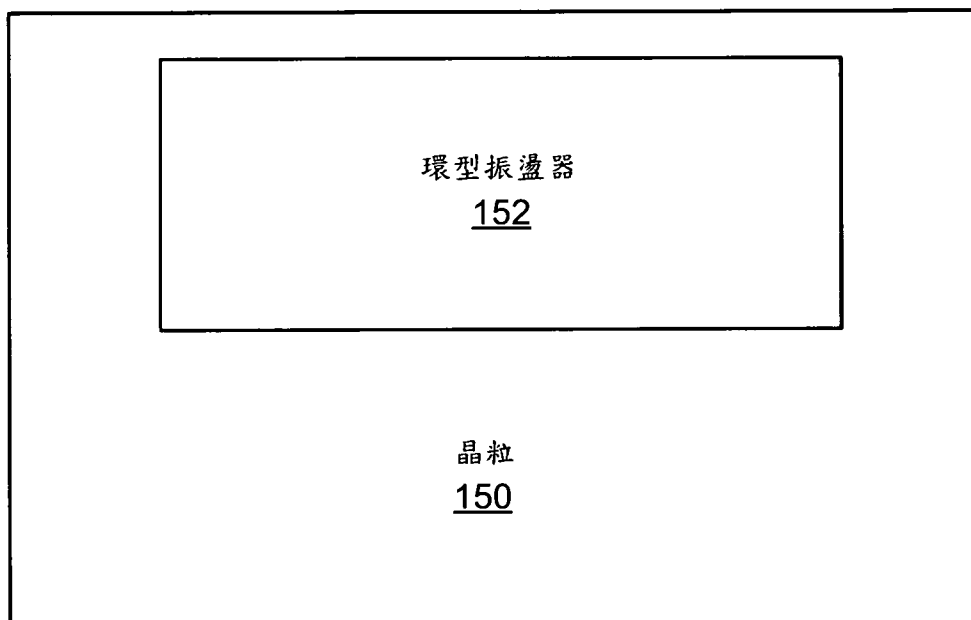


第 11 圖

7/7



第 12 圖



第 13 圖