

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年2月27日(27.02.2014)



(10) 国際公開番号

WO 2014/030239 A1

- (51) 国際特許分類:
H01L 29/786 (2006.01) H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2012/071297
- (22) 国際出願日: 2012年8月23日(23.08.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 学校法人中部大学(CHUBU UNIVERSITY EDUCATIONAL FOUNDATION) [JP/JP]; 〒4878501 愛知県春日井市松本町1200 Aichi (JP). 国立大学法人北海道大学(NATIONAL UNIVERSITY CORPORATION HOKKAIDO UNIVERSITY) [JP/JP]; 〒0600808 北海道札幌市北区北8条西5丁目 Hokkaido (JP). 国立大学法人大阪大学(OSAKA UNIVERSITY) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 Osaka (JP). 日新電機株式会社(NISSIN ELECTRIC CO., LTD.) [JP/JP]; 〒6158686 京都府京都市右京区梅津高畝町47番地 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 河原 敏男(KAWAHARA Toshio) [JP/JP]; 〒4878501 愛知県春日井市松本町1200 学校法人中部大学内

Aichi (JP). 岡本 一将(OKAMOTO Kazumasa) [JP/JP]; 〒0600808 北海道札幌市北区北8条西5丁目 国立大学法人北海道大学内 Hokkaido (JP). 松本 和彦(MATSUMOTO Kazuhiko) [JP/JP]; 〒5650871 大阪府吹田市山田丘1番1号 国立大学法人大阪大学内 Osaka (JP). 宇都宮 里佐(UTSUNOMIYA Risa) [JP/JP]; 〒6158686 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内 Kyoto (JP). 松葉 晃明(MATSUBA Teruaki) [JP/JP]; 〒6158686 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内 Kyoto (JP). 松本 均(MATSUMOTO Hitoshi) [JP/JP]; 〒6158686 京都府京都市右京区梅津高畝町47番地 日新電機株式会社内 Kyoto (JP).

(74) 代理人: 上羽 秀敏, 外(UEBA Hidetoshi et al.); 〒5300004 大阪府大阪市北区堂島浜1丁目4番16号 アクア堂島西館 インテリクス国際特許事務所 Osaka (JP).

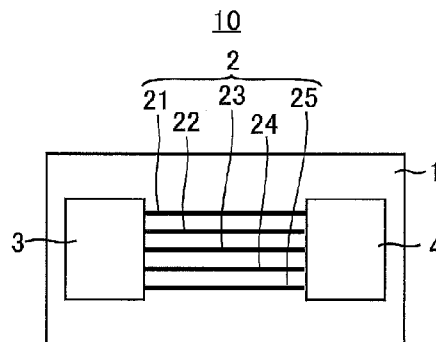
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,

[続葉有]

(54) Title: THIN FILM TRANSISTOR AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 薄膜トランジスタおよびその製造方法

[図2]



(57) Abstract: A thin film transistor (10) is equipped with a silicon substrate (1), a channel layer (2), a source electrode (3) and a drain electrode (4). The channel layer (2), the source electrode (3) and the drain electrode (4) are arranged on one main surface of the silicon substrate (1). The channel layer (2) is composed of multiple carbon nano-wall thin films (21 to 25), wherein the multiple carbon nano-wall thin films (21 to 25) are arranged in parallel to each other between the source electrode (3) and the drain electrode (4), one end of each of the multiple carbon nano-wall thin films (21 to 25) is in contact with the source electrode (3), and the other end of each of the multiple carbon nano-wall thin films (21 to 25) is in contact with the drain electrode (4). An insulating film and a gate electrode are arranged on the rear surface side of the silicon substrate (1).

(57) 要約: 薄膜トランジスタ10は、シリコン基板1と、チャネル層2と、ソース電極3と、ドレイン電極4とを備える。チャネル層2、ソース電極3およびドレイン電極4は、シリコン基板1の一主面上に配置される。チャネル層2は、複数のカーボンナノウォール薄膜21~25からなり、複数のカーボンナノウォール薄膜21~25は、ソース電極3とドレイン電極4との間に並列に配置され、複数のカーボンナノウォール薄膜21~25の一方端は、ソース電極3に接し、複数のカーボンナノウォール薄膜21~25の他方端は、ドレイン電極4に接する。絶縁膜およびゲート電極は、シリコン基板1の裏面側に配置される。

WO 2014/030239 A1



LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

パ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 薄膜トランジスタおよびその製造方法

技術分野

[0001] この発明は、薄膜トランジスタおよびその製造方法に関するものである。

背景技術

[0002] 従来、カーボンナノウォールを用いた縦型電流駆動デバイスが知られている（特許文献１）。

[0003] 図５０は、従来の縦型電流駆動デバイスの概略図である。図５０を参照して、従来の縦型電流駆動デバイス５００は、カーボンナノウォール５０１と、ソース電極５０２と、ドレイン電極５０３と、ゲート電極５０４とを備える。

[0004] カーボンナノウォール５０１は、数層のグラフェンシートが積層された構造からなる。

[0005] ソース電極５０２は、カーボンナノウォール５０１の一方端に配置され、ドレイン電極５０３は、カーボンナノウォール５０１の頂部においてカーボンナノウォール４０１の最表面または最下面に接して配置される。ゲート電極５０４は、カーボンナノウォール５０１の最表面に接して配置される。

先行技術文献

特許文献

[0006] 特許文献１：特開２００６－２７２４９１号公報

発明の概要

発明が解決しようとする課題

[0007] しかし、特許文献１には、カーボンナノウォールの配向性を制御する方法が記載されていないため、縦型電流駆動デバイスのチャネル層を複数のカーボンナノウォールによって構成することが困難であり、チャネル層が１つのカーボンナノウォールからなる場合よりも大きい電流を縦型電流駆動デバイスに流すことが困難であるという問題がある。

[0008] そこで、この発明は、かかる問題を解決するためになされたものであり、その目的は、チャネル層が1つのカーボンナノウォールからなる場合よりも大きい電流を流すことが可能な薄膜トランジスタを提供することである。

[0009] また、この発明の別の目的は、チャネル層が1つのカーボンナノウォールからなる場合よりも大きい電流を流すことが可能な薄膜トランジスタの製造方法を提供することである。

課題を解決するための手段

[0010] この発明の実施の形態によれば、薄膜トランジスタは、シリコン基板と、チャネル層と、ソース電極と、ドレイン電極と、ゲート電極と、絶縁膜とを備える。シリコン基板は、一主面に凹凸形状がストライプ状または碁盤目状に形成されている。チャネル層は、凹凸形状の凸部の長さ方向に沿って複数の凸部上に配置され、各々がシリコン基板の法線方向に成長した複数のカーボンナノウォール薄膜からなる。ソース電極は、複数のカーボンナノウォール薄膜の各々においてカーボンナノウォール薄膜の厚み方向に平行な第1の側面に少なくとも接する。ドレイン電極は、カーボンナノウォール薄膜の面内方向においてソース電極に対向するように配置され、複数のカーボンナノウォール薄膜の各々において第1の側面に対向する第2の側面に少なくとも接する。絶縁膜は、複数のカーボンナノウォール薄膜とゲート電極との間に配置されている。

[0011] また、この発明の実施の形態によれば、薄膜トランジスタの製造方法は、複数のカーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、凹凸形状の凸部の長さ方向に沿って複数の凸部上に複数のカーボンナノウォール薄膜を形成する第2の工程と、複数のカーボンナノウォール薄膜の各々においてカーボンナノウォール薄膜の厚み方向に平行な第1の側面に少なくとも接するようにソース電極を形成する第3の工程と、カーボンナノウォール薄膜の面内方向においてソース電極に対向するように配置され、複数のカーボンナノウォール薄膜の各々にお

いて第1の側面に対向する第2の側面に少なくとも接するようにドレイン電極を形成する第4の工程と、複数のカーボンナノウォール薄膜に対向して絶縁膜を形成する第5の工程と、絶縁膜に接してゲート電極を形成する第6の工程とを備える。

発明の効果

[0012] この発明の実施の形態による薄膜トランジスタにおいては、チャネル層を構成する複数のカーボンナノウォール薄膜がソース電極とドレイン電極との間に並列に配置される。その結果、ゲート電極に所望の電圧が印加されると、電流は、ソース電極とドレイン電極との間で複数のカーボンナノウォール薄膜を並列に流れる。

[0013] 従って、チャネル層が1つのカーボンナノウォール薄膜からなる場合よりも大きい電流を流すことができる。

[0014] また、この発明の実施の形態による薄膜トランジスタの製造方法は、チャネル層を構成する複数のカーボンナノウォール薄膜がソース電極とドレイン電極との間に並列に配置されるように薄膜トランジスタを製造する。

[0015] 従って、この発明の実施の形態による薄膜トランジスタの製造方法によって製造した薄膜トランジスタにおいて、チャネル層が1つのカーボンナノウォール薄膜からなる場合よりも大きい電流を流すことができる。

図面の簡単な説明

[0016] [図1]この発明の実施の形態1による薄膜トランジスタの構成を示す断面図である。

[図2]図1に示すA方向から見た薄膜トランジスタの平面図である。

[図3]図1および図2に示すシリコン基板、チャネル層およびソース電極の斜視図である。

[図4]図1に示す複数のカーボンナノウォール薄膜を製造するプラズマ装置の構成を示す断面図である。

[図5]図4に示す整合回路側から見た平面導体、給電電極および終端電極の平面図である。

[図6] Y方向の平面導体の断面図およびプラズマ密度を示す図である。

[図7] 図1および図2に示す薄膜トランジスタの製造方法を示す第1の工程図である。

[図8] 図1および図2に示す薄膜トランジスタの製造方法を示す第2の工程図である。

[図9] 実施の形態1における別のシリコン基板を示す斜視図である。

[図10] 図9に示すシリコン基板上に形成したカーボンナノウォール薄膜の概念図である。

[図11] 図9に示すシリコン基板を用いたときの薄膜トランジスタの製造方法を示す第1の工程図である。

[図12] 図9に示すシリコン基板を用いたときの薄膜トランジスタの製造方法を示す第2の工程図である。

[図13] 図9に示すシリコン基板を用いたときの薄膜トランジスタの製造方法を示す第3の工程図である。

[図14] 図1および図2に示す薄膜トランジスタの別の製造方法を示す第1の工程図である。

[図15] 図1および図2に示す薄膜トランジスタの別の製造方法を示す第2の工程図である。

[図16] 実施例1における薄膜トランジスタの電気的特性を示す図である。

[図17] 実施例2における薄膜トランジスタの電気的特性を示す図である。

[図18] 実施例4における薄膜トランジスタの電気的特性を示す図である。

[図19] 薄膜トランジスタの電極が形成された領域のSEM（写真を示す図）である。

[図20] カーボンナノウォール薄膜の断面SEM写真を示す図である。

[図21] 実施の形態1による別の薄膜トランジスタの構成を示す平面図である。

[図22] 実施の形態2による薄膜トランジスタの構成を示す断面図である。

[図23] 図22に示すA方向から見た薄膜トランジスタの平面図である。

[図24]図22および図23に示す薄膜トランジスタの製造方法を示す第1の工程図である。

[図25]図22および図23に示す薄膜トランジスタの製造方法を示す第2の工程図である。

[図26]図22および図23に示す薄膜トランジスタの製造方法を示す第3の工程図である。

[図27]図22および図23に示す薄膜トランジスタの別の製造方法を示す第1の工程図である。

[図28]図22および図23に示す薄膜トランジスタの別の製造方法を示す第2の工程図である。

[図29]図22および図23に示す薄膜トランジスタの別の製造方法を示す第3の工程図である。

[図30]図22および図23に示す薄膜トランジスタの別の製造方法を示す第4の工程図である。

[図31]図22および図23に示す薄膜トランジスタの更に別の製造方法を示す第1の工程図である。

[図32]図22および図23に示す薄膜トランジスタの更に別の製造方法を示す第2の工程図である。

[図33]図22および図23に示す薄膜トランジスタの更に別の製造方法を示す第3の工程図である。

[図34]実施の形態2による別の薄膜トランジスタの構成を示す平面図である。

[図35]実施の形態3による薄膜トランジスタの構成を示す断面図である。

[図36]図35に示す薄膜トランジスタの製造方法を示す第1の工程図である。

[図37]図35に示す薄膜トランジスタの製造方法を示す第2の工程図である。

[図38]図35に示す薄膜トランジスタの製造方法を示す第3の工程図である。

。

[図39]図35に示す薄膜トランジスタの製造方法を示す第4の工程図である

。

[図40]図35に示す薄膜トランジスタの別の製造方法を示す第1の工程図である。

[図41]図35に示す薄膜トランジスタの別の製造方法を示す第2の工程図である。

[図42]図35に示す薄膜トランジスタの別の製造方法を示す第3の工程図である。

[図43]図35に示す薄膜トランジスタの別の製造方法を示す第4の工程図である。

[図44]図35に示す薄膜トランジスタの別の製造方法を示す第5の工程図である。

[図45]図35に示す薄膜トランジスタの更に別の製造方法を示す第1の工程図である。

[図46]図35に示す薄膜トランジスタの更に別の製造方法を示す第2の工程図である。

[図47]図35に示す薄膜トランジスタの更に別の製造方法を示す第3の工程図である。

[図48]図35に示す薄膜トランジスタの更に別の製造方法を示す第4の工程図である。

[図49]実施の形態3による別の薄膜トランジスタの構成を示す断面図である。

[図50]従来の縦型電流駆動デバイスの概略図である。

発明を実施するための形態

[0017] 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

[0018] [実施の形態1]

図 1 は、この発明の実施の形態 1 による薄膜トランジスタの構成を示す断面図である。また、図 2 は、図 1 に示す A 方向から見た薄膜トランジスタの平面図である。

[0019] 図 1 および図 2 を参照して、この発明の実施の形態 1 による薄膜トランジスタ 10 は、シリコン基板 1 と、チャネル層 2 と、ソース電極 3 と、ドレイン電極 4 と、絶縁膜 5 と、ゲート電極 6 とを備える。

[0020] シリコン基板 1 は、n 型単結晶シリコン、p 型単結晶シリコン、n 型多結晶シリコンおよび p 型多結晶シリコンのいずれかからなる。そして、シリコン基板 1 は、例えば、 $0.1 \sim 1 \Omega \cdot \text{cm}$ の比抵抗を有する。

[0021] チャネル層 2 は、シリコン基板 1 の一主面上に配置される。そして、チャネル層 2 は、複数のカーボンナノウォール薄膜 21～25 からなる。カーボンナノウォール薄膜 21～25 は、シリコン基板 1 に略垂直に配置されるとともに、相互に略平行に配置される。

[0022] ソース電極 3 は、シリコン基板 1 の面内方向において、チャネル層 2 の一方端に接して配置される。ドレイン電極 4 は、シリコン基板 1 の面内方向において、ソース電極 3 に対向するようにチャネル層 2 の他方端に接して配置される。

[0023] そして、ソース電極 3 およびドレイン電極 4 の各々は、カーボンナノウォール薄膜 21～25 の各々に接して配置される。

[0024] 絶縁膜 5 は、例えば、二酸化シリコン (SiO_2) からなる。そして、絶縁膜 5 は、シリコン基板 1 のチャネル層 2 が配置された一主面と反対側の表面に接して配置される。

[0025] ゲート電極 6 は、絶縁膜 5 に接して配置される。

[0026] ソース電極 3、ドレイン電極 4 およびゲート電極 6 の各々は、例えば、Ti/Au の積層構造からなる。そして、Ti の厚みは、例えば、10 nm であり、Au の厚みは、例えば、20 nm である。

[0027] 図 3 は、図 1 および図 2 に示すシリコン基板 1、チャネル層 2 およびソース電極 3 の斜視図である。

- [0028] 図3を参照して、シリコン基板1は、凸部11と凹部12とを含む。凸部11および凹部12は、方向DR1に沿ってシリコン基板1の一主面に形成される。方向DR1における凸部11および凹部12の長さは、シリコン基板1の長さと同じであっても、シリコン基板1の長さよりも短くてもよい。凸部11および凹部12は、方向DR1に垂直な方向DR2において、交互に形成される。凸部11は、方向DR2において、0.1~0.5 μm の長さを有する。凹部12は、方向DR2において、0.6~1.5 μm の長さを有する。即ち、凸部11は、0.1~0.5 μm の幅を有し、凹部12は、0.6~1.5 μm の幅を有する。また、凸部11の高さ(=凹部12の深さ)は、0.3~0.6 μm である。
- [0029] このように、シリコン基板1は、ストライプ状に配置された凹凸形状を一主面に有する。
- [0030] チャネル層2のカーボンナノウォール薄膜21~25の各々は、シリコン基板1の凸部11の長さ方向(=方向DR1)に沿って凸部11上に形成される。
- [0031] そして、カーボンナノウォール薄膜21~25の各々は、10~15 nmの厚み、および60~2500 nmの高さを有する。
- [0032] このように、複数のカーボンナノウォール薄膜21~25は、シリコン基板1の凸部11の長さ方向に沿って配列される。つまり、複数のカーボンナノウォール薄膜21~25は、所望のパターンに沿って配向している。
- [0033] ソース電極3は、複数のカーボンナノウォール薄膜21~25の一方端を覆うようにシリコン基板1上に配置される。この場合、ソース電極3は、カーボンナノウォール薄膜23の一方端側において、カーボンナノウォール薄膜23の厚み方向に平行な側面23Aおよび上面23Cに接する。同様に、ソース電極3は、カーボンナノウォール薄膜21, 22, 24, 25の一方端側において、カーボンナノウォール薄膜21, 22, 24, 25の厚み方向に平行な側面(=側面23Aに相当する側面)および上面(=上面23Cに相当する上面)に接する。

- [0034] このように、ソース電極 3 は、複数のカーボンナノウォール薄膜 2 1 ～ 2 5 の各々においてカーボンナノウォール薄膜 2 1 ～ 2 5 の厚み方向に平行な側面 2 3 A に少なくとも接する。
- [0035] なお、ドレイン電極 4 は、カーボンナノウォール薄膜 2 3 の他方端側において、カーボンナノウォール薄膜 2 3 の側面 2 3 A に対向する側面 2 3 B と、上面 2 3 C とに接する。同様に、ドレイン電極 4 は、カーボンナノウォール薄膜 2 1, 2 2, 2 4, 2 5 の他方端側において、カーボンナノウォール薄膜 2 1, 2 2, 2 4, 2 5 の側面（＝側面 2 3 A に相当する側面）に対向する側面（＝側面 2 3 B に相当する側面）と、上面（＝上面 2 3 C に相当する上面）とに接する。
- [0036] このように、ドレイン電極 4 は、複数のカーボンナノウォール薄膜 2 1 ～ 2 5 の各々においてカーボンナノウォール薄膜 2 1 ～ 2 5 の厚み方向に平行な側面 2 3 A に対向する側面 2 3 B に少なくとも接する。
- [0037] 従って、ソース電極 3 およびドレイン電極 4 は、カーボンナノウォール薄膜 2 1 ～ 2 5 を凸部 1 1 および凹部 1 2 が形成される方向 D R 1 から挟み込む。その結果、ソース電極 3 およびドレイン電極 4 は、カーボンナノウォール薄膜 2 1 ～ 2 5 の対向する側面 2 3 A, 2 3 B に少なくとも接する。
- [0038] 所望の電圧をゲート電極 6 に印加すると、チャネル層 2 の複数のカーボンナノウォール薄膜 2 1 ～ 2 5 のシリコン基板 1 側に電子または正孔が誘起され、電子または正孔が誘起された状態で所望の電圧をソース電極 3 とドレイン電極 4 との間に印加すると、カーボンナノウォール薄膜 2 1 ～ 2 5 の低次元性の影響を受けた電場分布により、複数のカーボンナノウォール薄膜 2 1 ～ 2 5 の電子または正孔が誘起された領域を介して電流がソース電極 3 とドレイン電極 4 との間に流れる。そして、ソース電極 3 とドレイン電極 4 との間に流れる電流値は、ゲート電極 6 に印加される電圧によって制御される。この場合、電流は、ソース電極 3 とドレイン電極 4 との間で複数のカーボンナノウォール薄膜 2 1 ～ 2 5 を並列に流れる。
- [0039] 従って、チャネル層が 1 つのカーボンナノウォール薄膜からなる場合より

も大きい電流を薄膜トランジスタ 10 に流すことができる。

[0040] このように、薄膜トランジスタ 10 は、複数のカーボンナノウォール薄膜 21～25 をチャンネル層 2 として用いた薄膜トランジスタである。また、薄膜トランジスタ 10 は、ゲート電極 6 がチャンネル層 2 の下側に配置されたバックゲート型の薄膜トランジスタである。

[0041] 図 4 は、図 1 に示す複数のカーボンナノウォール薄膜 21～25 を製造するプラズマ装置の構成を示す断面図である。図 4 を参照して、プラズマ装置 100 は、真空容器 20 と、天板 26 と、排気口 27 と、ガス導入部 28 と、ホルダ 32 と、ヒータ 34 と、軸 36 と、軸受部 38 と、マスク 42 と、仕切り板 44 と、平面導体 50 と、給電電極 52 と、終端電極 54 と、絶縁フランジ 56 と、パッキン 57, 58 と、シールドボックス 60 と、高周波電源 62 と、整合回路 64 と、接続導体 68, 69 とを備える。

[0042] 真空容器 20 は、金属製であり、排気口 27 を介して真空排気装置に接続される。また、真空容器 20 は、電氣的に接地ノードに接続される。天板 26 は、真空容器 20 の上側を塞ぐように真空容器 20 に接して配置される。この場合、真空容器 20 と天板 26 との間には、真空シール用のパッキン 57 が配置される。

[0043] ガス導入部 28 は、真空容器 20 内において仕切り板 44 よりも上側に配置される。軸 36 は、軸受部 38 を介して真空容器 20 の底面に固定される。ホルダ 32 は、軸 36 の一方端に固定される。ヒータ 34 は、ホルダ 32 内に配置される。マスク 42 は、ホルダ 32 の周縁部においてホルダ 32 上に配置される。仕切り板 44 は、ホルダ 32 よりも上側において真空容器 20 とホルダ 32 との間を塞ぐように真空容器 20 の側壁に固定される。

[0044] 給電電極 52 および終端電極 54 は、絶縁フランジ 56 を介して天板 26 に固定される。この場合、天板 26 と絶縁フランジ 56 との間には、真空シール用のパッキン 58 が配置される。

[0045] 平面導体 50 は、X 方向における両端部がそれぞれ給電電極 52 および終端電極 54 に接するように配置される。

- [0046] 給電電極 5 2 および終端電極 5 4 は、後述するように Y 方向（図 4 の紙面に垂直な方向）において平面導体 5 0 とほぼ同じ長さを有する。そして、給電電極 5 2 は、接続導体 6 8 によって整合回路 6 4 の出力バー 6 6 に接続される。終端電極 5 4 は、接続導体 6 9 を介してシールドボックス 6 0 に接続される。平面導体 5 0、給電電極 5 2 および終端電極 5 4 は、例えば、銅およびアルミニウム等からなる。
- [0047] シールドボックス 6 0 は、真空容器 2 0 の上側に配置され、天板 2 6 に接する。高周波電源 6 2 は、整合回路 6 4 と接地ノードとの間に接続される。整合回路 6 4 は、シールドボックス 6 0 上に配置される。
- [0048] 接続導体 6 8、6 9 は、Y 方向において給電電極 5 2 および終端電極 5 4 とほぼ同じ長さを有する板形状からなる。
- [0049] ガス導入部 2 8 は、ガスポンベ（図示せず）から供給されたメタン（ CH_4 ）ガスおよび水素（ H_2 ）ガス等のガス 2 9 を真空容器 2 0 内に供給する。ホルダ 3 2 は、シリコン基板 1 を支持する。ヒータ 3 4 は、シリコン基板 1 を所望の温度に加熱する。軸 3 6 は、ホルダ 3 2 を支持する。マスク 4 2 は、シリコン基板 1 の周縁部を覆う。これによって、生成物がシリコン基板 1 の周縁部に形成されるのを防止できる。仕切り板 4 4 は、プラズマ 7 0 がシリコン基板 1 の保持機構に達するのを防止する。
- [0050] 給電電極 5 2 は、接続導体 6 8 から供給された高周波電流を平面導体 5 0 に流す。終端電極 5 4 は、平面導体 5 0 の端部を直接またはキャパシタを介して接地ノードに接続し、高周波電源 6 2 から平面導体 5 0 にかけて高周波電流の閉ループを作る。
- [0051] 高周波電源 6 2 は、例えば、13.56 MHz の高周波電力を整合回路 6 4 へ供給する。整合回路 6 4 は、高周波電源 6 2 から供給された高周波電力を反射を抑制して接続導体 6 8 に供給する。
- [0052] 図 5 は、図 4 に示す整合回路 6 4 側から見た平面導体 5 0、給電電極 5 2 および終端電極 5 4 の平面図である。図 5 を参照して、平面導体 5 0 は、例えば、長方形の平面形状からなり、辺 5 0 a、5 0 b を有する。辺 5 0 a は

、辺 50b よりも長い。そして、辺 50a は、X 方向に沿って配置され、辺 50b は、Y 方向に沿って配置される。

[0053] 給電電極 52 および終端電極 54 は、それぞれ、平面導体 50 の辺 50b に沿って平面導体 50 の X 方向の両端部に配置される。給電電極 52 および終端電極 54 の Y 方向の長さは、高周波電流 16 を Y 方向においてできる限り一様に流すために、平面導体 50 の Y 方向に平行な辺 50b の長さに近づける（例えば、辺 50b の長さを実質的に同じにする）のが好ましいが、辺 50b の長さよりも幾分短くてもよいし、長くてもよい。数値で表せば、給電電極 52 および終端電極 54 の Y 方向の長さは、辺 50b の長さの 85% 以上の長さに設定すればよい。

[0054] このように、給電電極 52 および終端電極 54 は、ブロック状の電極からなるので、Y 方向において平面導体 50 にほぼ一様に高周波電流 16 を流すことができる。

[0055] 平面導体 50 に点状の電極を用いて高周波電流を供給した場合、高周波電流は、平面導体 50 を一様に流れない。一般的に、平面導体に高周波電力を供給しても、平面導体の近傍にプラズマが存在しない状態では、表皮効果等によって、高周波電流は、平面導体の通電方向に直交する断面の四隅に集中して流れる。これは、高周波のインピーダンスの分布が平面導体の四隅で小さく、その他の部分で大きくなるからである。

[0056] 図 6 は、Y 方向の平面導体 50 の断面図およびプラズマ密度を示す図である。プラズマ装置 100 においては、平面導体 50 の近傍にプラズマ 70 が発生する。即ち、図 6 に示すように、高周波電流 16 を平面導体 50 に流すと、高周波磁界 17 が平面導体 50 の周囲に発生し、それによって高周波電流 16 と逆方向に誘導電界 18 が発生する。そして、この誘導電界 18 によって電子が加速されて平面導体 50 の近傍のガス 29（図 4 参照）を電離させ、プラズマ 70 が平面導体 50 の近傍に発生し、そのプラズマ中を誘導電流 19 が誘導電界 18 と同じ方向（即ち、高周波電流 16 と逆方向）に流れる。

[0057] このように、プラズマ 70 が平面導体 50 の近傍に発生し、そのプラズマ 70 中を誘導電流 19 が高周波電流 16 と逆方向に流れると、平面導体 50 を流れる高周波電流 16 は、通電方向と直交する Y 方向において一様化されるようになる。その理由は、次のとおりである。

[0058] 配電の技術分野においては、ブスバーのような平面導体に流れる電流に近接した別の導体に逆方向に電流が流れる場合、導体のインピーダンスの分布が相互に変化し、低インピーダンス化およびインピーダンスの一様化が生じることが知られている。これは、電流が互いに逆方向に流れることによって、磁束の鎖交数が減少することが関係していると考えられる。プラズマ装置 100 においては、このような現象を平面導体とプラズマとの関係に応用したものである。

[0059] 従って、図 6 に示すように、平面導体 50 の近傍にプラズマ、特に高密度のプラズマ 70 が発生すると、平面導体 50 内を流れる高周波電流 16 の分布は、Y 方向において一様化する。このことと、上述したブロック状の給電電極 52 および終端電極 54 を有していることが相俟って、高周波電流 16 は、平面導体 50 内を Y 方向においてほぼ一様に分布して流れるようになる。それによって、平面導体 50 のプラズマ 70 生成側の面の近傍に、通電方向である X 方向のみならず、X 方向と直交する Y 方向においてもほぼ一様に分布した誘導電界 18 および誘導電流 19 が発生し、この誘導電界 18 によって、平面導体 50 の面に沿う広範囲に亘って均一性の良いプラズマを発生させることができる。そのプラズマ密度分布 D1 は、図 6 に示すようにほぼ一様である。

[0060] このように、プラズマ装置 100 は、高周波電流 16 を平面導体 50 に一様に流すことによって誘導結合型のプラズマを発生する。

[0061] 図 7 および図 8 は、それぞれ、図 1 および図 2 に示す薄膜トランジスタ 10 の製造方法を示す第 1 および第 2 の工程図である。

[0062] なお、工程 (d) ~ 工程 (h) においては、凸部 11 の長さ方向から見た側面図と、凸部 11 の長さ方向に垂直な方向から見た側面図とを示す。

- [0063] 図7を参照して、薄膜トランジスタ10の製造が開始されると、n型単結晶シリコンからなるシリコン基板30をエタノール等で洗浄して脱脂し、その後、シリコン基板30をフッ酸(HF)によって洗浄する(工程(a)参照)。これによって、シリコン基板30の表面は、水素によって終端される。
- [0064] そして、シリコン基板30の裏面を熱酸化してSiO₂からなる絶縁膜5を形成する(工程(b)参照)。この場合、熱酸化は、例えば、シリコン基板30を酸素(O₂)ガス雰囲気中で1000℃で熱処理することによって行われる。
- [0065] 工程(b)の後、シリコン基板30の一主面(=絶縁膜5が形成された面と反対側の面)を電子ビームリソグラフィによってパターンニングし、反応性イオンエッチングによってシリコン基板30の一主面をエッチングして凸部11および凹部12をシリコン基板30の一主面に形成する(工程(c)参照)。これによって、シリコン基板1が形成される。
- [0066] この場合、レジストをシリコン基板30の一主面に塗布し、その塗布したレジストを電子ビームリソグラフィによってパターンニングしてレジストパターンを形成し、その形成したレジストパターンをマスクとして反応性イオンエッチングによってシリコン基板30の一主面をエッチングする。
- [0067] 工程(c)の後、シリコン基板1を真空容器20内のホルダ32上に配置し、ヒータ34を用いてシリコン基板1を400~600℃に昇温する。ガス導入部28は、50sccmのCH₄ガスおよび50sccmのH₂ガス、または100sccmのCH₄ガスを真空容器20内に供給する。即ち、真空容器20内に炭素原子を含む材料ガスを導入する。そして、真空容器20内の圧力を1.33Paに調整する。
- [0068] その後、高周波電源62は、13.56MHzの周波数を有する1kWの高周波電力を整合回路64および接続導体68を介して平面導体50に印加する。
- [0069] これによって、プラズマ70が真空容器20内に発生し、カーボンナノウ

オール薄膜 21～25 がシリコン基板 1 の凸部 11 上に自己組織的に形成される。この場合、カーボンナノウォール薄膜 21～25 の形成時間は、10～30 分である。

[0070] 高周波電力を印加し始めてから 10～30 分が経過すると、高周波電力の印加を停止し、 CH_4 ガスおよび H_2 ガス（または CH_4 ガス）の供給を停止する。このように、カーボンナノウォール薄膜 21～25 は、誘導結合型のプラズマを用いて製造される。

[0071] 工程（d）の後、レジストをカーボンナノウォール薄膜 21～25 上に塗布し、その塗布したレジストをフォトリソグラフィによってパターンニングしてレジストパターン 40 を形成する（工程（e）参照）。

[0072] 図 8 を参照して、工程（e）の後、電子ビーム蒸着によって Ti および Au をカーボンナノウォール薄膜 21～25 およびレジストパターン 40 上に順次積層する。これによって、ソース電極 3 およびドレイン電極 4 が形成される（工程（f）参照）。この場合、金属層 41 がレジストパターン 40 上に形成される。

[0073] その後、1-メチル-2-ピロリドンを用いてレジストパターン 40 を除去する（工程（g）参照）。これによって、金属層 41 は、リフトオフによって除去される。

[0074] そして、電子ビーム蒸着によって Ti および Au を絶縁膜 5 上に順次積層してゲート電極 6 を形成する。これによって、薄膜トランジスタ 10 が完成する（工程（h）参照）。

[0075] 図 9 は、実施の形態 1 における別のシリコン基板を示す斜視図である。実施の形態 1 においては、図 9 に示すシリコン基板 1A が用いられてもよい。

[0076] 図 9 を参照して、シリコン基板 1A は、シリコン基板 1 と同じ材料からなり、領域 13、14 を有する。領域 13 は、領域 14 の内周側に設けられ、上述した凸部 11 および凹部 12 を有する。そして、領域 13 は、薄膜トランジスタ 10 が形成される領域である。領域 14 は、平坦な表面を有する。

[0077] 図 10 は、図 9 に示すシリコン基板 1A 上に形成したカーボンナノウォー

ル薄膜の概念図である。

[0078] 図10を参照して、図4に示すプラズマ装置100を用いてシリコン基板1A上にカーボンナノウォール薄膜を形成した場合、領域13内では、複数のカーボンナノウォール薄膜21～25が凸部11の長さ方向に沿って凸部11上に形成され（即ち、配向性を持って形成され）、領域14では、カーボンナノウォール薄膜15がランダムな方向に形成される。

[0079] 従って、薄膜トランジスタ10を領域13内に作製する場合、カーボンナノウォール薄膜15が領域14に存在すると、薄膜トランジスタ10の電気的特性を低下させる可能性がある。

[0080] そこで、薄膜トランジスタ10を領域13内に作製する場合、領域14内のカーボンナノウォール薄膜15を除去して薄膜トランジスタ10を領域13内に作製する。

[0081] 図11から図13は、それぞれ、図9に示すシリコン基板1Aを用いたときの薄膜トランジスタ10の製造方法を示す第1から第3の工程図である。

[0082] なお、工程（d）～工程（k）においては、凸部11の長さ方向から見た側面図と、凸部11の長さ方向に垂直な方向から見た側面図とを示す。

[0083] 図11を参照して、シリコン基板1Aを用いた薄膜トランジスタ10の製造が開始されると、図7に示す工程（a）、（b）と同じ工程が順次実行される（工程（a）、（b）参照）。

[0084] 工程（b）の後、シリコン基板30の一主面（＝絶縁膜5が形成された面と反対側の面）を電子ビームリソグラフィによってパターンニングし、反応性イオンエッチングによってシリコン基板30の一主面をエッチングしてシリコン基板30の周縁部に平坦部が残るように凸部11および凹部12をシリコン基板30の一主面に形成する（工程（c）参照）。これによって、シリコン基板1Aが形成される。

[0085] この場合、レジストをシリコン基板30の一主面に塗布し、その塗布したレジストを電子ビームリソグラフィによってパターンニングしてレジストパターンを形成し、その形成したレジストパターンをマスクとして反応性イオン

エッチングによってシリコン基板 30 の周縁部に平坦部が残るようにシリコン基板 30 の一主面をエッチングする。

[0086] 工程 (c) の後、シリコン基板 1 A を真空容器 20 内のホルダ 32 上に配置し、図 7 に示す工程 (d) と同じ条件によってカーボンナノウォール薄膜 15, 21 ~ 25 をシリコン基板 1 A 上に形成する (工程 (d) 参照)。この場合、カーボンナノウォール薄膜 21 ~ 25 は、シリコン基板 1 A の領域 13 内の凸部 11 上に形成され、カーボンナノウォール薄膜 15 は、シリコン基板 1 A の領域 14 (平坦部) に形成される。

[0087] 工程 (d) の後、凸部 11 の長さ方向における両端部を除いてカーボンナノウォール薄膜 21 ~ 25 および領域 14 上にレジストを塗布し、その塗布したレジストをフォトリソグラフィによってパターンニングしてレジストパターン 80, 81 を形成する (工程 (e) 参照)。

[0088] 図 12 を参照して、工程 (e) の後、電子ビーム蒸着によって Ti および Au をカーボンナノウォール薄膜 21 ~ 25 およびレジストパターン 80, 81 上に順次積層する。これによって、ソース電極 3 およびドレイン電極 4 が形成される (工程 (f) 参照)。この場合、金属層 82 がレジストパターン 80 上に形成され、金属層 83 がレジストパターン 81 上に形成される。

[0089] その後、1-メチルー2-ピロリドンを用いてレジストパターン 80, 81 を除去する (工程 (g) 参照)。これによって、金属層 82, 83 は、リフトオフによって除去される。

[0090] そして、電子ビーム蒸着によって Ti および Au を絶縁膜 5 上に順次積層してゲート電極 6 を形成する (工程 (h) 参照)。

[0091] 引き続いて、レジストを領域 13 を覆うように塗布し、その塗布したレジストをフォトリソグラフィによってパターンニングしてレジストパターン 84 を形成する (工程 (i) 参照)。

[0092] 図 13 を参照して、工程 (i) の後、ガス導入部 28 は、60 sccm の酸素 (O_2) ガスを真空容器 20 内に供給する。そして、真空容器 20 内の圧力を 4.5 Pa に調整する。

[0093] その後、高周波電源 62 は、13.56MHz の周波数を有する 100W の高周波電力を整合回路 64 および接続導体 68 を介して平面導体 50 に印加する。

[0094] これによって、プラズマ 70 が真空容器 20 内に発生し、レジストパターン 84 をマスクとしてシリコン基板 1A の領域 14 を酸素プラズマによって処理する（工程（j）参照）。この場合、酸素プラズマによる処理時間は、例えば、3 分である。

[0095] これによって、領域 14 上に形成されたカーボンナノウォール薄膜 15 が除去される（工程（k）参照）。

[0096] 工程（k）の後、1-メチル-2-ピロリドンを用いてレジストパターン 84 を除去する。これによって、薄膜トランジスタ 10 が完成する（工程（l）参照）。

[0097] このように、酸素プラズマを用いて領域 14 内に形成されたカーボンナノウォール薄膜 15 を除去して薄膜トランジスタ 10 を領域 13 内に形成する。

[0098] なお、図 11 から図 13 に示す工程図においては、ソース電極 3、ドレイン電極 4 およびゲート電極 6 を形成した後に、酸素プラズマによって、領域 14 上に形成されたカーボンナノウォール薄膜 15 を除去すると説明したが、実施の形態 1 においては、これに限らず、領域 14 上に形成されたカーボンナノウォール薄膜 15 を除去した後に、ソース電極 3、ドレイン電極 4 およびゲート電極 6 を形成して薄膜トランジスタ 10 を製造するようにしてもよい。

[0099] 図 14 および図 15 は、それぞれ、図 1 および図 2 に示す薄膜トランジスタ 10 の別の製造方法を示す第 1 および第 2 の工程図である。

[0100] なお、工程（d）、（d-1）、（e）～工程（h）においては、凸部 11 の長さ方向から見た側面図と、凸部 11 の長さ方向に垂直な方向から見た側面図とを示す。

[0101] 図 14 および図 15 に示す工程図は、図 7 および図 8 に示す工程図の工程

(d) と工程 (e) との間に工程 (d-1) を追加したものであり、その他は、図 7 および図 8 に示す工程図と同じである。

[0102] 図 14 を参照して、薄膜トランジスタ 10 の製造が開始されると、上述した工程 (a) ~ (d) が順次実行される。

[0103] そして、工程 (d) の後、ガス導入部 28 は、100 sccm の水素 (H_2) ガスを真空容器 20 内に供給する。そして、真空容器 20 内の圧力を 6.65 Pa に調整する。

[0104] その後、高周波電源 62 は、13.56 MHz の周波数を有する 1 kW の高周波電力を整合回路 64 および接続導体 68 を介して平面導体 50 に印加する。

[0105] これによって、プラズマ 70 が真空容器 20 内に発生し、カーボンナノウォール薄膜 21 ~ 25 の表面を水素プラズマによって処理する (工程 (d-1) 参照)。この場合、水素プラズマによる処理時間は、例えば、1 分である。

[0106] そして、工程 (d-1) の後、上述した工程 (e) ~ (h) が順次実行され、薄膜トランジスタ 10 が完成する (図 15 の工程 (e) ~ (h) 参照)。

[0107] このように、シリコン基板 1 上に形成したカーボンナノウォール薄膜 21 ~ 25 の表面を水素プラズマによって処理した後にソース電極 3 およびドレイン電極 4 を形成して薄膜トランジスタ 10 を作製する。

[0108] なお、実施の形態 1 においては、図 11 から図 13 に示す工程図の工程 (d) と工程 (e) との間に図 14 に示す工程 (d-1) を追加して薄膜トランジスタ 10 を製造してもよい。

[0109] 以下、実施例を用いて薄膜トランジスタ 10 を詳細に説明する。

[0110] (実施例 1)

工程 (d) においてカーボンナノウォール薄膜 21 ~ 25 を形成するときの基板温度 T_s を 400°C に設定し、図 7 および図 8 に示す工程 (a) ~ 工程 (h) を用いて実施例 1 における薄膜トランジスタ 10 A を作製した。

[0111] (実施例2)

工程(d)においてカーボンナノウォール薄膜21~25を形成するときの基板温度 T_s を500℃に設定した以外は、実施例1と同じ方法によって実施例2における薄膜トランジスタ10Bを作製した。

[0112] (実施例3)

工程(d)においてカーボンナノウォール薄膜21~25を形成するときの基板温度 T_s を600℃に設定した以外は、実施例1と同じ方法によって実施例3における薄膜トランジスタ10Cを作製した。

[0113] (実施例4)

図11から図13に示す工程(a)~工程(l)を用いて実施例4における薄膜トランジスタ10Dを作製した。この場合、カーボンナノウォール薄膜21~25を形成するときの基板温度 T_s は、500℃である。

[0114] (実施例5)

図14および図15に示す工程(a)~(d), (d-1), (e)~(h)を用いて実施例5における薄膜トランジスタ10Eを作製した。この場合、カーボンナノウォール薄膜21~25を形成するときの基板温度 T_s は、600℃である。

[0115] (実施例6)

工程(d)において、基板温度 T_s を400℃に設定してカーボンナノウォール薄膜を形成し、その後、基板温度 T_s を600℃に設定してカーボンナノウォール薄膜を形成した以外、図7および図8に示す工程(a)~工程(h)を用いて実施例6における薄膜トランジスタ10Fを作製した。

[0116] 図16は、実施例1における薄膜トランジスタ10Aの電気的特性を示す図である。図16において、縦軸は、ソース電極3とドレイン電極4との間に流れる電流 I_{DS} を表わし、横軸は、ソース電極3とドレイン電極4との間に印加される電圧 V_{DS} を表わす。

[0117] また、曲線k1~k11は、それぞれ、ゲート電圧が5, 4, 3, 2, 1, 0, -1, -2, -3, -4, -5Vであるときの電流 I_{DS} と電圧 V_{DS} と

の関係を示す。

[0118] 図 1 6 を参照して、電流 I_{DS} は、各ゲート電圧において、電圧 V_{DS} が -1 V から $+1$ V へ大きくなるに従って増加する（曲線 $k 1 \sim k 1 1$ 参照）。

[0119] また、電流 I_{DS} は、電圧 V_{DS} の同じ電圧値において、ゲート電圧が $+5$ V から -5 V へ変化するに従って増加する（曲線 $k 1 \sim k 1 1$ 参照）。

[0120] 従って、 400°C の基板温度 T_s で形成されたカーボンナノウォール薄膜 2 1 ~ 2 5 は、半導体特性を有し、薄膜トランジスタのチャネル層として使用できることが実験的に実証された。

[0121] 図 1 7 は、実施例 2 における薄膜トランジスタ 1 0 B の電气的特性を示す図である。図 1 7 において、縦軸は、ソース電極 3 とドレイン電極 4 との間に流れる電流 I_{DS} を表わし、横軸は、ソース電極 3 とドレイン電極 4 との間に印加される電圧 V_{DS} を表わす。

[0122] また、曲線 $k 1 2 \sim k 2 2$ は、それぞれ、ゲート電圧が $5, 4, 3, 2, 1, 0, -1, -2, -3, -4, -5$ V であるときの電流 I_{DS} と電圧 V_{DS} との関係を示す。

[0123] 図 1 7 を参照して、電流電圧特性 $I_{DS} - V_{DS}$ は、図 1 6 に示す電流電圧特性 $I_{DS} - V_{DS}$ よりも劣るものの、電流 I_{DS} は、各ゲート電圧において、電圧 V_{DS} が -1 V から $+1$ V へ大きくなるに従って増加する（曲線 $k 1 2 \sim k 2 2$ 参照）。

[0124] また、電流 I_{DS} は、電圧 V_{DS} の同じ電圧値において、ゲート電圧が $+5$ V から -5 V へ変化するに従って増加する（曲線 $k 1 2 \sim k 2 2$ 参照）。

[0125] 従って、 500°C の基板温度 T_s で形成されたカーボンナノウォール薄膜 2 1 ~ 2 5 も、半導体特性を有し、薄膜トランジスタのチャネル層として使用できることが実験的に実証された。

[0126] カーボンナノウォール薄膜 2 1 ~ 2 5 を形成するときの基板温度 T_s が 600°C である実施例 3 における薄膜トランジスタ 1 0 C は、薄膜トランジスタ 1 0 A, 1 0 B と同等の電气的特性を有する。基板温度 T_s が 400°C , 500°C よりも高い 600°C になると、カーボンナノウォール薄膜 2 1 ~ 2

5の結晶性が向上するので、600℃の基板温度 T_s を用いて形成したカーボンナノウォール薄膜21～25も、半導体特性を有すると考えられるからである。

[0127] 従って、実施の形態1においては、カーボンナノウォール薄膜21～25は、400℃～600℃の範囲の基板温度 T_s を用いて形成される。

[0128] 図18は、実施例4における薄膜トランジスタ10Dの電気的特性を示す図である。図18において、縦軸は、ソース電極3とドレイン電極4との間に流れる電流 I_{DS} を表わし、横軸は、ソース電極3とドレイン電極4との間に印加される電圧 V_{DS} を表わす。なお、ゲート電圧は、+5V～-5Vである。

[0129] 図18を参照して、電流 I_{DS} は、電圧 V_{DS} が0V以上になると、または電圧 V_{DS} が0.5V以上になると、指数関数的に増加する。

[0130] カーボンナノウォール薄膜21～25を形成するときの基板温度 T_s が500℃であり、カーボンナノウォール薄膜21～25を形成した後に、薄膜トランジスタ10が形成される領域13以外の領域14に形成されたカーボンナノウォール薄膜を酸素プラズマによって除去しない場合、薄膜トランジスタの電流電圧特性 $I_{DS}-V_{DS}$ は、図17に示す電流電圧特性 $I_{DS}-V_{DS}$ になる。

[0131] 一方、実施例4における薄膜トランジスタ10Dは、500℃の基板温度 T_s を用いてカーボンナノウォール薄膜21～25を形成し、領域14に形成されたカーボンナノウォール薄膜を酸素プラズマによって除去して作製された。

[0132] そして、薄膜トランジスタ10Dは、図18に示すように、図17に示す電流電圧特性 $I_{DS}-V_{DS}$ よりも優れた電流電圧特性 $I_{DS}-V_{DS}$ を有する。

[0133] また、領域14に形成されたカーボンナノウォール薄膜を酸素プラズマを用いて除去しない場合、薄膜トランジスタのリーク電流は、10 μ Aであるのに対し、領域14に形成されたカーボンナノウォール薄膜を酸素プラズマを用いて除去した場合、薄膜トランジスタのリーク電流は、100pAであ

る。

[0134] 従って、領域 14 に形成されたカーボンナノウォール薄膜を酸素プラズマを用いて除去することによって、リーク電流を大幅に低減でき、その結果、電流電圧特性 $I_{DS}-V_{DS}$ を大幅に改善できる。

[0135] 図 19 は、薄膜トランジスタの電極（ソース電極またはドレイン電極）が形成された領域の SEM (Scanning Electron Microscope) 写真を示す図である。

[0136] 図 19 の (a) は、カーボンナノウォール薄膜を水素プラズマによって処理しない場合の SEM 写真を示し、図 19 の (b) は、カーボンナノウォール薄膜を水素プラズマによって処理した場合の SEM 写真を示す。

[0137] カーボンナノウォール薄膜を水素プラズマによって処理しない場合、電極は、膜状に形成され、カーボンナノウォール薄膜上に載っている（図 19 の (a) 参照）。

[0138] 一方、カーボンナノウォール薄膜を水素プラズマによって処理した場合、電極は、下地であるカーボンナノウォール薄膜に追従して形成されており、電極とカーボンナノウォール薄膜との密着性を高くできる（図 19 の (b) 参照）。

[0139] 従って、実施例 5 の薄膜トランジスタ 10E において、ソース電極 3 およびドレイン電極 4 とカーボンナノウォール薄膜 21~25 との密着性を高くできる。その結果、薄膜トランジスタ 10E は、良好な電流電圧特性 $I_{DS}-V_{DS}$ を有すると考えられる。

[0140] 図 20 は、カーボンナノウォール薄膜の断面 SEM 写真を示す図である。図 20 の (a) は、600℃の基板温度 T_s を用いて形成したカーボンナノウォール薄膜の断面 SEM 写真を示し、図 20 の (b) は、400℃の基板温度 T_s を用いてカーボンナノウォール薄膜を形成し、その後、基板温度 T_s を 600℃に上昇して形成したカーボンナノウォール薄膜の断面 SEM 写真を示す。

[0141] 600℃の基板温度 T_s を用いてたカーボンナノウォール薄膜を形成した

場合、カーボンナノウォール薄膜は、基板から一様に成長している（図20の（a）参照）。

[0142] 一方、基板温度 T_s を 400°C と 600°C との2段階に昇温した場合、2つの異なるカーボンナノウォール薄膜が基板に垂直な方向に成長している（図20の（b）参照）。即ち、領域REGには、 400°C の基板温度 T_s で成長したカーボンナノウォール薄膜が存在し、その上に、 600°C の基板温度 T_s で成長したカーボンナノウォール薄膜が連続的に形成されている。

[0143] 400°C の基板温度 T_s で成長したカーボンナノウォール薄膜は、図16に示すように半導体特性を有し、基板温度 T_s を 400°C から 600°C に高くすると、カーボンナノウォール薄膜の成長速度が速くなるので、基板温度 T_s を 400°C と 600°C との2段階に切り替えることによって、半導体特性を有するカーボンナノウォール薄膜を短時間で形成できる。その結果、余剰炭化物を低減でき、エッチングによるカーボンナノウォール薄膜のダメージを低減できる。

[0144] 従って、実施例6の薄膜トランジスタ10Fは、良好な電流電圧特性 $I_{DS}-V_{DS}$ を有すると考えられる。

[0145] このように、実施例1～6における薄膜トランジスタ10A, 10B, 10C, 10D, 10E, 10Fは、複数のカーボンナノウォール薄膜21～25をソース電極3とドレイン電極4との間に並列に配置した構造を有し、良好な電流電圧特性 $I_{DS}-V_{DS}$ を有する。

[0146] 従って、1つのカーボンナノウォール薄膜によってチャネル層を構成する場合よりも大きい電流を薄膜トランジスタ10のチャネル層2に流すことができる。

[0147] 図21は、実施の形態1による別の薄膜トランジスタの構成を示す平面図である。実施の形態1による薄膜トランジスタは、図21に示す薄膜トランジスタ10-1であってもよい。

[0148] 図21を参照して、薄膜トランジスタ10-1は、図1および図2に示す薄膜トランジスタ10のソース電極3をソース電極3A～3Eに代え、ドレ

イン電極 4 をドレイン電極 4 A ～ 4 E に代えたものであり、その他は、薄膜トランジスタ 10 と同じである。

[0149] ソース電極 3 A ～ 3 E は、それぞれ、カーボンナノウォール薄膜 2 1 ～ 2 5 に対応して設けられ、シリコン基板 1 の凸部 1 1 の長さ方向において、カーボンナノウォール薄膜 2 1 ～ 2 5 の一方端に接続される。

[0150] ドレイン電極 4 A ～ 4 E は、それぞれ、カーボンナノウォール薄膜 2 1 ～ 2 5 に対応して設けられ、シリコン基板 1 の凸部 1 1 の長さ方向において、カーボンナノウォール薄膜 2 1 ～ 2 5 の他方端に接続される。

[0151] 薄膜トランジスタ 10-1 の断面構造は、図 1 に示す薄膜トランジスタ 10 の断面構造と同じであるので、薄膜トランジスタ 10-1 において、絶縁膜 5 およびゲート電極 6 は、チャンネル層 2 の全面に対向して形成されている。

[0152] 従って、薄膜トランジスタ 10-1 においては、カーボンナノウォール薄膜 2 1、ソース電極 3 A、ドレイン電極 4 A、絶縁膜 5 およびゲート電極 6 は、1 つの薄膜トランジスタを構成し、カーボンナノウォール薄膜 2 2、ソース電極 3 B、ドレイン電極 4 B、絶縁膜 5 およびゲート電極 6 は、1 つの薄膜トランジスタを構成し、カーボンナノウォール薄膜 2 3、ソース電極 3 C、ドレイン電極 4 C、絶縁膜 5 およびゲート電極 6 は、1 つの薄膜トランジスタを構成し、カーボンナノウォール薄膜 2 4、ソース電極 3 D、ドレイン電極 4 D、絶縁膜 5 およびゲート電極 6 は、1 つの薄膜トランジスタを構成し、カーボンナノウォール薄膜 2 5、ソース電極 3 E、ドレイン電極 4 E、絶縁膜 5 およびゲート電極 6 は、1 つの薄膜トランジスタを構成する。

[0153] その結果、薄膜トランジスタ 10-1 は、シリコン基板 1 の面内方向において 5 個の薄膜トランジスタを並列に配置した構成からなる。

[0154] 薄膜トランジスタ 10-1 は、図 7 および図 8 に示す工程図において、工程 (g) と工程 (h) との間に、ソース電極 3 およびドレイン電極 4 の一部をエッチングしてソース電極 3 A, 3 B, 3 C, 3 D, 3 E およびドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E を形成する工程を追加した工程図に従っ

て製造される。

[0155] また、薄膜トランジスタ 10-1 は、図 11 から図 13 に示す工程図において、工程 (g) と工程 (h) との間に、ソース電極 3 およびドレイン電極 4 の一部をエッチングしてソース電極 3 A, 3 B, 3 C, 3 D, 3 E およびドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E を形成する工程を追加した工程図に従って製造されてもよい。

[0156] 更に、薄膜トランジスタ 10-1 は、図 14 および図 15 に示す工程図において、工程 (g) と工程 (h) との間に、ソース電極 3 およびドレイン電極 4 の一部をエッチングしてソース電極 3 A, 3 B, 3 C, 3 D, 3 E およびドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E を形成する工程を追加した工程図に従って製造されてもよい。

[0157] 薄膜トランジスタ 10-1 においては、チャネル層 2 に流れる電流値の大きさに応じて、配線を接続するソース電極およびドレイン電極を選択する。例えば、最も小さい電流値 I_{min} を流す場合、ソース電極 3 A, 3 B, 3 C, 3 D, 3 E のいずれかと、ソース電極 3 A, 3 B, 3 C, 3 D, 3 E のいずれかに対応するドレイン電極 (= ドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E のいずれか) とを選択する。また、最も大きい電流値 I_{max} を流す場合、ソース電極 3 A, 3 B, 3 C, 3 D, 3 E の全てと、ドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E の全てとを選択する。更に、電流値 I_{min} と電流値 I_{max} との間の電流値を流す場合、その電流値に応じて、ソース電極 3 A, 3 B, 3 C, 3 D, 3 E のうちの 2~4 個のソース電極と、その選択したソース電極に対応する 2~4 個のドレイン電極とを選択する。

[0158] また、カーボンナノウォール薄膜 21~25 は、相互に同じ品質であり、ゲート電極 6 に印加されたゲート電圧によってカーボンナノウォール薄膜 21~25 に誘起される電子または正孔の密度は、相互に同じであると考えられるので、1つのカーボンナノウォール薄膜 (=カーボンナノウォール薄膜 21~25 の各々) を介してソース電極とドレイン電極との間に流れる電流値は、同じである。

- [0159] 従って、5個のソース電極3A, 3B, 3C, 3D, 3Eと5個のドレイン電極4A, 4B, 4C, 4D, 4Eとの全体に対して1つのゲート電極6を形成した場合、チャネル層2に流す電流値を段階的に制御できる。
- [0160] なお、薄膜トランジスタ10-1においては、ゲート電極6は、5個のカーボンナノウォール薄膜21~25に対応して、5個のゲート電極からなっているいてもよい。この場合、5個のゲート電極は、それぞれ、5個のカーボンナノウォール薄膜21~25に対向する位置に形成される。これによって、カーボンナノウォール薄膜21~25の各々に流れる電流値をゲート電極に印加されるゲート電圧によって独立に制御できる。
- [0161] 5個のゲート電極を有する薄膜トランジスタを作製するには、上述した図7および図8に示す工程図、または図11から図13に示す工程図、または図14および図15に示す工程図において、ゲート電極6を形成した後に、その形成したゲート電極6をエッチングによって5個のゲート電極に分割する工程を追加するか、またはシリコン基板1（またはシリコン基板1A）の裏面の全面にゲート電極6を形成する工程に代えて、マスクを用いて5個のゲート電極を形成する工程を採用すればよい。
- [0162] 薄膜トランジスタ10-1についてのその他の説明は、薄膜トランジスタ10についての説明と同じである。
- [0163] 薄膜トランジスタ10, 10-1においては、カーボンナノウォール薄膜21~25の高さがチャネル幅になる。従って、薄膜トランジスタ10, 10-1においては、カーボンナノウォール薄膜21~25の高さを制御することによって、チャネル幅を制御できる。
- [0164] 上記においては、薄膜トランジスタ10, 10-1は、5個のカーボンナノウォール薄膜21~25を備えると説明したが、実施の形態1においては、これに限らず、薄膜トランジスタ10, 10-1は、一般的には、2個以上のカーボンナノウォール薄膜を備えていればよい。そして、薄膜トランジスタ10-1は、2個以上のカーボンナノウォール薄膜を備える場合、カーボンナノウォール薄膜の個数と同じ個数のソース電極およびドレイン電極を

備えていてもよく、カーボンナノウォール薄膜の個数と同じ個数のソース電極、ドレイン電極およびゲート電極を備えていてもよい。

[0165] また、シリコン基板 1, 1 A は、基盤目状に形成された凹凸形状を一主面に備えていてもよく、一般的には、ストライプ状または基盤目状に形成された凹凸形状を一主面に備えていればよい。基盤目状に形成された凹凸形状が形成されていても、シリコン基板上に複数のカーボンナノウォール薄膜を平行に形成できるからである。

[0166] [実施の形態 2]

図 2 2 は、実施の形態 2 による薄膜トランジスタの構成を示す断面図である。また、図 2 3 は、図 2 2 に示す A 方向から見た薄膜トランジスタの平面図である。

[0167] 図 2 2 および図 2 3 を参照して、実施の形態 2 による薄膜トランジスタ 2 0 0 は、図 1 および図 2 に示す薄膜トランジスタ 1 0 の絶縁膜 5 を絶縁膜 2 1 0 に代え、ゲート電極 6 をゲート電極 2 2 0 に代えたものであり、その他は、薄膜トランジスタ 1 0 と同じである。

[0168] 絶縁膜 2 1 0 は、一般的には、誘電体からなり、カーボンナノウォール薄膜 2 1 ~ 2 5 の上側にカーボンナノウォール薄膜 2 1 ~ 2 5 に接して配置される。誘電体は、例えば、酸化シリコン、チタン酸バリウムおよびイオン液体等からなる。

[0169] ゲート電極 2 2 0 は、上述したゲート電極 6 と同じ材料からなり、絶縁膜 2 1 0 上に絶縁膜 2 1 0 に接して配置される。

[0170] このように、薄膜トランジスタ 2 0 0 は、ゲート電極 2 2 0 がチャネル層 2 よりも上側に配置されたトップゲート型の薄膜トランジスタである。

[0171] 図 2 4 から図 2 6 は、それぞれ、図 2 2 および図 2 3 に示す薄膜トランジスタ 2 0 0 の製造方法を示す第 1 から第 3 の工程図である。

[0172] なお、工程 (c) ~ 工程 (k) においては、凸部 1 1 の長さ方向から見た側面図と、凸部 1 1 の長さ方向に垂直な方向から見た側面図とを示す。また、工程 (e) ~ 工程 (k) においては、ソース電極 3 によって覆われたカー

ボンナノウォール薄膜 21～25 を点線で示す。

[0173] 図 24 を参照して、薄膜トランジスタ 200 の製造が開始されると、図 7 に示す工程 (a) と同じ工程が実行される (工程 (a) 参照)。

[0174] そして、図 7 に示す工程 (c) と同じ工程を実行してシリコン基板 1 を形成する (工程 (b) 参照)。

[0175] その後、図 7 に示す工程 (d), (e) および図 8 に示す工程 (f), (g) と同じ工程を順次実行する (図 24 に示す工程 (c)～工程 (e) および図 25 に示す工程 (f) 参照)。

[0176] 図 25 を参照して、工程 (f) の後、レジストをソース電極 3、ドレイン電極 4 およびカーボンナノウォール薄膜 21～25 上に塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン 201 を形成する (工程 (g) 参照)。

[0177] そして、レジストパターン 201 をマスクとしてカーボンナノウォール薄膜 21～25 上に絶縁膜 210 を形成する (工程 (h) 参照)。この場合、絶縁膜 202 がレジストパターン 201 上に形成される。

[0178] 図 26 を参照して、工程 (h) の後、レジストパターン 201 を除去する (工程 (i) 参照)。これによって、絶縁膜 202 がリフトオフによって除去される。

[0179] そして、レジストをソース電極 3、ドレイン電極 4 および絶縁膜 210 上に塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン 203 を形成する (工程 (j) 参照)。

[0180] その後、電子ビーム蒸着によって Ti および Au を絶縁膜 210 上に順次積層し、レジストパターン 203 を除去する。これによって、ゲート電極 220 が絶縁膜 210 上に形成され、薄膜トランジスタ 200 が完成する (工程 (k) 参照)。

[0181] 図 27 から図 30 は、それぞれ、図 22 および図 23 に示す薄膜トランジスタ 200 の別の製造方法を示す第 1 から図 4 の工程図である。

- [0182] なお、工程（c）～工程（n）においては、凸部１１の長さ方向から見た側面図と、凸部１１の長さ方向に垂直な方向から見た側面図とを示す。また、工程（h）～工程（n）においては、ソース電極３によって覆われたカーボンナノウォール薄膜２１～２５を点線で示す。
- [0183] 図２７を参照して、薄膜トランジスタ２００の製造が開始されると、図１１に示す工程（a）と同じ工程が実行される（工程（a）参照）。
- [0184] そして、図１１に示す工程（c），（d）と同じ工程が順次実行される（図２７の工程（b），工程（c）参照）。
- [0185] 工程（c）の後、レジストを領域１３を覆うように塗布し、その塗布したレジストをフォトリソグラフィによってパターンニングしてレジストパターン８５を形成する（工程（d）参照）。
- [0186] そして、ガス導入部２８は、６０ｓｃｃｍの O_2 ガスを真空容器２０内に供給する。そして、真空容器２０内の圧力を４．５Ｐａに調整する。
- [0187] その後、高周波電源６２は、１３．５６ＭＨｚの周波数を有する１００Ｗの高周波電力を整合回路６４および接続導体６８を介して平面導体５０に印加する。
- [0188] これによって、プラズマ７０が真空容器２０内に発生し、レジストパターン８５をマスクとしてシリコン基板１Ａの領域１４を酸素プラズマによって処理する（工程（e）参照）。この場合、酸素プラズマによる処理時間は、例えば、３分である。これによって、カーボンナノウォール薄膜１５が除去される。酸素プラズマ処理が終了した後、１－メチルー２－ピロリドンを用いてレジストパターン８５を除去する（図２８の工程（f）参照）。
- [0189] そして、凸部１１の長さ方向における両端部を除いてカーボンナノウォール薄膜２１～２５上にレジストを塗布し、その塗布したレジストをフォトリソグラフィによってパターンニングしてレジストパターン８６を形成する（工程（g）参照）。
- [0190] 引き続いて、電子ビーム蒸着によってＴｉおよびＡｕをカーボンナノウォール薄膜２１～２５およびレジストパターン８６上に順次積層する。これに

よって、ソース電極 3 およびドレイン電極 4 が形成される（工程（h）参照）。この場合、金属層 8 7 がレジストパターン 8 6 上に形成される。

[0191] その後、1-メチル-2-ピロリドンを用いてレジストパターン 8 6 を除去する（工程（i）参照）。これによって、金属層 8 7 は、リフトオフによって除去される。

[0192] 図 2 9 を参照して、工程（i）の後、レジストをソース電極 3、ドレイン電極 4 およびカーボンナノウォール薄膜 2 1 ~ 2 5 上に塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン 2 0 4 を形成する（工程（j）参照）。

[0193] そして、レジストパターン 2 0 4 をマスクとしてカーボンナノウォール薄膜 2 1 ~ 2 5 上に絶縁膜 2 1 0 を形成する（工程（k）参照）。この場合、絶縁膜 2 0 5 がレジストパターン 2 0 4 上に形成される。

[0194] その後、レジストパターン 2 0 4 を除去する（工程（l）参照）。これによって、絶縁膜 2 0 5 がリフトオフによって除去される。

[0195] 図 3 0 を参照して、工程（l）の後、レジストをソース電極 3、ドレイン電極 4 および絶縁膜 2 1 0 上に塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングし、レジストパターン 2 0 6 を形成する（工程（m）参照）。

[0196] その後、電子ビーム蒸着によって T i および A u を絶縁膜 2 1 0 上に順次積層し、レジストパターン 2 0 6 を除去する。これによって、ゲート電極 2 2 0 が絶縁膜 2 1 0 上に形成され、薄膜トランジスタ 2 0 0 が完成する（工程（n）参照）。

[0197] このように、実施の形態 2 においても、領域 1 4 に形成されたカーボンナノウォール薄膜 1 5 を酸素プラズマによって除去して薄膜トランジスタ 2 0 0 を製造する。その結果、トップゲート型の薄膜トランジスタ 2 0 0 において、リーク電流を大幅に低減できる。

[0198] なお、図 2 7 から図 3 0 に示す工程図は、領域 1 4 上に形成されたカーボンナノウォール薄膜 1 5 を酸素プラズマによって除去した後に、ソース電極

3、ドレイン電極4およびゲート電極220を形成して薄膜トランジスタ200を製造する工程図であるが、実施の形態2においては、これに限らず、ソース電極3、ドレイン電極4およびゲート電極220を形成した後に、領域14上に形成されたカーボンナノウォール薄膜15を酸素プラズマによって除去して薄膜トランジスタ200を製造するようにしてもよい。

[0199] 図31から図33は、それぞれ、図22および図23に示す薄膜トランジスタ200の更に別の製造方法を示す第1から図3の工程図である。

[0200] なお、工程(c)～工程(k)においては、凸部11の長さ方向から見た側面図と、凸部11の長さ方向に垂直な方向から見た側面図とを示す。また、工程(e)～工程(k)においては、ソース電極3によって覆われたカーボンナノウォール薄膜21～25を点線で示す。

[0201] 図31から図33に示す工程図は、図24から図26に示す工程図の工程(d)と工程(e)との間に工程(d-1)を追加したものであり、その他は、図24から図26に示す工程図と同じである。

[0202] 図31を参照して、薄膜トランジスタ200の製造が開始されると、図24において説明した工程(a)～工程(d)と同じ工程が順次実行される(工程(a)～工程(d)参照)。

[0203] そして、工程(d)の後、図14に示す工程(d-1)と同じ工程が実行される(工程(d-1)参照)。

[0204] その後、図24に示す工程(e)、図25に示す工程(f)～工程(h)および図26に示す工程(i)～工程(k)と同じ工程が順次実行され、薄膜トランジスタ200が完成する(図32に示す工程(e)～工程(h)および図33に示す工程(i)～工程(k)参照)。

[0205] このように、実施の形態2においても、水素プラズマによってカーボンナノウォール薄膜21～25の表面を処理した後にソース電極3およびドレイン電極4を形成して薄膜トランジスタ200を製造する。その結果、トップゲート型の薄膜トランジスタ200において、ソース電極3およびドレイン電極4の密着性を向上できる。

[0206] 上述したように、実施の形態2による薄膜トランジスタ200は、酸素プラズマ処理および水素プラズマ処理の両方を用いない工程図（図24から図26に示す工程図）、酸素プラズマ処理を用いた工程図（図27から図30に示す工程図）および水素プラズマ処理を用いた工程図（図31から図33に示す工程図）のいずれの工程図に従って製造されてもよい。

[0207] なお、実施の形態2においては、図27から図30に示す工程図の工程（f）と工程（g）との間に図31の工程（d-1）を追加して薄膜トランジスタ200を製造してもよい。これによって、トップゲート型の薄膜トランジスタ200において、リーク電流を大幅に低減できるとともに、ソース電極3およびドレイン電極4の密着性を向上できる。

[0208] 図34は、実施の形態2による別の薄膜トランジスタの構成を示す平面図である。実施の形態2による薄膜トランジスタは、図34に示す薄膜トランジスタ200-1であってもよい。

[0209] 図34を参照して、薄膜トランジスタ200-1は、図22および図23に示す薄膜トランジスタ200のソース電極3をソース電極3A～3Eに代え、ドレイン電極4をドレイン電極4A～4Eに代えたものであり、その他は、薄膜トランジスタ200と同じである。

[0210] ソース電極3A～3Eおよびドレイン電極4A～4Eについては、上述したとおりである。

[0211] 薄膜トランジスタ200-1においては、絶縁膜210およびゲート電極220は、チャンネル層2（＝カーボンナノウォール薄膜21～25）上に配置されている。

[0212] 従って、薄膜トランジスタ200-1は、薄膜トランジスタ10-1（図21参照）と同じように、シリコン基板1の面内方向において5個の薄膜トランジスタを並列に配置した構成からなる。

[0213] 薄膜トランジスタ200-1は、図24から図26に示す工程図において、工程（f）と工程（g）との間に、ソース電極3およびドレイン電極4の一部をエッチングしてソース電極3A，3B，3C，3D，3Eおよびドレ

イン電極 4 A, 4 B, 4 C, 4 D, 4 E を形成する工程を追加した工程図に従って製造される。

[0214] また、薄膜トランジスタ 200-1 は、図 27 から図 30 に示す工程図において、工程 (i) と工程 (j) との間に、ソース電極 3 およびドレイン電極 4 の一部をエッチングしてソース電極 3 A, 3 B, 3 C, 3 D, 3 E およびドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E を形成する工程を追加した工程図に従って製造されてもよい。

[0215] 更に、薄膜トランジスタ 200-1 は、図 31 から図 33 に示す工程図において、工程 (f) と工程 (g) との間に、ソース電極 3 およびドレイン電極 4 の一部をエッチングしてソース電極 3 A, 3 B, 3 C, 3 D, 3 E およびドレイン電極 4 A, 4 B, 4 C, 4 D, 4 E を形成する工程を追加した工程図に従って製造されてもよい。

[0216] 薄膜トランジスタ 200-1 は、絶縁膜 210 およびゲート電極 220 がチャネル層 2 の上側に配置されている点が薄膜トランジスタ 10-1 と異なるだけであるので、薄膜トランジスタ 10-1 と同じ効果を享受できる。

[0217] 薄膜トランジスタ 200-1 についてのその他の説明は、薄膜トランジスタ 10-1 の説明と同じである。

[0218] 実施の形態 2 におけるその他の説明は、実施の形態 1 における説明と同じである。

[0219] [実施の形態 3]

図 35 は、実施の形態 3 による薄膜トランジスタの構成を示す断面図である。図 35 を参照して、実施の形態 3 による薄膜トランジスタ 300 は、シリコン基板 1 と、チャネル層 2 と、絶縁膜 301 ~ 304 と、ゲート電極 305 ~ 312 と、ソース電極 320 と、ドレイン電極 330 とを備える。

[0220] シリコン基板 1 およびチャネル層 2 については、上述したとおりである。

[0221] ソース電極 320 は、シリコン基板 1 の一主面側に配置される。そして、ソース電極 320 は、不純物領域 321 と、金属領域 322 とを含む。

[0222] 不純物領域 321 は、シリコン基板 1 の凸部 11 および凹部 12 に接し、

シリコン基板 1 中に配置される。そして、不純物領域 3 2 1 は、シリコン基板 1 の導電型と同じ導電型または反対の導電型を有し、約 10^{20} cm^{-3} の不純物濃度を有する。より具体的には、不純物領域 3 2 1 は、シリコン基板 1 の導電型に関係無く、約 10^{20} cm^{-3} のリン (P) 濃度またはボロン (B) 濃度を有する。

[0223] 金属領域 3 2 2 は、シリコン基板 1 および不純物領域 3 2 1 に接して配置される。そして、金属領域 3 2 2 は、Ti および Au を順次積層した構造からなる。

[0224] 不純物領域 3 2 1 がシリコン基板 1 の凸部 1 1 および凹部 1 2 に接してシリコン基板 1 中に配置される結果、カーボンナノウォール薄膜 2 1 ~ 2 5 の一方端は、ソース電極 3 2 0 に接続される。

[0225] 絶縁膜 3 0 1 ~ 3 0 4 は、それぞれ、カーボンナノウォール薄膜 2 1, 2 2 間、カーボンナノウォール薄膜 2 2, 2 3 間、カーボンナノウォール薄膜 2 3, 2 4 間、およびカーボンナノウォール薄膜 2 4, 2 5 間に配置され、略 U 字形状の断面形状を有する。絶縁膜 3 0 1 ~ 3 0 4 の各々は、例えば、 SiO_2 からなる。

[0226] そして、絶縁膜 3 0 1 は、カーボンナノウォール薄膜 2 1, 2 2 およびソース電極 3 2 0 に接する。絶縁膜 3 0 2 は、カーボンナノウォール薄膜 2 2, 2 3 およびソース電極 3 2 0 に接する。絶縁膜 3 0 3 は、カーボンナノウォール薄膜 2 3, 2 4 およびソース電極 3 2 0 に接する。絶縁膜 3 0 4 は、カーボンナノウォール薄膜 2 4, 2 5 およびソース電極 3 2 0 に接する。

[0227] ゲート電極 3 0 5 は、カーボンナノウォール薄膜 2 1 に対向するとともに絶縁膜 3 0 1 に接して配置される。ゲート電極 3 0 6 は、カーボンナノウォール薄膜 2 2 の一方の表面に対向するとともに絶縁膜 3 0 1 に接して配置される。

[0228] ゲート電極 3 0 7 は、カーボンナノウォール薄膜 2 2 の他方の表面に対向するとともに絶縁膜 3 0 2 に接して配置される。ゲート電極 3 0 8 は、カーボンナノウォール薄膜 2 3 の一方の表面に対向するとともに絶縁膜 3 0 2 に

接して配置される。

[0229] ゲート電極 309 は、カーボンナノウォール薄膜 23 の他方の表面に対向するとともに絶縁膜 303 に接して配置される。ゲート電極 310 は、カーボンナノウォール薄膜 24 の一方の表面に対向するとともに絶縁膜 303 に接して配置される。

[0230] ゲート電極 311 は、カーボンナノウォール薄膜 24 の他方の表面に対向するとともに絶縁膜 304 に接して配置される。ゲート電極 312 は、カーボンナノウォール薄膜 25 の一方の表面に対向するとともに絶縁膜 304 に接して配置される。

[0231] ドレイン電極 330 は、カーボンナノウォール薄膜 21～25 および絶縁膜 301～304 に接して配置される。より具体的には、ドレイン電極 330 は、シリコン基板 1 側と反対側において、カーボンナノウォール薄膜 21～25 の厚み方向に平行な側面および絶縁膜 301～304 の厚み方向に平行な側面に接して配置される。

[0232] ゲート電極 305～312 およびドレイン電極 330 の各々は、Ti および Au を順次積層した構造からなる。

[0233] 薄膜トランジスタ 300 においては、ゲート電極 305, 307, 309, 311, 312 に所望の電圧が印加され、ソース電極 320 とドレイン電極 330 との間に所望の電圧が印加されると、電流がカーボンナノウォール薄膜 21～25 をシリコン基板 1 の法線方向へ流れる。そして、カーボンナノウォール薄膜 21～25 を流れる電流は、ゲート電極 305, 307, 309, 311, 312 に印加される電圧によって制御される。

[0234] なお、カーボンナノウォール薄膜 22～24 に電流を流す場合、ゲート電極 307, 309, 311 に代えてゲート電極 306, 308, 310 に所望の電圧を印加してもよく、ゲート電極 306, 307 ; 308, 309 ; 310, 311 に所望の電圧を印加してもよい。

[0235] このように、薄膜トランジスタ 300 は、電流がチャネル層 2 (=カーボンナノウォール薄膜 21～25) をシリコン基板 1 の法線方向に流れる縦型

の薄膜トランジスタである。そして、チャネル層 2 は、5 個のカーボンナノウォール薄膜 2 1 ~ 2 5 がシリコン基板 1 の法線方向においてソース電極 3 2 0 とドレイン電極 3 3 0 との間に並列に配置された構造からなる。その結果、電流がソース電極 3 2 0 とドレイン電極 3 3 0 との間で並列に流れる。

[0236] 従って、チャネル層が 1 つのカーボンナノウォール薄膜からなる場合よりも大きい電流を流すことができる。また、チャネル層 2 がシリコン基板 1 の法線方向に配置されるので、チャネル層がシリコン基板 1 の面内方向に配置される場合に比べて薄膜トランジスタ 3 0 0 の集積度を高くできる。更に、チャネル幅は、凸部 1 1 の長さ方向（図 3 5 の紙面に垂直な方向）におけるカーボンナノウォール薄膜 2 1 ~ 2 5 の寸法によって決定され、カーボンナノウォール薄膜 2 1 ~ 2 5 は、凸部 1 1 上にのみ配向性を持って成長するので、凸部 1 1 の長さによってチャネル幅を制御できる。

[0237] 図 3 6 から図 3 9 は、それぞれ、図 3 5 に示す薄膜トランジスタ 3 0 0 の製造方法を示す第 1 から第 4 の工程図である。

[0238] 図 3 6 を参照して、薄膜トランジスタ 3 0 0 の製造が開始されると、図 7 に示す工程（a）、（c）と同じ工程を順次実行し、シリコン基板 1 を作製する（工程（a）、（b）参照）。

[0239] 工程（b）の後、シリコン基板 1 の凸部 1 1 および凹部 1 2 が形成された一主面側に不純物原子（P または B）をイオン注入し、不純物領域 3 2 1 を形成する（工程（c）参照）。

[0240] そして、図 7 に示す工程（d）と同じ工程を実行し、カーボンナノウォール薄膜 2 1 ~ 2 5 をシリコン基板 1 の凸部 1 1 上に形成する（工程（d）参照）。

[0241] その後、 SiO_2 からなる絶縁膜 3 4 0 をカーボンナノウォール薄膜 2 1 ~ 2 5 間においてシリコン基板 1 上に形成する（工程（e）参照）。この場合、絶縁膜 3 4 0 は、例えば、シラン（ SiH_4 ）ガスおよび O_2 ガスを材料ガスとして用い、プラズマ CVD 法によって形成される。

[0242] 図 3 7 を参照して、工程（e）の後、カーボンナノウォール薄膜 2 1 ~ 2

5 および絶縁膜 340 上にレジストを塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングしてレジストパターン 341 を形成する（工程（f）参照）。

[0243] そして、レジストパターン 341 をマスクとして絶縁膜 340 をエッチングし、絶縁膜 301～304 を形成する（工程（g）参照）。

[0244] その後、レジストパターン 341 をマスクとして電子ビーム蒸着によって Ti および Au を絶縁膜 301～304 に接するように順次堆積して金属層 342～345 を形成し、レジストパターン 341 を除去する（工程（h）参照）。この場合、レジストパターン 341 上に堆積した金属層は、リフトオフによって除去される。

[0245] 図 38 を参照して、工程（h）の後、カーボンナノウォール薄膜 21～25、絶縁膜 301～304 および金属層 342～345 上にレジストを塗布し、その塗布したレジストをフォトリソグラフィおよびエッチングによってパターンニングしてレジストパターン 350 を形成する（工程（i）参照）。

[0246] そして、レジストパターン 350 をマスクとして金属層 342～345 をエッチングしてゲート電極 305～312 を形成し、レジストパターン 350 を除去する（工程（j）参照）。これによって、ゲート電極 305～312 が形成される。

[0247] その後、電子ビーム蒸着によって Ti および Au をカーボンナノウォール薄膜 21～25 および絶縁膜 301～304 上に順次堆積してドレイン電極 330 を形成する（工程（k）参照）。

[0248] 図 39 を参照して、工程（k）の後、シリコン基板 1 の裏面側をエッチングして不純物領域 321 に達する凹部 351 を形成する（工程（l）参照）。

[0249] そして、電子ビーム蒸着によって Ti および Au を凹部 351 に順次堆積し、金属領域 322 を形成する。これによって、ソース電極 320 が形成され、薄膜トランジスタ 300 が完成する（工程（m）参照）。

- [0250] 図40から図44は、それぞれ、図35に示す薄膜トランジスタ300の別の製造方法を示す第1から第5の工程図である。
- [0251] 図40を参照して、薄膜トランジスタ300の製造が開始されると、図27に示す工程(a)、(b)と同じ工程を順次実行し、シリコン基板1Aを作製する(工程(a)、(b)参照)。
- [0252] そして、工程(b)の後、シリコン基板1Aの凸部11および凹部12が形成された一主面側に不純物原子(PまたはB)をイオン注入し、不純物領域321を形成する(工程(c)参照)。
- [0253] その後、図27に示す工程(c)～工程(e)および図28に示す工程(f)と同じ工程を順次実行してカーボンナノウォール薄膜21～25以外のカーボンナノウォール薄膜15を酸素プラズマによって除去し、レジストパターン85を除去する(図40の工程(d)、(e)および図41の工程(f)、(g)参照)。
- [0254] 工程(g)の後、図36の工程(e)から図39の工程(m)までの工程と同じ工程を順次実行する(図41の工程(h)、図42の工程(i)～工程(k)、図43の工程(l)～工程(n)および図44の工程(o)、(p)参照)。これによって、薄膜トランジスタ300が完成する。
- [0255] このように、チャネル層2がシリコン基板1Aの法線方向に配置された薄膜トランジスタ300も、領域14に形成されたカーボンナノウォール薄膜15を酸素プラズマによって除去して製造される。その結果、薄膜トランジスタ300において、リーク電流を大幅に低減できる。
- [0256] なお、図40から図44に示す工程図は、領域14上に形成されたカーボンナノウォール薄膜15を酸素プラズマによって除去した後に、ゲート電極305～312、ソース電極320およびドレイン電極330を形成して薄膜トランジスタ300を製造する工程図であるが、実施の形態3においては、これに限らず、ゲート電極305～312、ソース電極320およびドレイン電極330を形成した後に、領域14上に形成されたカーボンナノウォール薄膜15を酸素プラズマによって除去して薄膜トランジスタ300を製

造するようにしてもよい。

[0257] 図45から図48は、それぞれ、図35に示す薄膜トランジスタ300の更に別の製造方法を示す第1から第4の工程図である。

[0258] 図45から図48に示す工程図は、図36から図39に示す工程図の工程(d)と工程(e)との間に工程(d-1)を追加したものであり、その他は、図36から図39に示す工程図と同じである。

[0259] 図45を参照して、薄膜トランジスタ300の製造が開始されると、図36に示す工程(a)～工程(d)と同じ工程が順次実行される(工程(a)～工程(d)参照)。

[0260] そして、図14に示す工程(d-1)と同じ工程を実行し、カーボンナノウォール薄膜21～25の表面を水素プラズマによって処理する(工程(d-1)参照)。

[0261] その後、図36の工程(e)から図39の工程(m)までの工程と同じ工程を順次実行する(図46の工程(e)～工程(g)、図47の工程(h)～工程(j)および図48の工程(k)～工程(m)参照)。これによって、薄膜トランジスタ300が完成する。

[0262] このように、チャネル層2がシリコン基板1Aの法線方向に配置された薄膜トランジスタ300も、カーボンナノウォール薄膜21～25の表面を水素プラズマによって処理した後にドレイン電極330を形成して製造される。その結果、薄膜トランジスタ300において、ドレイン電極330の密着性を向上できる。

[0263] 図49は、実施の形態3による別の薄膜トランジスタの構成を示す断面図である。実施の形態3による薄膜トランジスタは、図49に示す薄膜トランジスタ300-1であってもよい。

[0264] 図49を参照して、薄膜トランジスタ300-1は、図35に示す薄膜トランジスタ300のソース電極320をソース電極360, 370, 380, 390, 400に代え、ドレイン電極330をドレイン電極411～415に代えたものであり、その他は、薄膜トランジスタ300と同じである。

- [0265] ソース電極360, 370, 380, 390, 400は、それぞれ、カーボンナノウォール薄膜21~25に対応して設けられる。
- [0266] ソース電極360は、不純物領域361と、金属領域362とを含む。ソース電極370は、不純物領域371と、金属領域372とを含む。ソース電極380は、不純物領域381と、金属領域382とを含む。ソース電極390は、不純物領域391と、金属領域392とを含む。ソース電極400は、不純物領域401と、金属領域402とを含む。
- [0267] 不純物領域361, 371, 381, 391, 401の各々は、シリコン基板1の凸部11に接し、シリコン基板1中に配置される。そして、不純物領域361, 371, 381, 391, 401の各々は、シリコン基板1の導電型と同じ導電型または反対の導電型を有し、約 10^{20} cm^{-3} の不純物濃度を有する。より具体的には、不純物領域361, 371, 381, 391, 401の各々は、シリコン基板1の導電型に関係無く、約 10^{20} cm^{-3} のP濃度またはB濃度を有する。
- [0268] 金属領域362, 372, 382, 392, 402は、それぞれ、不純物領域361, 371, 381, 391, 401に接するとともに、シリコン基板1に接する。そして、金属領域362, 372, 382, 392, 402の各々は、TiおよびAuを順次積層した構造からなる。
- [0269] 不純物領域361, 371, 381, 391, 401の各々がシリコン基板1の凸部11に接してシリコン基板1中に配置される結果、シリコン基板1の法線方向におけるカーボンナノウォール薄膜21~25の一方端は、それぞれ、ソース電極360, 370, 380, 390, 400に接する。
- [0270] ドレイン電極411~415の各々は、TiおよびAuを順次積層した構造からなる。そして、ドレイン電極411~415は、それぞれ、シリコン基板1側と反対側においてカーボンナノウォール薄膜21~25の厚み方向に平行な側面および絶縁膜301~304の厚み方向に平行な側面に接して配置される。
- [0271] 薄膜トランジスタ300-1においては、カーボンナノウォール薄膜21

、ソース電極360、ドレイン電極411、絶縁膜301およびゲート電極305は、1つの薄膜トランジスタを構成し、カーボンナノウォール薄膜22、ソース電極370、ドレイン電極412、絶縁膜301、302およびゲート電極306、307は、1つの薄膜トランジスタを構成し、カーボンナノウォール薄膜23、ソース電極380、ドレイン電極413、絶縁膜302、303およびゲート電極308、309は、1つの薄膜トランジスタを構成し、カーボンナノウォール薄膜24、ソース電極390、ドレイン電極414、絶縁膜303、304およびゲート電極310、311は、1つの薄膜トランジスタを構成し、カーボンナノウォール薄膜25、ソース電極400、ドレイン電極415、絶縁膜304およびゲート電極312は、1つの薄膜トランジスタを構成する。

[0272] その結果、薄膜トランジスタ300-1は、シリコン基板1の法線方向に5個の薄膜トランジスタを並列に配置した構成からなる。

[0273] 薄膜トランジスタ300-1は、図36から図39に示す工程図の工程(c)において、不純物原子(PまたはB)をシリコン基板1の凸部11にのみイオン注入して不純物領域361、371、381、391、401を形成し、工程(k)において、ドレイン電極411~415を形成し、工程(l)において、不純物領域361、371、381、391、401にそれぞれ接する5個の孔をシリコン基板1の裏面側に形成し、工程(m)において、その形成した5個の孔にそれぞれ金属領域362、372、382、392、402を形成することによって製造される。

[0274] また、薄膜トランジスタ300-1は、図40から図44に示す工程図の工程(c)において、不純物原子(PまたはB)をシリコン基板1Aの凸部11にのみイオン注入して不純物領域361、371、381、391、401を形成し、工程(n)において、ドレイン電極411~415を形成し、工程(o)において、不純物領域361、371、381、391、401にそれぞれ接する5個の孔をシリコン基板1の裏面側に形成し、工程(p)において、その形成した5個の孔にそれぞれ金属領域362、372、3

82, 392, 402を形成することによって製造されてもよい。

[0275] 更に、薄膜トランジスタ300-1は、図45から図48に示す工程図の工程(c)において、不純物原子(PまたはB)をシリコン基板1の凸部11にのみイオン注入して不純物領域361, 371, 381, 391, 401を形成し、工程(k)において、ドレイン電極411~415を形成し、工程(l)において、不純物領域361, 371, 381, 391, 401にそれぞれ接する5個の孔をシリコン基板1の裏面側に形成し、工程(m)において、その形成した5個の孔にそれぞれ金属領域362, 372, 382, 392, 402を形成することによって製造されてもよい。

[0276] 薄膜トランジスタ300-1は、シリコン基板1の法線方向に5個の薄膜トランジスタを並列に配置した構成からなるので、上述した薄膜トランジスタ10-1(図21参照)と同じ効果を享受できる。

[0277] 薄膜トランジスタ300においては、ドレイン電極330がソース電極320のようにシリコン基板1中に配置され、ソース電極320がドレイン電極330のようにシリコン基板1の法線方向においてシリコン基板1側と反対側でカーボンナノウォール薄膜21~25に接していてもよい。

[0278] 従って、薄膜トランジスタ300においては、ソース電極320およびドレイン電極330のいずれか一方が凸部11および凹部12に接するようにシリコン基板1中に配置され、ソース電極320およびドレイン電極330のいずれか他方がシリコン基板1の法線方向においてシリコン基板1側と反対側でカーボンナノウォール薄膜21~25に接していればよい。

[0279] 薄膜トランジスタ300-1についても、ソース電極360, 370, 380, 390, 400およびドレイン電極411~415のいずれか一方が凸部11に接するようにシリコン基板1中に配置され、ソース電極360, 370, 380, 390, 400およびドレイン電極411~415のいずれか他方がシリコン基板1の法線方向においてシリコン基板1側と反対側でカーボンナノウォール薄膜21~25に接していてもよい。

[0280] 実施の形態3におけるその他はの説明は、実施の形態1の説明と同じであ

る。

[0281] 上述したように、実施の形態1においては、バックゲート型の薄膜トランジスタ10, 10-1について説明し、実施の形態2においては、トップゲート型の薄膜トランジスタ200, 200-1について説明し、実施の形態3においては、チャネル層2がシリコン基板1, 1Aの法線方向に配置された薄膜トランジスタ300, 300-1について説明した。

[0282] 従って、この発明の実施の形態による薄膜トランジスタは、一主面に凹凸形状がストライプ状または碁盤目状に形成されたシリコン基板と、凹凸形状の凸部の長さ方向に沿って複数の凸部上に配置され、各々がシリコン基板の法線方向に成長した複数のカーボンナノウォール薄膜からなるチャネル層と、複数のカーボンナノウォール薄膜の各々においてカーボンナノウォール薄膜の厚み方向に平行な第1の側面に少なくとも接するソース電極と、カーボンナノウォール薄膜の面内方向においてソース電極に対向するように配置され、複数のカーボンナノウォール薄膜の各々において第1の側面に対向する第2の側面に少なくとも接するドレイン電極と、ゲート電極と、複数のカーボンナノウォール薄膜とゲート電極との間に配置された絶縁膜とを備えていればよい。

[0283] また、この発明の実施の形態による薄膜トランジスタの製造方法は、複数のカーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、凹凸形状の凸部の長さ方向に沿って複数の凸部上に複数のカーボンナノウォール薄膜を形成する第2の工程と、複数のカーボンナノウォール薄膜の各々においてカーボンナノウォール薄膜の厚み方向に平行な第1の側面に少なくとも接するようにソース電極を形成する第3の工程と、カーボンナノウォール薄膜の面内方向においてソース電極に対向するように配置され、複数のカーボンナノウォール薄膜の各々において第1の側面に対向する第2の側面に少なくとも接するようにドレイン電極を形成する第4の工程と、複数のカーボンナノウォール薄膜に対向して絶縁膜

を形成する第5の工程と、絶縁膜に接してゲート電極を形成する第6の工程とを備えていればよい。

[0284] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

産業上の利用可能性

[0285] この発明は、薄膜トランジスタおよびその製造方法に適用される。

請求の範囲

- [請求項1] 一主面に凹凸形状がストライプ状または碁盤目状に形成されたシリコン基板と、
- 前記凹凸形状の凸部の長さ方向に沿って複数の凸部上に配置され、各々が前記シリコン基板の法線方向に成長した複数のカーボンナノウォール薄膜からなるチャンネル層と、
- 前記複数のカーボンナノウォール薄膜の各々において前記カーボンナノウォール薄膜の厚み方向に平行な第1の側面に少なくとも接するソース電極と、
- 前記カーボンナノウォール薄膜の面内方向において前記ソース電極に対向するように配置され、前記複数のカーボンナノウォール薄膜の各々において前記第1の側面に対向する第2の側面に少なくとも接するドレイン電極と、
- ゲート電極と、
- 前記複数のカーボンナノウォール薄膜と前記ゲート電極との間に配置された絶縁膜とを備える薄膜トランジスタ。
- [請求項2] 前記絶縁膜は、前記シリコン基板の前記一主面と反対側の表面に接して配置され、
- 前記ゲート電極は、前記絶縁膜に接して配置され、
- 前記ソース電極および前記ドレイン電極は、前記凹凸形状の凸部の長さ方向に沿って配置される、請求項1に記載の薄膜トランジスタ。
- [請求項3] 前記絶縁膜は、前記複数のカーボンナノウォール薄膜の各々において前記シリコン基板側と反対側で前記カーボンナノウォール薄膜の厚み方向に平行な第3の側面に接して配置され、
- 前記ゲート電極は、前記絶縁膜に接して配置され、
- 前記ソース電極および前記ドレイン電極は、前記凹凸形状の凸部の長さ方向に沿って配置される、請求項1に記載の薄膜トランジスタ。
- [請求項4] 前記ソース電極は、前記複数のカーボンナノウォール薄膜に対応し

て設けられ、各々が対応するカーボンナノウォール薄膜の前記第 1 の側面に少なくとも接して配置された複数のソース電極部材からなり、

前記ドレイン電極は、前記複数のカーボンナノウォール薄膜に対応して設けられ、各々が対応するカーボンナノウォール薄膜の前記第 2 の側面に少なくとも接して配置された複数のドレイン電極部材からなる、請求項 2 または請求項 3 に記載の薄膜トランジスタ。

[請求項 5]

前記絶縁膜は、前記複数のカーボンナノウォール薄膜に対応して設けられるとともに前記カーボンナノウォール薄膜の面内方向に沿って配置され、各々が対応するカーボンナノウォール薄膜に接する複数のゲート絶縁膜からなり、

前記ゲート電極は、前記複数のゲート絶縁膜に対応して設けられ、各々が対応するゲート絶縁膜に接して配置された複数のゲート電極部材からなり、

前記ソース電極および前記ドレイン電極の一方は、前記凸部側において前記シリコン基板中に配置され、

前記ソース電極および前記ドレイン電極の他方は、前記シリコン基板の法線方向において前記シリコン基板側と反対側に配置される、請求項 1 に記載の薄膜トランジスタ。

[請求項 6]

前記絶縁膜は、前記複数のカーボンナノウォール薄膜に対応して設けられるとともに前記カーボンナノウォール薄膜の面内方向に沿って配置され、各々が対応するカーボンナノウォール薄膜に接する複数のゲート絶縁膜からなり、

前記ゲート電極は、前記複数のゲート絶縁膜に対応して設けられ、各々が対応するゲート絶縁膜に接して配置された複数のゲート電極部材からなり、

前記ソース電極および前記ドレイン電極の一方は、前記複数のカーボンナノウォール薄膜に対応して設けられた複数の第 1 の電極部材からなり、

前記ソース電極および前記ドレイン電極の他方は、前記複数のカーボンナノウォール薄膜に対応して設けられた複数の第2の電極部材からなり、

前記複数の第1の電極部材の各々は、対応するカーボンナノウォール薄膜に接する凸部に形成された不純物領域と、前記不純物領域に接して配置された金属領域とを含み、

前記複数の第2の電極部材の各々は、対応するカーボンナノウォール薄膜の厚み方向に平行であり、かつ、前記対応するカーボンナノウォール薄膜の前記シリコン基板側と反対側に配置された第3の側面に接する、請求項1に記載の薄膜トランジスタ。

[請求項7] 複数のカーボンナノウォール薄膜をチャネル層として用いた薄膜トランジスタの製造方法であって、

シリコン基板の一主面に凹凸形状をストライプ状または碁盤目状に形成する第1の工程と、

前記凹凸形状の凸部の長さ方向に沿って複数の凸部上に複数のカーボンナノウォール薄膜を形成する第2の工程と、

前記複数のカーボンナノウォール薄膜の各々において前記カーボンナノウォール薄膜の厚み方向に平行な第1の側面に少なくとも接するようにソース電極を形成する第3の工程と、

前記カーボンナノウォール薄膜の面内方向において前記ソース電極に対向するように配置され、複数のカーボンナノウォール薄膜の各々において前記第1の側面に対向する第2の側面に少なくとも接するようにドレイン電極を形成する第4の工程と、

前記複数のカーボンナノウォール薄膜に対向して絶縁膜を形成する第5の工程と、

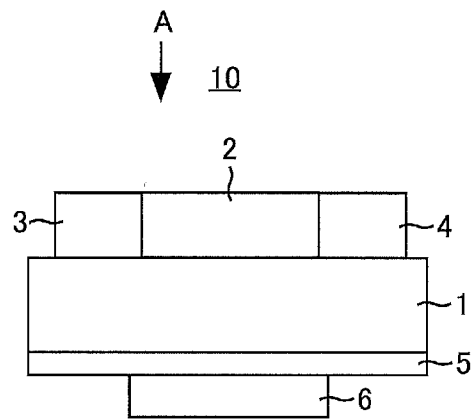
前記絶縁膜に接してゲート電極を形成する第6の工程とを備える薄膜トランジスタの製造方法。

[請求項8] 前記薄膜トランジスタの配置位置以外の領域に形成されたカーボン

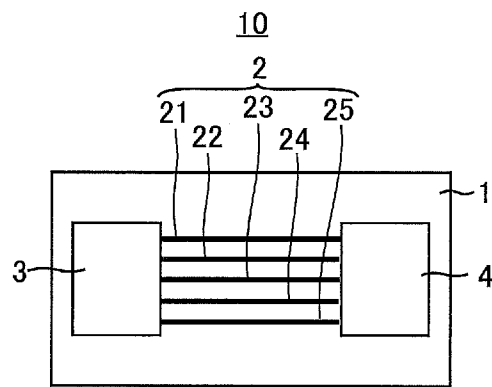
ナノウォール薄膜を酸素ガスを用いたプラズマによって除去する第 7 の工程を更に備える、請求項 7 に記載の薄膜トランジスタの製造方法。

- [請求項 9] 前記複数のカーボンナノウォール薄膜を水素ガスを用いたプラズマによって処理する第 8 の工程を更に備え、
- 前記第 3 および第 4 の工程は、前記第 8 の工程に続いて実行される、請求項 7 または請求項 8 に記載の薄膜トランジスタの製造方法。

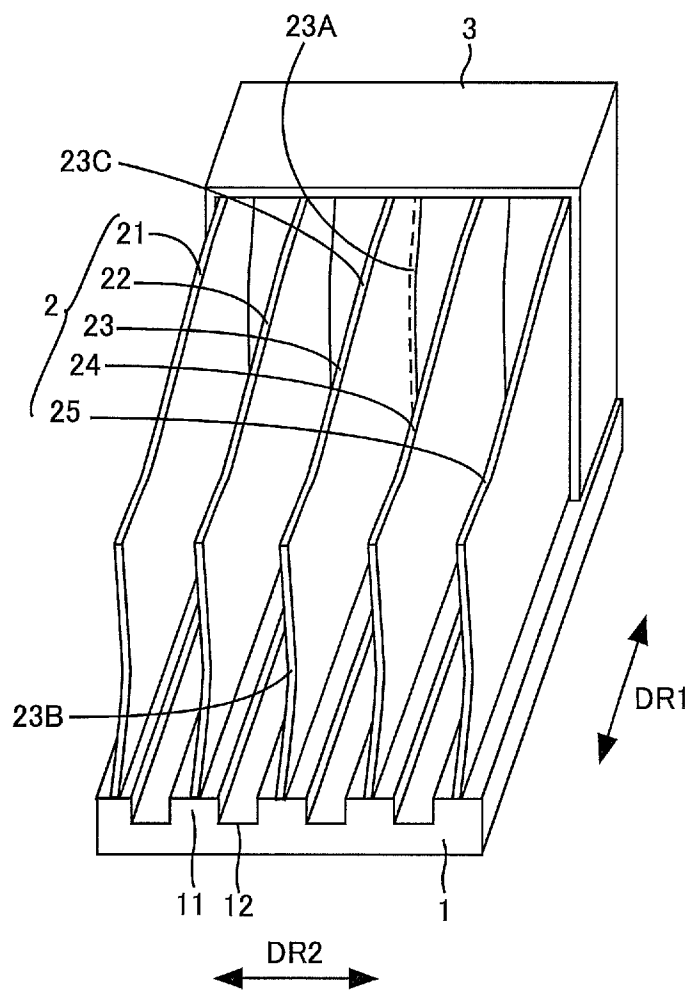
[図1]

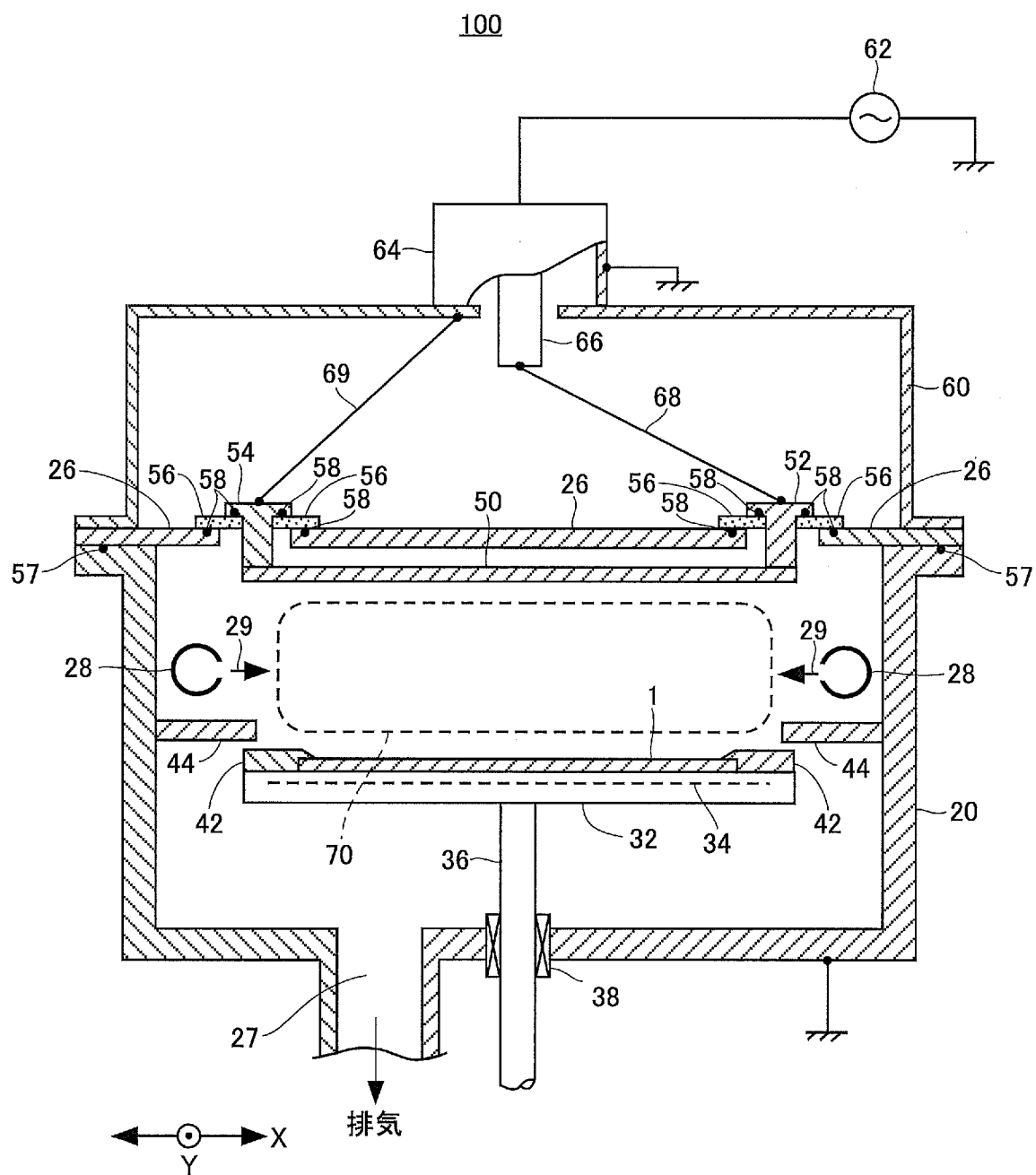


[図2]

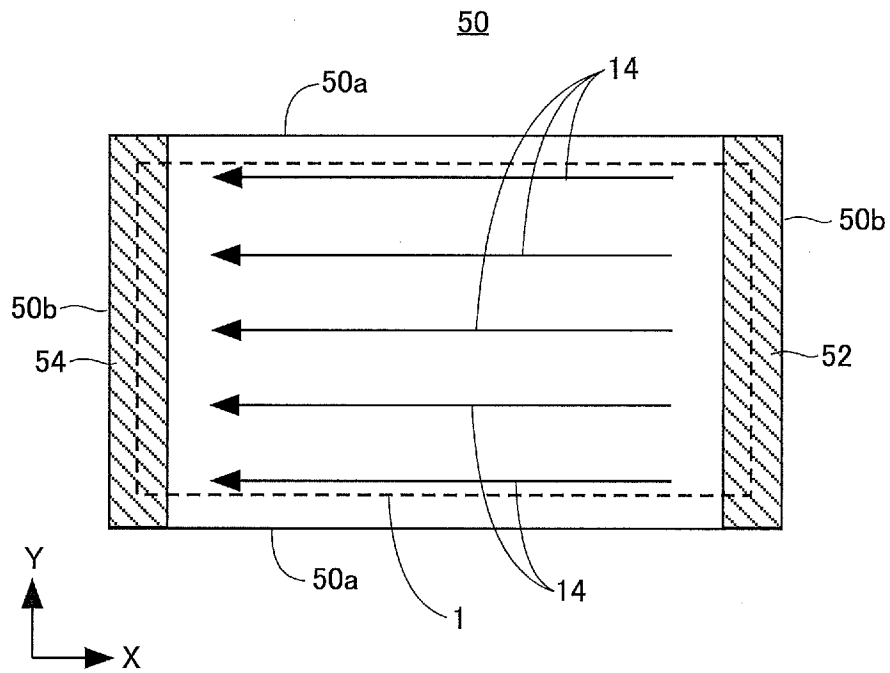


[図3]

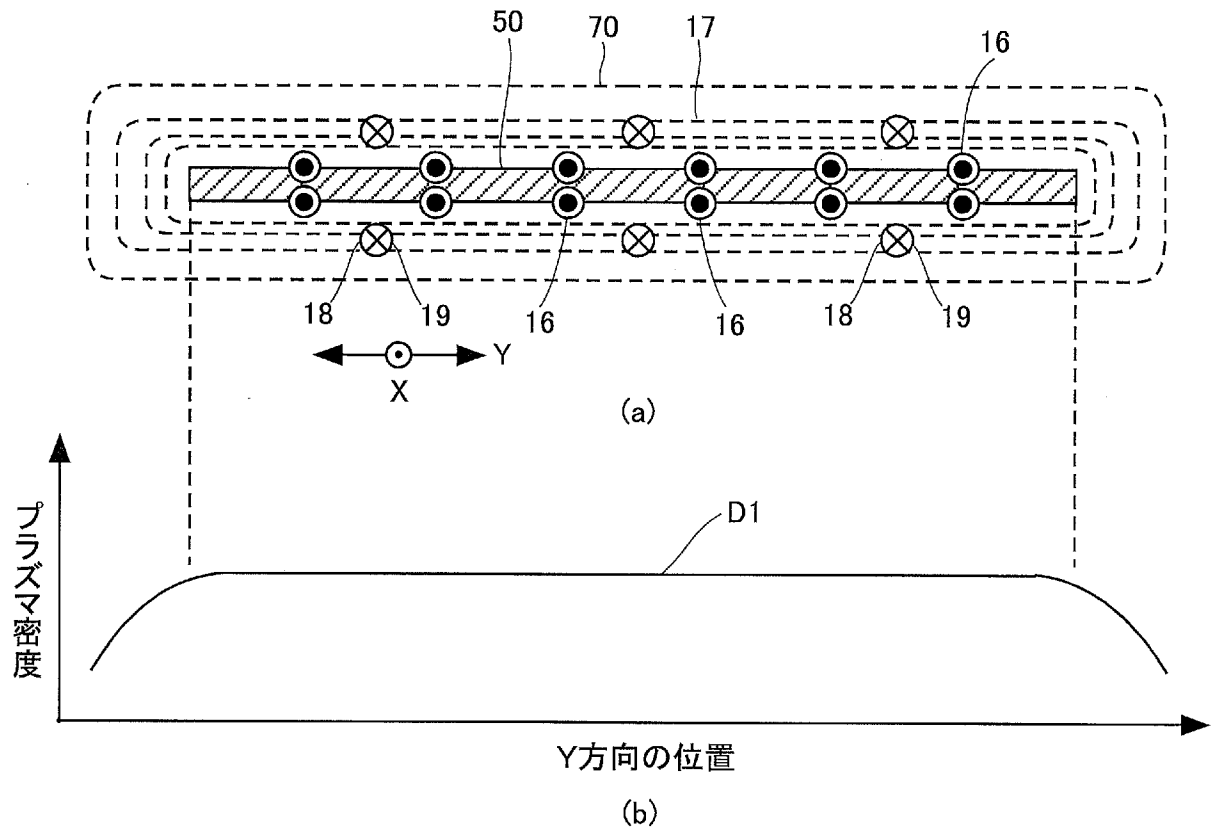




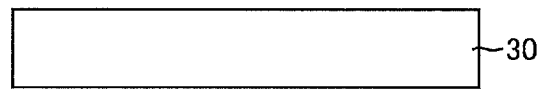
[図5]



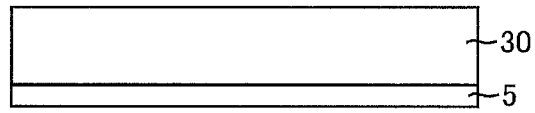
[図6]



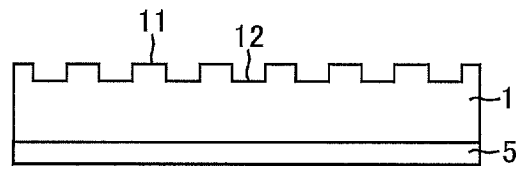
[図7]



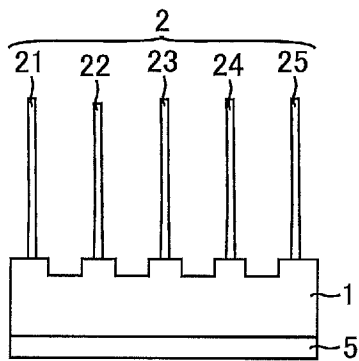
(a)



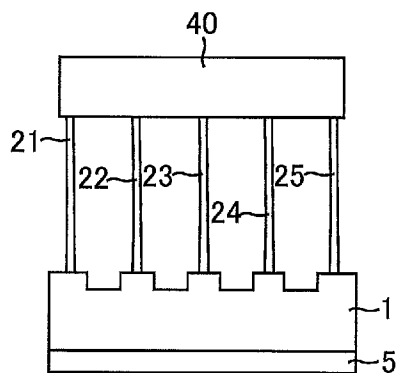
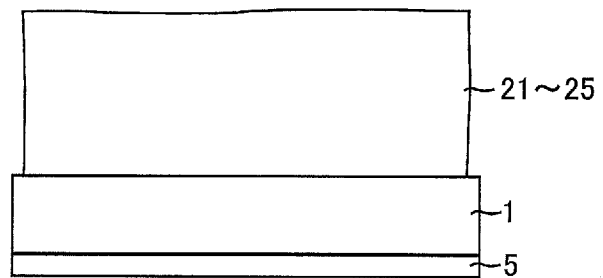
(b)



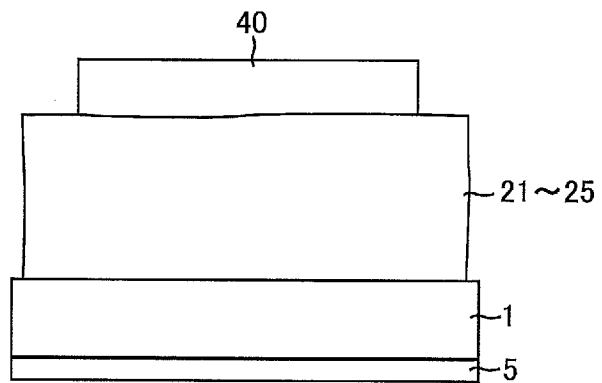
(c)



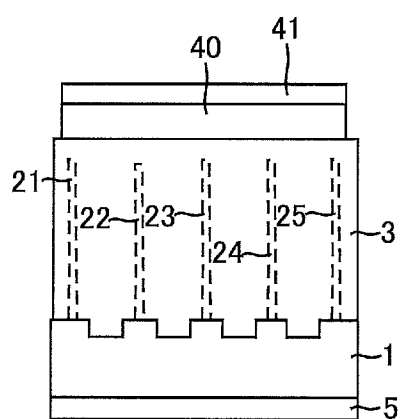
(d)



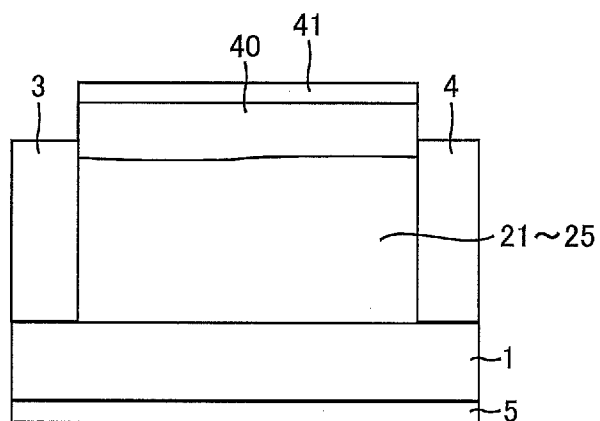
(e)



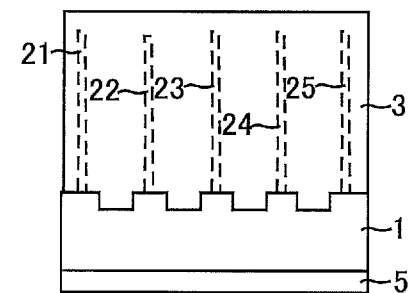
[図8]



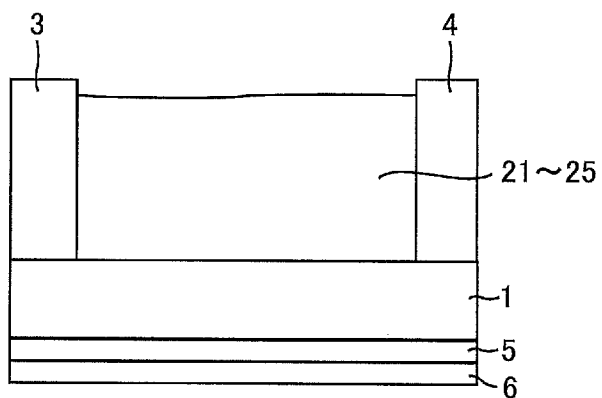
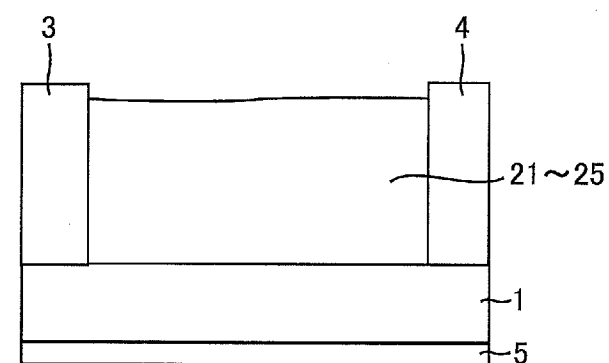
(f)



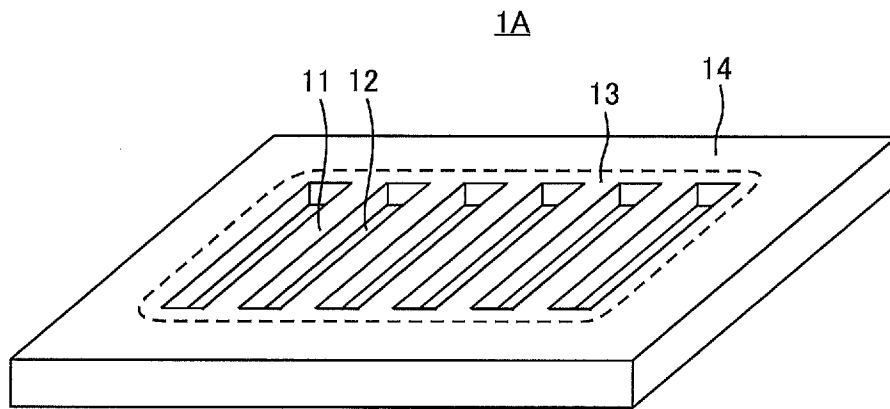
(g)



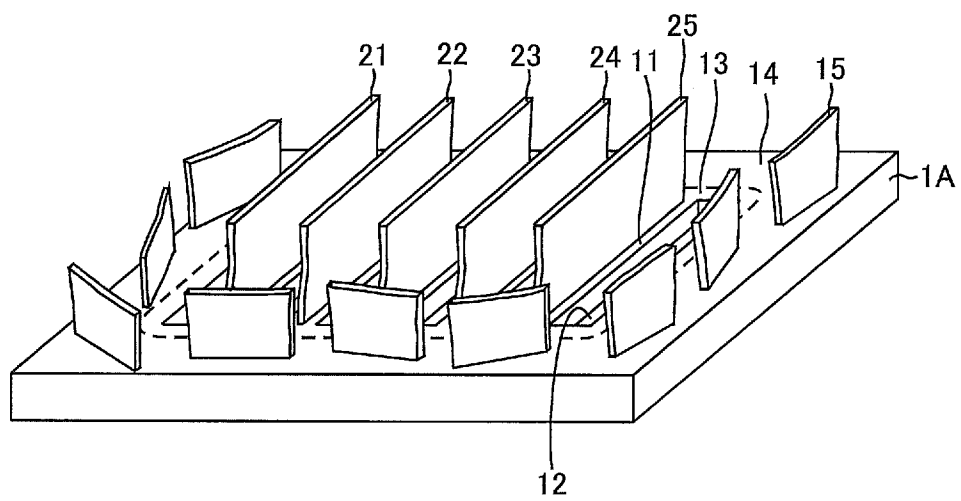
(h)



[図9]



[図10]



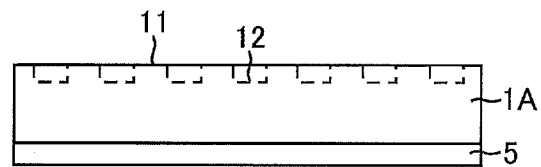
[図11]



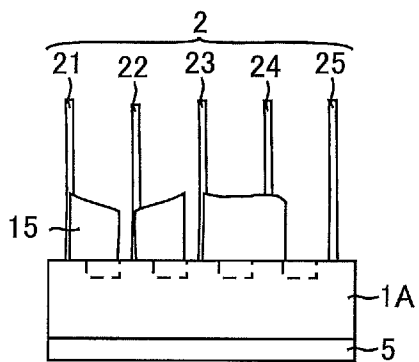
(a)



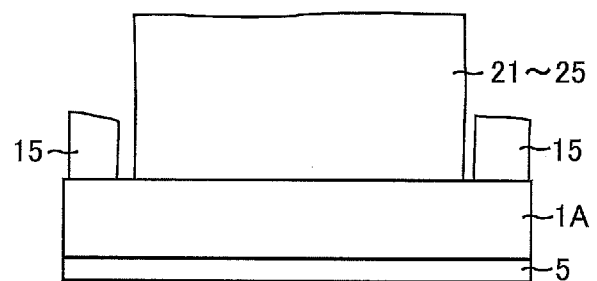
(b)



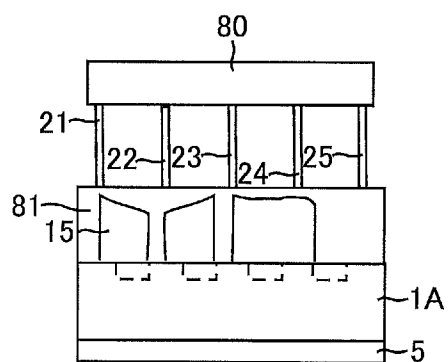
(c)



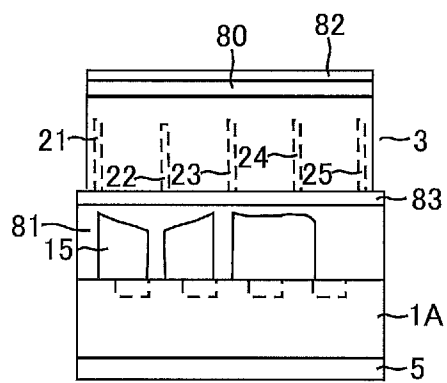
(d)



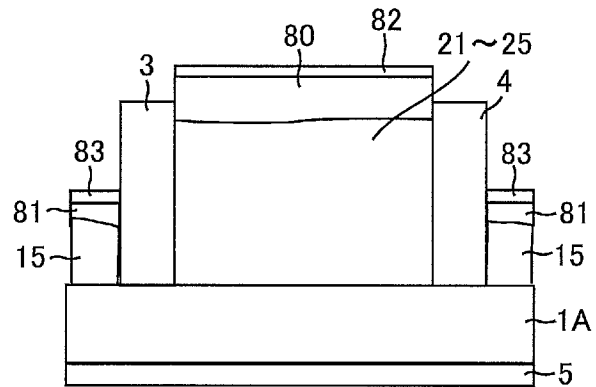
(e)



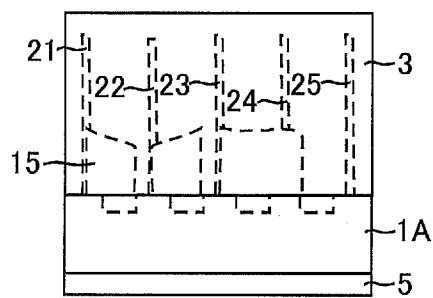
[図12]



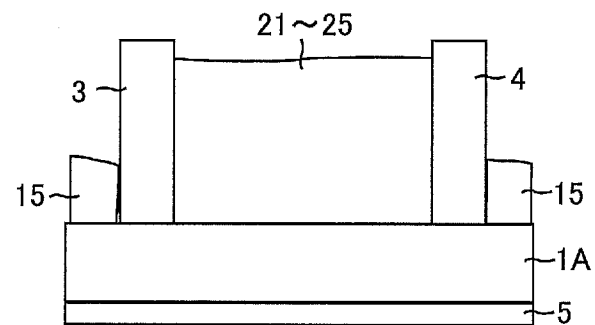
(f)



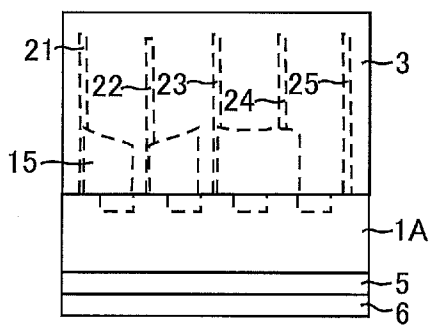
(g)



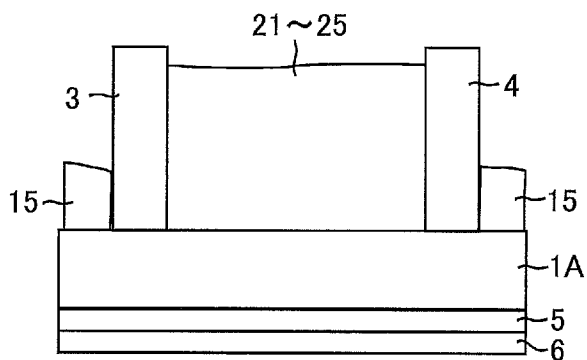
(h)



(i)

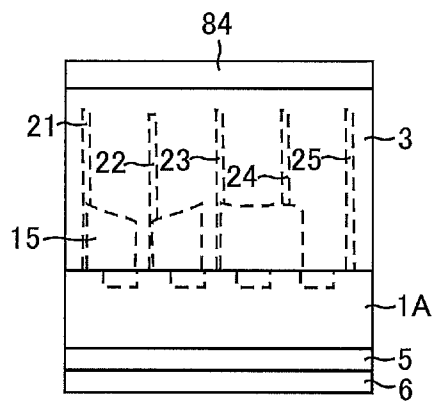


(j)

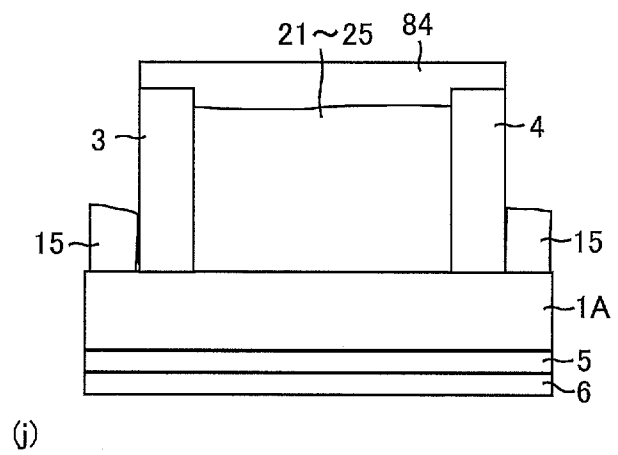


[図13]

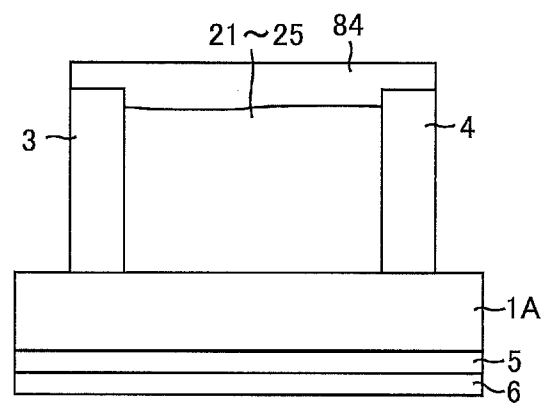
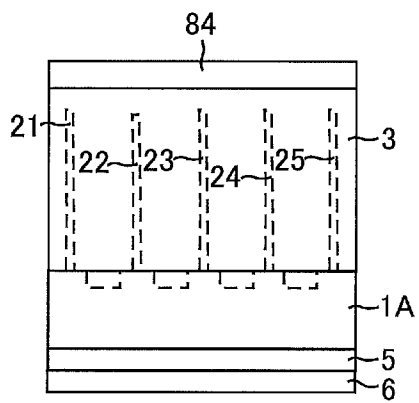
酸素プラズマ処理



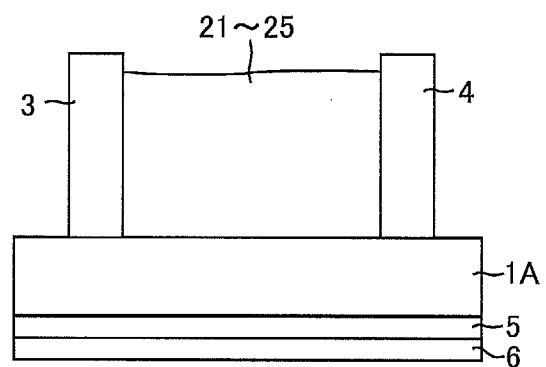
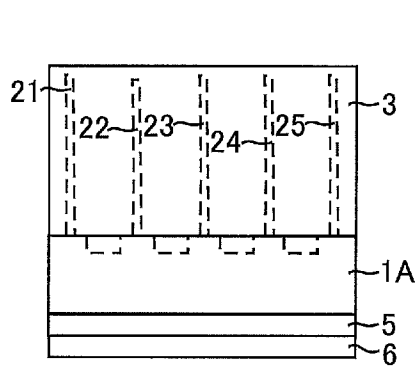
酸素プラズマ処理



(j)



(k)

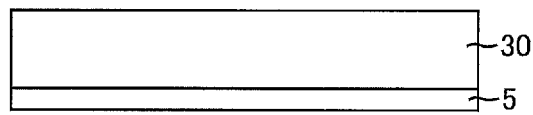


(l)

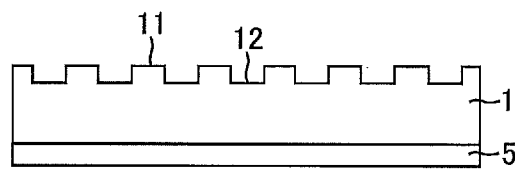
[図14]



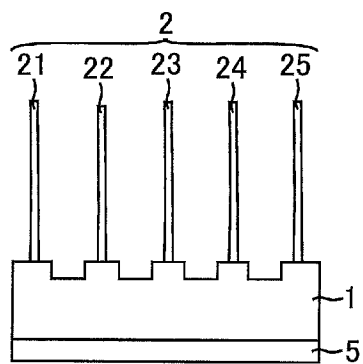
(a)



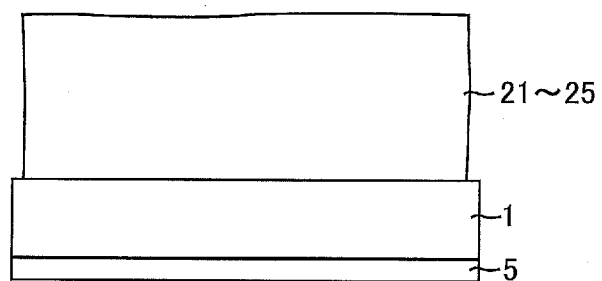
(b)



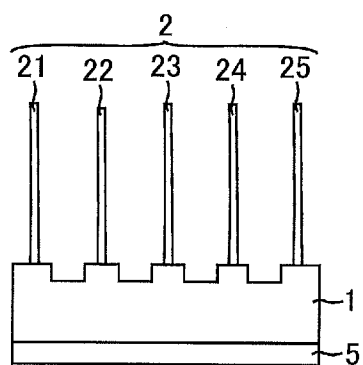
(c)



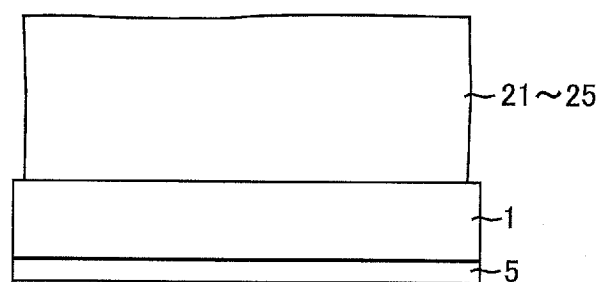
(d)



水素プラズマ処理

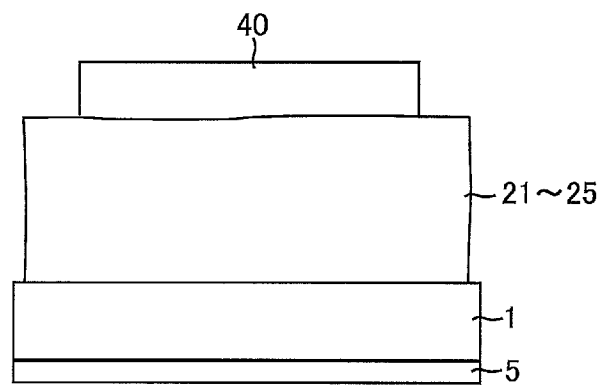
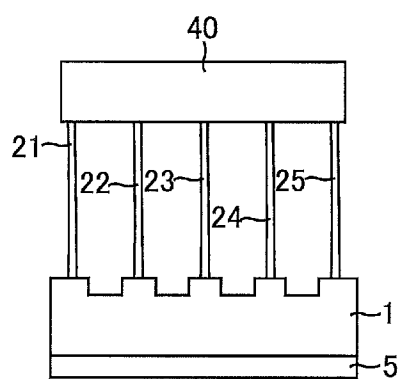


水素プラズマ処理

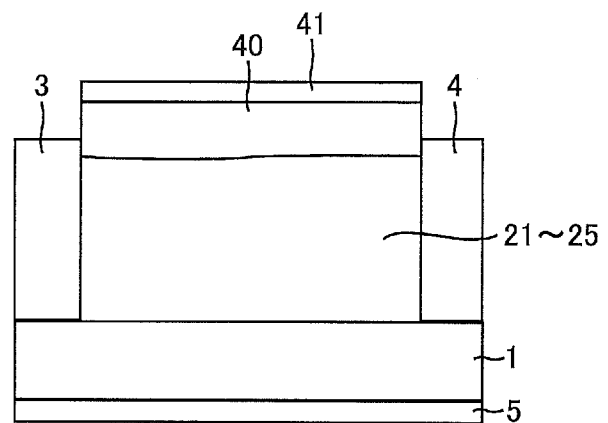
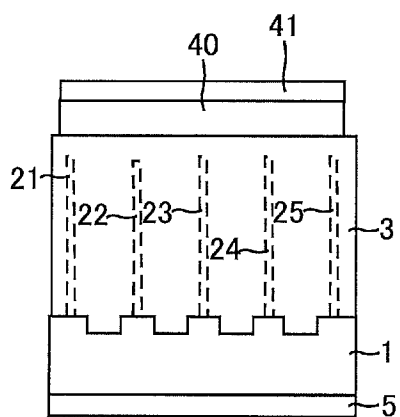


(d-1)

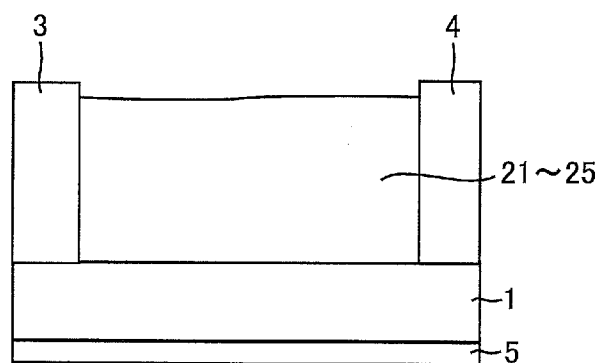
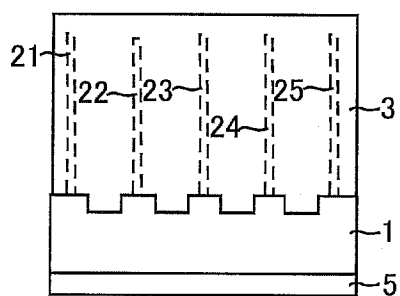
[図15]



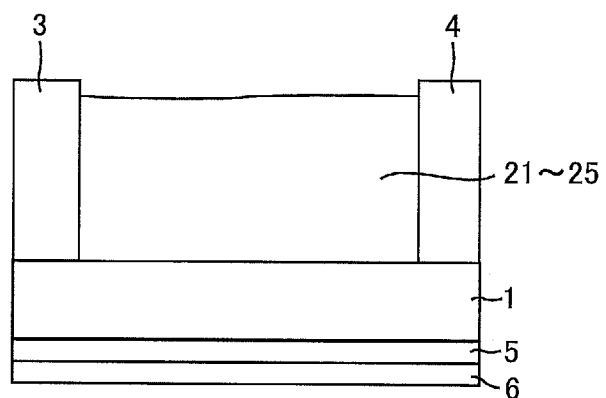
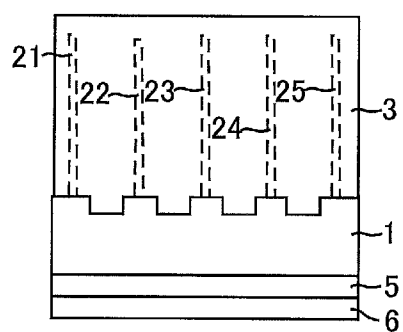
(e)



(f)

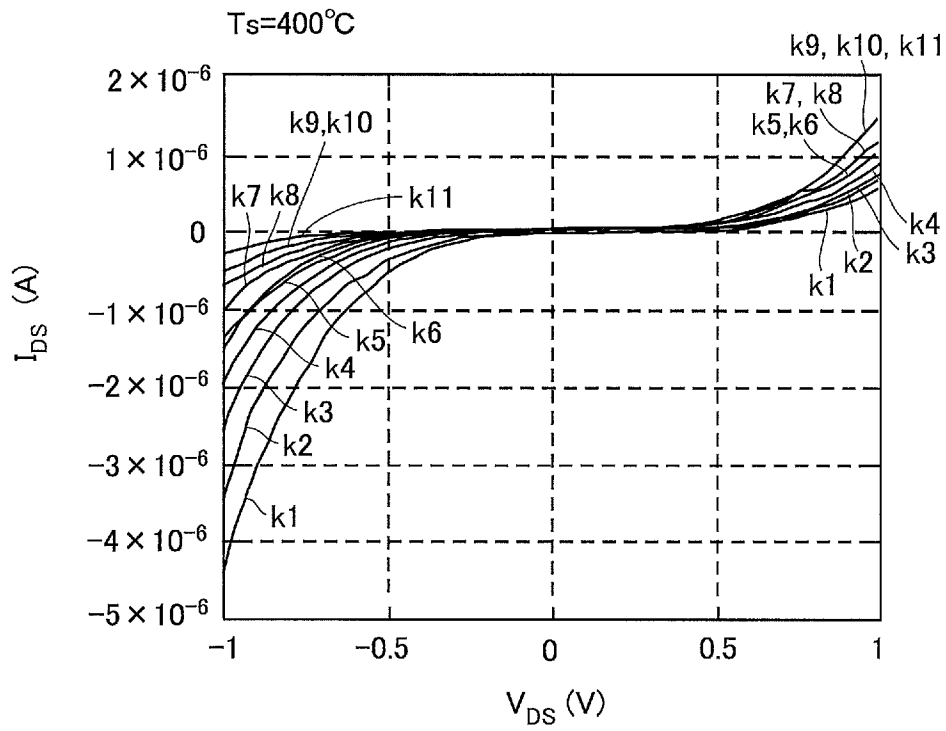


(g)

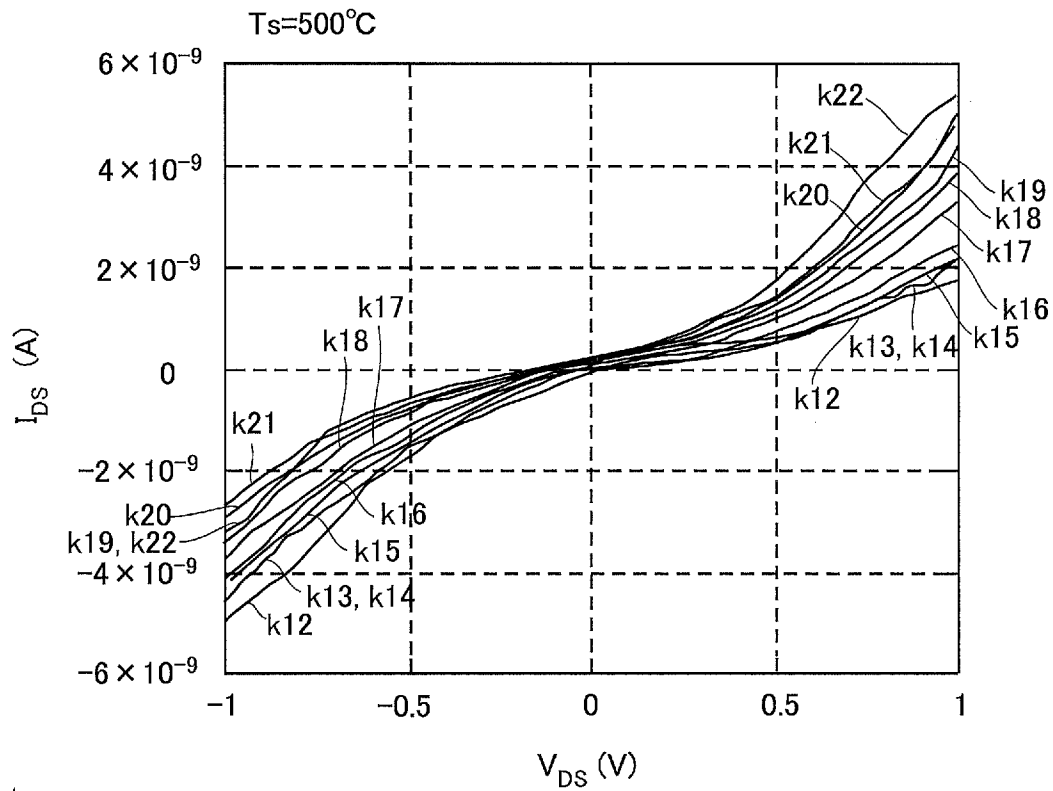


(h)

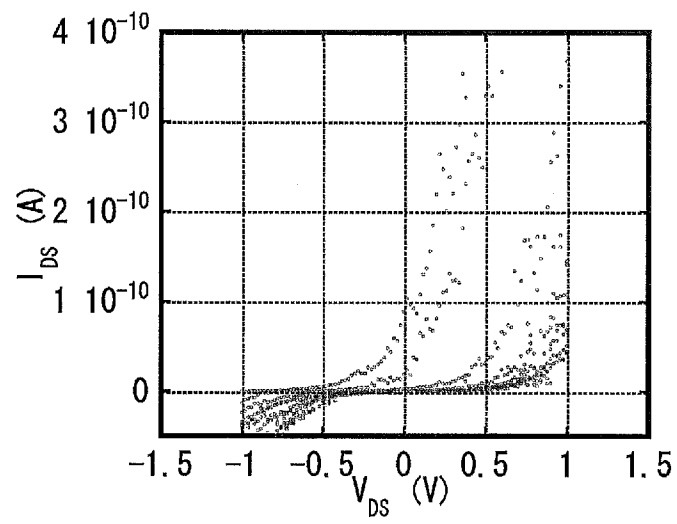
[図16]



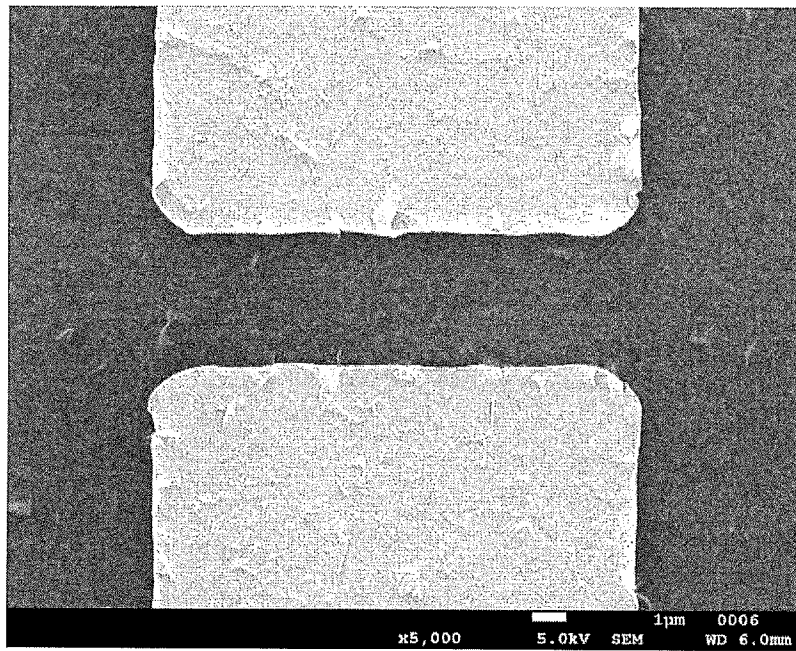
[図17]



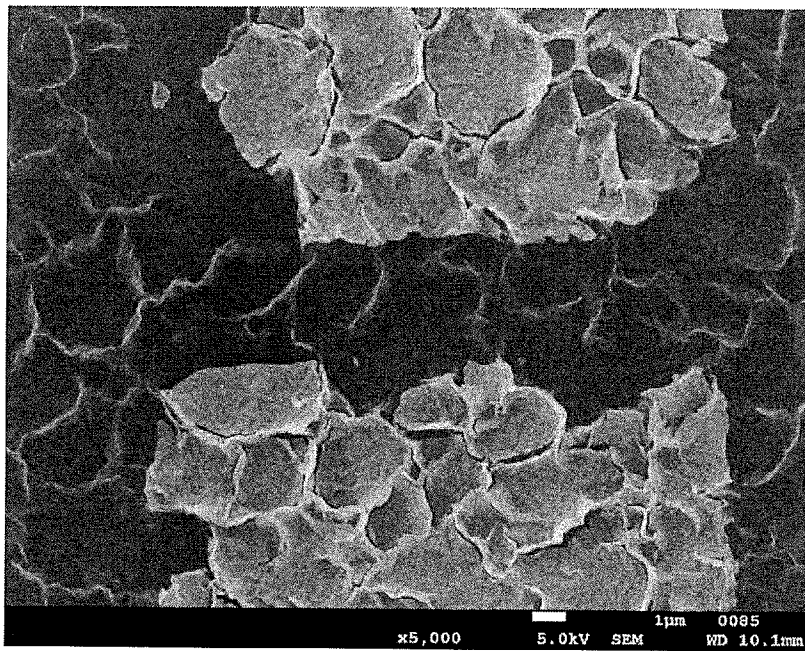
[図18]



[図19]

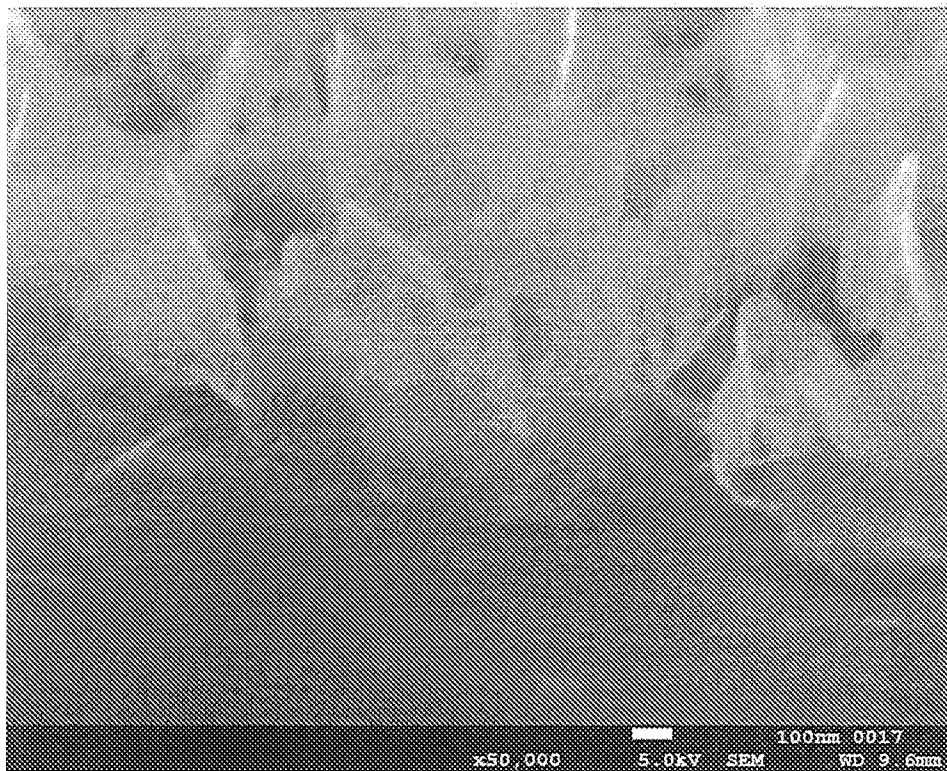


(a)

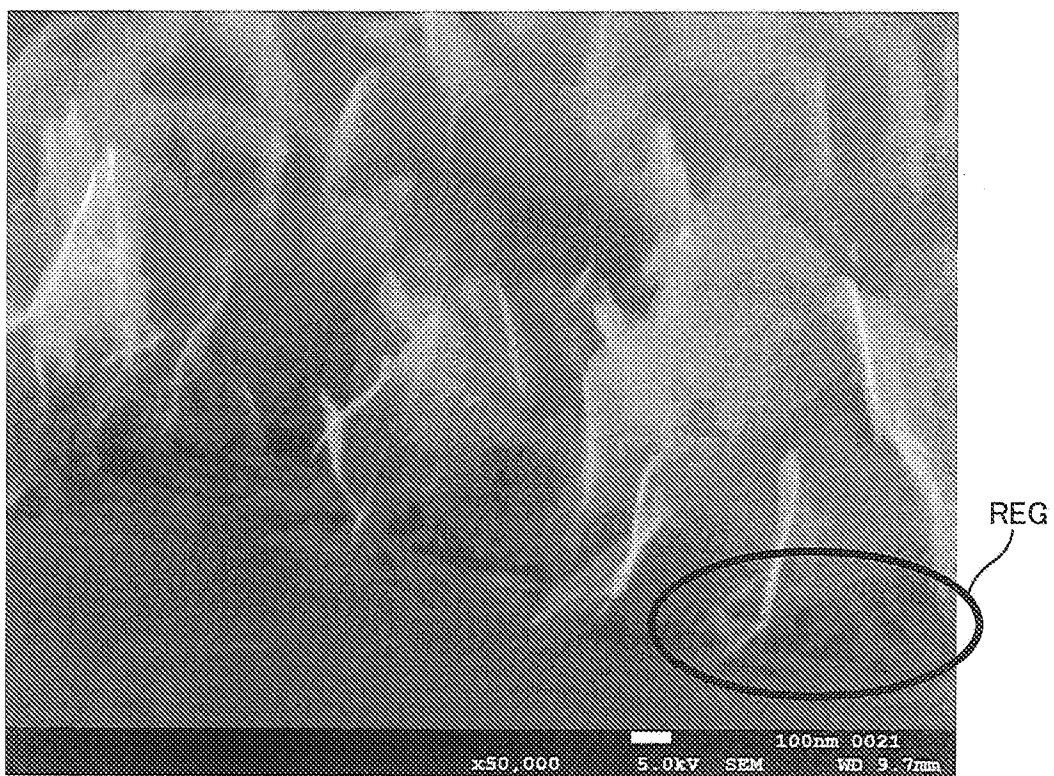


(b)

[図20]

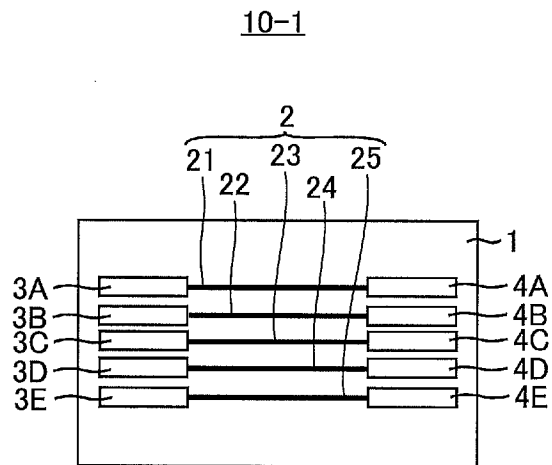


(a)

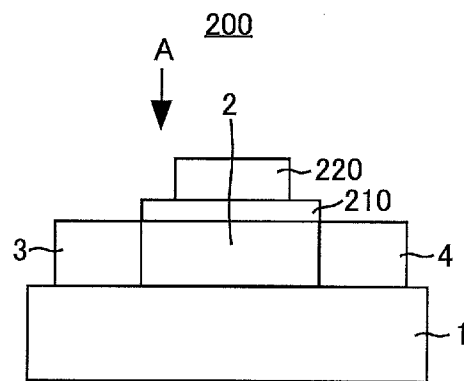


(b)

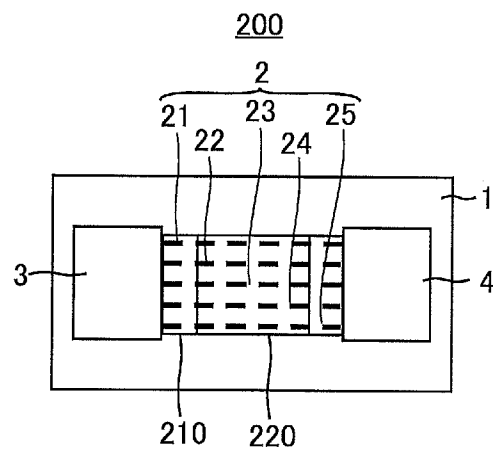
[図21]



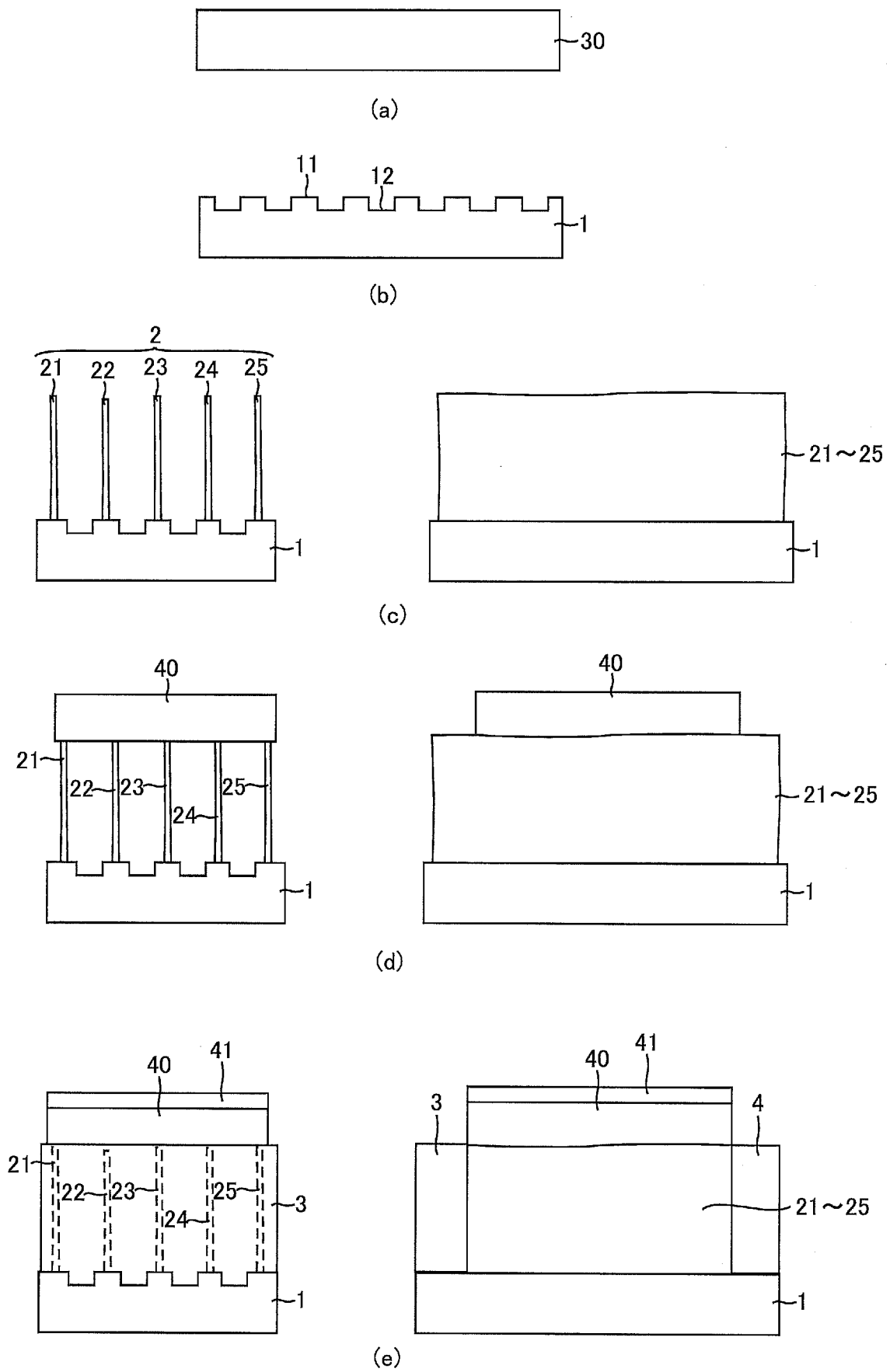
[図22]



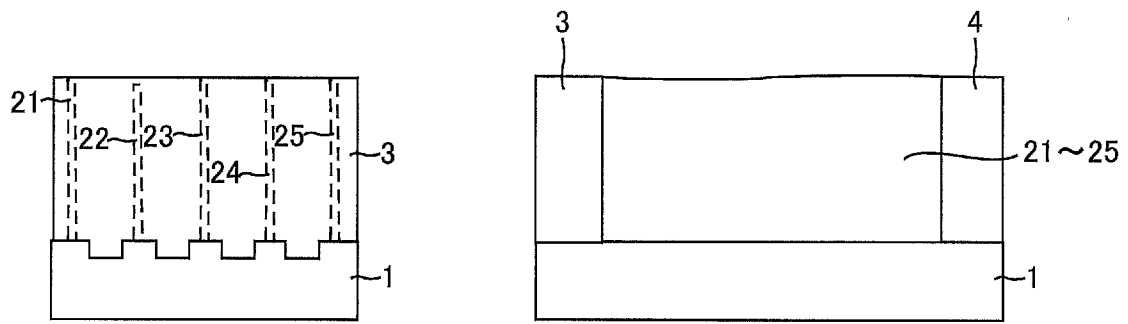
[図23]



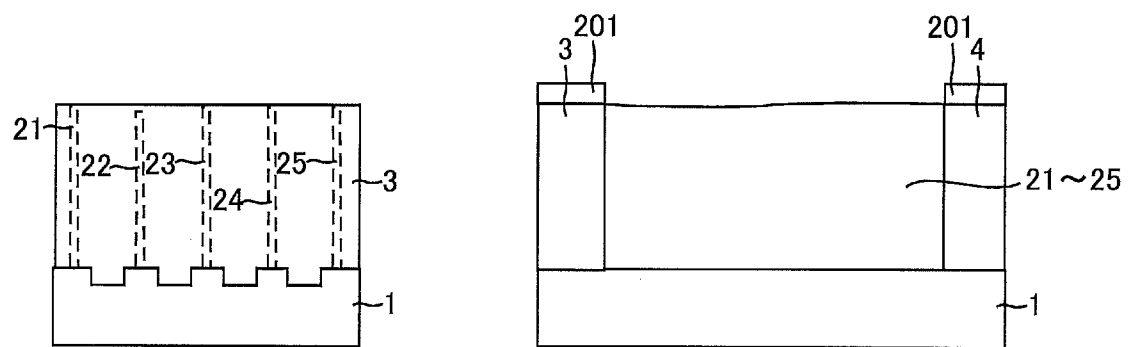
[図24]



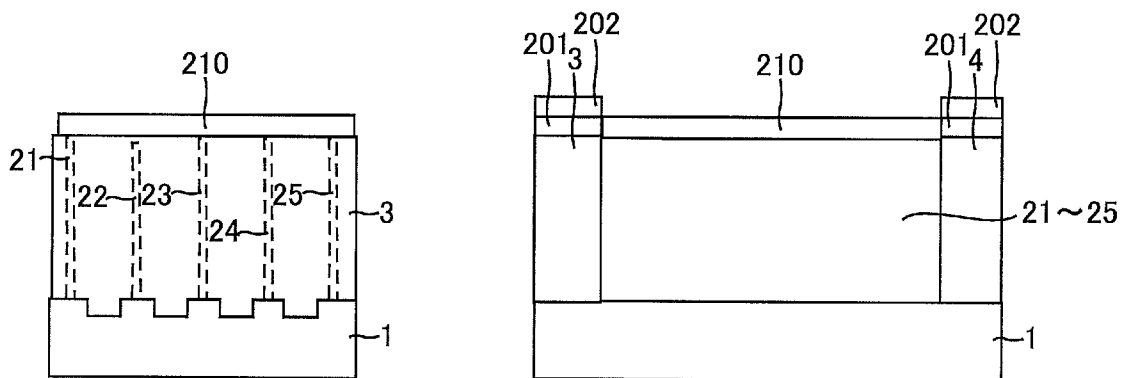
[図25]



(f)

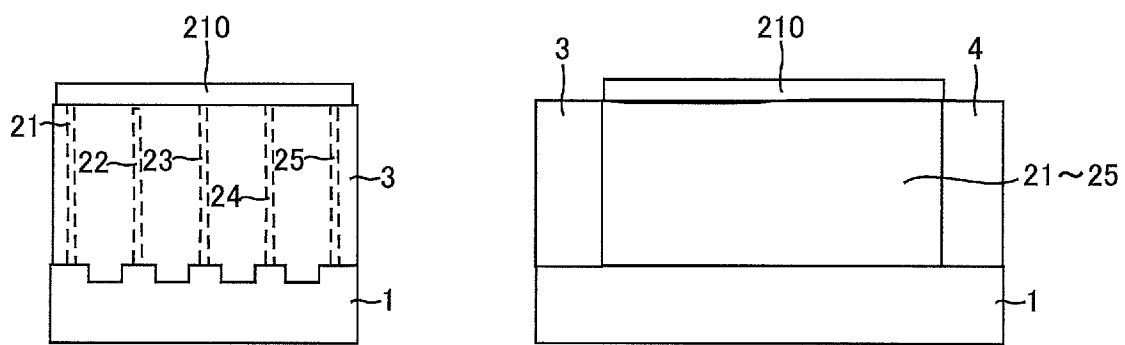


(g)

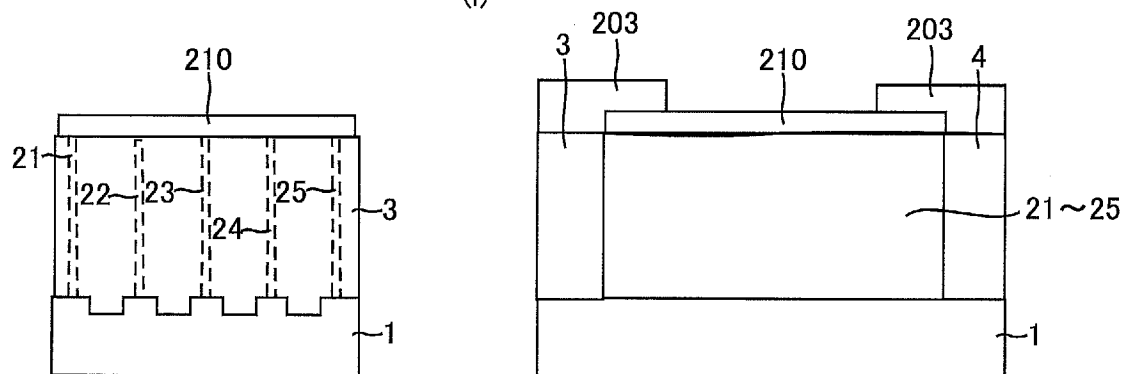


(h)

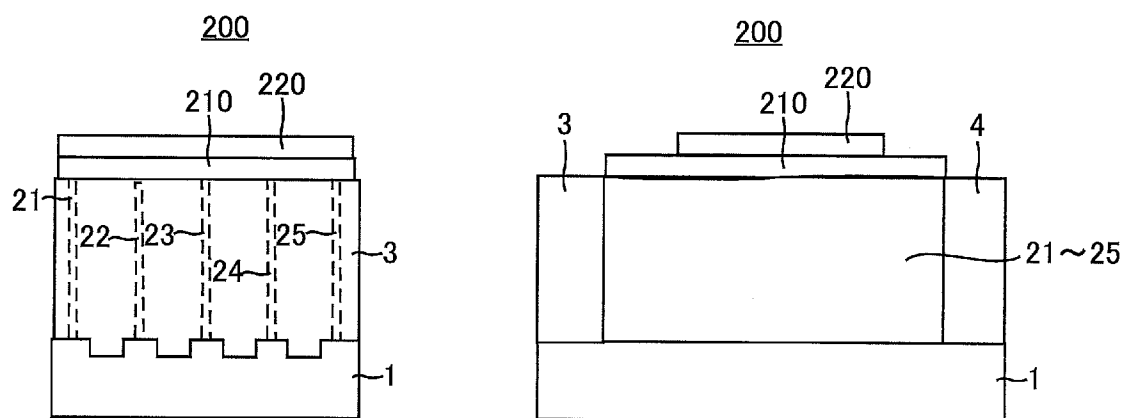
[図26]



(i)

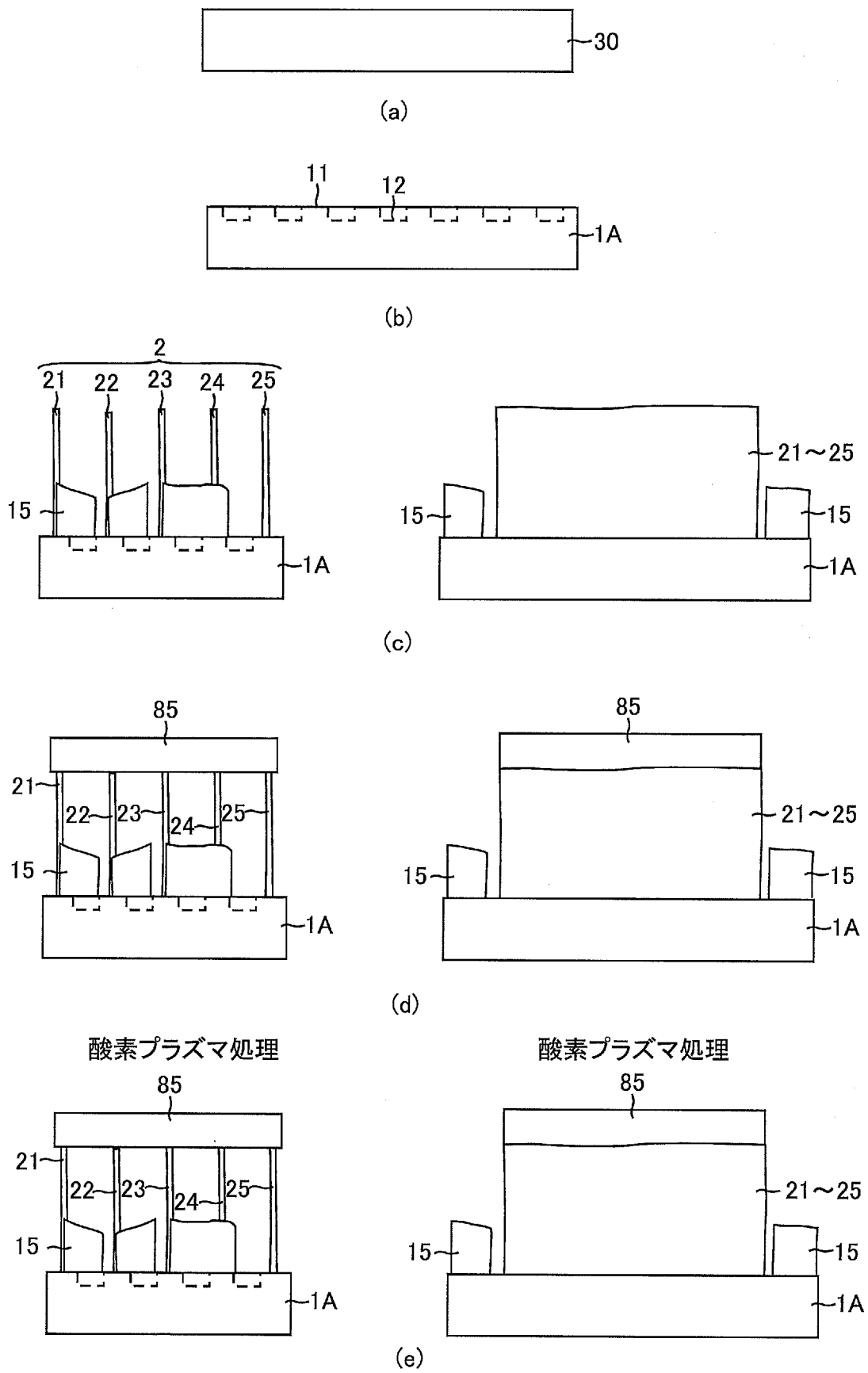


(j)

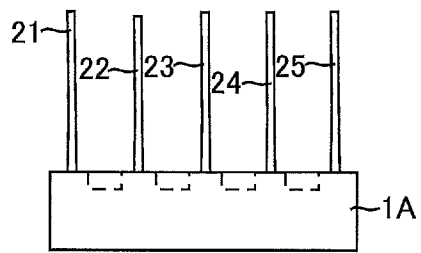


(k)

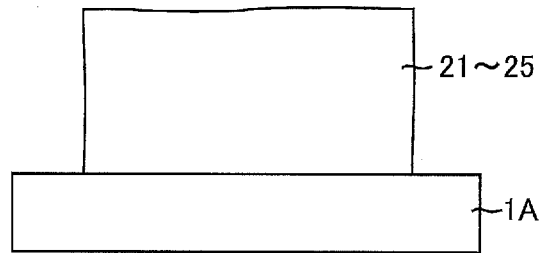
[図27]



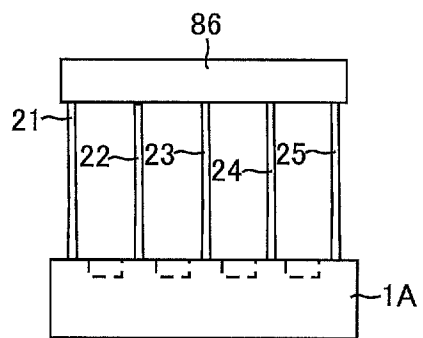
[図28]



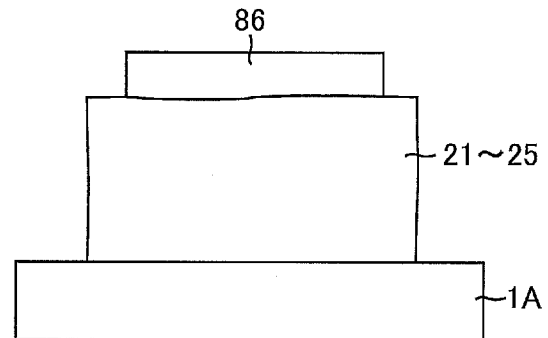
(f)



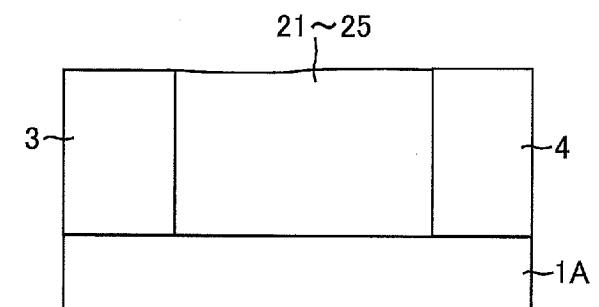
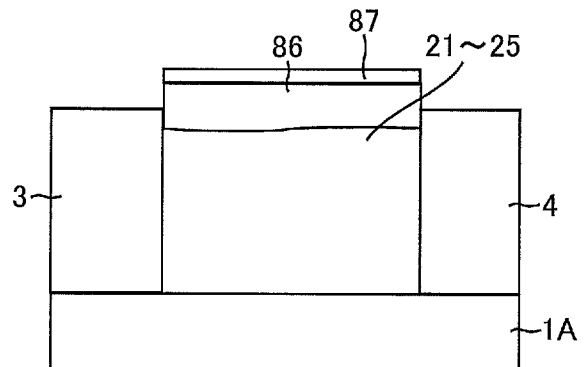
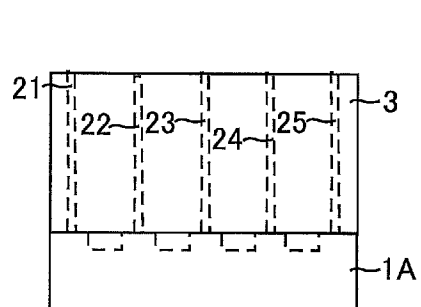
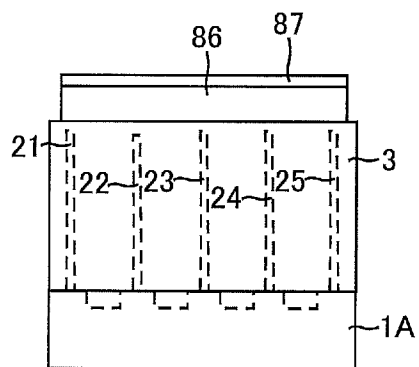
(g)



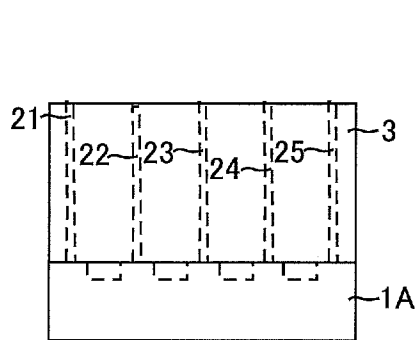
(h)



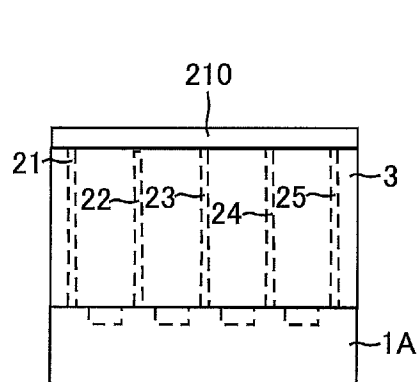
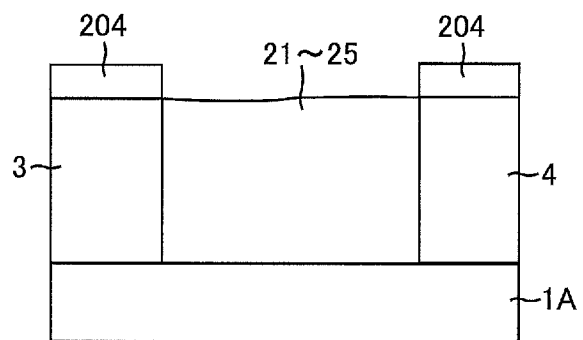
(i)



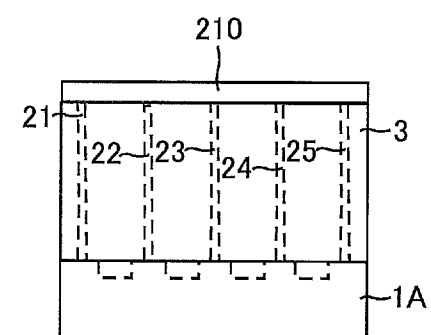
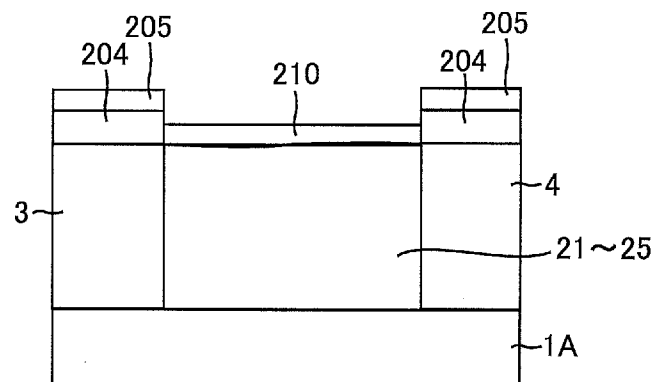
[図29]



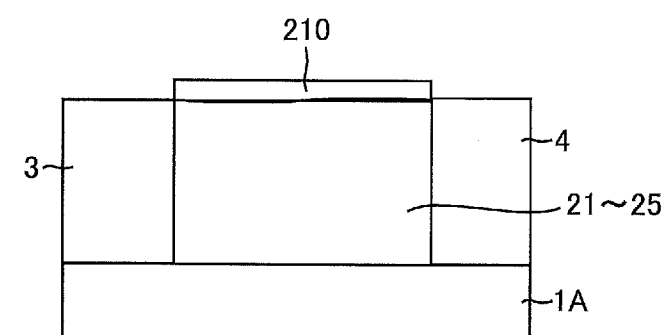
(j)



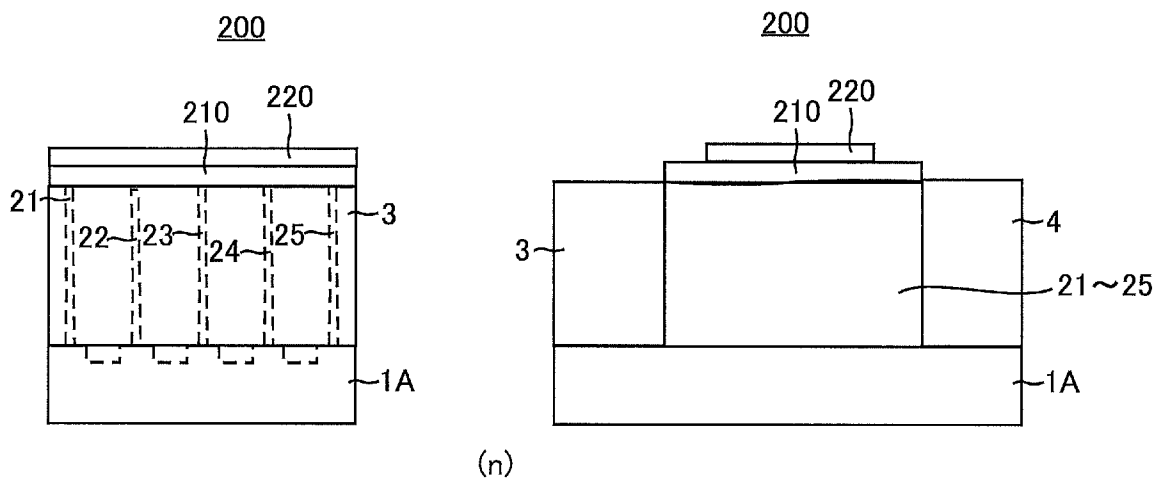
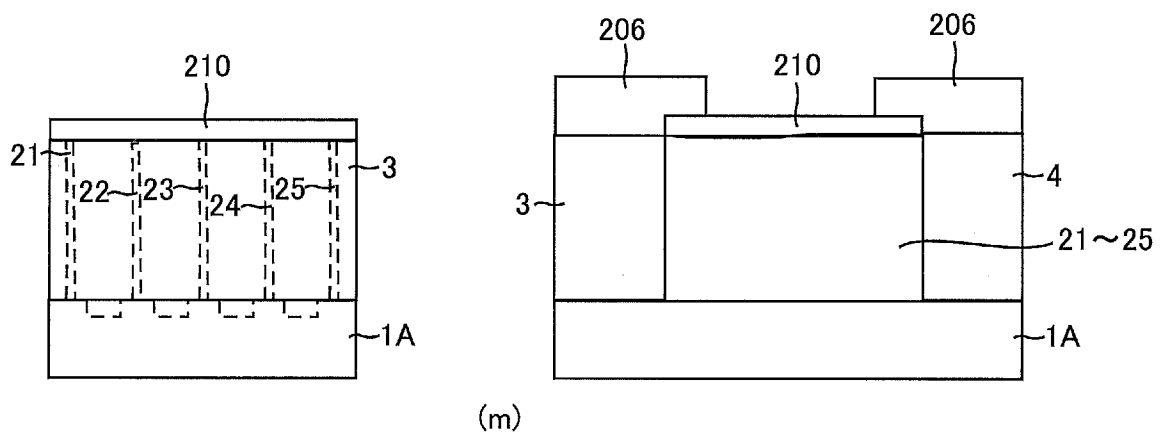
(k)



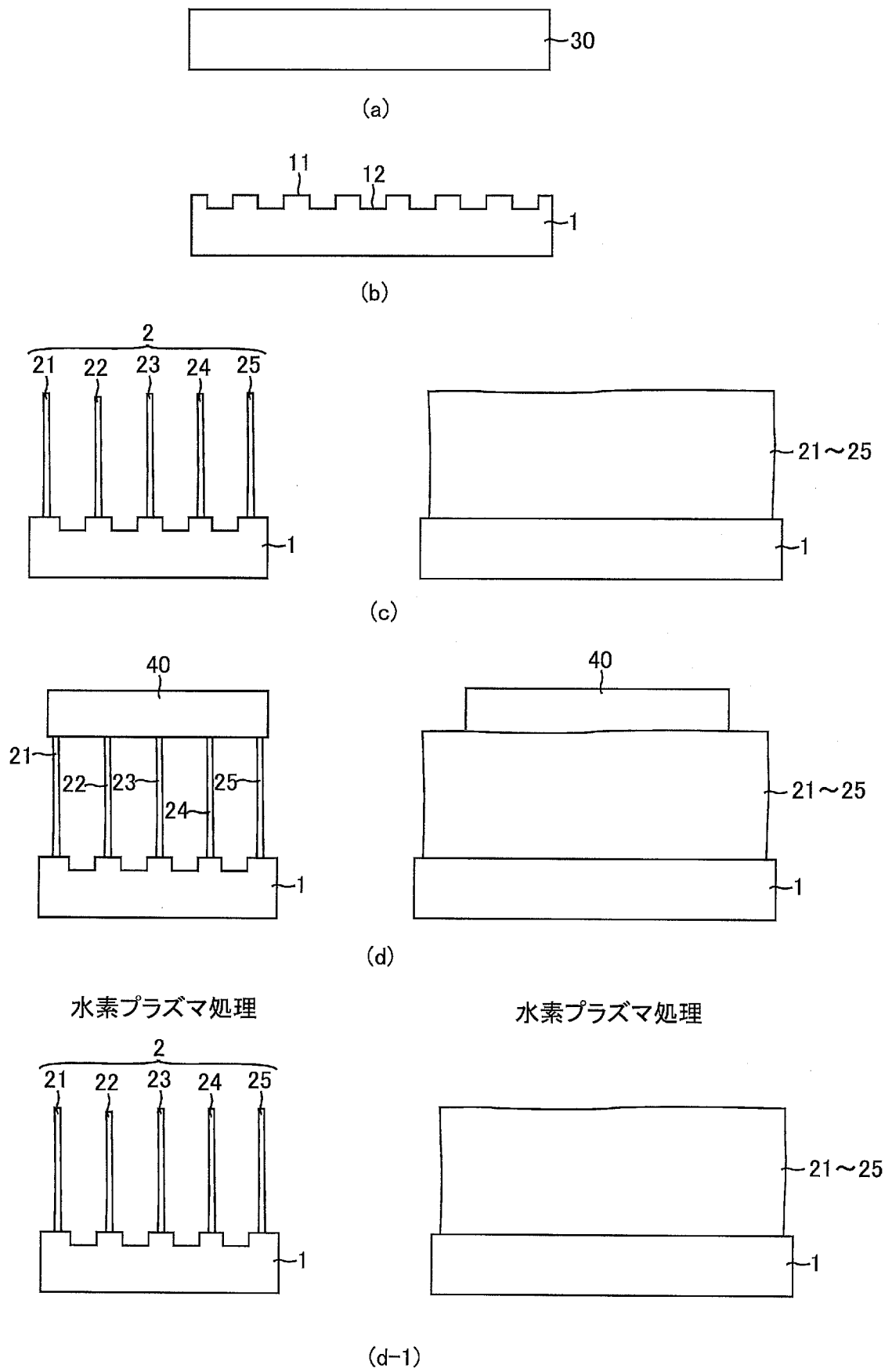
(l)



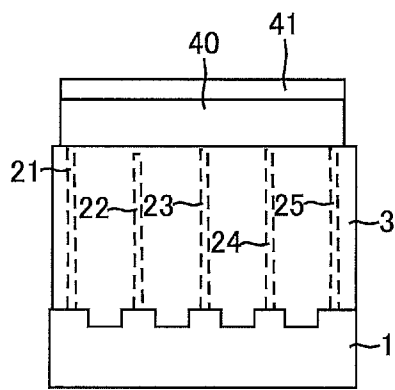
[図30]



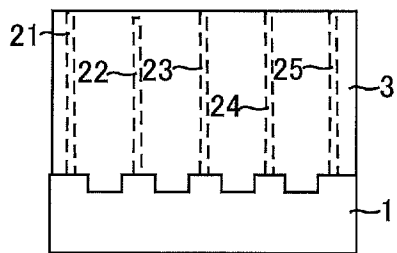
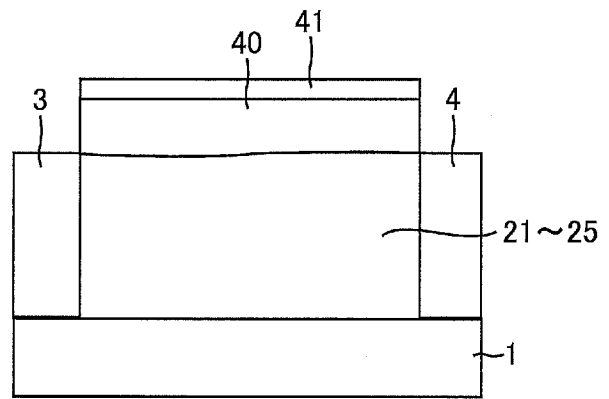
[図31]



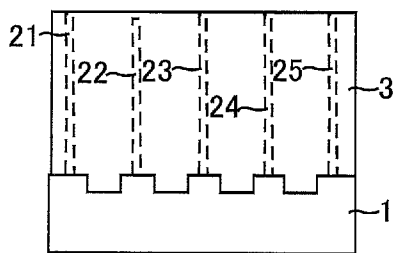
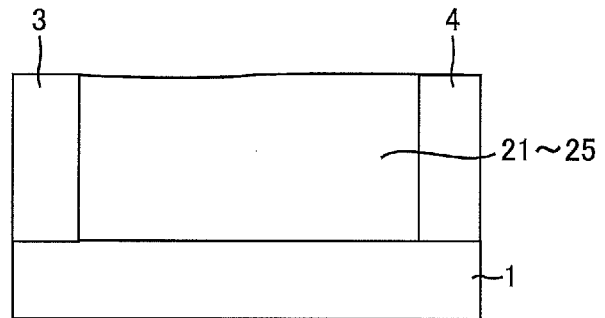
[図32]



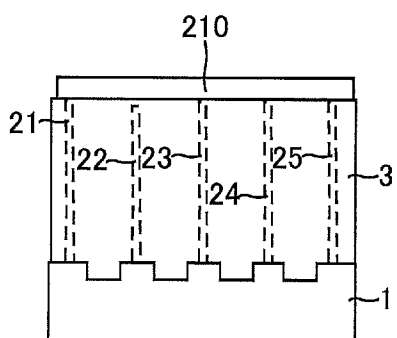
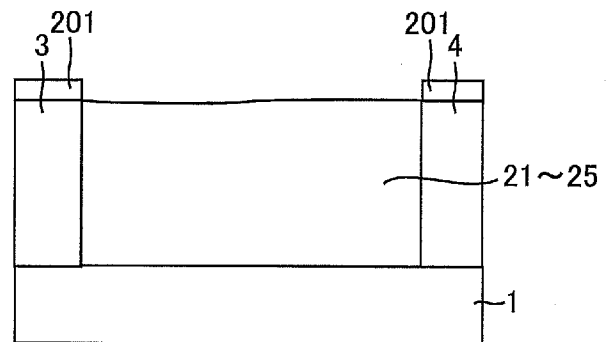
(e)



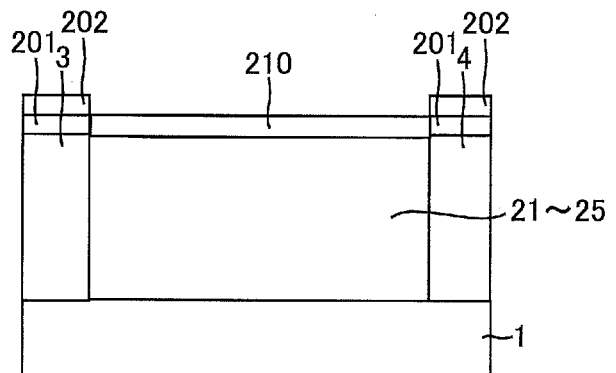
(f)



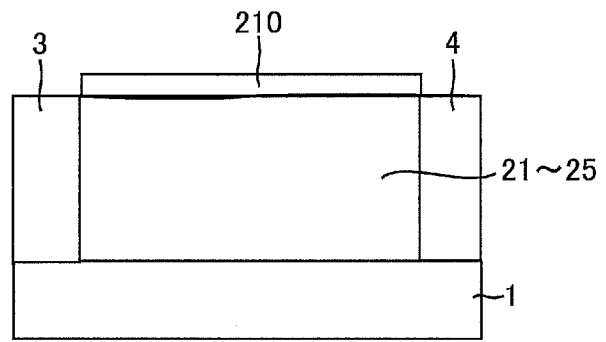
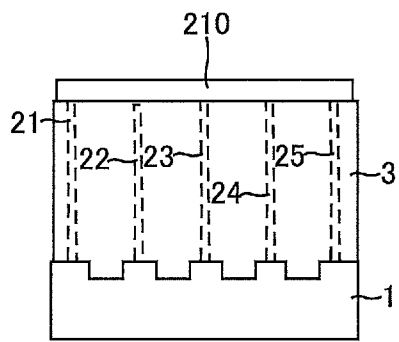
(g)



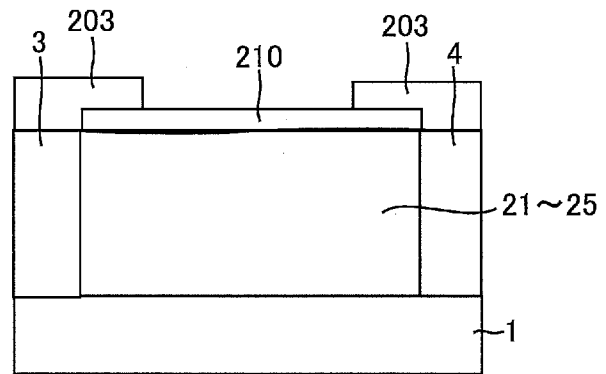
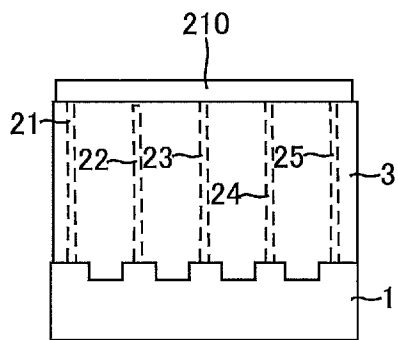
(h)



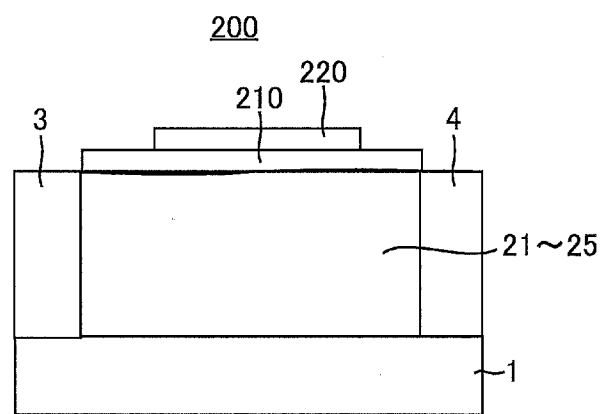
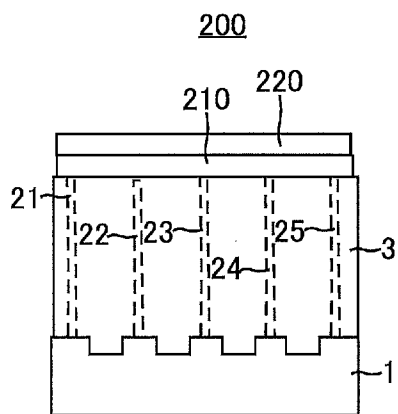
[図33]



(i)

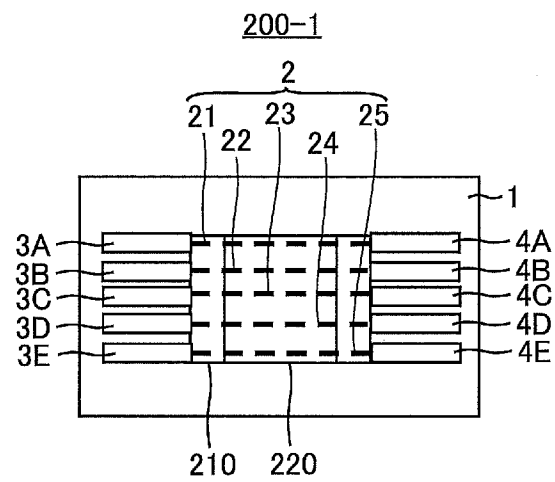


(j)

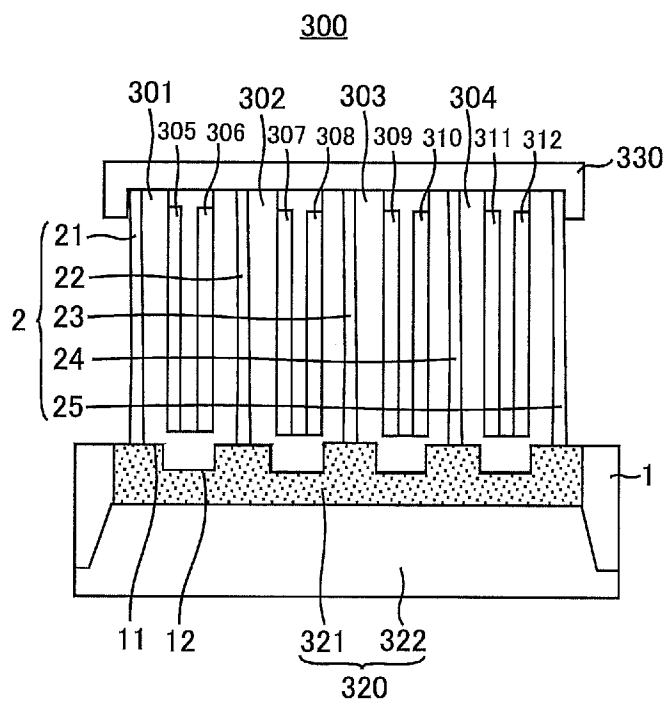


(k)

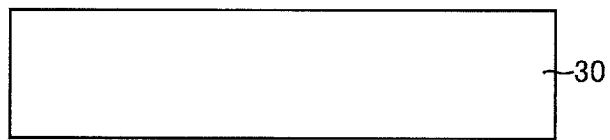
[図34]



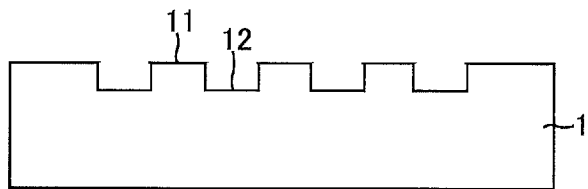
[図35]



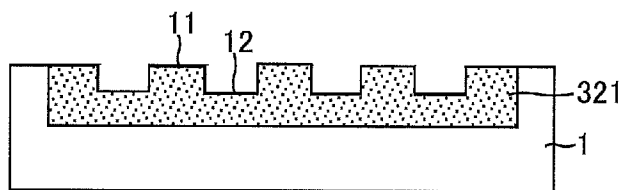
[図36]



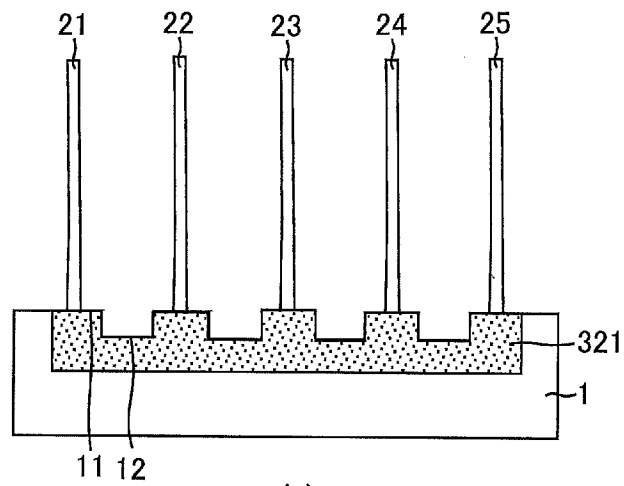
(a)



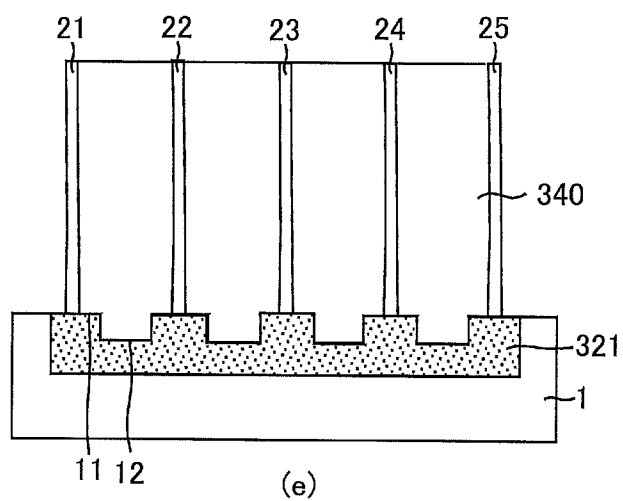
(b)



(c)

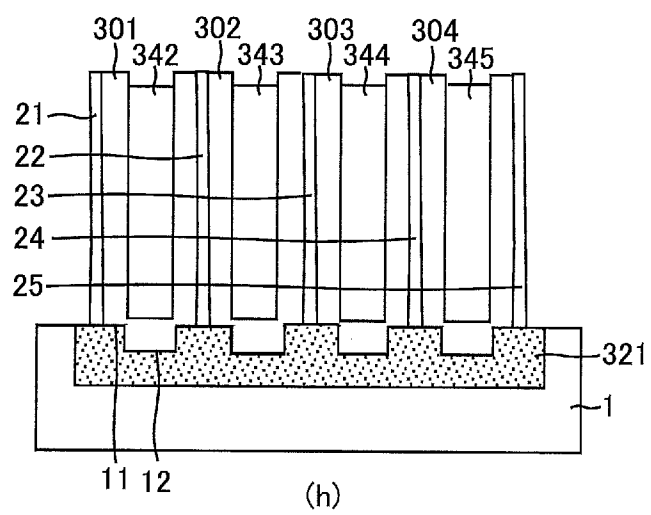
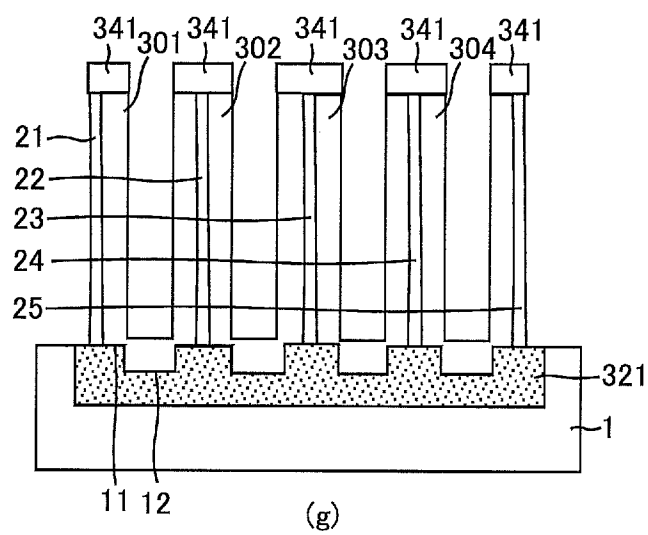
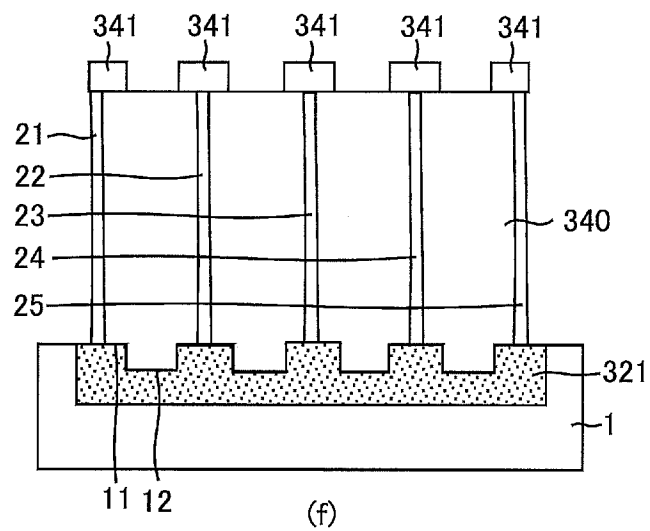


(d)

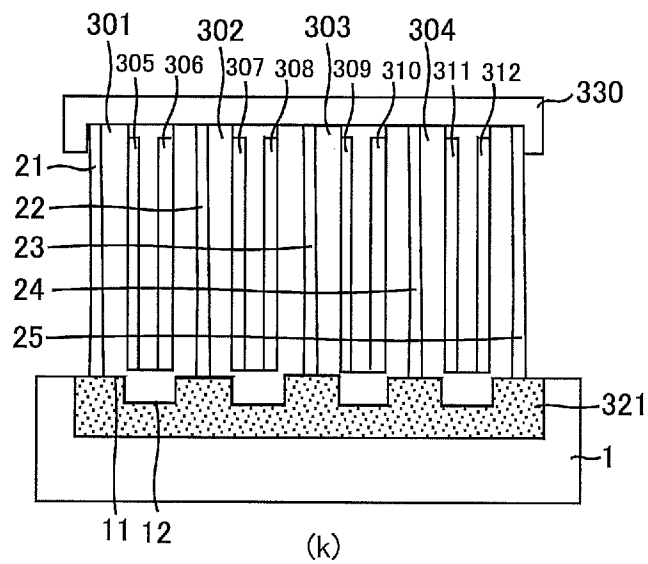
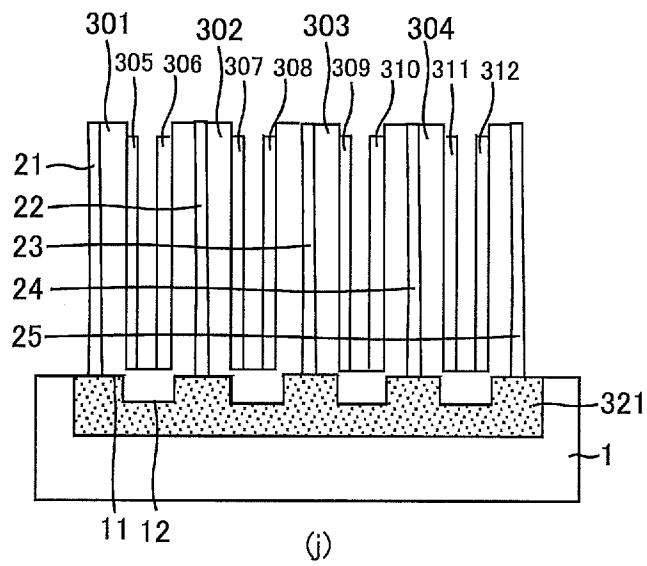
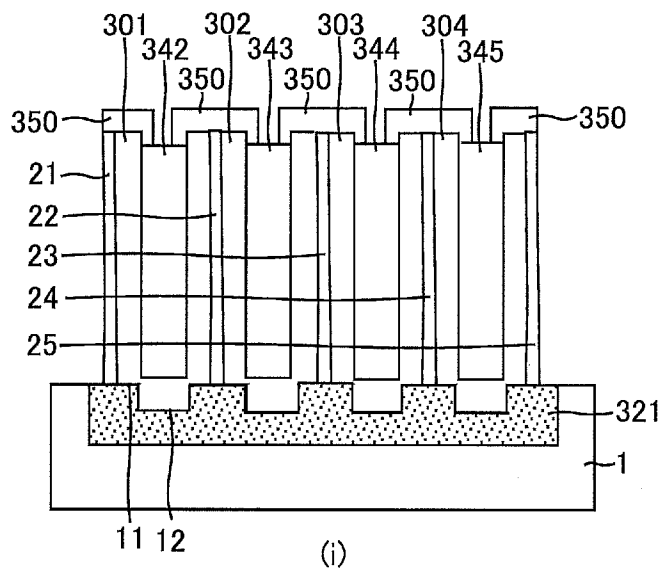


(e)

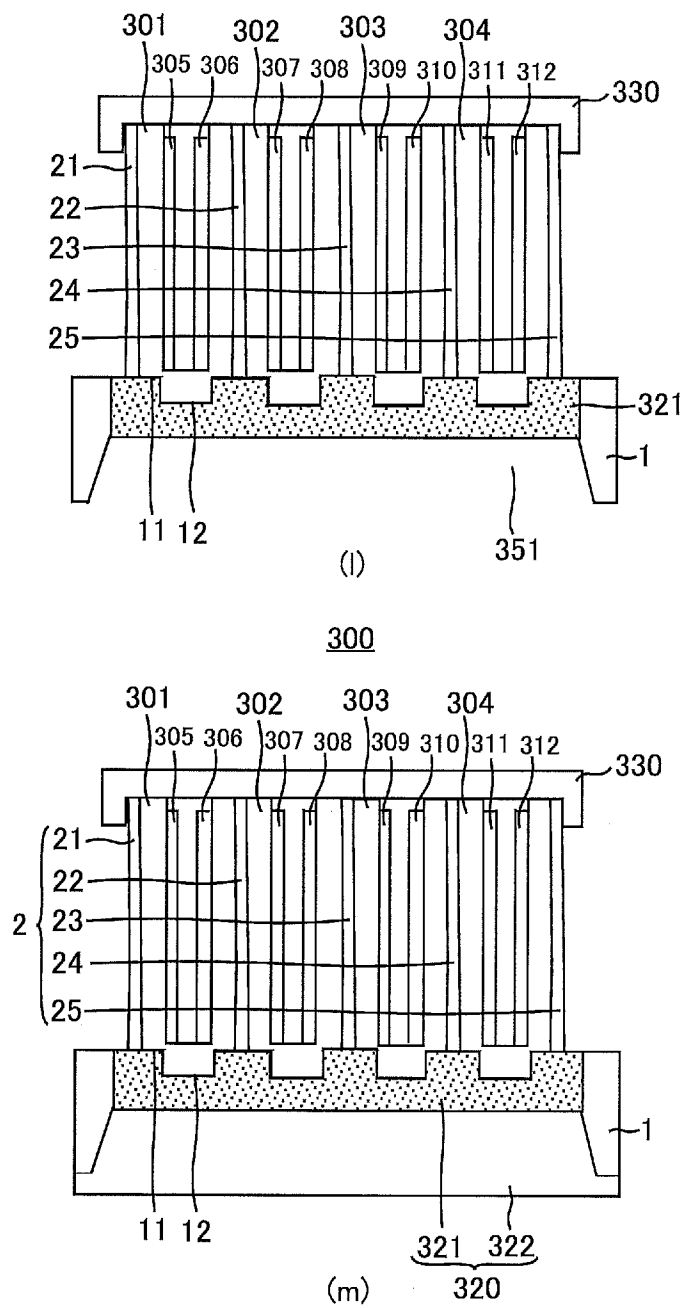
[図37]



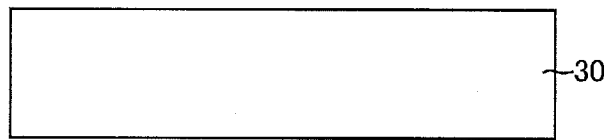
[図38]



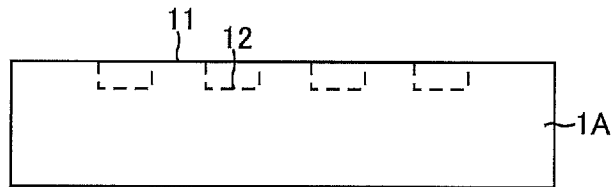
[図39]



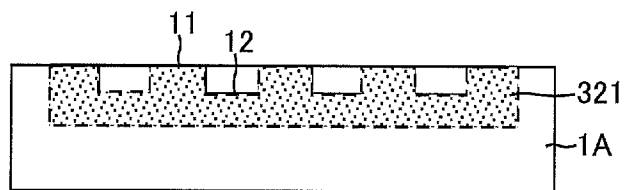
[図40]



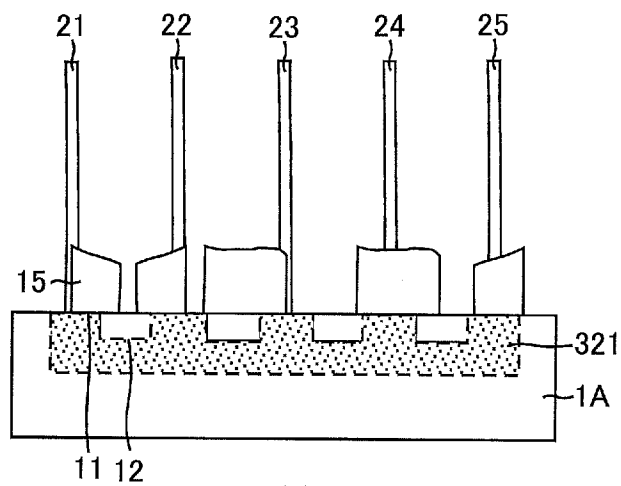
(a)



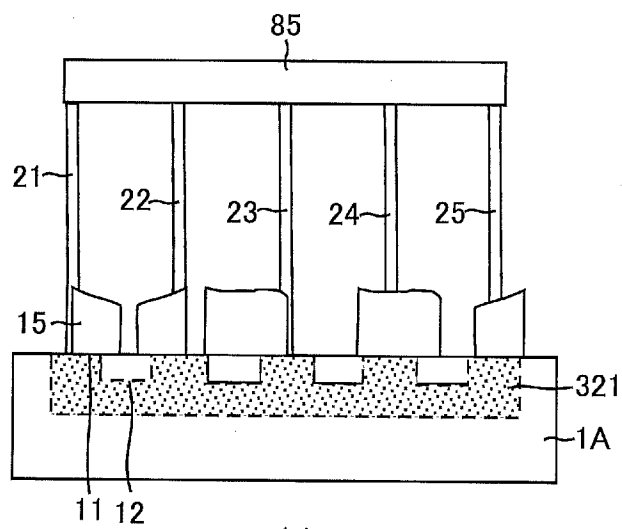
(b)



(c)

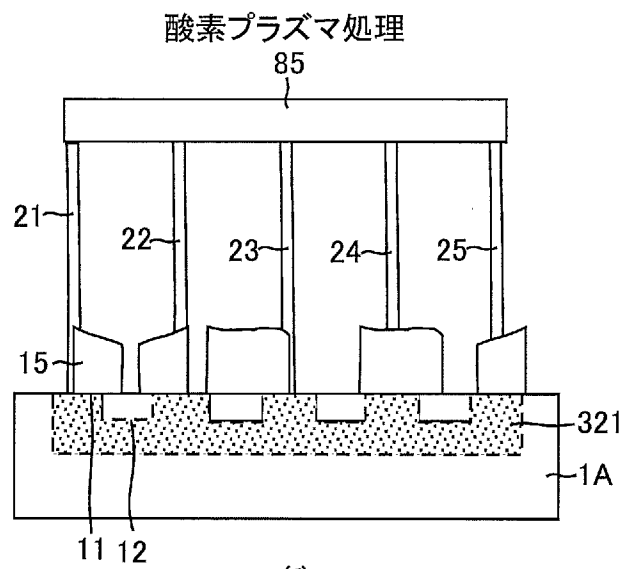


(d)

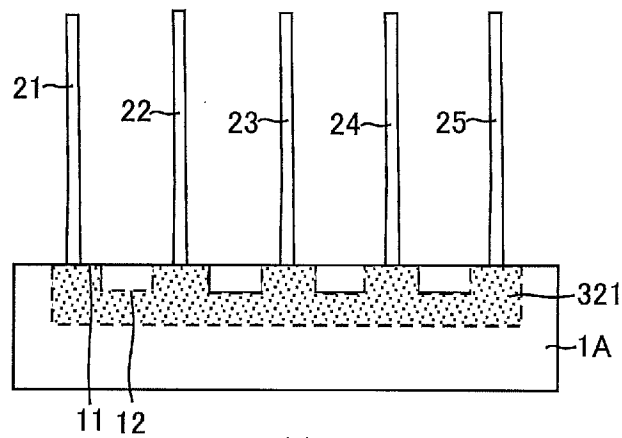


(e)

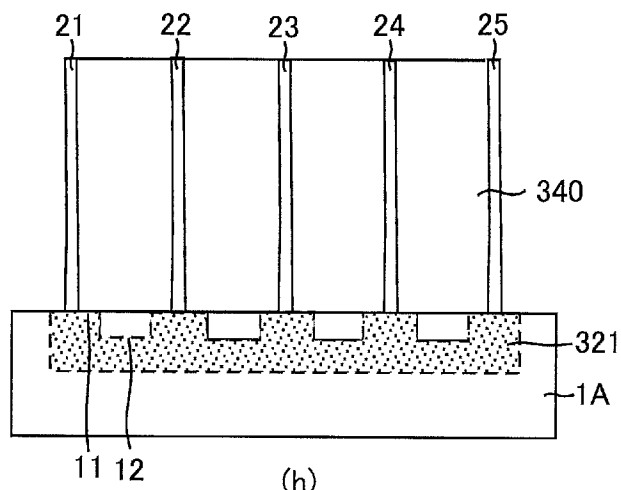
[図41]



(f)

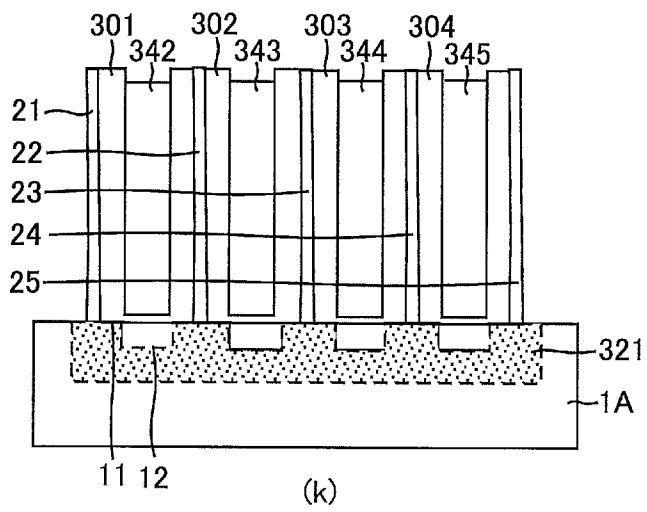
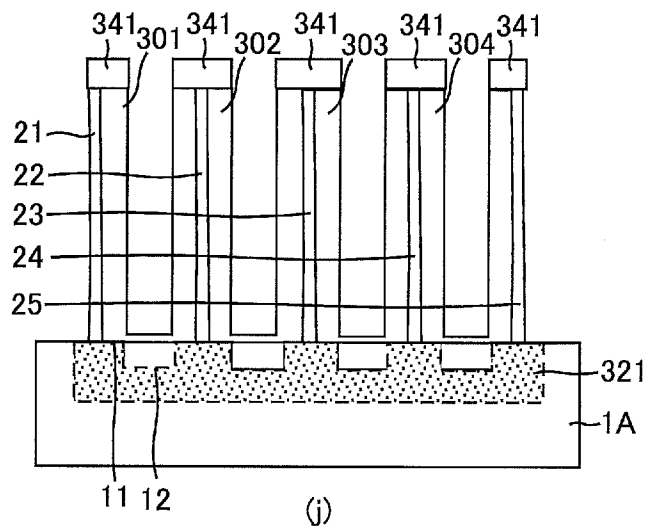
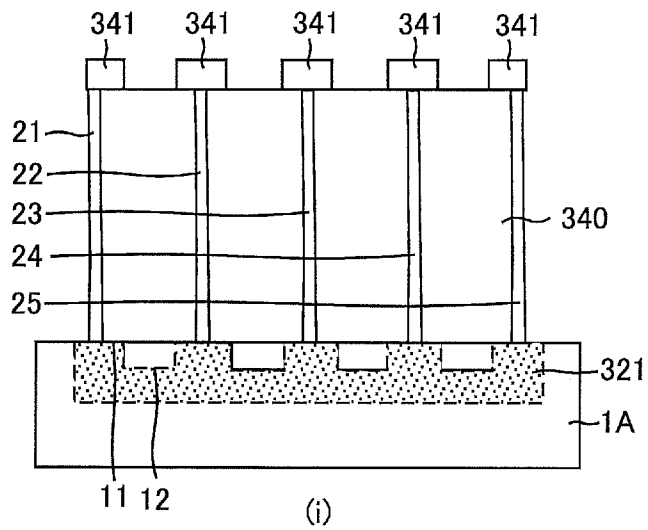


(g)

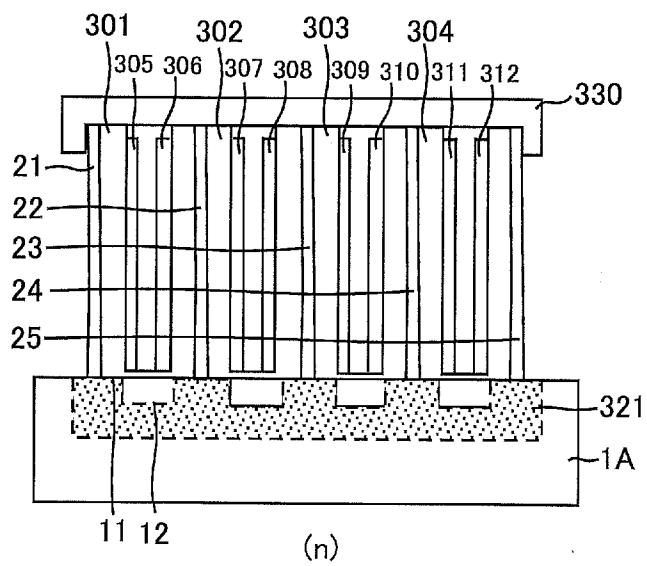
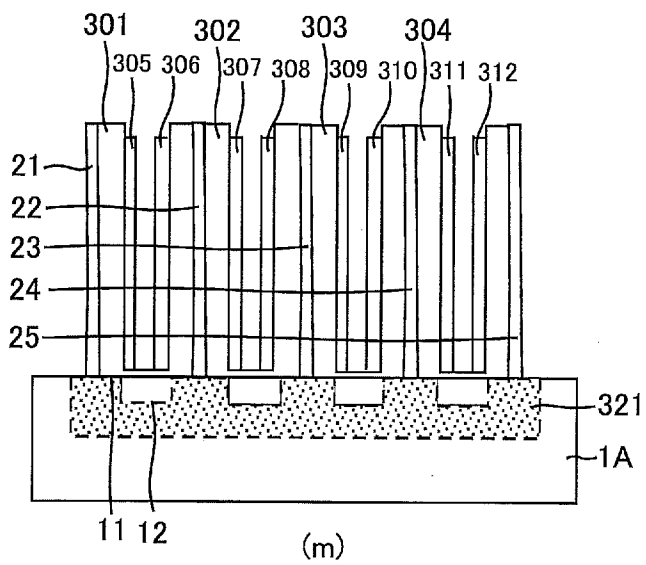
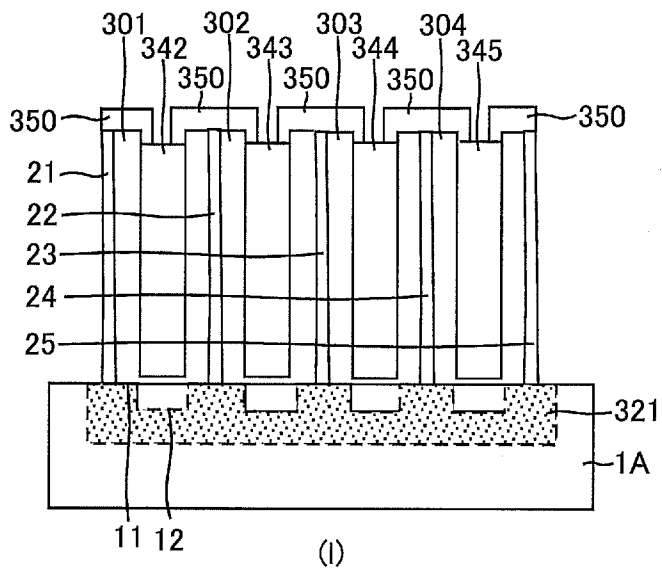


(h)

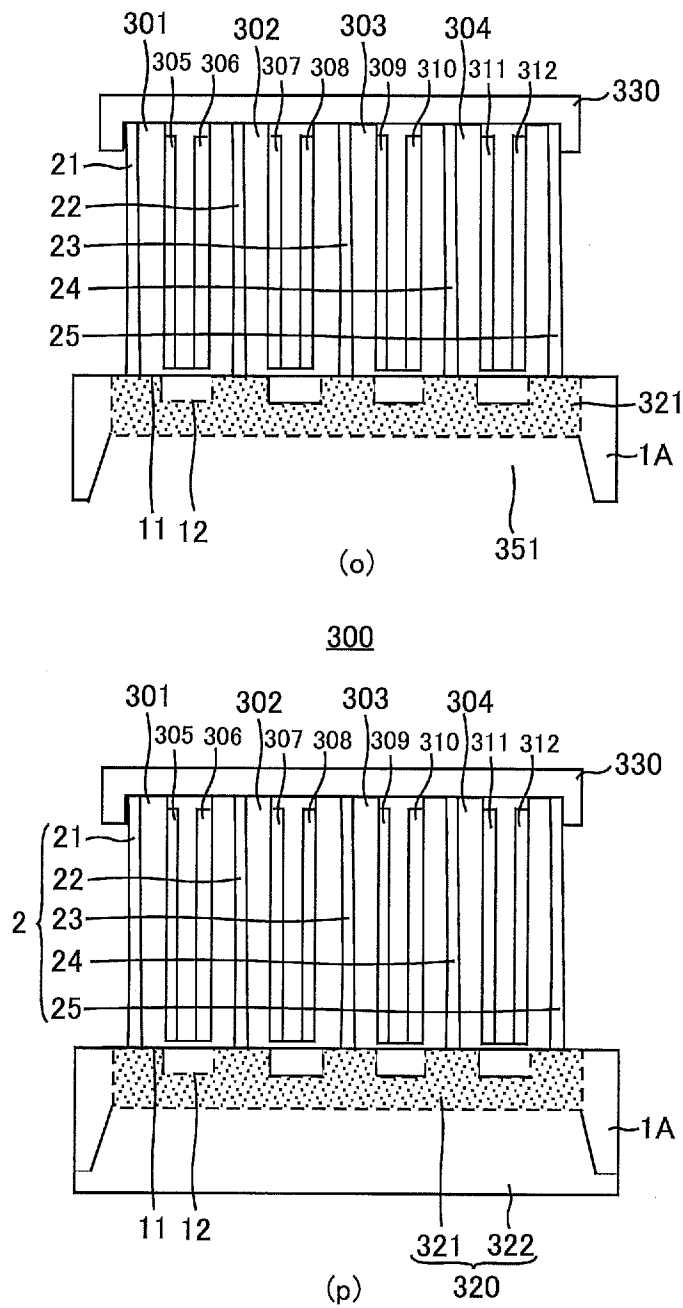
[図42]



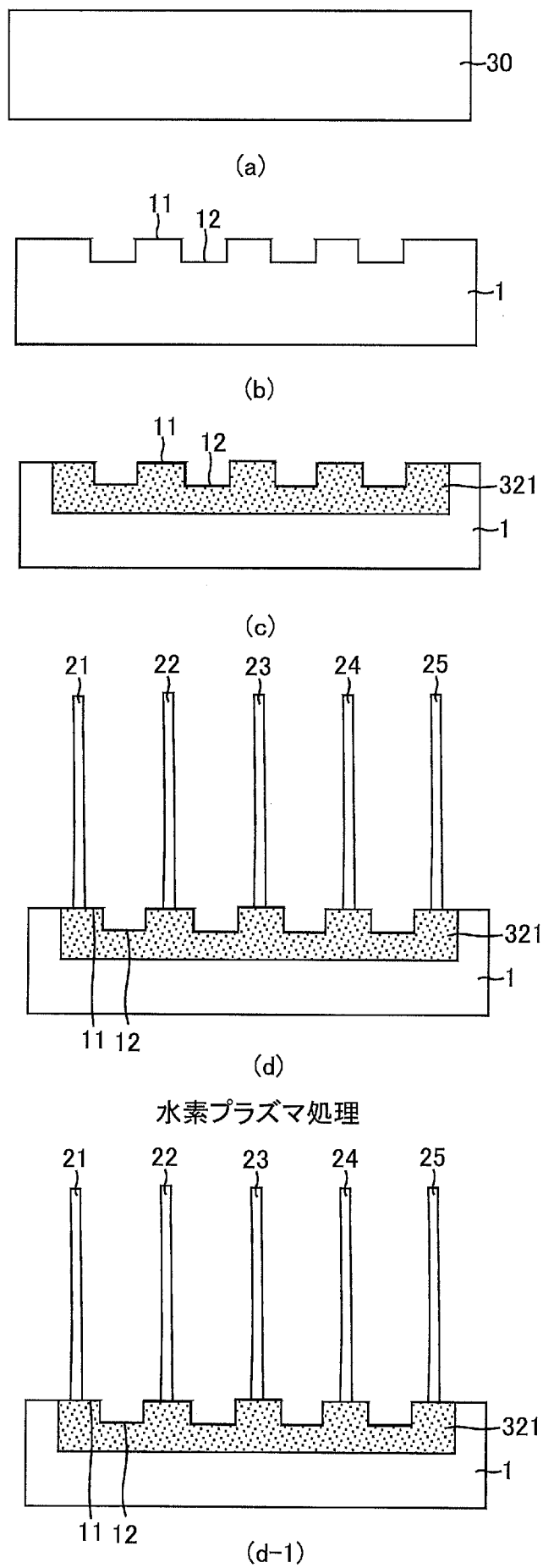
[図43]



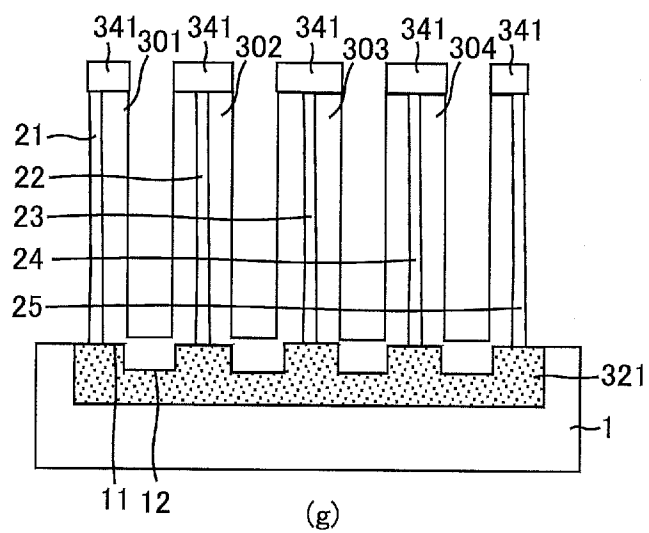
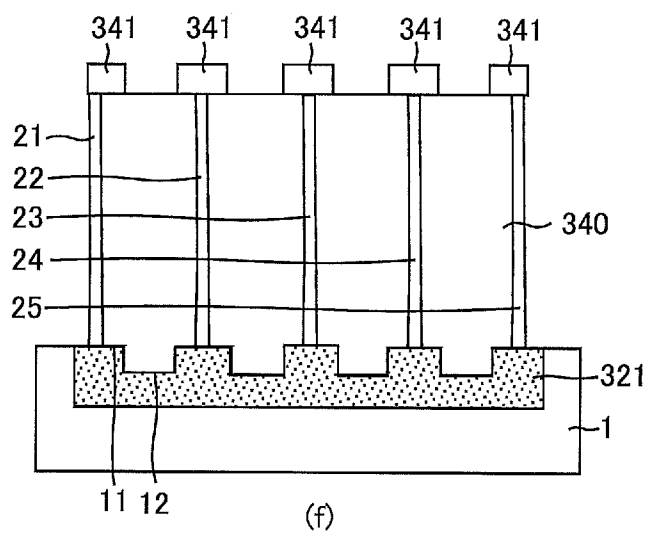
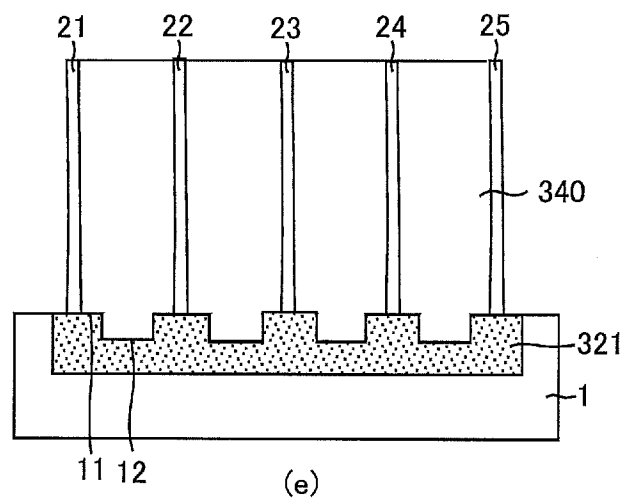
[図44]



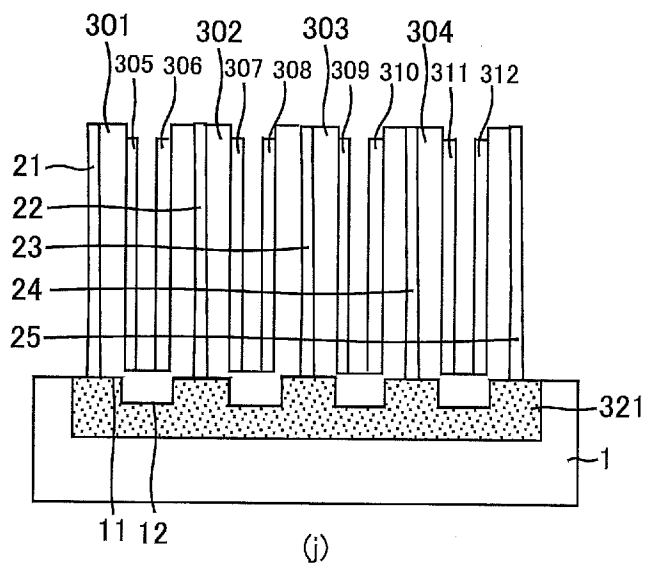
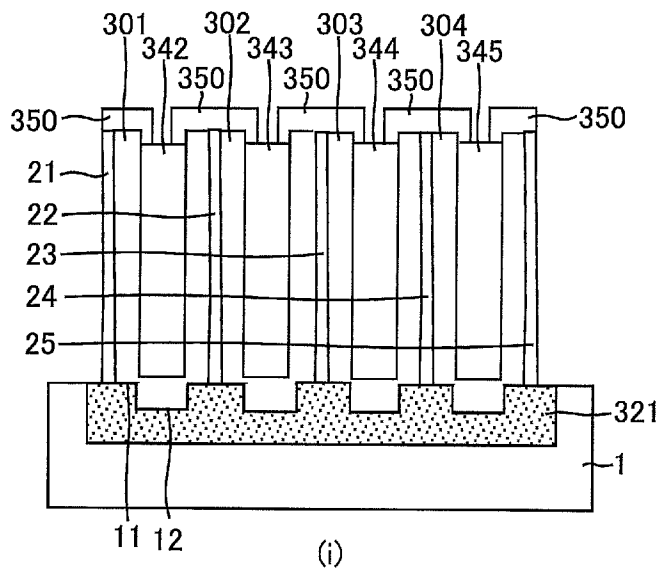
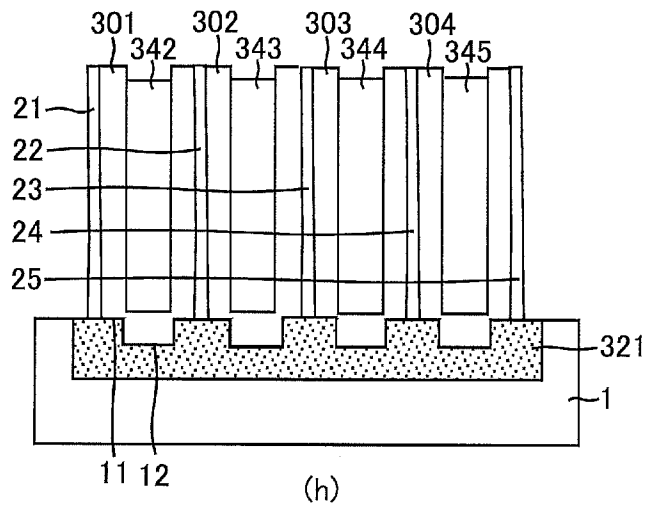
[図45]



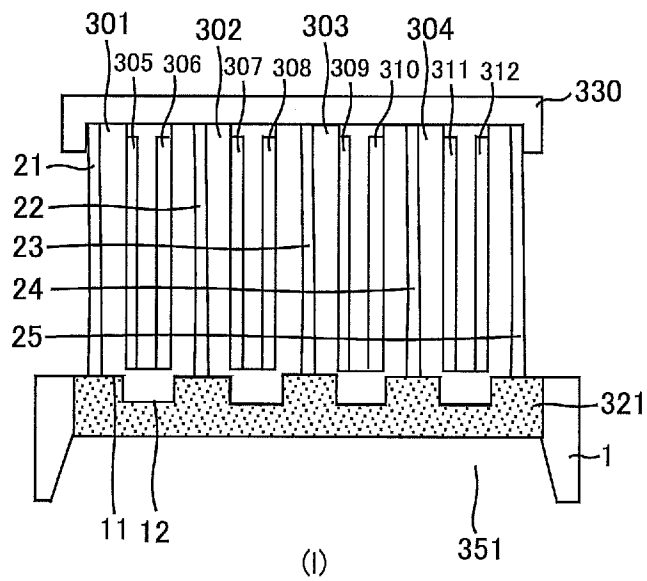
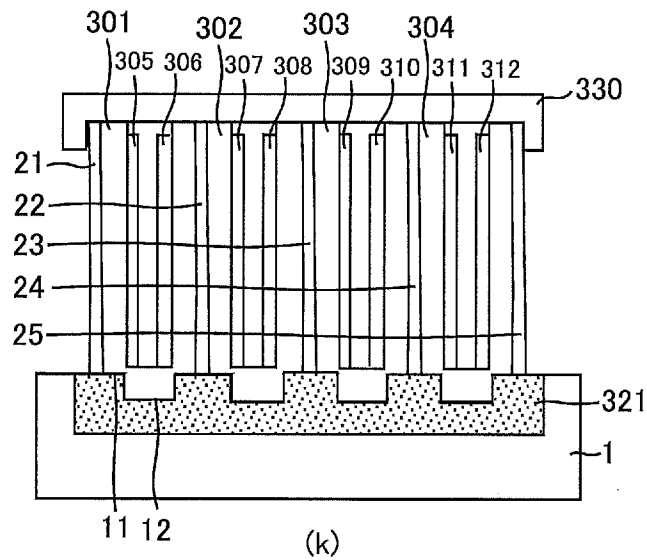
[図46]



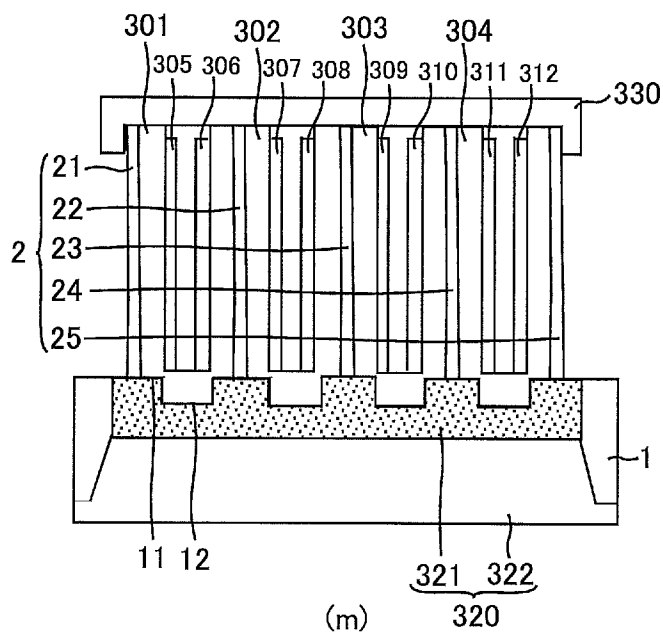
[図47]



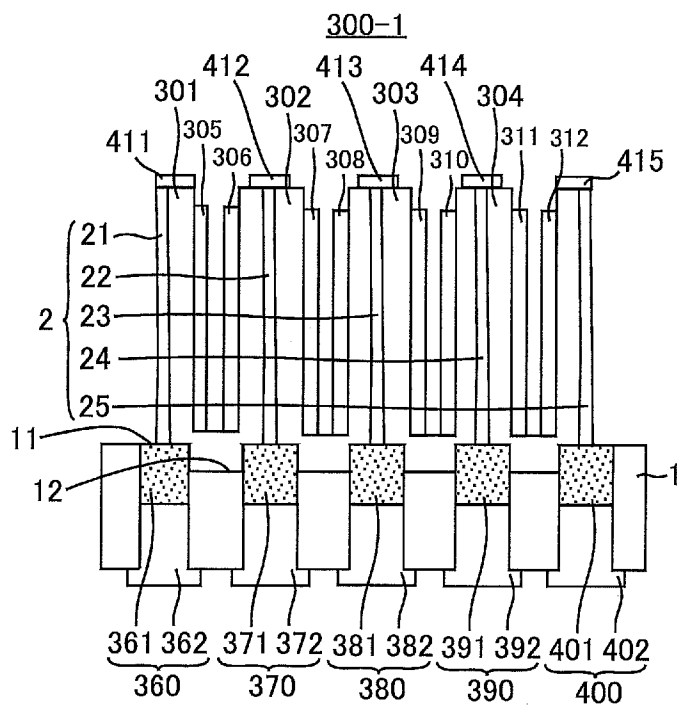
[図48]



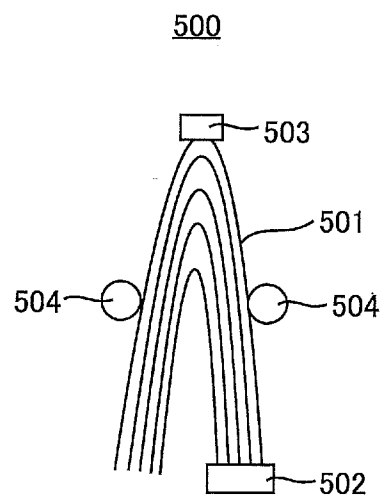
300



[図49]



[図50]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/071297

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/786(2006.01) i, H01L21/336(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786, H01L21/336

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-190156 A (Nagoya University), 29 September 2011 (29.09.2011), entire text; all drawings (Family: none)	1-9
A	WO 2010/038793 A1 (Toppan Printing Co., Ltd.), 08 April 2010 (08.04.2010), entire text; all drawings & EP 2330076 A1 & CN 102171139 A & KR 10-2011-0063501 A	1-9

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 September, 2012 (25.09.12)

Date of mailing of the international search report
02 October, 2012 (02.10.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. H01L29/786(2006.01)i, H01L21/336(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/786, H01L21/336

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-190156 A（国立大学法人名古屋大学）2011.09.29, 全文, 全図（ファミリーなし）	1-9
A	WO 2010/038793 A1（凸版印刷株式会社）2010.04.08, 全文, 全図 & EP 2330076 A1 & CN 102171139 A & KR 10-2011-0063501 A	1-9

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 9 . 2 0 1 2

国際調査報告の発送日

0 2 . 1 0 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

竹口 泰裕

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 9

5 0

4 0 5 4