

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-272015  
(P2009-272015A)

(43) 公開日 平成21年11月19日(2009.11.19)

(51) Int.Cl.	F I	テーマコード(参考)
G11C 13/00 (2006.01)	G11C 13/00 A	5F083
HO1L 27/10 (2006.01)	HO1L 27/10 451	
HO1L 27/105 (2006.01)	HO1L 27/10 448	
HO1L 45/00 (2006.01)	HO1L 45/00 A	
HO1L 49/00 (2006.01)	HO1L 45/00 Z	
審査請求 未請求 請求項の数 10 O L (全 27 頁) 最終頁に続く		

(21) 出願番号 特願2008-123560 (P2008-123560)  
(22) 出願日 平成20年5月9日(2008.5.9)

(71) 出願人 504378124  
 スパンション エルエルシー  
 アメリカ合衆国 カリフォルニア州 94  
 088-3453 サニーバイル デグウ  
 イン ドライブ 915  
 (74) 代理人 100087480  
 弁理士 片山 修平  
 (72) 発明者 篠崎 直治  
 福島県会津若松市高久工業団地2番 Sp  
 ansion Japan株式会社内  
 Fターム(参考) 5F083 FZ10 GA11 GA15 JA37 JA39  
 JA40 JA60 LA03 LA04 LA05  
 LA07 LA10 LA26

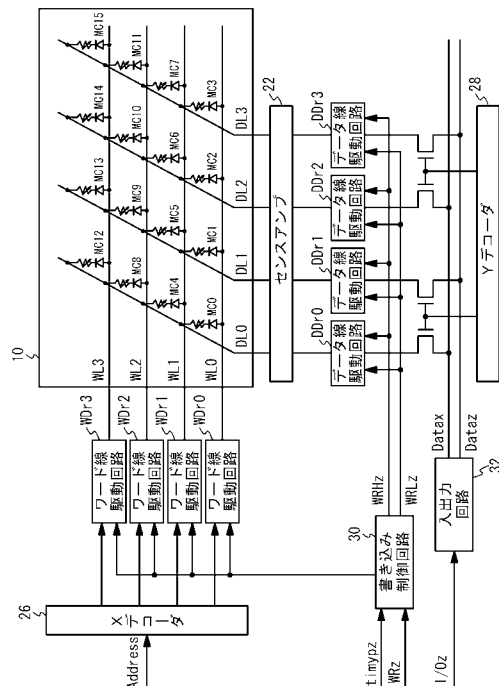
(54) 【発明の名称】 半導体装置及びその制御方法

(57) 【要約】

【課題】可変抵抗型メモリ素子を備えた半導体装置におけるデータ書き込み動作の安定性向上。

【解決手段】可変抵抗12及びダイオード14が直列に接続されてなるメモリセルMCと、メモリセルMCのアノード側に接続されたワード線WLと、メモリセルMCのカソード側に接続されたデータ線DLと、ワード線WL及びデータ線DLの一方に接続され、メモリセルMCを選択する選択信号をメモリセルに対して印加する選択回路WDrと、ワード線WL及びデータ線DLの他方に接続され、選択信号がメモリセルに対し印加されている間に、可変抵抗12を高抵抗状態に変化させる第1パルス及び可変抵抗12を低抵抗状態に変化させる第2パルスのいずれかである書き込みパルスをメモリセルMCに対して印加する書き込み回路DDrと、を具備することを特徴とする半導体装置

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

可変抵抗及びダイオードが直列に接続されてなるメモリセルと、  
前記メモリセルのアノード側に接続されたワード線と、  
前記メモリセルのカソード側に接続されたデータ線と、  
前記ワード線及び前記データ線の一方に接続され、前記メモリセルを選択する選択信号を前記メモリセルに対して印加する選択回路と、  
前記ワード線及び前記データ線の他方に接続され、前記選択信号が前記メモリセルに対し印加されている間に、前記可変抵抗を高抵抗状態に変化させる第 1 パルス及び前記可変抵抗を低抵抗状態に変化させる第 2 パルスのいずれかである書き込みパルスを前記メモリセルに対して印加する書き込み回路と、  
を具備することを特徴とする半導体装置。

10

**【請求項 2】**

前記選択回路及び前記書き込み回路は、前記メモリセルに対し前記選択信号が印加されていない非選択時においては、前記ワード線の電位を前記データ線の電位以下に維持し、  
前記選択回路は、前記選択信号により、前記ワード線の電位を前記データ線の電位以下に維持しつつ、前記ワード線及び前記データ線の電位差を前記非選択時より小さくし、  
前記書き込み回路は、前記書き込みパルスにより、前記ワード線の電位を前記データ線の電位以上にすることを特徴とする請求項 1 に記載の半導体装置。

20

**【請求項 3】**

前記選択回路は前記ワード線に接続され、前記書き込み回路は前記データ線に接続されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

**【請求項 4】**

前記選択回路は前記データ線に接続され、前記書き込み回路は前記ワード線に接続されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

**【請求項 5】**

前記メモリセルと同じ構成の複数の第 1 メモリセルが平面状に配列して構成された第 1 メモリ層と、  
前記メモリセルと同じ構成の複数の第 2 メモリセルが平面状に配列して構成された第 2 メモリ層と、  
を具備し、  
前記第 2 メモリ層は前記第 1 メモリ層の上方に積層して形成され、  
前記複数の第 1 メモリセル及び前記複数の第 2 メモリセルは、前記データ線及び前記ワード線の一方を共通線として共有していることを特徴とする請求項 1 から 4 のうちいずれか一方に記載の半導体装置。

30

**【請求項 6】**

前記選択回路は前記共通線に接続され、前記書き込み回路は前記データ線及び前記ワード線のうち前記共通線でない方の線に接続されていることを特徴とする請求項 5 に記載の半導体装置。

**【請求項 7】**

前記書き込み回路は前記共通線に接続され、前記選択回路は前記データ線及び前記ワード線のうち前記共通線でない方の線に接続されていることを特徴とする請求項 5 に記載の半導体装置。

40

**【請求項 8】**

前記共通線は、前記ワード線であることを特徴とする請求項 5 から 7 のうちいずれか 1 項に記載の半導体装置。

**【請求項 9】**

前記共通線は、前記データ線であることを特徴とする請求項 5 から 7 のうちいずれか 1 項に記載の半導体装置。

**【請求項 10】**

50

可変抵抗及びダイオードが直列に接続されてなるメモリセルと、前記メモリセルのアノード側に接続されたワード線と、前記メモリセルのカソード側に接続されたデータ線と、を具備する半導体装置の制御方法であって、

前記メモリセルに対し、前記メモリセルを選択する選択信号を、前記ワード線及び前記データ線の一方から印加するステップと、

前記選択信号が印加されている間に、前記メモリセルに対し、前記可変抵抗を高抵抗状態に変化させる第1パルス及び前記可変抵抗を低抵抗状態に変化させる第2パルスのいずれかを、前記ワード線及び前記データ線の他方から印加するステップと、

を有することを特徴とする半導体装置の制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及びその制御方法に関し、特に可変抵抗の抵抗値によりデータを記憶するメモリ素子を備えた半導体装置及びその制御方法に関する。

【背景技術】

【0002】

近年、可変抵抗に所定の電圧パルスを印加し、抵抗値を変化させることによりデータを記憶するメモリ素子が開発されている。このようなメモリ素子を用いたメモリとしては、例えばPCRAM(Phase Change Random Access Memory)や、ReRAM(Resistive Random Access Memory)がある。

【0003】

特許文献1及び特許文献2には、メモリ素子に可変抵抗を用い、クロスポイント型に構成されたメモリセルを備える不揮発性の半導体メモリが開示されている。これらのメモリセルは共に可変抵抗のみから構成され、メモリセルに接続されたワード線及びビット線の電圧を所定値に制御することによりデータの書き込みを行う。

【特許文献1】特開2005-32401号公報

【特許文献2】特開2006-344349号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

特許文献1及び特許文献2に記載の半導体メモリは、メモリセルを選択する選択素子を備えていない。このため、データの書き込み時に周囲のメモリセルにも電流が流れ、抵抗値が変化する等の影響が出るおそれがあった。特に、データ書き込みの対象となるメモリセルと同一のワード線または同一のビット線に接続された他のメモリセルは、データ書き込みの際に特に影響を受けやすい。このように、従来の半導体メモリにおいては、データの書き込みを安定して行うことが難しかった。

【0005】

本発明は上記課題に鑑みなされたものであり、可変抵抗の抵抗値の変化によりデータを記憶するメモリ素子を備えた半導体装置において、データの書き込みを安定して行うことのできる半導体装置及びその制御方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明は、可変抵抗及びダイオードが直列に接続されてなるメモリセルと、前記メモリセルのアノード側に接続されたワード線と、前記メモリセルのカソード側に接続されたデータ線と、前記ワード線及び前記データ線の一方に接続され、前記メモリセルを選択する選択信号を前記メモリセルに対して印加する選択回路と、前記ワード線及び前記データ線の他方に接続され、前記選択信号が前記メモリセルに対し印加されている間に、前記可変抵抗を高抵抗状態に変化させる第1パルス及び前記可変抵抗を低抵抗状態に変化させる第2パルスのいずれかである書き込みパルスを前記メモリセルに対して印加する書き込み回路と、を具備することを特徴とする半導体装置である。上記の半導体装置によれば、選択

10

20

30

40

50

信号と書き込みパルスの両方が印加されたメモリセルにのみ電流が流れ、他のメモリセルには電流が流れないため、データの書き込みを安定して行うことができる。

【0007】

上記構成において、前記選択回路及び前記書き込み回路は、前記メモリセルに対し前記選択信号が印加されていない非選択時においては、前記ワード線の電位を前記データ線の電位以下に維持し、前記選択回路は、前記選択信号により、前記ワード線の電位を前記データ線の電位以下に維持しつつ、前記ワード線及び前記データ線の電位差を前記非選択時より小さくし、前記書き込み回路は、前記書き込みパルスにより、前記ワード線の電位を前記データ線の電位以上にする構成とすることができる。この構成によれば、非選択時においてはメモリセルが逆バイアスとなるため電流が流れず、データ書き込み時においては書き込み対象となるメモリセルのみが順バイアスとなり電流が流れる。これにより、データの書き込みを安定して行うことができる。

10

【0008】

上記構成において、前記選択回路は前記ワード線に接続され、前記書き込み回路は前記データ線に接続されている構成とすることができる。この構成によれば、データ線からデータパターンを送る構成とすることができる。

【0009】

上記構成において、前記選択回路は前記データ線に接続され、前記書き込み回路は前記ワード線に接続されている構成とすることができる。この構成によれば、ワード線からデータパターンを送る構成とすることができる。

20

【0010】

上記構成において、前記メモリセルと同じ構成の複数の第1メモリセルが平面状に配列して構成された第1メモリ層と、前記メモリセルと同じ構成の複数の第2メモリセルが平面状に配列して構成された第2メモリ層と、を具備し、前記第2メモリ層は前記第1メモリ層の上方に積層して形成され、前記複数の第1メモリセル及び前記複数の第2メモリセルは、前記データ線及び前記ワード線の一方を共通線として共有している構成とすることができる。この構成によれば、メモリセルを上下方向に積層することにより集積度を高めたメモリにおいて、データの書き込みを安定して行うことができる。

【0011】

上記構成において、前記選択回路は前記共通線に接続され、前記書き込み回路は前記データ線及び前記ワード線のうち前記共通線でない方の線に接続されている構成とすることができる。

30

【0012】

上記構成において、前記書き込み回路は前記共通線に接続され、前記選択回路は前記データ線及び前記ワード線のうち前記共通線でない方の線に接続されている構成とすることができる。

【0013】

上記構成において、前記共通線は、前記ワード線である構成とすることができる。

【0014】

上記構成において、前記共通線は、前記データ線である構成とすることができる。

40

【0015】

本発明は、可変抵抗及びダイオードが直列に接続されてなるメモリセルと、前記メモリセルのアノード側に接続されたワード線と、前記メモリセルのカソード側に接続されたデータ線と、を具備する半導体装置の制御方法であって、前記メモリセルに対し、前記メモリセルを選択する選択信号を、前記ワード線及び前記データ線の一方から印加するステップと、前記選択信号が印加されている間に、前記メモリセルに対し、前記可変抵抗を高抵抗状態に変化させる第1パルス及び前記可変抵抗を低抵抗状態に変化させる第2パルスのいずれかを、前記ワード線及び前記データ線の他方から印加するステップと、を有することを特徴とする半導体装置の制御方法である。上記の制御方法によれば、選択信号と書き込みパルスの両方が印加されたメモリセルにのみ電流が流れ、他のメモリセルには電流が

50

流れないため、データの書き込みを安定して行うことができる。

【発明の効果】

【0016】

本発明によれば、可変抵抗の抵抗値の変化によりデータを記憶するメモリ素子を備えた半導体装置において、データの書き込みを安定して行うことができる。

【発明を実施するための最良の形態】

【0017】

以下、図面を用い本発明に係る実施例について説明する。

【実施例1】

【0018】

図1は、実施例1に係る半導体装置の構成を示したブロック図である。メモリセルアレイ10は、横方向に設けられた複数のワード線 $W L 0 \sim W L 3$ と、縦方向に設けられた複数のデータ線 $D L 0 \sim D L 3$ とのそれぞれの交点に、メモリセル $M C 0 \sim M C 15$ が平面状に配列して設けられたクロスポイント型のメモリセルアレイである。なお、ここではデータ線 $D L$ 及びワード線 $W L$ の本数をそれぞれ4本ずつとして説明を行うが、データ線 $D L$ 、ワード線 $W L$ 、及びメモリセル $M C$ の数はこれに限定されるものではない。

【0019】

図2(a)及び(b)は、メモリセル $M C$ の詳細な構成を示した図である。図2(a)を参照に、メモリセル $M C$ はデータ記憶素子である可変抵抗12と、選択素子であるダイオード14とが直列に接続されてなる。メモリセル $M C$ のアノード側はワード線 $W L$ に接続され、カソード側はデータ線 $D L$ に接続されている。メモリセル $M C$ の非選択時には、データ線 $D L$ の電位をワード線 $W L$ の電位より高く維持することで、ダイオード14の働きによりメモリセル $M C$ に電流が流れるのを防ぐことができる。逆に、データの書き込み時または読み出し時には、データ線 $D L$ の電位をワード線 $W L$ の電位より低くすることで、メモリセル $M C$ に電流を流してデータの書き込みまたは読み出しを行うことができる。

【0020】

図2(b)を参照に、実際のメモリセル $M C$ は抵抗素子16が電極18に挟まれて構成されるMIM(Metal-Insulator-Metal)型のメモリセルである。抵抗素子16としては、例えば $C u_2 O$ からなる金属膜を用いることができる。また、電極18には例えば $C u$ や $T i / T i N$ を用いることができる。これらの金属材料と $C u_2 O$ との境界に形成されたショットキー接合により、図2(a)のダイオード14が構成される。

【0021】

$C u_2 O$ は、トラップ準位に電荷が蓄えられた状態と電荷が蓄えられていない状態とで、電気伝導性が大きく変化する性質をもつ。従って、抵抗素子16に所定条件の電圧パルスを加えることで抵抗値を大きく変化させ、その抵抗値の変化によりデータを記憶することができる。具体的に、抵抗素子16を高抵抗状態にするためには、振幅の小さいパルスを長時間印加する(これを第1パルスとし、抵抗素子16を高抵抗状態にするために必要な電位差を $V d d 0$ 、パルス幅を $t 0$ とする)。抵抗素子16を低抵抗状態にするためには、第1パルスより振幅の大きいパルスを短時間印加する(これを第2パルスとし、抵抗素子16を低抵抗状態にするために必要な電位差を $V d d 1$ 、パルス幅を $t 1$ とする)。

【0022】

表1は、 $C u_2 O$ を用いたMIM型のメモリセルに印加する電圧条件と、抵抗値の変化との一例を示した表である。本実施例における可変抵抗12の抵抗値の変化は、高抵抗状態と低抵抗状態を明確に区別できる程度のものであれば他の形態であってもよく、電圧条件も所望の抵抗値に応じて適宜変更することができる。抵抗素子16としては他にも、 $N i O$ 等の金属酸化物やカルコゲナイド系の相変化物質を用いることができる。これらの抵抗素子も、所定条件の電圧パルスを加えることにより、 $C u_2 O$ と同じく抵抗値を大きく変化させることができる。

10

20

30

40

50

【表 1】

電圧条件		抵抗値	論理値
電圧	印加時間		
1.2V (Vdd0)	250ns (t0)	10 <sup>8</sup> Ω (高抵抗)	L
4.0V (Vdd1)	100ns (t1)	10 <sup>2</sup> Ω (低抵抗)	H

10

## 【0023】

再び図1を参照に、ワード線WLはワード線駆動回路WDrに接続されている。また、データ線DLはセンスアンプ22及びデータ線駆動回路DDrに接続されている。ワード線駆動回路WDrにはXデコーダ26及び書き込み制御回路30が接続されている。データ線駆動回路DDrは、Yデコーダ28、書き込み制御回路30、及び入出力回路32に接続されている。ここで、実施例1ではワード線駆動回路WDrが選択回路に、データ線駆動回路DDrが書き込み回路にそれぞれ相当する。これらについては後段で詳述する。

## 【0024】

図3(a)～(d)は、図1における周辺回路の詳細な構成を示した図である。図3(a)を参照に、入出力回路32は、外部から入力される信号I/Ozに応じて、メモリセルMCに書き込まれるデータであるデータ信号Datazを出力する。なお、表1を参照に、メモリセルMCの状態と論理値との対応関係については、可変抵抗12が高抵抗状態の場合を論理“L(ロー)」、低抵抗状態の場合を論理“H(ハイ)”とする。

20

## 【0025】

図3(b)を参照に、選択回路であるワード線駆動回路WDrは、書き込み信号WRz及びアドレス信号Add.に応じて、メモリセルMCを選択するための選択信号をワード線WLに供給する。書き込み信号WRz及びアドレス信号Add.はNANDゲート34に入力され、双方の入力が共に“H”の場合にのみ、電位がVdd1の選択信号がインバータ36を介してワード線WLに出力される。

## 【0026】

図2(a)を参照に、非選択時におけるメモリセルMCの電位は、ワード線WL側が低電位Vssに、データ線DL側が高電位Vdd1にそれぞれ設定されている。ワード線駆動回路WDrから供給される選択信号により、ワード線WLの電位はVdd1まで上昇し、データ線DLの電位と等しくなる。この段階では、メモリセルMCに電流は流れない。

30

## 【0027】

図3(c)を参照に、書き込み制御回路30は、書き込み信号WRz及びタイミング信号timyzに応じて第1パルス生成信号WRLz及び第2パルス生成信号WRHzを出力する。図示されるように、書き込み制御回路30は、2つのNANDゲート38及び40と、それぞれのNANDゲートに接続された遅延回路42からなる。NANDゲート38に接続された遅延回路42のインバータの数は、NANDゲート40に接続されたインバータの数より多い。従って、第1パルス生成信号WRLzのパルス幅t0は、第2パルス生成信号WRHzのパルス幅t1より長くなる。

40

## 【0028】

図3(d)を参照に、データ線駆動回路DDrは、入出力回路32から供給されるデータ信号Datazに応じて、第1パルス生成信号WRLzから第1パルスを、第2パルス生成信号WRHzから第2パルスをそれぞれ生成する。データ線駆動回路DDrは、生成された第1パルス及び第2パルスのいずれかである書き込みパルスをデータ線DLへ供給する。

## 【0029】

図示されるように、データ信号Datazはインバータ46及び48を介し、パスゲー

50

ト50及び52、並びにN型トランジスタ54及び56のON/OFFを制御する。第1パルス生成信号WR L zはP型トランジスタ58及びN型トランジスタ64のゲートに入力される。第2パルス生成信号WR H zはP型トランジスタ60及びN型トランジスタ62のゲートに入力される。データの書き込みが行われない場合は、第1パルス生成信号WR L z及び第2パルス生成信号WR H zは共に“L”となるため、P型トランジスタ58及び60はONに、N型トランジスタ62及び64はOFFに設定される。その結果、P型トランジスタ58及び60を介して電圧V d d 1が出力され、データ線D Lの電位はV d d 1に維持される。

【0030】

データ信号D a t a zが“L”の場合には、バスゲート50がONとなり第1パルス生成信号WR L zが回路に入力される。また、N型トランジスタ54はOFFに、N型トランジスタ56はONに設定される。N型トランジスタ54がOFFに設定されたことで、P型トランジスタ58のゲートには第1パルス生成信号WR L zの“H”が入力されOFFに設定される。また、N型トランジスタ64のゲートにも同様に“H”が入力され、こちらはONに設定される。この結果、電圧V d d 1 - V d d 0がデータ線D Lへと出力される。

10

【0031】

ワード線W Lの電位が選択信号によりV d d 1に設定されている場合、上述のようにデータ線D Lの電位をV d d 1 - V d d 0とすることで両者の電位差はV d d 0となり、バイアスが逆転するためメモリセルM Cに電流が流れる。この状態を時間t 0だけ維持することにより、メモリセルM Cの可変抵抗12は高抵抗状態となり、論理“L”が書き込まれる。以上のように、データ線駆動回路D D rは、選択信号がメモリセルM Cに対し印加されている間に、第1パルス生成信号WR L zに応じて、可変抵抗12を高抵抗状態に変化させる第1パルスをデータ線D Lに供給する。

20

【0032】

データ信号D a t a zが“H”の場合には、バスゲート52がONとなり第2パルス生成信号WR H zが回路に入力される。また、N型トランジスタ54はONに、N型トランジスタ56はOFFに設定される。N型トランジスタ56がOFFに設定されたことで、P型トランジスタ60のゲートには第2パルス生成信号WR H zの“H”が入力され、OFFに設定される。また、N型トランジスタ62のゲートにも同様に“H”が入力され、こちらはONに設定される。この結果、電圧V s sがデータ線D Lへと出力される。

30

【0033】

ワード線W Lの電位が選択信号によりV d d 1に設定されている場合、上述のようにデータ線D Lの電位をV s sとすることで両者の電位差はV d d 1となり、バイアスが逆転するためメモリセルM Cに電流が流れる。この状態を時間t 1だけ維持することにより、メモリセルM Cの可変抵抗12は低抵抗状態となり、論理“H”が書き込まれる。以上のように、データ線駆動回路D D rは、選択信号がメモリセルM Cに対し印加されている間に、第2パルス生成信号WR H zに応じて、可変抵抗12を低抵抗状態に変化させる第2パルスをデータ線D Lに供給する。

【0034】

図1、図4、及び図5を参照に、実施例1に係る半導体装置のデータ書き込み制御について説明する。ここでは、同一のワード線W L 0に接続されたメモリセルM C 0 ~ M C 3に対し、連続的にデータを書き込む場合について説明する。メモリセルM C 0及びM C 3にはデータ“L”を、メモリセルM C 1及びM C 2にはデータ“H”を書き込むものとする。

40

【0035】

図4はデータ書き込み時の動作を示したフローチャートである。図1、図3、及び図4を参照に、データ書き込みの開始時においてワード線W L 0の電位はV s sに、データ線D L 0 ~ 3の電位はV d d 1に設定されている。メモリセルM Cには逆バイアスが印加されており、電流は流れない。最初に、選択回路であるワード線駆動回路W D r 0が、ワー

50

ド線WL0に対し選択信号を供給する(ステップS10)。これにより、ワード線WLの電位はVdd1に上昇する。次に、書き込み回路であるデータ線駆動回路DDr0及びDDr3が、データ線DL0及びDL3に対しそれぞれ第1パルスを供給する(ステップS12)。これにより、データ線DL0及びDL3の電位はVdd1-Vdd0となり、メモリセルMC0及びMC3に電流が流れ、可変抵抗12は高抵抗状態となる。次に、データ線駆動回路DDr1及びDDr2が、データ線DL1及びDL2に対しそれぞれ第2パルスを供給する(ステップS14)。これにより、データ線DL1及びDL2の電位はVssとなり、メモリセルMC1及びMC2に電流が流れ、可変抵抗12は低抵抗状態となる。以上のステップにより、メモリセルMC0~MC3へのデータの書き込みが完了する。

10

#### 【0036】

図5は図4に対応するデータ書き込み時のタイミングチャートである。図1、図3、及び図5を参照に、開始時においてワード線WLの電位はVssに、データ線DL0~DL3の電位はVdd1に維持されている。まず、不図示の制御部から供給される書き込み信号WRzにより、ワード線WL0に選択信号が供給され、電位がVdd1へと上昇する(A)。次に、制御部から供給されるタイミング信号timypzが立ち上がり(B)、更に書き込み制御回路30から供給される第1パルス生成信号WRLzが立ち上がり(C)、データ線駆動回路DDr0及びDDr3はデータ線DL0及びDL3に第1パルスを供給する。これにより、データ線DL0及びDL3の電位はVdd1-Vdd0となり(D)、ワード線WLとの電位差はVdd0となる。この状態を時間t0だけ維持した後に、データ線DL0及びDL3の電位はVddに復帰する(E)。以上のプロセスにより、メモリセルMC0及びMC3の可変抵抗は高抵抗状態に変化し、データ“L”が書き込まれる。

20

#### 【0037】

次に、書き込み制御回路30から供給される第2パルス生成信号WRHzが立ち上がることにより(F)、データ線駆動回路DDr1及びDDr2はデータ線DL1及びDL2に第2パルスを供給する。これにより、データ線DL1及びDL2の電位はVssとなり(G)、ワード線WLとの電位差はVdd1となる。この状態を時間t1だけ維持した後に、データ線DL1及びDL2の電位はVddに復帰する(H)。以上のプロセスにより、メモリセルMC1及びMC2の可変抵抗は低抵抗状態に変化し、データ“H”が書き込まれる。

30

#### 【0038】

以上のように、実施例1の半導体装置は、可変抵抗12及びダイオード14からなるメモリセルMC、メモリセルMCのアノード側に接続されたワード線WL、メモリセルMCのカソード側に接続されたデータ線DLを備えている。また、選択回路であるワード線駆動回路WDrがワード線WLに、書き込み回路であるデータ線駆動回路DDrがデータ線DLに接続されている(図1参照)。ワード線WLから選択信号を供給することでメモリセルMCを選択し(図4ステップS10参照)、データ線DLから書き込むデータに応じた書き込みパルス(第1パルス及び第2パルスのうちいずれか一方)を供給することで、メモリセルMC0~MC3にデータを書き込むことができる(図4ステップS12及びS14参照)。

40

#### 【0039】

上記の構成によれば、書き込み対象のメモリセルMCと同一のワード線WL及びデータ線DLにあるメモリセルMCへのデータの誤書き込みを抑制することができる。図1及び図5を参照に、例えばメモリセルMC0及びMC3にデータの書き込みを行う場合、同一ワード線WL0に接続された他のメモリセルMC1及びMC2には書き込みパルスが印加されないため、メモリセルMC1とMC2のアノード側とカソード側の電位はVdd1で等しく、メモリセルMCに電流は流れない。メモリセルMC0及びMC3と同一のデータ線上にあるメモリセルMC4、MC7、MC8、MC11、MC12、及びMC15については、選択信号が印加されないためワード線WLの電位がVssに維持される。また、

50

書き込みパルスによりデータ線の電位が  $V_{ss}$  以下となることはない。このため、これらのメモリセルのアノード側の電位はカソード側の電位以下に維持され電流は流れない。

【0040】

以上のように、実施例1に係る半導体装置によれば、選択信号と書き込みパルスの両方が印加されたメモリセルにのみ電流が流れ、他のメモリセルには電流が流れない。このため、誤書き込みの発生を抑制することができ、データの書き込みを安定して行うことができる。

【0041】

実施例1では、選択信号によりワード線  $WL$  とデータ線  $DL$  の電位を等しくする構成としたが、上記の選択信号はワード線  $WL$  の電位をデータ線  $DL$  の電位以下に保ったままで、両者の電位差を非選択時の電位差よりも小さくするものであれば他の形態であってもよい。また、非選択時におけるデータ線  $DL$  及びワード線  $WL$  の電位差は  $V_{dd1}$  以外であってもよい。

10

【0042】

また、実施例1では、第1パルスの振幅を  $V_{dd1} - V_{dd0}$ 、パルス幅を  $t_0$  とし、第2パルスの振幅を  $V_{dd1}$ 、パルス幅を  $t_1$  としたが、書き込みパルスの振幅及びパルス幅はこれに限られるものではない。すなわち、第1書き込みパルスは、選択信号が印加されているメモリセル  $MC$  のワード線側の電位をデータ線側の電位より高電位にし、かつ、可変抵抗  $12$  を高抵抗状態にするために必要な電位差及び印加時間を与えるものであれば他の形態であってもよい。また、第2書き込みパルスは、選択信号が印加されているメモリセル  $MC$  のワード線側の電位をデータ線側の電位より高電位にし、かつ、可変抵抗  $12$  を低抵抗状態にするために必要な電位差及び印加時間を与えるものであれば他の形態であってもよい。

20

【0043】

上記のように、非選択時におけるデータ線  $DL$  及びワード線  $WL$  の電位差、選択信号の条件、及び書き込みパルスの条件は適宜変更することが可能である。ただし、実施例1のように選択信号印加時におけるデータ線  $DL$  及びワード線  $WL$  の電位を等しくすることで、消費電力を抑制することができる。

【0044】

実施例1では、メモリセル  $MC_0$  及び  $MC_3$  に対し第1パルスを同時に印加した後に、メモリセル  $MC_1$  及び  $MC_2$  に対し第2パルスを同時に印加する方法を説明したが(図4参照)、これらの順番は逆であってもよい。また、メモリセル  $MC_0 \sim MC_3$  のそれぞれに書き込みパルスを順番に印加してもよいし、メモリセル  $MC_0 \sim MC_3$  の全てに書き込みパルスを同時に印加してもよい。

30

【0045】

また、実施例1では同一のワード線  $WL_0$  に接続された複数のメモリセル  $MC_0 \sim MC_3$  に連続してデータを書き込む例について説明したが、同一のデータ線  $DL$  に接続された複数のメモリセル  $MC$  に連続してデータの書き込みを行うことも可能である。例えば、データ線  $DL_0$  に接続されたメモリセル  $MC_0$ 、 $MC_4$ 、 $MC_8$ 、及び  $MC_{12}$  に連続して書き込みを行う場合は、最初にワード線  $WL_0 \sim$  ワード線  $WL_3$  から選択信号を順に供給し、それぞれの選択信号がメモリセル  $MC$  に印加されている間にデータ線  $DL_0$  から書き込みパルスを供給することで書き込みを行うことができる。書き込みパルスの供給は、メモリセル  $MC$  に対し個別に行ってもよいが、実施例1のように第1書き込みパルスと第2書き込みパルスをそれぞれ複数のメモリセルにまとめて供給してもよい(図5参照)。

40

【実施例2】

【0046】

実施例2は、メモリセルに対しワード線側から書き込みパルスを供給する例である。

【0047】

図6は、実施例2に係る半導体装置の構成を示したブロック図である。実施例1(図1)と異なり、書き込み制御回路  $30$  からワード線駆動回路  $WDr_0 \sim WDr_3$  へは2つの

50

信号  $W L L z$  及び  $W L H z$  が入力されている。その他の構成については実施例 1 と共通であり、同一の符号を付して詳細な説明を省略する。

【0048】

図 7 ( a ) ~ ( d ) は、図 6 における周辺回路の詳細な構成を示した図である。図 7 ( a ) に示した入出力回路 3 2 の構成は、図 3 ( a ) に示した実施例 1 と共通であり、外部から入力される信号  $I / O z$  に応じて、データ信号  $D a t a z$  を出力する。

【0049】

図 7 ( b ) を参照に、実施例 2 ではデータ線駆動回路  $D D r$  が選択回路の役割を果たし、データ信号  $D a t a z$  及び書き込み信号  $W R z$  に応じて、メモリセル  $M C$  を選択する選択信号をデータ線  $D L$  に供給する。データ線駆動回路  $D D r$  は、インバータ 7 0 ~ 7 6 及びパスゲート 8 0 , 8 2 を有する。データ信号  $D a t a z$  は、インバータ 7 0 及び 7 2 を経てパスゲート 8 0 及び 8 2 に入力され、パスゲート 8 0 及び 8 2 の開閉を制御する。書き込み信号  $W R L z$  及び  $W R H z$  は、パスゲート 8 0 及び 8 2 を経てインバータ 7 6 へと入力される。ここで実施例 1 と同じく、非選択時においてデータ線  $D L$  の電位は  $V d d 1$  に、ワード線  $W L$  の電位は  $V s s$  に維持されている。

10

【0050】

図 7 ( c ) 及び図 7 ( d ) を参照に、書き込み信号  $W R z$  が “ H ” レベルになると、遅延回路 3 1 は、書き込み信号  $W R z$  に応じて第 1 選択信号  $W R L z$  及び第 2 選択信号  $W R H z$  を出力する。

【0051】

図 7 ( b ) に戻って、データ線駆動回路  $D D r$  には、第 1 選択信号  $W R L z$  がパスゲート 8 0 に、第 2 選択信号  $W R H z$  がパスゲート 8 2 にそれぞれ入力されている。データ信号  $D a t a z$  が “ L ” の場合には、パスゲート 8 0 が ON となり、第 1 選択信号  $W R L z$  がインバータ 7 6 に入力され、データ “ L ” を書き込みたいメモリセル  $M C$  に対応したデータ線  $D L$  の電位を  $V s s$  としてワード線  $W L$  の電位と等しくする。データ信号  $D a t a z$  が “ H ” の場合には、パスゲート 8 2 が ON となり、第 2 選択信号  $W R H z$  がインバータ 7 6 に入力され、データ “ H ” を書き込みたいメモリセル  $M C$  に対応したデータ線  $D L$  の電位を  $V s s$  としてワード線  $W L$  の電位と等しくする。

20

【0052】

図 7 ( d ) を参照に、書き込み制御回路 3 0 は実施例 1 ( 図 3 ( c ) ) にて説明したものと同一働きを行い、書き込み信号  $W R z$  に応じて第 1 パルス生成信号  $W L L z$  及び第 2 パルス生成信号  $W L H z$  を出力する。

30

【0053】

図 7 ( e ) を参照に、実施例 2 ではワード線駆動回路  $W D r$  が書き込み回路の役割を果たす。ワード線駆動回路  $W D r$  は、アドレス信号  $A D D .$  及びデータ信号  $D a t a z$  に応じて第 1 パルス生成信号  $W L L z$  から第 1 パルスを、第 2 パルス生成信号  $W L H z$  から第 2 パルスをそれぞれ生成し、生成された第 1 パルス及び第 2 パルスのいずれかである書き込みパルスをワード線  $W L$  へ供給する。

【0054】

図示されるように、書き込み制御回路から供給される第 1 パルス生成信号  $W L L z$  及び第 2 パルス生成信号  $W L H z$  は、アドレス信号  $A D D .$ 、データ信号  $D a t a z$  及びその反転信号が入力されている  $N A N D$  ゲート 9 1 , 9 3 にそれぞれ入力される。 $N A N D$  ゲート 9 1 の出力は、P 型トランジスタ 9 2 及び N 型トランジスタ 9 4 のゲートへ入力される。 $N A N D$  ゲート 9 3 の出力は、N 型トランジスタ 9 6 及び P 型トランジスタ 9 8 のゲートへ入力される。メモリセル  $M C$  が非選択の場合は、アドレス信号  $A d d .$  が “ L ” レベルとなり、 $N A N D$  ゲート 9 1 , 9 3 の出力は “ H ” レベルとなる。これにより、P 型トランジスタ 9 2 及び 9 8 は OFF に、N 型トランジスタ 9 4 及び 9 6 は ON に設定される。その結果、ワード線選択回路  $W D r$  は電圧  $V s s$  を出力する。

40

【0055】

メモリセル  $M C$  の選択時 ( アドレス信号  $A d d .$  が “ H ” レベル、データ信号  $D a t a$

50

z が “ L ” レベル)において、第 1 パルス生成信号  $W L L z$  が “ H ” の場合、NAND ゲート 91 の出力は “ L ” となり、P 型トランジスタ 92 は ON に、N 型トランジスタ 94 は OFF に設定される。その結果、電圧  $V d d 0$  がワード線  $W L$  へと出力される。ここで、データ線  $D L$  が選択信号により電位  $V s s$  に設定されている場合、ワード線  $W L$  とデータ線  $D L$  との電位差は  $V d d 0$  となる。この状態を所定時間  $t 0$  だけ維持することで、選択されたメモリセル  $M C$  が高抵抗状態となり、データ “ L ” が書き込まれる。

#### 【 0 0 5 6 】

メモリセル  $M C$  の選択時 (アドレス信号  $A d d .$  が “ H ” レベル、データ信号  $D a t a z$  が “ H ” レベル)において、第 2 パルス生成信号  $W L H z$  が “ H ” の場合、NAND ゲート 93 の出力は “ L ” となり、N 型トランジスタ 96 は OFF に、P 型トランジスタ 98 は ON に設定される。その結果、電圧  $V d d 1$  がワード線  $W L$  へと出力される。ここで、データ線  $D L$  が選択信号により電位  $V s s$  に設定されている場合、ワード線  $W L$  とデータ線  $D L$  との電位差は  $V d d 1$  となる。この状態を所定時間  $t 1$  だけ維持することで、選択されたメモリセル  $M C$  が低抵抗状態となり、データ “ H ” が書き込まれる。

10

#### 【 0 0 5 7 】

図 6、図 8、及び図 9 を参照に、実施例 2 に係る半導体装置のデータ書き込み時の制御について説明する。ここでは、同一のワード線  $W L 0$  に接続されたメモリセル  $M C 0 \sim M C 3$  に対し、連続的にデータを書き込む場合について説明する。メモリセル  $M C 0$  及び  $M C 3$  には “ L ” データを、メモリセル  $M C 1$  及び  $M C 2$  には “ H ” データを書き込むものとする。

20

#### 【 0 0 5 8 】

図 8 はデータ書き込み時の動作を示したフローチャートである。図 6 ~ 図 8 を参照に、データ書き込みの開始時においてワード線  $W L 0$  の電位は  $V s s$  に、データ線  $D L 0 \sim 3$  の電位は  $V d d 1$  に設定されている。メモリセル  $M C$  には逆バイアスが印加され、電流は流れない。最初に、選択回路であるデータ線駆動回路  $D D r 0$  及び  $D D r 3$  が、データ線  $D L 0$  及び  $D L 3$  のそれぞれに対し選択信号を印加する (ステップ S 20)。これにより、データ線  $D L 0$  及び  $D L 3$  の電位は  $V s s$  に下降し、メモリセル  $M C 0$  及び  $M C 3$  が選択される。次に、書き込み回路であるワード線駆動回路  $W D r 0$  が、ワード線  $W L 0$  に対し第 1 パルスを供給する (ステップ S 22)。これにより、ワード線  $W L 0$  の電位は  $V d d 0$  となり、メモリセル  $M C 0$  及び  $M C 3$  に電流が流れ、可変抵抗 12 は高抵抗状態となる。

30

#### 【 0 0 5 9 】

次に、データ線駆動回路  $D D r 1$  及び  $D D r 2$  が、データ線  $D L 1$  及び  $D L 2$  のそれぞれに対し選択信号を供給する (ステップ S 24)。これにより、データ線  $D L 1$  及び  $D L 2$  の電位は  $V s s$  となり、メモリセル  $M C 1$  及び  $M C 2$  が選択される。次に、ワード線駆動回路  $W D r 0$  がワード線  $W L 0$  に対し第 2 パルスを供給する (ステップ S 26)。これにより、ワード線  $W L 0$  の電位は  $V d d 1$  となり、メモリセル  $M C 1$  及び  $M C 2$  に電流が流れ、可変抵抗 12 は低抵抗状態となる。以上のステップにより、メモリセル  $M C 0 \sim M C 3$  へのデータの書き込みが完了する。

#### 【 0 0 6 0 】

図 9 は図 8 に対応するデータ書き込み時のタイミングチャートである。図 6、図 7、及び図 9 を参照に、開始時において制御部から供給されるタイミング信号  $T i m x p z$  が立ち上がり (A)、ワード線  $W L 0$  の電位は  $V s s$  に、データ線  $D L 0 \sim D L 3$  の電位は  $V d d 1$  に維持されている。不図示の制御部から供給される書き込み信号  $W R z$  により、データ線  $D L 0$  及び  $D L 3$  に選択信号が印加され、電位が  $V s s$  に下降する (B)。次に、書き込み制御回路 30 から供給される第 1 パルス生成信号  $W L L z$  が立ち上がることにより (C)、ワード線駆動回路  $W D r 0$  はワード線  $W L 0$  に第 1 パルスを供給する。これにより、ワード線  $W L 0$  の電位は  $V d d 0$  となり (D)、データ線  $D L 0$  及び  $D L 3$  との電位差は  $V d d 0$  となる。この状態を時間  $t 0$  だけ維持することにより、メモリセル  $M C 0$  及び  $M C 3$  にデータ “ L ” が書き込まれる。

40

50

## 【 0 0 6 1 】

続いて、データ線 D L 1 及び D L 2 に選択信号が印加され、電位が V s s に下降する ( E )。次に、書き込み制御回路 3 0 から供給される第 2 パルス生成信号 W L H z が立ち上がると ( F )、ワード線駆動回路 W D r 0 はワード線 W L 0 に第 2 パルスを供給する。これにより、ワード線 W L 0 の電位は V d d 1 となり ( G )、データ線 D L 1 及び D L 2 との電位差は V d d 1 となる。この状態を時間 t 1 だけ維持することにより、メモリセル M C 1 及び M C 2 にデータ “ H ” が書き込まれる。

## 【 0 0 6 2 】

以上のように、実施例 2 の半導体装置は、選択回路であるデータ線駆動回路 D D r がデータ線 D L に、書き込み回路であるワード線駆動回路 W D r がワード線 W L に接続されている。これにより、メモリセル M C のアノード側に接続されたワード線 W L から、メモリセル M C に対し書き込みパルスを供給することができる。

10

## 【 0 0 6 3 】

実施例 1 及び実施例 2 において説明したように、メモリセル M C へのデータ書き込みは、データ線 D L 及びワード線 W L のうち一方から選択信号を供給し、他方からデータパターンに応じた書き込みパルス ( 第 1 パルスまたは第 2 パルス ) を供給することにより実現することができる。この構成によれば、書き込み対象となるメモリセル M C のみが順バイアスとなり電流が流れるためデータの書き込みが行われ、その他のメモリセルは逆バイアスに維持されるため電流が流れずデータの書き込みが行われない。これにより、データの書き込みを安定して行うことができる。データパターンに応じた書き込みパルスをどちらの信号線から供給するかは、メモリセルの使用目的等に応じて適宜定めることができる。

20

## 【 0 0 6 4 】

データ線 D L から書き込みパルスを供給する実施例 1 の構成は、ワード線の切り替え頻度よりデータ線の切り替え頻度が高いデータ書き込み方法に適している。例えば、ワード線 W L に接続されるメモリセル M C の数が多く ( ワード線が長く )、大容量化が可能なデータストレージ用のメモリ ( 従来の N A N D 型メモリに近い用途 ) として使用することができる。また、ワード線 W L から書き込みパルスを供給する実施例 2 の構成は、実施例 1 よりもワード線の切り替え頻度が高いデータ書き込み方法に適している。例えば、ランダムアクセス性に優れたコードストレージ用のメモリ ( 従来の N O R 型メモリに近い用途 ) として使用することができる。

30

## 【 0 0 6 5 】

実施例 1 及び 2 では、単層の M I M メモリセルに対しデータの書き込みを行う場合について説明したが、以下の実施例では積層型の M I M メモリセルに対しデータの書き込みを行う場合について説明する。実施例 3 ~ 6 は全て 2 層積層型のメモリセルに係るものであり、上下のメモリ層は、ワード線またはデータ線のうちいずれか一方を共通線として共有する。実施例 3 及び 4 は共通線から書き込みパルスを供給する例であり、実施例 5 及び 6 は共通線の反対側から書き込みパルスを供給する例である。また、実施例 3 及び 5 はデータ線を共通線とする例であり、実施例 4 及び 6 はワード線を共通線とする例である。

## 【 実施例 3 】

## 【 0 0 6 6 】

図 1 0 は実施例 3 に係る半導体装置の構成を示したブロック図である。メモリセルアレイ 1 0 は、複数の第 1 メモリセル M C 1 0 ~ M C 1 7 が平面状に配列して構成された第 1 メモリ層 1 1 0 と、複数の第 2 メモリセル M C 2 0 ~ M C 2 7 が平面状に配列して構成された第 2 メモリ層 1 1 2 とを含む。第 1 メモリセル M C 1 0 ~ M C 1 7 と、第 2 メモリセル M C 2 0 ~ M C 2 7 とは、共通線であるデータ線 D L 0 ~ D L 3 を共有している。例えば、データ線 D L 0 には、第 1 メモリセル M C 1 0 及び M C 1 4 が接続されると共に、第 2 メモリセル M C 2 0 及び M C 2 4 が接続されている。

40

## 【 0 0 6 7 】

実施例 3 では、実施例 1 と同じくワード線駆動回路 W D r が選択回路に、データ線駆動回路 D D r が書き込み回路にそれぞれに該当する。書き込み制御回路 3 0 の出力 ( 第 1 パ

50

ルス生成信号WR L z及び第2パルス生成信号WR H z)は、データ線駆動回路DD rに入力されている。その他の構成は実施例1(図1)と共通であり、詳細な説明を省略する。

#### 【0068】

図11は、実施例3に係る半導体装置の書き込み動作を示したフローチャートである。ここでは、同一のデータ線DL 0に接続されたメモリセルMC 10、MC 14、MC 20、及びMC 24に、連続してデータを書き込む例について説明する。なお、メモリセルMC 10及びMC 24にはデータ“L”を、メモリセルMC 14及びMC 20にはデータ“H”を書き込むものとする。

#### 【0069】

最初に、不図示の制御部がカウンタの値を $n = 0$ に設定する(ステップS 30)。次に、制御部がカウンタの値を閾値と比較し、 $n < 4$ であればステップS 32へと進む(ステップS 31)。次に、選択回路であるワード線駆動回路WD r nが、ワード線WL nに対し選択信号を供給する(ステップS 32)。次に、書き込み回路であるデータ線駆動回路DD r 0が、選択されたメモリセルMCに書き込むデータを判定する(ステップS 33)。データが“L”の場合はデータ線DL 0に第1パルスを供給し(ステップS 34)、データが“H”の場合はデータ線DL 0に第2パルスを供給する(ステップS 35)。ステップS 34またはS 35のいずれかが終了したら、制御部がカウンタの値をインクリメントする(ステップS 36)。以上のように、ワード線WL 1~WL 3についても同様に選択信号及び書き込みパルスを印加してデータの書き込みを行う(ステップS 31~S 36)。

#### 【0070】

図12は図11に対応するデータ書き込み時のタイミングチャートである。図3、図10及び図11を参照に、書き込み開始時においてワード線WL 0~WL 3の電位は $V_{ss}$ に、データ線DL 0の電位は $V_{dd1}$ に維持されている。まず、外部から供給される書き込み信号WR zにより、ワード線WL 0に選択信号が印加され、電位が $V_{dd1}$ へと上昇する(A)。続いて、実施例1の場合と同じく、タイミング信号t i m y p z及び第1パルス生成信号WR L zが立ち上がる(B)(C)。これにより、データ線DL 0の電位は $V_{dd1} - V_{dd0}$ となり(D)、ワード線WL 0との電位差は $V_{dd0}$ となる。この状態を時間 $t_0$ だけ維持した後、データ線DL 0の電位が $V_{dd1}$ に復帰すると(E)、選択信号の供給が停止されワード線WL 0の電位は $V_{ss}$ に復帰する(F)。以上のプロセスにより、メモリセルMC 10は高抵抗状態となり、データ“L”が書き込まれる。

#### 【0071】

以下、メモリセルMC 14、MC 20、MC 24についても同様にデータの書きこみが行われる。ここで、メモリセルMC 14及びMC 20へのデータ書き込み時にはデータ線DL 0に第2パルスが印加され、電位が $V_{ss}$ へと下降する(G)(H)。これにより、データ線DL 0とワード線WL 1及びWL 2との電位差は $V_{dd1}$ となり、可変抵抗が低抵抗状態となることでデータ“H”が書き込まれる。メモリセル24へのデータ書き込み時には、メモリセル10の場合と同様に、データ線DL 0には第1パルスが供給され、電位は $V_{dd1} - V_{dd0}$ となる(I)。これにより、可変抵抗は高抵抗状態となるためデータ“L”が書き込まれる。

#### 【0072】

実施例3の半導体装置は、複数の第1メモリセルMC 10~MC 17からなる第1メモリ層110と、複数の第2メモリセルMC 20~MC 27からなる第2メモリ層112とを備えた2層積層型のメモリ領域を備えている。また、上下のメモリ層がデータ線DLを共有しており、共通線であるデータ線DLに接続されたデータ線駆動回路DD rから書き込みパルスを、反対側のワード線WLに接続されたワード線駆動回路WD rから選択信号をそれぞれ供給する。この構成によれば、データの書き込みを安定して行うことができる。

#### 【0073】

実施例 3 では、同一のデータ線に接続されたメモリセルに対し連続してデータの書き込みを行う例について説明したが、同一のワード線に接続された複数のメモリセルに対し連続してデータの書きこみを行うこともできる。以下、これについて説明する。

【0074】

図 13 は、実施例 3 の書き込み動作の変形例を示したフローチャートである。ここでは、同一のワード線  $W L 0$  に接続されたメモリセル  $M C 1 0 \sim M C 1 3$  に連続してデータを書き込む例について説明する。なお、メモリセル  $M C 1 0$  及び  $M C 1 3$  にはデータ“L”を、メモリセル  $M C 1 1$  及び  $M C 1 2$  にはデータ“H”を書き込むものとする。

【0075】

最初に、選択回路であるワード線駆動回路  $W D r 0$  が、ワード線  $W L 0$  に対し選択信号を供給する（ステップ  $S 4 0$ ）。次に、不図示の制御部がカウンタの値を  $n = 0$  に設定する（ステップ  $S 4 1$ ）。次に、制御部がカウンタの値を閾値と比較し、 $n < 4$  であればステップ  $S 4 3$  へと進む（ステップ  $S 4 2$ ）。次に、書き込み回路であるデータ線駆動回路  $D D r n$  が、選択されたメモリセル  $M C$  に書き込むデータを判定する（ステップ  $S 4 3$ ）。データが“L”の場合はデータ線  $D L n$  に第 1 パルスを供給し（ステップ  $S 4 4$ ）、データが“H”の場合はデータ線  $D L n$  に第 2 パルスを供給する（ステップ  $S 4 5$ ）。ステップ  $S 4 4$  または  $S 4 5$  のいずれかが終了したら、制御部がカウンタの値をインクリメントする（ステップ  $S 4 6$ ）。以上のように、データ線  $D L 1 \sim D L 3$  についても同様に選択信号及び書き込みパルスを印加してデータの書き込みを行う（ステップ  $S 4 2 \sim S 4 6$ ）。ステップ  $S 4 2$  において  $n < 4$  でなくなったら、データの書き込みを終了する。

【0076】

図 14 は図 13 に対応するデータ書き込み時のタイミングチャートである。図 3、図 10 及び図 13 を参照に、書き込み開始時においてワード線  $W L 0 \sim W L 3$  の電位は  $V s s$  に、データ線  $D L 0$  の電位は  $V d d 1$  に維持されている。まず、外部から供給される書き込み信号  $W R z$  により、ワード線  $W L 0$  に選択信号が印加され、電位が  $V d d 1$  へと上昇する（A）。次に、タイミング信号  $t i m y p z$  及び第 1 パルス生成信号  $W R L z$  が立ち上がることにより（B）（C）、データ線  $D L 0$  の電位は  $V d d 1 - V d d 0$  となり（D）、ワード線  $W L 0$  との電位差は  $V d d 0$  となる。この状態を時間  $t 0$  だけ維持することにより、メモリセル  $M C 1$  は高抵抗状態となりデータ“L”が書き込まれる。

【0077】

データ線  $D L 0$  の電位が  $V d d 1$  へと復帰すると（E）、続いて第 2 パルス生成信号  $W R H z$  が立ち上がり（F）、データ線  $D L 1$  の電位が  $V s s$  へと下降する（G）。図 12 と異なり、ワード線  $W L 0$  の電位は全てのメモリセルへの書き込みが終了するまで  $V d d 1$  に維持される。以下同様に、データ線  $D L 2$  は第 2 パルスが（H）、 $D L 3$  には第 1 パルスが印加され（I）、データ線  $D L 3$  の電位が  $V d d 1$  に復帰した後に（J）、ワード線  $W L 0$  の電位が  $V s s$  へと復帰する（K）。以上のプロセスにより、メモリセル  $M C 1 0 \sim M C 1 3$  へのデータ書き込みが完了する。

【0078】

図 11 及び図 12 に示したデータの書き込み方法では、同一のデータ線  $D L$  に接続された複数のメモリセルに対し、連続してデータの書き込みを行う。この方法によれば、上下の異なる層に属する複数のメモリセルに対し、連続的にデータを書き込むことができる。これに対し、図 13 及び図 14 に示した方法では、同一のワード線  $W L$  に接続された複数のメモリセルに対し、連続してデータの書き込みを行う。この方法によれば、同一のメモリ層に属する複数のメモリセルに対し、連続的にデータを書きこむことができる。いずれの書き込み方法を使用するかは、メモリセルの配置や記憶されるデータの種類等に応じて適宜選択することができる。なお、図 13 及び図 14 の書き込み方法においては、メモリセル  $M C 1 0 \sim M C 1 3$  に対し、同時に書き込みパルスを印加することも可能である。

【実施例 4】

【0079】

実施例 4 は、書き込みパルスを共通線側から印加する構成のうち、ワード線を共通線と

10

20

30

40

50

する例である。図15は実施例4に係る半導体装置の構成を示したブロック図である。メモリセルアレイ10は、複数の第1メモリセルMC10～MC17が平面状に配列して構成された第1メモリ層110と、複数の第2メモリセルMC20～MC27が平面状に配列して構成された第2メモリ層112とを含む。実施例3(図10)と異なり、第1メモリセルMC10～MC17及び第2メモリセルMC20～MC27は、共通線であるワード線WL0～WL3を共有している。例えば、ワード線WL0には、第1メモリセルMC10及びMC14が接続されると共に、第2メモリセルMC20及びMC24が接続されている。

#### 【0080】

実施例4では、実施例2と同じくデータ線駆動回路DDRが選択回路に、ワード線駆動回路WDrが書き込み回路にそれぞれに該当する。書き込み制御回路30の出力(第1パルス生成信号WLLz及び第2パルス生成信号WLHz)は、ワード線駆動回路WDrに入力されている。その他の構成は実施例2(図6)と共通であり、詳細な説明を省略する。

#### 【0081】

図16は、実施例4に係る半導体装置の書き込み動作を示したフローチャートである。ここでは、同一のワード線WL0に接続されたメモリセルMC10、MC14、MC20、及びMC24に、連続してデータを書き込む例について説明する。なお、メモリセルMC10及びMC24にはデータ“L”を、メモリセルMC14及びMC20にはデータ“H”を書き込むものとする。

#### 【0082】

最初に、不図示の制御部がカウンタの値を $n = 0$ に設定する(ステップS50)。次に、制御部がカウンタの値を閾値と比較し、 $n < 4$ であればステップS52へと進む(ステップS51)。次に、選択回路であるデータ線駆動回路DDRが、データ線DLnに対し選択信号を供給する(ステップS52)。次に、書き込み回路であるワード線駆動回路WDr0が、選択されたメモリセルMCに書き込むデータを判定する(ステップS53)。データが“L”の場合はワード線WL0に第1パルスを供給し(ステップS54)、データが“H”の場合はワード線WL0に第2パルスを供給する(ステップS55)。ステップS54またはS55のいずれかが終了したら、制御部がカウンタの値をインクリメントする(ステップS56)。以上のように、データ線DL1～DL3についても同様に選択信号及び書き込みパルスを印加してデータの書き込みを行う(ステップS51～S56)。ステップS51において $n < 4$ でなくなったら、データの書き込みを終了する。

#### 【0083】

図17は図16に対応するデータ書き込み時のタイミングチャートである。図7、図15及び図16を参照に、書き込み開始時においてワード線WL0の電位はVssに、データ線DL0～DL3の電位はVdd1に維持されている。まず、実施例2の場合と同じく、タイミング信号timxzが立ち上がり(A)、外部から供給される書き込み信号WRzにより、データ線DL0に選択信号が印加され、電位がVssへと下降する(B)。続いて、第1パルス生成信号WLLzが立ち上がる(C)。これにより、ワード線WL0の電位はVdd0へ上昇し(D)、データ線DL0との電位差はVdd0となる。この状態を時間t0だけ維持した後に、ワード線WL0の電位はVssに復帰する(E)。以上のプロセスにより、メモリセルMC10は高抵抗状態となり、データ“L”が書き込まれる。

#### 【0084】

以下、メモリセルMC14、MC20、MC24についても同様にデータの書きこみが行われる。ここで、メモリセルMC14及びMC20へのデータ書き込み時にはワード線WL0に第2パルスが印加され、電位がVdd1へと上昇する(F)(G)。これにより、データ線DL1及びDL2とワード線WL0との電位差はVdd1となり、この状態を時間t1だけ維持することにより可変抵抗が低抵抗状態となり、データ“H”が書き込まれる。メモリセルMC24へのデータ書き込み時には、メモリセルMC10の場合と同様

に、ワード線  $W L 0$  には第 1 パルスが供給され、電位は  $V d d 0$  となる (H)。メモリセル  $M C 2 4$  は高抵抗状態となり、データ “L” が書き込まれる。

【0085】

実施例 4 の半導体装置は、実施例 3 と同じく複数の第 1 メモリセル  $M C 1 0 \sim M C 1 7$  からなる第 1 メモリ層 110 と、複数の第 2 メモリセル  $M C 2 0 \sim M C 2 7$  からなる第 2 メモリ層 112 とを含む 2 層積層型のメモリ領域を備えている。また、上下のメモリ層がワード線を共有しており、共通線であるワード線に接続されたワード線駆動回路  $W D r$  から書き込みパルスを、反対側のデータ線に接続されたデータ線駆動回路  $D D r$  から選択信号をそれぞれ供給する。この構成によれば、データの書き込みを安定して行うことができる。

10

【0086】

実施例 4 では、同一のワード線に接続されたメモリセルに対し連続してデータの書き込みを行う例について説明したが、同一のデータ線に接続された複数のメモリセルに対し連続してデータの書き込みを行うこともできる。以下、これについて説明する。

【0087】

図 18 は、実施例 4 の書き込み動作の変形例を示したフローチャートである。ここでは、同一のデータ線  $D L 0$  に接続されたメモリセル  $M C 1 0 \sim M C 1 3$  に連続してデータを書き込む例について説明する。なお、メモリセル  $M C 1 0$  及び  $M C 1 3$  にはデータ “L” を、メモリセル  $M C 1 1$  及び  $M C 1 2$  にはデータ “H” を書き込むものとする。

【0088】

最初に、選択回路であるデータ線駆動回路  $D D r 0$  が、データ線  $D L 0$  に対し選択信号を供給する (ステップ  $S 6 0$ )。次に、不図示の制御部がカウンタの値を  $n = 0$  に設定する (ステップ  $S 6 1$ )。次に、制御部がカウンタの値を閾値と比較し、 $n < 4$  であればステップ  $S 6 3$  へと進む (ステップ  $S 6 2$ )。次に、書き込み回路であるワード線駆動回路  $W D r n$  が、選択されたメモリセル  $M C$  に書き込むデータを判定する (ステップ  $S 6 3$ )。データが “L” の場合はワード線  $W L n$  に第 1 パルスを供給し (ステップ  $S 6 4$ )、データが “H” の場合はワード線  $W L n$  に第 2 パルスを供給する (ステップ  $S 6 5$ )。ステップ  $S 6 4$  または  $S 6 5$  のいずれかが終了したら、制御部がカウンタの値をインクリメントする (ステップ  $S 6 6$ )。以上のように、ワード線  $W L 1 \sim W L 3$  についても同様に書き込みパルスを印加してデータの書き込みを行う (ステップ  $S 6 2 \sim S 6 6$ )。ステップ  $S 6 2$  において  $n < 4$  でなくなったら、データの書き込みを終了する。

20

30

【0089】

図 19 は図 18 に対応するデータ書き込み時のタイミングチャートである。図 7、図 15 及び図 18 を参照に、書き込み開始時においてワード線  $W L 0 \sim W L 3$  の電位は  $V s s$  に、データ線  $D L 0$  の電位は  $V d d 1$  に維持されている。まず、タイミング信号  $t i m x p z$  が立ち上がり (A)、外部から供給される書き込み信号  $W R z$  により、データ線  $D L 0$  に選択信号が印加され、電位が  $V s s$  へと下降する (B)。次に、第 1 パルス生成信号  $W L L z$  が立ち上がることにより (C)、ワード線  $W L 0$  の電位は  $V d d 0$  に上昇し (D)、データ線  $D L 0$  との電位差は  $V d d 0$  となる。この状態を時間  $t 0$  だけ維持することにより、メモリセル  $M C 1 0$  は高抵抗状態となりデータ “L” が書き込まれる。

40

【0090】

ワード線  $W L 0$  の電位は  $V s s$  へと復帰すると (E)、続いて第 2 パルス生成信号  $W L H z$  が立ち上がり (F)、ワード線  $W L 1$  の電位が  $V d d 1$  へと上昇する (G)。図 17 と異なり、データ線  $D L 0$  の電位は全てのメモリセルへの書き込みが終了するまで  $V s s$  に維持される。以下同様に、ワード線  $W L 2$  は第 2 パルスが (H)、 $W L 3$  には第 1 パルスが印加され (I)、ワード線  $W L 3$  の電位が  $V s s$  に復帰した後に (J)、データ線  $D L 0$  の電位が  $V d d 1$  へと復帰する (K)。以上のプロセスにより、メモリセル  $M C 1 0 \sim M C 1 3$  へのデータ書き込みが完了する。

【0091】

図 16 及び図 17 に示したデータの書き込み方法では、同一のワード線に接続された複

50

数のメモリセルに対し、連続してデータの書き込みを行う。この方法によれば、上下の異なる層に属する複数のメモリセルに対し、連続的にデータを書き込むことができる。これに対し、図18及び図19に示した方法では、同一のデータ線に接続された複数のメモリセルに対し、連続してデータの書き込みを行う。この方法によれば、同一のメモリ層に属する複数のメモリセルに対し、連続的にデータを書きこむことができる。いずれの書き込み方法を使用するかは、メモリセルの配置や記憶されるデータの種類等に応じて適宜選択することができる。なお、図18及び図19の書き込み方法においては、メモリセルMC10～MC13に対し、同時に書き込みパルスを印加することも可能である。

【実施例5】

【0092】

実施例5は、共通線の反対側から書き込みパルスを印加する構成のうち、データ線を共通線とする例である。図20は、実施例5に係る半導体装置の構成を示したブロック図である。実施例5では、ワード線駆動回路WDrが書き込み回路に、データ線駆動回路DDrが選択回路にそれぞれ相当する。書き込み制御回路30の出力はワード線駆動回路WDrに入力されている。メモリセルアレイ10の構成は実施例3(図10)と共通であり、詳細な説明を省略する。また、各周辺回路の構成は、実施例2(図6)及び実施例4(図15)と共通であり、詳細な説明を省略する。

【0093】

実施例5における書き込み動作は、実施例4に示したものとほぼ共通である。例えば、同一のワード線WL0に接続されたメモリセルMC10～MC13に連続してデータを書き込む場合、フローチャートは図16と、タイミングチャートは図17とそれぞれ共通である。ただし、図17のタイミングチャートにおいて、書き込み対象となるメモリセルが実施例4の場合と異なる。具体的には、実施例5(図20)のメモリセルMC11は実施例4(図17)のMC14に、MC12はMC20に、MC13はMC24にそれぞれ相当する。ここでは、メモリセルMC10及びMC13にデータ“L”が書き込まれ、メモリセルMC11及びMC12にはデータ“H”が書き込まれる。

【0094】

また、同一のデータ線DL0に接続されたメモリセルMC10、MC14、MC20、及びMC24に対し連続してデータを書き込む場合、フローチャートは図18と、タイミングチャートは図19とそれぞれ共通である。ここでも、タイミングチャートにおけるメモリセルと書き込みパルスの対応が実施例4とは異なる。具体的には、実施例5(図20)におけるデータの書き込みはメモリセルMC10、MC14、MC20、及びMC24の順で行われ、それぞれが実施例4(図19)のメモリセルMC10～MC13に相当する。メモリセルMC10及びMC24にはデータ“L”が書き込まれ、メモリセルMC14及びMC20にはデータ“H”が書き込まれる。

【実施例6】

【0095】

実施例6は、共通線の反対側から書き込みパルスを印加する構成のうち、ワード線を共通線とする例である。図21は、実施例6に係る半導体装置の構成を示したブロック図である。実施例6では、ワード線駆動回路WDrが選択回路に、データ線駆動回路DDrが書き込み回路にそれぞれ相当する。書き込み制御回路30の出力はデータ線駆動回路DDrに入力されている。メモリセルアレイ10の構成は実施例4(図15)と共通であり、詳細な説明を省略する。また、各周辺回路の構成は、実施例1(図1)及び実施例3(図10)と共通であり、詳細な説明を省略する。

【0096】

実施例6における書き込み動作は、実施例3に示したものとほぼ共通である。例えば、同一のデータ線DL0に接続されたメモリセルMC10～MC13に連続してデータを書き込む場合、フローチャートは図11と、タイミングチャートは図12とそれぞれ共通である。ただし、図12のタイミングチャートにおいて、書き込み対象となるメモリセルが実施例3の場合と異なる。具体的には、実施例6(図21)におけるデータの書き込みは

10

20

30

40

50

メモリセルMC10～MC13の順で行われ、それぞれが実施例3(図12)のメモリセルMC10、MC14、MC20、及びMC24に相当する。メモリセルMC10及びMC13にはデータ“L”が書き込まれ、メモリセルMC11及びMC12にはデータ“H”が書き込まれる。

【0097】

また、同一のワード線WL0に接続されたメモリセルMC10、MC14、MC20、及びMC24に対し連続してデータを書き込む場合、フローチャートは図13と、タイミングチャートは図14とそれぞれ共通である。ここでも、タイミングチャートにおけるメモリセルと書き込みパルスの対応が実施例3とは異なる。具体的には、データの書き込みはメモリセルMC10、MC14、MC20、及びMC24の順で行われ、それぞれが実施例4(図14)におけるメモリセルMC10～MC13に相当する。メモリセルMC10及びMC24にはデータ“L”が書き込まれ、メモリセルMC14及びMC20にはデータ“H”が書き込まれる。

10

【0098】

実施例5では実施例3(図10)と、実施例6では実施例4(図15)とそれぞれメモリセルアレイ10の構成を共通とする半導体装置において、選択回路と書き込み回路を逆に配置した。この構成においても、実施例3～4と同じくデータの書き込みを安定して行うことができる。

【0099】

以下、実施例3～6に係る半導体装置の特性について詳細に説明する。実施例4及び5では、図15及び図20に示されるように、書き込みパルスがワード線駆動回路から供給されるため、ワード線WL0～WL3の容量は軽くなるように設計することが好ましい。この場合、シリアルアクセスの速度は遅くなり、ランダムアクセスの速度は速くなる。従って、データの容量が小さく、ランダムにデータの書き込みが行われるコードストレージ用途に適している。これに対し、実施例3及び6では、図10及び図21に示されるように、書き込みパルスがデータ線駆動回路から供給されるため、ワード線の容量は重くなってもよい。この場合、ランダムアクセス速度は遅くなり、シリアルアクセス速度は速くなる。従って、データの容量が大きく、規則正しくデータの書き込みを行う必要がある動画や画像データ等の記憶用途に適している。

20

【0100】

表2は、実施例1～6に係る半導体装置の特性をまとめた表である。それぞれの実施形態につき、1stアクセス速度、ページサイズ、ページアクセス速度、及び最適と考えられる仕様(従来型のメモリのうち構造の近いものを提示)を示す。実施例1及び実施例2に係る半導体装置の特性は、本明細書の0064段落において説明した通りである。実施例3に係る半導体装置は、ワード線が軽く1stアクセス速度が速いが、データ線からデータの書き込みを行う構造のため、NAND仕様によってNORと同等のメモリ性能を達成することができる。実施例4に係る半導体装置は、データ線が軽くページアクセス速度が速いが、ワード線からデータの書き込みを行う構造のため、NOR仕様によってNANDと同等のメモリ性能を達成することができる。また、実施例5は多層にした場合のNOR特性に限りなく近い構造とすることができ、実施例6は多層にした場合のNAND特性

30

40

【表 2】

実施例	1st アクセス速度	ページ サイズ	ページ アクセス速度	最適と思われる仕様
1	低速	大	高速	NAND
2	高速	小	低速	NOR
3	高速	大	低速	NAND
4	低速	小	高速	NOR
5	高速	小	低速	NOR
6	低速	大	高速	NAND

10

## 【0101】

20

以上のように、実施例 1～6 に係る半導体装置は、装置に要求される機能や特性に応じて、適宜使い分けることが可能である。

## 【実施例 7】

## 【0102】

実施例 1～6 に係るメモリセルは、図 2 (b) に示すように金属電極と抵抗素子からなる MIM 型メモリ素子である。また、メモリセルアレイ 10 は、横方向に形成された複数のワード線 WL と、縦方向に形成された複数のデータ線 DL との交点にメモリセル MC が設けられたクロスポイント型のメモリセルである。従って、実施例 1～6 に係るメモリセルアレイ 10 は、組み合わせで高さ方向に積層して形成することができる。以下、これについて説明する。

30

## 【0103】

図 22 (a) は実施例 7 に係る半導体装置の構成を示した模式図であり、図 22 (b) は図 22 (a) の上面図である。図 22 (a) 及び (b) を参照に、半導体基板 120 の上面に、メモリセル領域 122 が設けられている。メモリセル領域 122 はさらに、第 1 メモリセルアレイ 124 の上方に、第 2 メモリセルアレイ 126 が積層して形成された構成となっている。メモリセル領域 122 の周囲には、第 1 選択回路 130、第 1 書き込み回路 132、第 2 選択回路 134、及び第 2 書き込み回路 136 が、それぞれ半導体基板 120 内に形成されている。

## 【0104】

ここで、第 1 メモリセルアレイ 124 及び第 2 メモリセルアレイ 126 は、実施例 1～6 に示したメモリセルアレイ 10 のうちいずれか 1 つのメモリセルと同じ構成とすることができる。また、第 1 メモリセルアレイ 124 及び第 2 メモリセルアレイ 126 の構成は同じであってもよいし、異なってもよい。

40

## 【0105】

第 1 メモリセルアレイ 124 には、第 1 選択回路 130 及び第 1 書き込み回路 132 が接続されている。第 1 選択回路 130 は選択信号を、第 1 書き込み回路は書き込みパルスを、それぞれ第 1 メモリセルアレイ 124 に対して供給する。同様に、第 2 メモリセルアレイ 126 には、第 2 選択回路 134 及び第 2 書き込み回路 136 が接続されている。第 2 選択回路 134 は選択信号を、第 2 書き込み回路は書き込みパルスを、それぞれ第 2 メモリセルアレイ 126 に対して供給する。これらの周辺回路は、実施例 1～6 において示

50

したように、例えばワード線駆動回路WDrまたはデータ線駆動回路DDrとして構成することができる。

【0106】

実施例7の半導体装置によれば、異なる特性をもつメモリセルアレイを組み合わせて、メモリ領域を構成することができる。また、メモリセル領域に対するデータ書き込みの制御方法も、実施例1～6に示した方法の中から適宜選択することができる。これにより、半導体装置に要求される性能に、より柔軟に対応したメモリ領域を提供することができる。例えば、容量の小さい第1メモリセルアレイ124には、コードストレージに適した実施例4または実施例5の構成を適用し、容量の大きい第2メモリセルアレイ126には、データストレージに適した実施例3または実施例6の構成を適用することが考えられる。この構成によれば、半導体装置が搭載される電子機器を、より効率的に制御することができる。

10

【0107】

以上、本発明の好ましい実施例について詳述したが、本発明は係る特定の実施例に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。

【図面の簡単な説明】

【0108】

【図1】図1は実施例1に係る半導体装置の構成を示したブロック図である。

【図2】図2(a)及び(b)は図1のメモリセルMCの詳細な構成を示した図である。

20

【図3】図3(a)～(d)は図1の周辺回路の詳細な構成を示した図である。

【図4】図4は実施例1に係る半導体装置のデータ書き込み動作を示したフローチャートである。

【図5】図5は実施例1に係る半導体装置のデータ書き込み動作を示したタイミングチャートである。

【図6】図6は実施例2に係る半導体装置の構成を示したブロック図である。

【図7】図7(a)～(d)は図6の周辺回路の詳細な構成を示した図である。

【図8】図8は実施例2に係る半導体装置のデータ書き込み動作を示したフローチャートである。

【図9】図9は実施例2に係る半導体装置のデータ書き込み動作を示したタイミングチャートである。

30

【図10】図10は実施例3に係る半導体装置の構成を示したブロック図である。

【図11】図11は実施例3に係る半導体装置のデータ書き込み動作を示したフローチャートである。

【図12】図12は実施例3に係る半導体装置のデータ書き込み動作を示したタイミングチャートである。

【図13】図13は実施例3の変形例に係る半導体装置のデータ書き込み動作を示したフローチャートである。

【図14】図14は実施例3の変形例に係る半導体装置のデータ書き込み動作を示したタイミングチャートである。

40

【図15】図15は実施例4に係る半導体装置の構成を示したブロック図である。

【図16】図16は実施例4に係る半導体装置のデータ書き込み動作を示したフローチャートである。

【図17】図17は実施例4に係る半導体装置のデータ書き込み動作を示したタイミングチャートである。

【図18】図18は実施例4の変形例に係る半導体装置のデータ書き込み動作を示したフローチャートである。

【図19】図19は実施例4の変形例に係る半導体装置のデータ書き込み動作を示したタイミングチャートである。

【図20】図20は実施例5に係る半導体装置の構成を示したブロック図である。

50

【図 2 1】 図 2 1 は実施例 6 に係る半導体装置の構成を示したブロック図である。

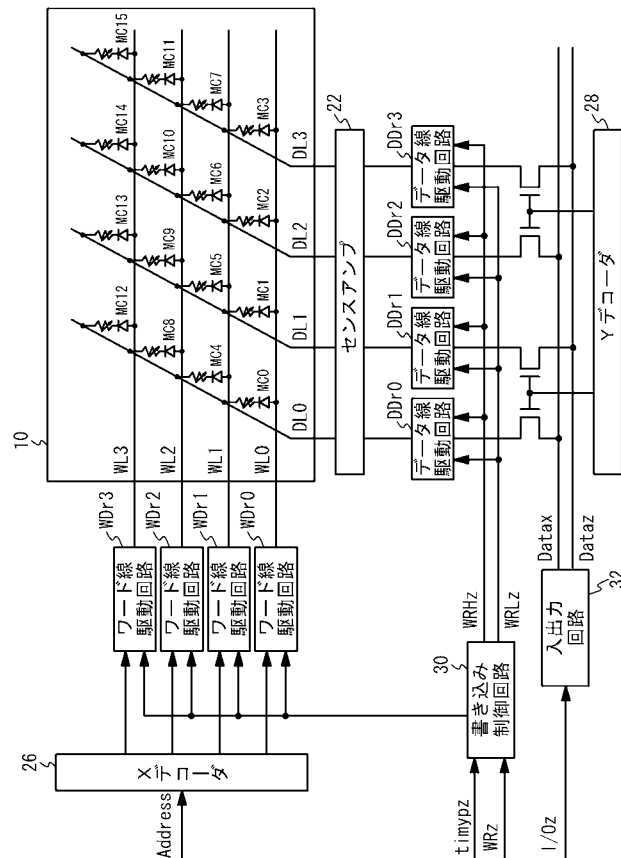
【図 2 2】 図 2 2 ( a ) 及び ( b ) は実施例 7 に係る半導体装置の構成を示したブロック図である。

【符号の説明】

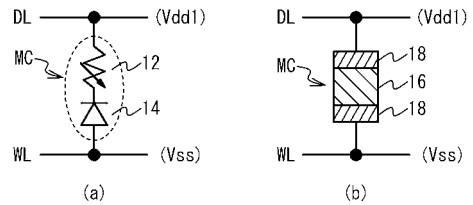
【 0 1 0 9 】

- 1 0      メモリセルアレイ
- 2 2      センスアンプ
- 2 6      X デコーダ
- 2 8      Y デコーダ
- 3 0      書き込み制御回路
- 3 2      入出力回路
- W L      ワード線
- D L      データ線
- M C      メモリセル
- W D r      ワード線駆動回路
- D D r      データ線駆動回路

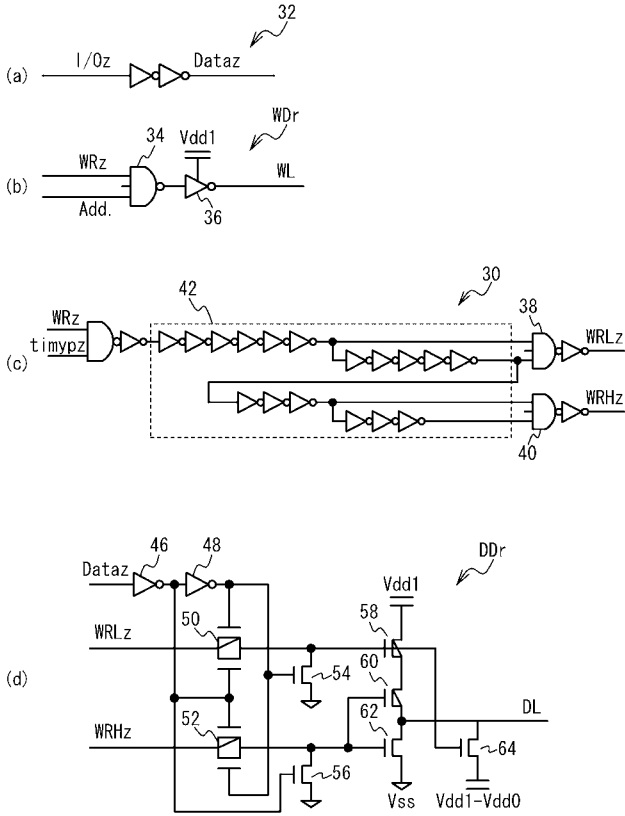
【 図 1 】



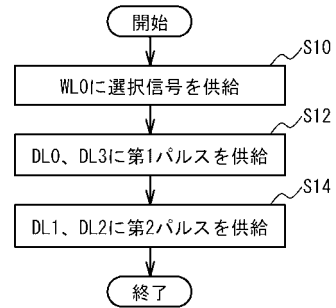
【 図 2 】



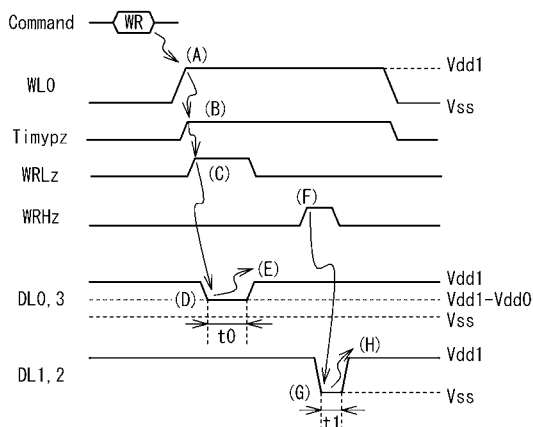
【 図 3 】



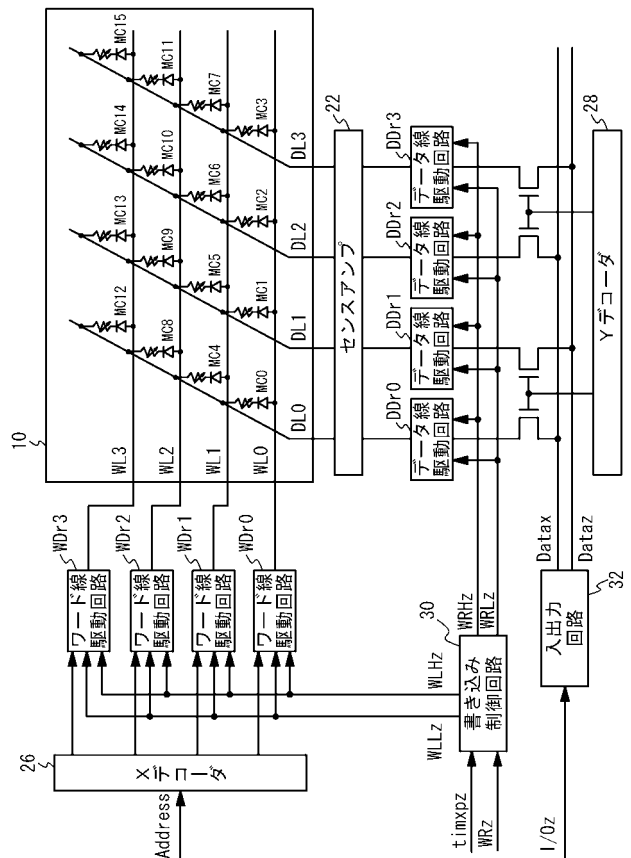
【 図 4 】



【 図 5 】

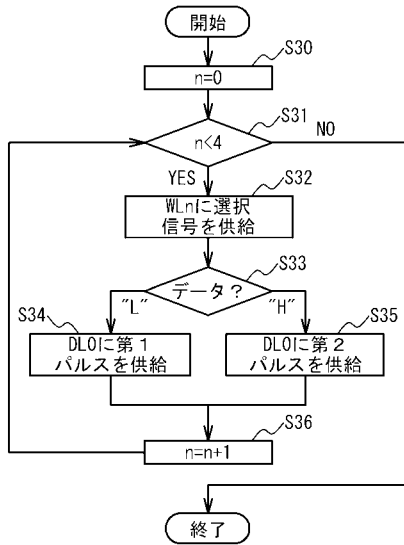


【 図 6 】

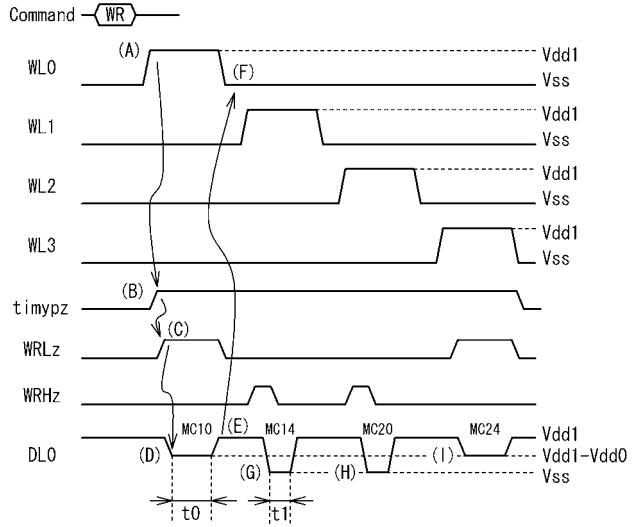




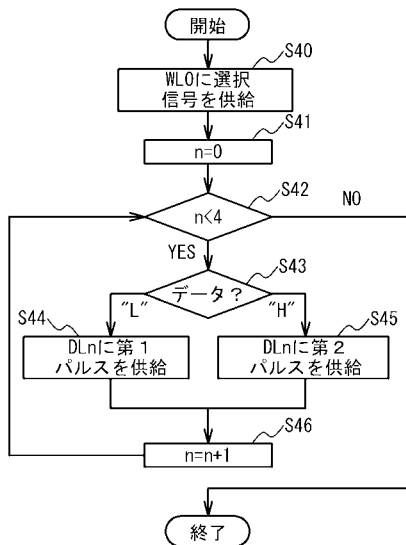
【 図 1 1 】



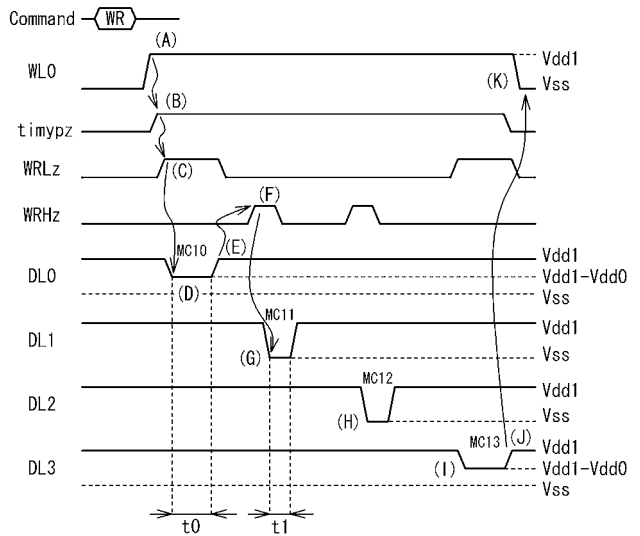
【 図 1 2 】



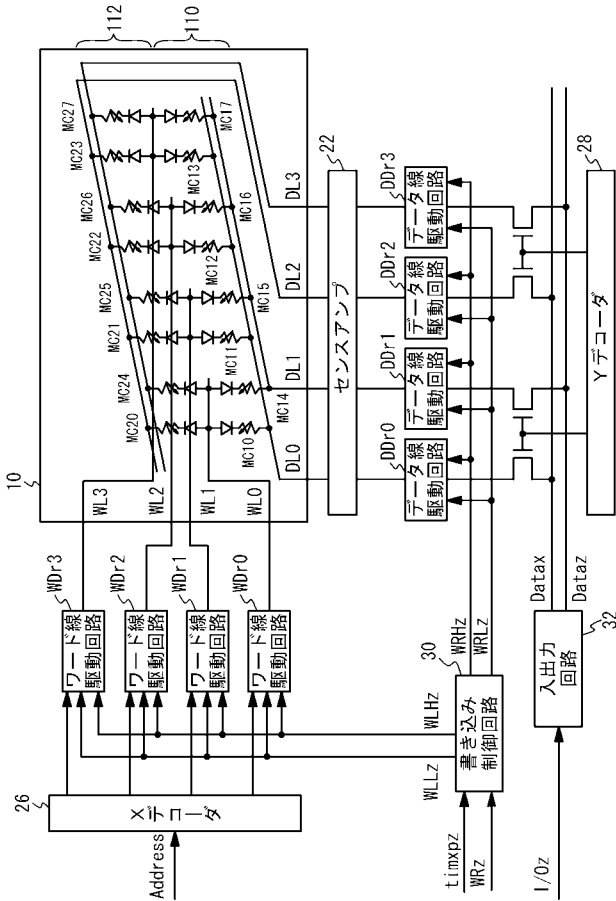
【 図 1 3 】



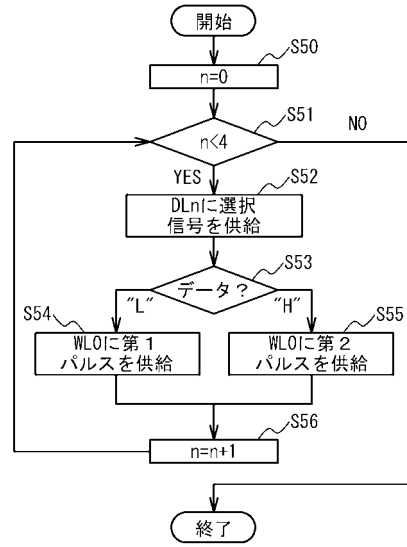
【 図 1 4 】



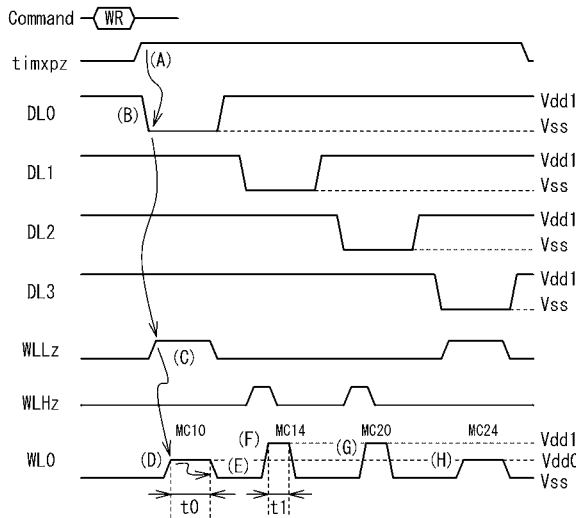
【図 15】



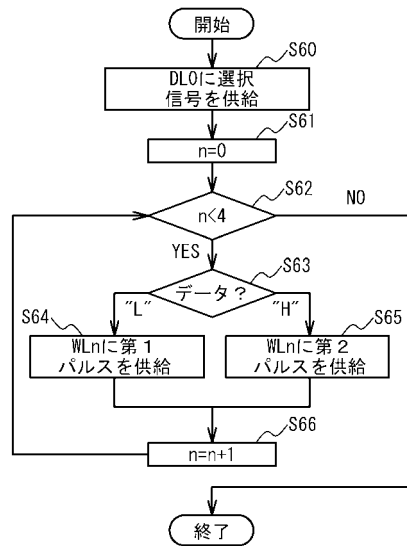
【図 16】



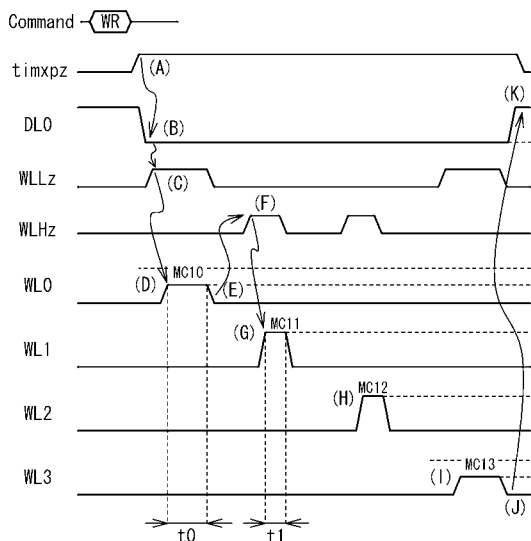
【図 17】



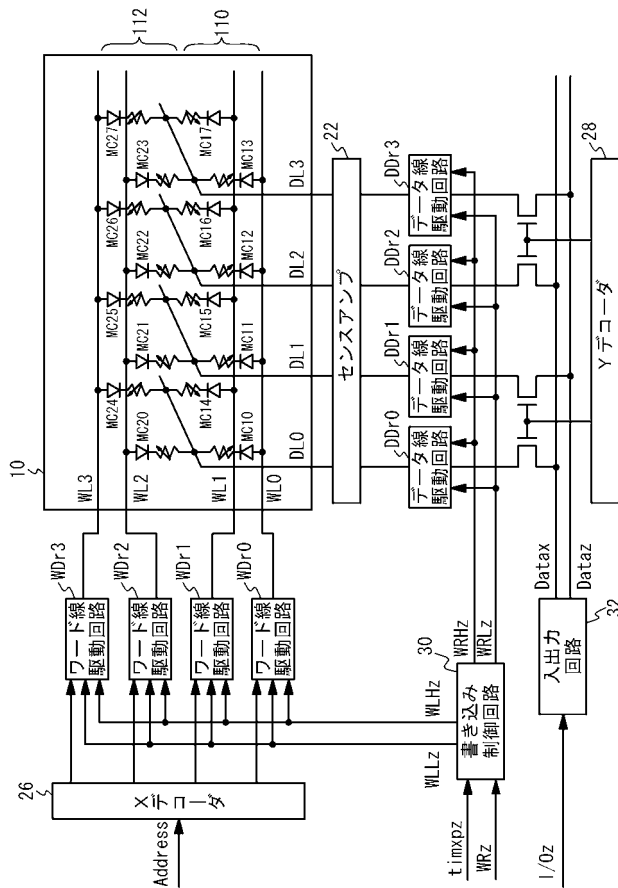
【図 18】



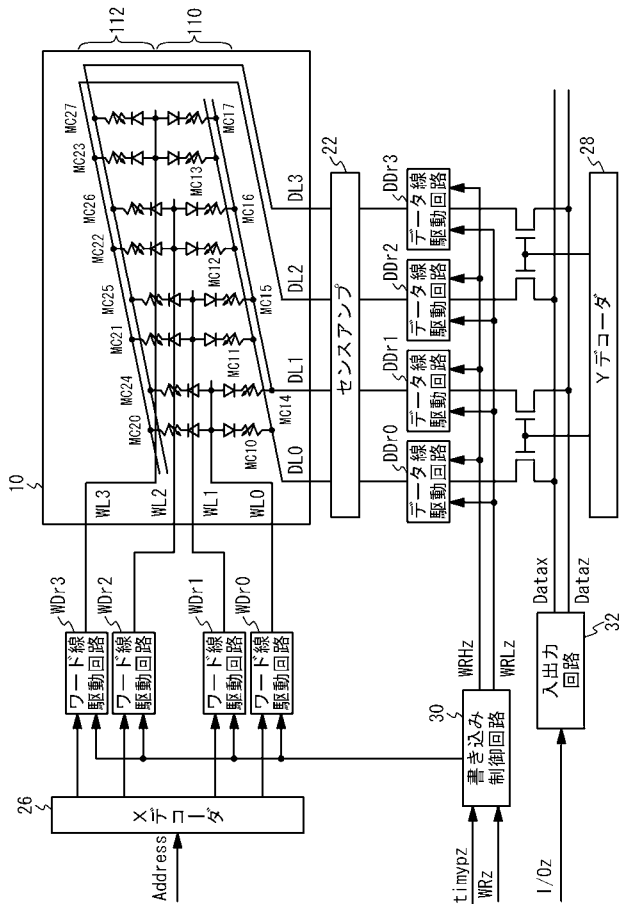
【図19】



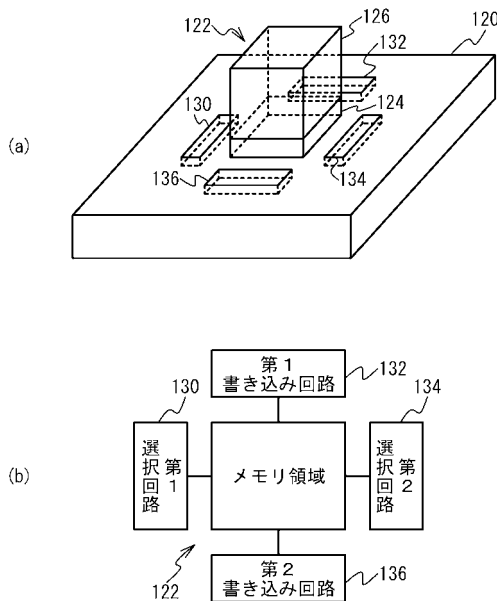
【図20】



【図21】



【図22】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 49/00 Z

H 0 1 L 27/10 4 8 1