

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4101816号
(P4101816)

(45) 発行日 平成20年6月18日(2008.6.18)

(24) 登録日 平成20年3月28日(2008.3.28)

(51) Int.Cl.		F I			
HO2J	7/00	(2006.01)	HO2J	7/00	S
HO1M	10/44	(2006.01)	HO2J	7/00	3O2D
HO2H	7/18	(2006.01)	HO1M	10/44	P
			HO2H	7/18	

請求項の数 14 (全 30 頁)

(21) 出願番号	特願2005-143227 (P2005-143227)	(73) 特許権者	390020248
(22) 出願日	平成17年5月16日(2005.5.16)		日本テキサス・インスツルメンツ株式会社
(65) 公開番号	特開2006-320183 (P2006-320183A)		東京都新宿区西新宿六丁目24番1号
(43) 公開日	平成18年11月24日(2006.11.24)	(74) 代理人	100094053
審査請求日	平成17年5月16日(2005.5.16)		弁理士 佐藤 隆久
		(72) 発明者	芳尾 桂
			大阪府大阪市北区天満橋1丁目8番30号
			OAPオフィスタワービル26階 日本
			テキサス・インスツルメンツ株式会社内
		審査官	廣瀬 文雄

最終頁に続く

(54) 【発明の名称】 バッテリ保護回路

(57) 【特許請求の範囲】

【請求項1】

外部電源とバッテリーとの間の第1の給電経路に挿入される第1のスイッチ回路の開閉を制御するバッテリー保護回路であって、

入力される制御信号に応じて、上記第1の給電経路に生じる電圧を昇圧した第1の駆動電圧を発生し、上記第1のスイッチ回路を当該第1の駆動電圧によってオンに駆動する第1のスイッチ駆動回路と、

入力される制御信号に応じて、上記外部電源と上記バッテリーとの間の第2の給電経路に生じる電圧より低い第2の駆動電圧を発生し、当該第2の給電経路に挿入される第2のスイッチ回路を当該第2の駆動電圧によってオンに駆動する第2のスイッチ駆動回路と、

上記バッテリーの電圧が上記第1のスイッチ駆動回路の昇圧動作に必要な電圧に達していない場合、上記第1のスイッチ駆動回路が昇圧動作を停止し、上記第2のスイッチ駆動回路が上記第2の駆動電圧を発生するように上記制御信号を出力する制御回路と、

を有し、

上記外部電源と上記第2のスイッチ回路との間の上記第2の給電経路には第2の抵抗が挿入されており、

上記第2のスイッチ駆動回路は、上記第2の抵抗と上記第2のスイッチ回路との間の上記第2の給電経路に生じる電圧より低い上記第2の駆動電圧を発生する、

バッテリー保護回路。

【請求項2】

10

20

上記外部電源から上記第1の給電経路を介して供給される電圧に基づいて上記制御回路の電源電圧を発生する電源回路と、

上記電源回路において発生する電源電圧が所定の電圧より低い場合にリセット信号を出力するリセット回路と、

を更に有し、

上記制御回路は、

上記リセット信号を受けて起動した場合、上記第1のスイッチ駆動回路が昇圧動作を停止し、上記第2のスイッチ駆動回路が上記第2の駆動電圧を発生するように上記制御信号を出力し、

上記バッテリーの電圧が上記第1のスイッチ駆動回路の昇圧動作に必要な電圧に達したことを示す所定の信号が入力された場合、上記第1のスイッチ駆動回路が昇圧動作を開始し、上記第2のスイッチ駆動回路が上記第2の駆動電圧の発生を停止するように上記制御信号を出力する、

10

請求項1に記載のバッテリー保護回路。

【請求項3】

上記第1のスイッチ回路は、

ドレインとソースとの間に内蔵されるダイオードが上記外部電源から上記バッテリーへ流れる充電電流に対して順方向となるように上記第1の給電経路に挿入される第1のNMOSトランジスタと、

ドレインとソースとの間に内蔵されるダイオードが上記充電電流に対して逆方向となるように上記第1の給電経路に挿入される第2のNMOSトランジスタとを含み、

20

上記第2のスイッチ回路は、

ドレインとソースとの間に内蔵されるダイオードが上記充電電流に対して逆方向となるように上記第2の給電経路に挿入される第1のPMOSトランジスタを含み、

上記第1のスイッチ駆動回路は、上記第1のNMOSトランジスタのソースに生じる電圧を昇圧して上記第1のNMOSトランジスタのゲートに供給するとともに、上記第2のNMOSトランジスタのソースに生じる電圧を昇圧して上記第2のNMOSトランジスタのゲートに供給し、

上記第2のスイッチ駆動回路は、上記第1のPMOSトランジスタのソースに生じる電圧より低い電圧を上記第1のPMOSトランジスタのゲートに供給する、

30

請求項1又は2に記載のバッテリー保護回路。

【請求項4】

上記第1のNMOSトランジスタ及び上記第2のNMOSトランジスタは、互いのドレインが共通に接続されており、

上記第1のPMOSトランジスタは、上記第1のNMOSトランジスタ及び上記第2のNMOSトランジスタの共通接続されたドレインと上記バッテリーとの間の上記第2の電流経路に挿入される、

請求項3に記載のバッテリー保護回路。

【請求項5】

外部電源とバッテリーとの間の給電経路に挿入されるスイッチ回路の開閉を制御するバッテリー保護回路であって、

40

入力される制御信号に応じて、上記給電経路に生じる電圧を昇圧した電圧を発生し、上記スイッチ回路を当該昇圧した電圧によってオンに駆動するスイッチ駆動回路と、

入力される制御信号に応じて、上記スイッチ回路をオンに駆動するための電圧を上記外部電源から上記給電経路を介して上記スイッチ回路に供給する駆動電圧供給回路と、

上記バッテリーの電圧が上記スイッチ駆動回路の昇圧動作に必要な電圧に達していない場合、上記スイッチ駆動回路が昇圧動作を停止し、上記駆動電圧供給回路が上記スイッチ回路に駆動電圧を供給するように上記制御信号を出力する制御回路と、

を有し、

上記スイッチ回路は、

50

ドレインとソースとの間に内蔵されるダイオードが上記外部電源から上記バッテリーへ流れる充電電流に対して順方向となるように上記給電経路に挿入される第1のNMOSトランジスタと、

ドレインとソースとの間に内蔵されるダイオードが上記充電電流に対して逆方向となるように上記給電経路に挿入される第2のNMOSトランジスタとを含み、

上記スイッチ駆動回路は、上記第1のNMOSトランジスタのソースに生じる電圧を昇圧して上記第1のNMOSトランジスタのゲートに供給するとともに、上記第2のNMOSトランジスタのソースに生じる電圧を昇圧して上記第2のNMOSトランジスタのゲートに供給し、

上記駆動電圧供給回路は、

上記第2のNMOSトランジスタのドレインとゲートとの間に接続される第2のPMOSトランジスタと、

上記制御回路の制御信号に応じて、上記第2のPMOSトランジスタをオン又はオフに駆動するトランジスタ駆動回路とを含む、

バッテリー保護回路。

【請求項6】

上記スイッチ駆動回路の上記昇圧電圧によって上記第2のPMOSトランジスタに流れる電流を阻止するように、上記第2のPMOSトランジスタと直列に接続されるダイオードを有する、

請求項5に記載のバッテリー保護回路。

【請求項7】

上記バッテリーの充電モードを選択するための電圧を入力する第1の端子と、

上記外部電源から上記給電経路を介して上記第1の端子に電圧が供給されているかを判定する判定回路と、

上記外部電源から上記給電経路を介して供給される電圧に基づいて上記制御回路の電源電圧を発生する電源回路と、

上記電源回路において発生する電源電圧が所定の電圧より低い場合にリセット信号を出力するリセット回路と、

を有し、

上記トランジスタ駆動回路は、上記外部電源から上記給電経路を介して上記第1の端子に電圧が供給される場合において、上記リセット回路が上記リセット信号を出力するか、又は、上記制御回路が上記第2のPMOSトランジスタをオンに駆動するための上記制御信号を出力するならば、上記第2のPMOSトランジスタをオンに駆動し、

上記制御回路は、

上記リセット信号を受けて起動した場合、上記第1のスイッチ駆動回路が昇圧動作を停止するように上記制御信号を出力し、

上記リセット回路が上記リセット信号の出力を停止した場合、上記外部電源からの電圧が上記第1の端子に供給されていると上記判定回路が判定するならば、上記トランジスタ駆動回路が上記第2のPMOSトランジスタをオンに駆動するように上記制御信号を出力し、

上記バッテリーの電圧が上記スイッチ駆動回路の昇圧動作に必要な電圧に達したことを示す所定の信号が入力された場合、上記スイッチ駆動回路が昇圧動作を開始し、上記トランジスタ駆動回路が上記第2のPMOSトランジスタをオフに駆動するように上記制御信号を出力する、

請求項5又は6に記載のバッテリー保護回路。

【請求項8】

二次電池と、当該二次電池の電源端子と外部電源端子との間に直列に接続される第1及び第2のトランジスタとを有するバッテリー装置の上記第1及び第2のトランジスタを駆動するためのバッテリー保護回路であって、

上記第1のトランジスタの制御端子に対して第1の駆動信号を供給する第1のドライバ

10

20

30

40

50

と、

上記第 2 のトランジスタの制御端子に対して第 2 の駆動信号を供給する第 2 のドライバと、

外部電源端子に供給される電圧又は基準電圧に応じた電圧が印加されるモード選択端子と、上記第 1 のトランジスタと上記第 2 のトランジスタとの接続中点と上記第 2 のトランジスタの制御端子との間に結合され得る第 4 のトランジスタと、上記モード選択端子に印加される電圧に応じて上記第 4 のトランジスタの制御端子に対して第 4 の駆動信号を供給するための駆動回路とを含むモード選択回路と、

を有し、

二次電池に対して外部電源端子から電流が供給される際に、上記モード選択端子に現われる電圧が上記外部電源端子に供給される電圧に応じた電圧である場合に上記第 4 のトランジスタが導通状態に駆動される、

バッテリー保護回路。

【請求項 9】

外部電源端子に供給される電圧を監視するための電圧監視回路と、

上記第 1 のトランジスタと上記第 2 のトランジスタとの接続中点から給電され得る電源回路と、

を更に有し、

上記電圧監視回路が所定の電圧を検出した後に上記電源回路が内部電源電圧の供給を開始する、

請求項 8 に記載のバッテリー保護回路。

【請求項 10】

上記第 1 及び第 2 のトランジスタが、ドレイン同士が接続された第 1 及び第 2 の NMOS トランジスタである、

請求項 8 又は 9 に記載のバッテリー保護回路。

【請求項 11】

二次電池と、当該二次電池の電源端子と外部電源端子との間に直列に接続される第 1 及び第 2 のトランジスタと、上記第 1 のトランジスタと上記第 2 のトランジスタとの接続中点と二次電池の電源端子との間に結合される第 3 のトランジスタとを有するバッテリー装置の上記第 1、第 2 及び第 3 のトランジスタを駆動するためのバッテリー保護回路であって、

上記第 1 のトランジスタの制御端子に対して第 1 の駆動信号を供給する第 1 のドライバと、

上記第 2 のトランジスタの制御端子に対して第 2 の駆動信号を供給する第 2 のドライバと、

上記第 3 のトランジスタの制御端子に対して第 3 の駆動信号を供給する第 3 のドライバと、

外部電源端子に供給される電圧又は基準電圧に応じた電圧が印加されるモード選択端子と、上記第 1 のトランジスタと上記第 2 のトランジスタとの接続中点と上記第 2 のトランジスタの制御端子との間に結合され得る第 4 のトランジスタと、上記モード選択端子に印加される電圧に応じて上記第 4 のトランジスタの制御端子に対して第 4 の駆動信号を供給するための駆動回路とを含むモード選択回路と、

外部電源端子に供給される電圧を監視するための電圧監視回路と、

上記第 1 のトランジスタと上記第 2 のトランジスタとの接続中点から給電され、上記電圧監視回路が所定の電圧を検出した後に内部電源電圧の供給を開始する電源回路と、

を有し、

二次電池に対して外部電源端子から電流が供給される際に、

上記モード選択端子に現われる電圧が基準電圧に応じた電圧である場合に上記第 4 のトランジスタが非導通状態に駆動され、

上記電源回路から内部電源電圧が供給されていないときに、上記第 3 のドライバが上記第 1 のトランジスタと上記第 2 のトランジスタとの接続中点に現われる電圧に应答して上

10

20

30

40

50

記第 3 のトランジスタを導通状態とするための第 3 の駆動信号を供給する、
 バッテリ保護回路。

【請求項 1 2】

上記バッテリー装置が、二次電池の電源端子と上記第 3 のトランジスタとの間に結合される第 1 の抵抗素子を有する、

請求項 1 1 に記載のバッテリー保護回路。

【請求項 1 3】

上記バッテリー装置が、上記第 1 のトランジスタと上記第 2 のトランジスタとの間の接続中点と上記第 3 のトランジスタとの間に結合される第 2 の抵抗素子を有する、

請求項 1 1 に記載のバッテリー保護回路。

10

【請求項 1 4】

上記第 1 及び第 2 のトランジスタが、ドレイン同士が接続された第 1 及び第 2 の N M O S トランジスタであり、

上記第 3 のトランジスタが、ソースが上記第 1 及び第 2 の N M O S トランジスタのドレインに接続された P M O S トランジスタである、

請求項 1 1 乃至 1 3 の何れかに記載のバッテリー保護回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バッテリーの充放電に異常が発生した場合、給電経路を遮断してバッテリーを保護するバッテリー保護回路に係り、例えば、給電経路を遮断するためのスイッチとして N チャンネルの M O S トランジスタを用いるバッテリー保護回路に関するものである。

20

【背景技術】

【0002】

近年、リチウムイオン電池やニッケル - 水素電池などの比較的小容量のバッテリーにおいてエネルギー密度の向上が著しく進んでおり、小型・軽量でありながら機器を長時間駆動することが可能になってきている。バッテリーの性能向上は、携帯電話機に代表される携帯型電子機器の普及に大きく貢献している。

【0003】

また、バッテリー本体の高性能化に伴って、その周辺回路も高機能化が進んでいる。例えばノート型コンピュータやビデオカメラなどのようにバッテリーの交換が可能な電子機器には、残量管理機能などの各種機能を実現するための電子回路をバッテリー本体に組み込んだバッテリー装置（バッテリー・パックとも呼ばれる）が搭載されている。最近では、マイクロコンピュータ（以降 ‘ μ C’ と略記することがある）を使ってこれらの機能を実現するバッテリー装置が一般的になっている。

30

【0004】

他方、例えばリチウムイオン電池などの高性能なバッテリーは、過充電によってセル電圧が異常に高くなったり、過放電によってセル電圧が極端に低下したり、あるいはセルに過大な充放電電流が流れたりした場合、特性の劣化や故障を構造的に起こし易いという問題がある。そのため、一般的なバッテリー装置には、上記のような異常な充放電が行われた場合にバッテリーと電子機器との間の給電経路を遮断してバッテリーを保護する回路が搭載されている。

40

【0005】

給電経路の遮断には、一般にトランジスタ等の半導体スイッチ素子が用いられており、例えば、オン抵抗が小さく大電流の駆動が可能なパワー M O S F E T などが使用されている。特許文献 1 には、バッテリーの正極側の給電経路を N チャンネルの M O S トランジスタによって遮断するバッテリーの保護回路が記載されている。

【特許文献 1】特開平 1 1 - 1 8 7 5 7 8 号公報

【発明の開示】

【発明が解決しようとする課題】

50

【0006】

図10は、バッテリーの正極側の給電経路をNチャンネルのMOSトランジスタ（以降、‘NMOSトランジスタ’と表記する）によって遮断する保護回路を備えたバッテリー装置の一構成例を示す図である。

図10に示すバッテリー装置100は、NMOSトランジスタQ1、Q2と、バッテリーB1と、抵抗Rs1と、保護回路101と、マイクロコンピュータ102とを有する。

【0007】

バッテリー（二次電池）B1は、例えばリチウムイオン電池などのバッテリー・セルを複数直列に接続して構成される。図10の例では、直列に接続された3つのバッテリー・セルCEL1～CEL3を有する。

10

【0008】

NMOSトランジスタQ1及びQ2は、互いのドレインが共通に接続される。NMOSトランジスタQ1のソースは、バッテリー装置100の正極PACK+に接続される。NMOSトランジスタQ2のソースは、バッテリーB1の正極BAT+に接続される。

【0009】

バッテリーB1の負極BAT-とバッテリー装置100の負極PACK-との間には、抵抗Rs1が接続される。抵抗Rs1は、マイクロコンピュータ102や保護回路101においてバッテリーB1の充放電電流を検出するために用いられる。

【0010】

保護回路101は、NMOSトランジスタQ1、Q2の各ゲートに供給する駆動電圧を発生し、これらのオンとオフを制御する。例えば、所定のインターフェースを介してマイクロコンピュータ102と通信を行い、マイクロコンピュータ102から送られてくる設定値を内部のレジスタに格納する。そして、レジスタに格納した設定値に従ってNMOSトランジスタQ1、Q2のオンとオフをそれぞれ制御する。

20

【0011】

また、保護回路101は、NMOSトランジスタQ1、Q2の駆動電圧を発生するため、例えばチャージポンプ回路などによって構成される昇圧回路を内蔵する。NMOSトランジスタQ1の駆動電圧を発生する昇圧回路は、NMOSトランジスタQ1のソース（すなわち正極PACK+）に生じる電圧を昇圧してNMOSトランジスタQ1のゲートに供給する。NMOSトランジスタQ2の駆動電圧を発生する昇圧回路は、NMOSトランジスタQ2のソース（すなわち正極BAT+）に生じる電圧を昇圧してNMOSトランジスタQ2のゲートに供給する。

30

【0012】

更に、保護回路101は、内部回路や外部のマイクロコンピュータ102に電源電圧Vregを供給するための電源回路を内蔵する。この電源回路は、例えば低ドロップアウト（low-dropout）のリニア・レギュレータによって構成されており、NMOSトランジスタQ1、Q2の共通ドレインに生じる電圧VDDを降圧して一定値の電源電圧Vregを発生する。

【0013】

保護回路101は、抵抗Rs1に生じる電圧に基づいてバッテリーB1の充電電流を監視し、過電流を検出した場合にNMOSトランジスタQ1、Q2を遮断する機能や、レジスタの設定値に応じて選択したバッテリー・セル（CEL1～CEL3）の電圧を検出し、これをマイクロコンピュータ102に出力する機能なども有する。

40

【0014】

マイクロコンピュータ102は、バッテリーB1の充放電電流や各セルの電圧を監視し、過充電や過放電、過電流等の異常が生じた場合、NMOSトランジスタQ1及びQ2をオフするよう保護回路101のレジスタへ設定値を書き込む。また、バッテリーB1の充放電電流を積分して電池残量を予測する処理や、保護回路101における過電流の検出しきい値を設定する処理などを行う。

【0015】

50

また、マイクロコンピュータ 102 は、例えば S M B U S (system management bus) 等のチップ間インターフェースによって後述する電子機器 200 と通信を行い、バッテリー装置 100 の電池残量等の情報を電子機器 200 に提供する。

【0016】

このバッテリー装置 100 は、パーソナルコンピュータ等の電子機器 200 に接続されて使用される。電子機器 200 は、例えば図 10 に示すように、充電回路 C H 1 , C H 2 と、スイッチ回路 S W 1 , S W 2 と、マイクロコンピュータ 210 と、負荷 220 とを有する。

【0017】

負荷 220 は、バッテリー装置 100 からの電源供給によって動作する電子機器 200 の内部負荷を表す。

【0018】

充電回路 C H 1 , C H 2 は、バッテリー装置 100 を充電するための充電電流 I_1 , I_2 を発生し、これをバッテリー装置 100 の正極 P A C K + 側の給電経路に出力する。

充電回路 C H 1 は、スイッチ回路 S W 1 を介して給電経路に接続されており、スイッチ回路 S W 1 がオンのとき給電経路に充電電流 I_1 を出力する。

充電回路 C H 2 は、スイッチ回路 S W 2 を介して給電経路に接続されており、スイッチ回路 S W 2 がオンのとき給電経路に充電電流 I_2 を出力する。

【0019】

充電回路 C H 1 は、バッテリー装置 100 の通常の充電に使用される。一方、充電回路 C H 2 は、バッテリー電圧が一定レベルより低下している場合などにおいて予備的な充電（プリチャージ）を行うために使用される。充電回路 C H 2 が出力する充電電流 I_2 は、充電回路 C H 1 が出力する充電電流 I_1 に比べて小さい。

【0020】

マイクロコンピュータ 210 は、バッテリー装置 100 のマイクロコンピュータ 102 と S M B U S 等によって通信を行い、電池残量等の情報を取得する。また、バッテリー装置 100 から取得した情報に基づいて充電回路 C H 1 , C H 2 やスイッチ回路 S W 1 , S W 2 を制御し、バッテリー B 1 の充電電流を適切な値に設定する。

【0021】

ここで、図 10 に示す上述のバッテリー装置 100 において過放電等によりバッテリー電圧がゼロボルト付近まで低下した場合の充電動作について、図 11 を参照して説明する。

バッテリー電圧がゼロボルト付近まで低下した場合、過大な充電電流によるバッテリー・セルのダメージを避けるため、通常の電流 (I_1) より小さいプリチャージ電流 (I_2) によってバッテリー B 1 の充電が行われる。

【0022】

ステップ S T 1 :

バッテリー B 1 の電圧がゼロボルトの状態ですwitch回路 S W 2 がオンに設定され、充電電流 I_2 によるプリチャージが開始される。

【0023】

ステップ S T 2 :

このとき、バッテリー装置 100 の N M O S トランジスタ Q 1 及び Q 2 は何れもオフであるため、正極 P A C K + に供給される充電電流 $I_{p a c k}$ は N M O S トランジスタ Q 1 のボディ・ダイオード D 1 を介して N M O S トランジスタ Q 1 のドレインに流れ、電圧 V D D が上昇する (図 11 (A))。

【0024】

ステップ S T 3 :

電圧 V D D の上昇によって保護回路 101 の電源回路が動作を開始し、電源電圧 V r e g が発生すると、その電源電圧 V r e g を受けて保護回路 101 の昇圧回路が動作を開始する。また、この電源電圧 V r e g によってマイクロコンピュータ 101 が起動する (図 11 (D))。

10

20

30

40

50

【 0 0 2 5 】

ステップ S T 4 :

昇圧回路が発生する駆動電圧によって N M O S トランジスタ Q 2 がオンし、バッテリー (C E L 1 ~ C E L 3) に充電電流 I p a c k (= I 2) が流れる (図 1 1 (C)) 。

【 0 0 2 6 】

ステップ S T 5 :

昇圧回路の駆動電圧の電圧が上昇すると、これに伴って N M O S トランジスタ Q 1 , Q 2 のオン抵抗が小さくなるため、電圧 V D D が低下する。

【 0 0 2 7 】

ステップ S T 6 :

電圧 V D D の電圧が電源回路の動作可能な電圧より低くなると、電源回路からの電源電圧 V r e g の供給が停止し、昇圧回路の動作が停止する。これにより、N M O S トランジスタ Q 2 がオフしてバッテリー B 1 の充電電流がゼロになる (図 1 1 (C)) 。また、電源電圧 V r e g の供給が停止されるためマイクロコンピュータ 1 0 1 が停止する (図 1 1 (D)) 。

10

【 0 0 2 8 】

ステップ S T 7 :

N M O S トランジスタ Q 2 がオフになると、ボディ・ダイオード D 1 を介して流れる充電電流 I p a c k により電圧 V D D が再び上昇する。バッテリー B 1 の電圧が電源回路の動作可能な電圧になるまで、上述したステップ S T 2 ~ S T 6 の動作が繰り返され、バッテリーが断続的に充電される。

20

【 0 0 2 9 】

ステップ S T 8 :

バッテリー B 1 の電圧が電源回路の動作可能な一定のレベルに達すると、N M O S トランジスタ Q 2 がオンしても電源回路は停止しなくなる。これにより、昇圧回路が持続的に動作して、N M O S トランジスタ Q 2 がオンのまま保持されるため、バッテリーは一定の充電電流 I p a c k (= I 2) によって充電される。

【 0 0 3 0 】

ステップ S T 9 :

バッテリー B 1 の電圧が更に上昇し、通常の充電電流によって充電可能なレベルに達すると、スイッチ回路 S W 2 がオフ、スイッチ回路 S W 1 がオンに切り替えられ、充電電流 I 1 がバッテリーに供給される (図 1 1 (C))) 。また、N M O S トランジスタ Q 1 , Q 2 の両方がオンに駆動される。これにより、プリチャージ時に比べて高速な充電が行われる。

30

【 0 0 3 1 】

ステップ S T 1 0 :

バッテリー B 1 の電圧が充電回路 C H 1 の出力電圧の上限値 (V c) に達すると、充電電流 I 1 がゼロになり、バッテリー B 1 の充電が終了する。

【 0 0 3 2 】

このように、図 1 0 に示すバッテリー装置 1 0 0 においては、過放電等によってバッテリー電圧がゼロボルト付近まで低下すると、保護回路 1 0 0 の昇圧回路が安定に動作できなくなり、N M O S トランジスタ Q 2 がオンとオフを繰り返すため、バッテリーに流れる充電電流が断続的になってしまうという不利益がある。特に、N M O S トランジスタ Q 2 がオフからオンへ変化するとき、バッテリーに流れる電流が一時的にプリチャージ電流 I 2 より大きくなる可能性があり、バッテリー・セルを劣化させる原因になる。

40

【 0 0 3 3 】

本発明はかかる事情に鑑みてなされたものであり、その目的は、外部電源とバッテリーとの間の給電経路に生じる電圧を昇圧して生成した駆動電圧により当該給電経路に設けた N M O S トランジスタ等のスイッチ回路の開閉を制御し、かつ、過放電等によってバッテリー電圧がゼロボルト付近まで低下した場合でも一定の充電電流によって安定にバッテリーを充

50

電することができるバッテリー保護回路を提供することにある。

【課題を解決するための手段】

【0034】

本発明の第1の観点は、外部電源とバッテリーとの間の第1の給電経路に挿入される第1のスイッチ回路の開閉を制御するバッテリー保護回路であって、入力される制御信号に応じて、上記第1の給電経路に生じる電圧を昇圧した第1の駆動電圧を発生し、上記第1のスイッチ回路を当該第1の駆動電圧によってオンに駆動する第1のスイッチ駆動回路と、入力される制御信号に応じて、上記外部電源と上記バッテリーとの間の第2の給電経路に生じる電圧より低い第2の駆動電圧を発生し、当該第2の給電経路に挿入される第2のスイッチ回路を当該第2の駆動電圧によってオンに駆動する第2のスイッチ駆動回路と、上記バッテリーの電圧が上記第1のスイッチ駆動回路の昇圧動作に必要な電圧に達していない場合、上記第1のスイッチ駆動回路が昇圧動作を停止し、上記第2のスイッチ駆動回路が上記第2の駆動電圧を発生するように上記制御信号を出力する制御回路とを有し、上記外部電源と上記第2のスイッチ回路との間の上記第2の給電経路には第2の抵抗が挿入されており、上記第2のスイッチ駆動回路は、上記第2の抵抗と上記第2のスイッチ回路との間の上記第2の給電経路に生じる電圧より低い上記第2の駆動電圧を発生する。

10

【0037】

上記第1の観点に係るバッテリー保護回路は、上記外部電源から上記第1の給電経路を介して供給される電圧に基づいて上記制御回路の電源電圧を発生する電源回路と、上記電源回路において発生する電源電圧が所定の電圧より低い場合にリセット信号を出力するリセット回路とを有しても良い。上記制御回路は、上記リセット信号を受けて起動した場合、上記第1のスイッチ駆動回路が昇圧動作を停止し、上記第2のスイッチ駆動回路が上記第2の駆動電圧を発生するように上記制御信号を出力し、上記バッテリーの電圧が上記第1のスイッチ駆動回路の昇圧動作に必要な電圧に達したことを示す所定の信号が入力された場合、上記第1のスイッチ駆動回路が昇圧動作を開始し、上記第2のスイッチ駆動回路が上記第2の駆動電圧の発生を停止するように上記制御信号を出力しても良い。

20

【0038】

本発明の第2の観点は、外部電源とバッテリーとの間の給電経路に挿入されるスイッチ回路の開閉を制御するバッテリー保護回路であって、入力される制御信号に応じて、上記給電経路に生じる電圧を昇圧した電圧を発生し、上記スイッチ回路を当該昇圧した電圧によってオンに駆動するスイッチ駆動回路と、入力される制御信号に応じて、上記スイッチ回路をオンに駆動するための電圧を上記外部電源から上記給電経路を介して上記スイッチ回路に供給する駆動電圧供給回路と、上記バッテリーの電圧が上記スイッチ駆動回路の昇圧動作に必要な電圧に達していない場合、上記スイッチ駆動回路が昇圧動作を停止し、上記駆動電圧供給回路が上記スイッチ回路に駆動電圧を供給するように上記制御信号を出力する制御回路とを有し、上記スイッチ回路は、ドレインとソースとの間に内蔵されるダイオードが上記外部電源から上記バッテリーへ流れる充電電流に対して順方向となるように上記給電経路に挿入される第1のNMOSトランジスタと、ドレインとソースとの間に内蔵されるダイオードが上記充電電流に対して逆方向となるように上記給電経路に挿入される第2のNMOSトランジスタとを含み、上記スイッチ駆動回路は、上記第1のNMOSトランジスタのソースに生じる電圧を昇圧して上記第1のNMOSトランジスタのゲートに供給するとともに、上記第2のNMOSトランジスタのソースに生じる電圧を昇圧して上記第2のNMOSトランジスタのゲートに供給し、上記駆動電圧供給回路は、上記第2のNMOSトランジスタのドレインとゲートとの間に接続される第2のPMOSトランジスタと、上記制御回路の制御信号に応じて、上記第2のPMOSトランジスタをオン又はオフに駆動するトランジスタ駆動回路とを含む。

30

40

【0040】

上記第2の観点に係るバッテリー保護回路は、上記スイッチ駆動回路の上記昇圧電圧によって上記第2のPMOSトランジスタに流れる電流を阻止するように、上記第2のPMOSトランジスタと直列に接続されるダイオードを有しても良い。

50

【 0 0 4 1 】

また、上記第2の観点に係るバッテリー保護回路は、上記バッテリーの充電モードを選択するための電圧を入力する第1の端子と、上記外部電源から上記給電経路を介して上記第1の端子に電圧が供給されているかを判定する判定回路と、上記外部電源から上記給電経路を介して供給される電圧に基づいて上記制御回路の電源電圧を発生する電源回路と、上記電源回路において発生する電源電圧が所定の電圧より低い場合にリセット信号を出力するリセット回路とを有しても良い。

上記トランジスタ駆動回路は、上記外部電源から上記給電経路を介して上記第1の端子に電圧が供給される場合において、上記リセット回路が上記リセット信号を出力するか、又は、上記制御回路が上記第2のPMOSトランジスタをオンに駆動するための上記制御信号を出力するならば、上記第2のPMOSトランジスタをオンに駆動しても良い。

上記制御回路は、上記リセット信号を受けて起動した場合、上記第1のスイッチ駆動回路が昇圧動作を停止するように上記制御信号を出力し、上記リセット回路が上記リセット信号の出力を停止した場合、上記外部電源からの電圧が上記第1の端子に供給されていると上記判定回路が判定するならば、上記トランジスタ駆動回路が上記第2のPMOSトランジスタをオンに駆動するように上記制御信号を出力し、上記バッテリーの電圧が上記スイッチ駆動回路の昇圧動作に必要な電圧に達したことを示す所定の信号が入力された場合、上記スイッチ駆動回路が昇圧動作を開始し、上記トランジスタ駆動回路が上記第2のPMOSトランジスタをオフに駆動するように上記制御信号を出力しても良い。

【 0 0 4 2 】

本発明の第3の観点は、二次電池と、当該二次電池の電源端子と外部電源端子との間に直列に接続される第1及び第2のトランジスタとを有するバッテリー装置の上記第1及び第2のトランジスタを駆動するためのバッテリー保護回路に関するものである。このバッテリー保護回路は、上記第1のトランジスタの制御端子に対して第1の駆動信号を供給する第1のドライバと、上記第2のトランジスタの制御端子に対して第2の駆動信号を供給する第2のドライバと、外部電源端子に供給される電圧又は基準電圧に応じた電圧が印加されるモード選択端子と、上記第1のトランジスタと上記第2のトランジスタとの接続中点と上記第2のトランジスタの制御端子との間に結合され得る第4のトランジスタと、上記モード選択端子に印加される電圧に応じて上記第4のトランジスタの制御端子に対して第4の駆動信号を供給するための駆動回路とを含むモード選択回路とを有し、二次電池に対して外部電源端子から電流が供給される際に、上記モード選択端子に現われる電圧が上記外部電源端子に供給される電圧に応じた電圧である場合に上記第4のトランジスタが導通状態に駆動される。

【 0 0 4 3 】

上記第3の観点に係るバッテリー保護回路は、外部電源端子に供給される電圧を監視するための電圧監視回路と、上記第1のトランジスタと上記第2のトランジスタとの接続中点から給電され得る電源回路とを更に有しても良い。この場合、上記電圧監視回路が所定の電圧を検出した後に上記電源回路が内部電源電圧の供給を開始しても良い。

【 0 0 4 4 】

上記第1及び第2のトランジスタは、ドレイン同士が接続された第1及び第2のNMOSトランジスタであっても良い。

【 0 0 4 5 】

本発明の第4の観点は、二次電池と、当該二次電池の電源端子と外部電源端子との間に直列に接続される第1及び第2のトランジスタと、上記第1のトランジスタと上記第2のトランジスタとの接続中点と二次電池の電源端子との間に結合される第3のトランジスタとを有するバッテリー装置の上記第1、第2及び第3のトランジスタを駆動するためのバッテリー保護回路に関するものである。このバッテリー保護回路は、上記第1のトランジスタの制御端子に対して第1の駆動信号を供給する第1のドライバと、上記第2のトランジスタの制御端子に対して第2の駆動信号を供給する第2のドライバと、上記第3のトランジスタの制御端子に対して第3の駆動信号を供給する第3のドライバと、外部電源端子に供給

される電圧又は基準電圧に応じた電圧が印加されるモード選択端子と、上記第1のトランジスタと上記第2のトランジスタとの接続中点と上記第2のトランジスタの制御端子との間に結合され得る第4のトランジスタと、上記モード選択端子に印加される電圧に応じて上記第4のトランジスタの制御端子に対して第4の駆動信号を供給するための駆動回路とを含むモード選択回路と、外部電源端子に供給される電圧を監視するための電圧監視回路と、上記第1のトランジスタと上記第2のトランジスタとの接続中点から給電され、上記電圧監視回路が所定の電圧を検出した後に内部電源電圧の供給を開始する電源回路とを有しており、二次電池に対して外部電源端子から電流が供給される際に、上記モード選択端子に現われる電圧が基準電圧に応じた電圧である場合に上記第4のトランジスタが非導通状態に駆動され、上記電源回路から内部電源電圧が供給されていないときに、上記第3のドライバが上記第1のトランジスタと上記第2のトランジスタとの接続中点に現われる電圧に応答して上記第3のトランジスタを導通状態とするための第3の駆動信号を供給する。

10

【0046】

上記バッテリー装置は、二次電池の電源端子と上記第3のトランジスタとの間に結合される第1の抵抗素子を有しても良いし、あるいは、上記第1のトランジスタと上記第2のトランジスタとの間の接続中点と上記第3のトランジスタとの間に結合される第2の抵抗素子を有しても良い。

上記第1及び第2のトランジスタは、ドレイン同士が接続された第1及び第2のNMOSトランジスタであっても良い。

20

上記第3のトランジスタは、ソースが上記第1及び第2のNMOSトランジスタのドレインに接続されたPMOSトランジスタであっても良い。

【発明の効果】

【0047】

本発明によれば、バッテリー電圧がスイッチ回路の駆動電圧を生成するための昇圧動作に必要な電圧に達していない場合、別の給電経路に挿入される昇圧動作の不要なスイッチ回路をオンに駆動することによって、一定の充電電流により安定にバッテリーを充電することができる。

また、本発明によれば、バッテリー電圧がスイッチ回路の駆動電圧を生成するための昇圧動作に必要な電圧に達していない場合、外部電源から給電経路を介して与えられる電圧によってスイッチ回路をオンに駆動することによって、一定の充電電流により安定にバッテリーを充電することができる。

30

【発明を実施するための最良の形態】

【0048】

以下、バッテリー装置に適用された本発明のバッテリー保護回路について、図面を参照して説明する。

【0049】

図1、図2及び図3は、本発明の実施形態に係る3つのバッテリー装置(100A、100B、100C)の構成例を示す図である。

まず、これらのバッテリー装置の全体構成を説明し、次いで、各バッテリー装置において共通に用いられる保護回路110の詳細構成を説明する。

40

【0050】

図1に示すバッテリー装置100Aは、NMOSトランジスタQ1、Q2と、PMOSトランジスタQ3と、バッテリーB1と、抵抗Rs1と、ダイオードD5、D6と、保護回路110と、マイクロコンピュータ150とを有する。

NMOSトランジスタQ1及びQ2は、本発明の第1のスイッチ回路の一実施形態である。

NMOSトランジスタQ1は、本発明の第1のNMOSトランジスタ(第1のトランジスタ)の一実施形態である。

NMOSトランジスタQ2は、本発明の第2のNMOSトランジスタ(第2のトランジ

50

スタ)の一実施形態である。

P M O S トランジスタ Q 3 は、本発明の第 2 のスイッチ回路の一実施形態であるとともに、本発明の第 1 の P M O S トランジスタ (第 3 のトランジスタ) の一実施形態である。

抵抗 R 1 は、本発明の第 1 の抵抗の一実施形態である。

【 0 0 5 1 】

バッテリー B 1 は、例えばリチウムイオン電池などのバッテリー・セルを複数直列に接続して構成される。図 1 の例では、直列に接続された 3 つのバッテリー・セル C E L 1 ~ C E L 3 を有する。

【 0 0 5 2 】

N M O S トランジスタ Q 1 及び Q 2 は、互いのドレインが共通に接続される。N M O S トランジスタ Q 1 のソースは、バッテリー装置 1 0 0 A の正極 P A C K + に接続される。N M O S トランジスタ Q 2 のソースは、バッテリー B 1 の正極 B A T + に接続される。

P M O S トランジスタ Q 3 は、そのソースが N M O S トランジスタ Q 1 及び Q 2 の共通ドレインに接続され、そのドレインが抵抗 R 1 を介して正極 B A T + に接続される。

N M O S トランジスタ Q 1 及び Q 2 の各ゲート並びに P M O S トランジスタ Q 3 のゲートには、保護回路 1 1 0 によって生成される駆動電圧が供給される。

【 0 0 5 3 】

バッテリー B 1 の負極 B A T - とバッテリー装置 1 0 0 A の負極 P A C K - との間には、電流検出用の抵抗 R s 1 が接続される。

【 0 0 5 4 】

なお、正極 P A C K + 、N M O S トランジスタ Q 1 及び Q 2 、正極 B A T + 、負極 B A T - 、抵抗 R s 1 、負極 P A C K - を通る給電経路は、本発明の第 1 の給電経路に相当する。

正極 P A C K + 、N M O S トランジスタ Q 1 (ボディ・ダイオード D 1) 、P M O S トランジスタ Q 3 、抵抗 R 1 、正極 B A T + 、負極 B A T - 、抵抗 R s 1 、負極 P A C K - を通る給電経路は、本発明の第 2 の給電経路に相当する。

【 0 0 5 5 】

ダイオード D 5 及び D 6 は、互いのカソードが共通に接続される。ダイオード D 5 のアノードは、N M O S トランジスタ Q 1 及び Q 2 の共通ドレインに接続される。ダイオード D 6 のアノードは、正極 B A T + に接続される。

ダイオード D 5 及び D 6 の共通接続されたカソードに生じる電圧は、後述する電源回路 1 1 6 に供給される。

【 0 0 5 6 】

保護回路 1 1 0 は、N M O S トランジスタ Q 1 , Q 2 及び P M O S トランジスタ Q 3 の各ゲートに供給する駆動電圧を発生し、これらのオンとオフを制御する。例えば、所定のインターフェースを介してマイクロコンピュータ 1 5 0 と通信を行い、マイクロコンピュータ 1 5 0 から送られてくる設定値を内部のレジスタに格納する。そして、レジスタに格納した設定値に従って N M O S トランジスタ Q 1 , Q 2 及び P M O S トランジスタ Q 3 のオンとオフをそれぞれ制御する。

【 0 0 5 7 】

また、保護回路 1 1 0 は、バッテリー電圧がゼロボルト付近まで低下した場合におけるバッテリー B 1 の充電モードを、端子 P M S に入力される電圧に応じて選択する。すなわち、端子 P M S が負極 B A T - (基準電位) に接続される場合 (図 1 、図 2) 、N M O S トランジスタ Q 2 のドレインとゲートとを切り離れた状態でバッテリー B 1 の充電を開始し、端子 P M S が正極 P A C K + に接続される場合 (図 3) 、N M O S トランジスタ Q 2 のドレインとゲートとを接続した状態でバッテリー B 1 の充電を開始する。

【 0 0 5 8 】

更に、保護回路 1 1 0 は、抵抗 R s 1 に生じる電圧に基づいてバッテリー B 1 の充電電流を監視し、過電流を検出した場合に N M O S トランジスタ Q 1 , Q 2 を遮断する機能や、レジスタの設定値に応じて選択したバッテリー・セル (C E L 1 ~ C E L 3) の電圧を検出

10

20

30

40

50

し、これをマイクロコンピュータ150に出力する機能なども有する。

【0059】

マイクロコンピュータ150は、バッテリーB1の充放電電流や各セルの電圧を監視し、過充電や過放電、過電流等の異常が生じた場合、NMOSトランジスタQ1及びQ2をオフするように保護回路110を設定する。また、バッテリーB1の充放電電流を積分して電池残量を予測する処理や、保護回路110における過電流の検出しきい値を設定する処理などを行う。

【0060】

また、マイクロコンピュータ150は、SMBUS等のチップ間インターフェースによって電子機器200と通信を行い、バッテリー装置100Aの電池残量等の情報を電子機器200に提供する。

10

バッテリー装置100Aに接続される電子機器200は、図10に示す同一符号の構成要素と同じであるため、ここでは説明を割愛する。

【0061】

図2に示すバッテリー装置100Bは、図1に示すバッテリー装置100Aにおける抵抗R1を抵抗R2に置き換えたものである。

抵抗R2は、本発明の第2の抵抗に相当し、NMOSトランジスタQ1及びQ2の共通ドレインとPMOSトランジスタQ3のソースとの間の経路に挿入される。

【0062】

なお、バッテリー装置100Bにおいて、正極PACK+、NMOSトランジスタQ1(ボディ・ダイオードD1)、抵抗R2、PMOSトランジスタQ3、正極BAT+、負極BAT-、抵抗Rs1、負極PACK-を通る給電経路は、本発明の第2の給電経路に相当する。

20

【0063】

また、図2における電子機器200Bは、電子機器200におけるプリチャージ用の充電回路CH2とスイッチ回路SW2を削除したものである。

【0064】

図3に示すバッテリー装置100Cは、図1に示すバッテリー装置100AにおけるPMOSトランジスタQ3及び抵抗R1を削除し、保護回路110の端子PMSを正極PACK+に接続したものである。

30

【0065】

次に、保護回路110の詳細構成について説明する。

保護回路110は、例えば図1～図3に示すように、NMOSトランジスタの駆動回路111、112と、PMOSトランジスタの駆動回路113と、モード選択回路114と、低電圧動作ロック回路115と、電源回路116と、リセット回路117と、セル電圧検出回路118と、過電流検出回路119と、制御回路120とを有する。

駆動回路111及び112は、本発明の第1のスイッチ駆動回路の一実施形態である。

駆動回路111は、本発明の第1のドライバの一実施形態である。

駆動回路112は、本発明の第2のドライバの一実施形態である。

駆動回路113は、本発明の第2のスイッチ駆動回路(第3のドライバ)の一実施形態である。

40

電源回路116は、本発明の電源回路の一実施形態である。

低電圧動作ロック回路115は、本発明の電源監視回路の一実施形態である。

制御回路120は、本発明の制御回路の一実施形態である。

【0066】

駆動回路111は、制御回路120から出力される制御信号DSGに応じて、NMOSトランジスタQ1のゲートに供給する駆動電圧を発生する。駆動回路111は、例えばチャージポンプ回路等の昇圧回路を有しており、制御信号DSGがハイレベルの場合にNMOSトランジスタQ1のソース(すなわち正極PACK+)の電圧を昇圧してNMOSトランジスタQ1のゲートに供給する。

50

【 0 0 6 7 】

駆動回路 1 1 2 は、制御回路 1 2 0 から出力される制御信号 C H G に応じて、N M O S トランジスタ Q 2 のゲートに供給する駆動電圧を発生する。駆動回路 1 1 2 は、例えばチャージポンプ回路等の昇圧回路を有しており、制御信号 C H G がハイレベルの場合に N M O S トランジスタ Q 2 のソース（すなわち正極 B A T + ）の電圧を昇圧して N M O S トランジスタ Q 2 のゲートに供給する。

【 0 0 6 8 】

駆動回路 1 1 3 は、制御回路 1 2 0 から出力される制御信号 x Z V に応じて、P M O S トランジスタ Q 3 のゲートに供給する駆動電圧を発生する。駆動回路 1 1 3 は、例えばクランプ回路を有しており、制御信号 x Z V がローレベルの場合に P M O S トランジスタ Q 3 のソース（すなわち N M O S トランジスタ Q 1 及び Q 2 の共通ドレイン）に生じる電圧 V D D より低い駆動電圧 Z V O を発生して P M O S トランジスタ Q 3 のゲートに供給する。

10

【 0 0 6 9 】

図 4 は、駆動回路 1 1 3 の構成の一例を示す図である。

駆動回路 1 1 3 は、例えば図 4 に示すように、差動増幅器 O P 1 と、基準電圧発生回路 U 1 と、N M O S トランジスタ Q 4 と、抵抗 R 3 ~ R 7 とを有する。

【 0 0 7 0 】

抵抗 R 3 は、N M O S トランジスタ Q 1 及び Q 2 の共通ドレインと駆動電圧 Z V O の出力端子との間に接続される。

20

【 0 0 7 1 】

抵抗 R 6 は、駆動電圧 Z V O の出力端子と差動増幅器 O P 1 の負側の入力端子との間に接続される。

抵抗 R 7 は、差動増幅器 O P 1 の負側の入力端子と基準電位（負極 B A T - ）との間に接続される。

【 0 0 7 2 】

N M O S トランジスタ Q 4 のドレインは抵抗 R 4 を介して駆動電圧 Z V O の出力端子に接続され、そのソースは抵抗 R 5 を介して基準電位に接続され、そのゲートは差動増幅器 O P 1 の出力に接続される。

【 0 0 7 3 】

基準電圧発生回路 U 1 は、基準電圧 V r e f を発生して差動増幅器 O P 1 の正側入力端子に入力する。

30

【 0 0 7 4 】

差動増幅器 O P 1 は、電源回路 1 1 6 において生成される電源電圧 V r e g を受けて動作する回路であり、正側入力端子（+）に入力される電圧と負側入力端子（-）に入力される電圧との差を増幅して N M O S トランジスタ Q 4 のゲートに出力する。

また、差動増幅器 O P 1 は、制御信号 x Z V がローレベルの場合に上記の増幅動作を行う。制御信号 x Z V がハイレベルの場合は、ローレベルの信号を出力して N M O S トランジスタ Q 4 をオフに設定する。

【 0 0 7 5 】

図 5 は、バッテリー電圧がゼロボルト付近まで低下した場合における駆動回路 1 1 3 の動作を説明するための図である。

40

図 5 (A) は、N M O S トランジスタ Q 1 及び Q 2 の共通ドレインに生じる電圧 V D D 、及び、駆動回路 1 1 3 から出力される駆動電圧 Z V O を示す。

図 5 (B) は、低電圧動作ロック回路 1 1 5 から出力される信号 x U V L O を示す。

図 5 (C) は、電源回路 1 1 6 において生成される電源電圧 V r e g を示す。

図 5 (D) は、リセット回路 1 1 7 から出力されるリセット信号 x R E S E T を示す。

図 5 (E) は、制御回路 1 2 0 から出力される制御信号 x Z V を示す。

【 0 0 7 6 】

バッテリー電圧がゼロボルト付近まで低下している状態で電子機器 2 0 0 の充電回路 C H

50

2 から充電電流 I_2 が供給されると、NMOS トランジスタ Q_1 のドレインとソースとの間のボディ・ダイオード D_1 を介して NMOS トランジスタ Q_1 のドレインに充電電流 I_2 が流れるため、ドレインの電圧 V_{DD} が上昇する。この電圧が一定のレベルより低い場合、後述の低電圧動作ロック回路 115 からローレベルの信号 x_{UVLO} が出力され (図 5 (B))、電源回路 116 は電源電圧 V_{reg} の供給を停止する (図 5 (C))。

【0077】

電源回路 116 から電源電圧 V_{reg} が供給されない場合、差動増幅器 OP_1 が動作しないため、NMOS トランジスタ Q_4 のゲートには駆動電圧が供給されず、NMOS トランジスタ Q_4 はオフする。したがって、駆動電圧 ZVO は、抵抗 R_6 、 R_7 の直列回路と抵抗 R_3 とによって電圧 V_{DD} を分圧した値になる。抵抗 R_6 、 R_7 の抵抗値が抵抗 R_3 の抵抗値に比べて十分大きいものとする、駆動電圧 ZVO は電圧 V_{DD} とほぼ等しくなる (図 5 (A))。

【0078】

電圧 V_{DD} が一定レベルに達すると、低電圧動作ロック回路 115 の信号 x_{UVLO} がハイレベルに変化し、電源回路 116 が起動する (図 5 (C))。電源回路 116 が起動する当初において、リセット回路 117 はローレベルのリセット信号 x_{RESET} を出力するため (図 5 (D))、これを受けた制御回路 120 は所定の初期状態になる。制御回路 120 は、この初期状態においてローレベルの制御信号 x_{ZV} を出力する (図 5 (E))。差動増幅器 OP_1 は、ローレベルの制御信号 x_{ZV} を受けて増幅動作を開始する。

【0079】

差動増幅器 OP_1 は、抵抗 R_6 及び R_7 によって駆動電圧 ZVO を分圧した値と基準電圧 V_{ref} とが等しくなるように、NMOS トランジスタ Q_4 のゲート電圧を発生する。そのため、駆動電圧 ZVO は、抵抗 R_6 及び R_7 の抵抗値と基準電圧 V_{ref} とによって決まる一定の電圧 (V_{c1}) にクランプされる。

例えば、抵抗 R_6 の抵抗値を 119K 、抵抗 R_7 の抵抗値を 60K 、基準電圧 V_{ref} を 1.7V とすると、電圧 V_{c1} は次式のようにになる。

【0080】

[数1]

$$V_{c1} = 1.7 \times (119\text{K} + 60\text{K}) / 60\text{K} \approx 3.5 [\text{V}] \quad \dots (1)$$

【0081】

駆動電圧 ZVO が一定の電圧 V_{c1} にクランプされるように制御が働くため、電圧 V_{DD} が上昇するにつれて NMOS トランジスタ Q_3 の抵抗値は小さくなる。ところが、電圧 V_{DD} が一定のレベルより高くなると、NMOS トランジスタ Q_4 の抵抗値をゼロにしても (すなわち NMOS トランジスタ Q_4 をショートしても) 駆動電圧 ZVO を電圧 V_{c1} にクランプできなくなり、駆動電圧 ZVO が電圧 V_{c1} を超えて上昇し始める。

例えば抵抗 R_3 の抵抗値を 5K 、抵抗 R_4 の抵抗値を 4.2K 、抵抗 R_5 の抵抗値を 800 (0.8K) とすると、電圧 V_{DD} が約 7V を超えたところで駆動電圧 ZVO が上昇し始める。この場合、駆動電圧 ZVO は次式のようにになる。

【0082】

[数2]

$$ZVO = V_{DD} \times (4.2\text{K} + 0.8\text{K} + 5\text{K}) / 5\text{K} = V_{DD} / 2 \quad \dots (2)$$

【0083】

この状態で更に電圧 V_{DD} が上昇すると、抵抗 R_5 に生じる電圧によって NMOS トランジスタ Q_4 のソース電圧が上昇し、これに応じて NMOS トランジスタ Q_4 のゲート電圧も上昇する。このゲート電圧が差動増幅器 OP_1 の出力可能な上限値に達すると、NMOS トランジスタ Q_4 に流れる電流はこの上限値によって制限された一定の電流になる。

例えば、差動増幅器 OP_1 の出力電圧の上限値が 3V 、NMOS トランジスタ Q_4 のしきい値が 0.6V とすると、この上限値 3V に達したとき抵抗 R_5 に流れる電流は 3mA になる。その結果、NMOS トランジスタ Q_4 の電流は 3mA に制限され、抵抗 R_3 (5K) に生じる電圧は最大 15V ($= 3\text{mA} \times 5\text{k}$) に制限される。すなわち、PMOS

10

20

30

40

50

トランジスタQ3のゲートとソースとの間の電圧は最大15Vに制限される。

【0084】

駆動回路113は、電圧VDDを上記のように3段階にクランプすることによって、電圧VDDより低い駆動電圧ZVOを生成し、PMOSTランジスタQ3をオンに駆動する。

PMOSTランジスタQ3がオンすると、これを經由して流れるプリチャージ電流によりバッテリーB1が充電される。バッテリーB1の電圧が一定のレベルに達すると、制御回路120は制御信号xZVをローレベルからハイレベルに切り換える(図5(E))。制御信号xZVがハイレベルになると、差動増幅器OP1の増幅動作が停止して、NMOSTランジスタQ4がオフするため、駆動電圧ZVOは電圧VDDとほぼ等しくなる。これにより、PMOSTランジスタQ3はオンからオフに切り替わり、バッテリーB1のプリチャージが停止される。

10

以上が駆動回路113の説明である。

【0085】

モード選択回路114は、バッテリー電圧がゼロボルト付近まで低下した場合におけるバッテリーB1の充電モードを選択するための回路である。

すなわち、端子PMSが負極BAT-に接続される場合(図1、図2)、モード選択回路114は、NMOSTランジスタQ2のドレインとゲートとを切り離れた状態でバッテリーB1の充電を開始する。

他方、端子PMSが正極PACK+に接続される場合(図3)、モード選択回路114は、NMOSTランジスタQ2のドレインとゲートとを接続した状態でバッテリーB1の充電を開始する。すなわち、NMOSTランジスタQ1及びQ2の共通ドレインに生じる電圧VDDをNMOSTランジスタQ2のゲートに供給することにより、NMOSTランジスタQ2をオンに駆動した状態で、バッテリーB1の充電を開始する。

20

【0086】

図6は、モード選択回路114の構成の一例を示す図である。

図6に示すモード選択回路114は、PMOSTランジスタQ5と、NMOSTランジスタQ6~Q9と、ダイオードD4と、ツェナダイオードZD1と、抵抗R8~R12と、キャパシタC1と、バッファ回路U2とを有する。

なお、PMOSTランジスタQ5、NMOSTランジスタQ6~Q8、ツェナダイオードZD1、抵抗R8~R11、キャパシタC1を含む回路は、本発明の駆動電圧供給回路の一実施形態である。

30

PMOSTランジスタQ5は、本発明の第2のPMOSTランジスタの一実施形態である。

NMOSTランジスタQ6~Q8、ツェナダイオードZD1、抵抗R8~R11、キャパシタC1を含む回路は、本発明のトランジスタ駆動回路の一実施形態である。

NMOSTランジスタQ9、抵抗R12、バッファ回路U2を含む回路は、本発明の判定回路の一実施形態である。

【0087】

PMOSTランジスタQ5は、NMOSTランジスタQ2のドレインとゲートとの間に接続される。図6の例では、PMOSTランジスタQ5のドレインは、後述のダイオードD4を介してNMOSTランジスタQ2のゲートに接続され、PMOSTランジスタQ5のソースは、NMOSTランジスタQ2のドレインに接続される。

40

【0088】

ダイオードD4は、駆動回路112の駆動電圧によってPMOSTランジスタQ5に流れる電流を阻止するように、PMOSTランジスタQ5と直列に接続される。図6の例では、PMOSTランジスタQ5のドレインにダイオードD4のアノードが接続され、NMOSTランジスタQ2のゲートにダイオードD4のカソードが接続される。

【0089】

ツェナダイオードZD1のカソードは、PMOSTランジスタQ5のゲートに接続され

50

、そのアノードは抵抗 R 9 を介して N M O S トランジスタ Q 6 , Q 7 のドレインに共通接続される。N M O S トランジスタ Q 6 , Q 7 のソースは、それぞれ基準電位 (負極 B A T -) に接続される。

抵抗 R 8 は、P M O S トランジスタ Q 5 のソースとツェナダイオードのアノードとの間に接続される。

【 0 0 9 0 】

端子 P M S と基準電位との間には、抵抗 R 1 0 とキャパシタ C 1 が直列に接続される。

抵抗 R 1 0 は端子 P M S 側に接続され、キャパシタ C 1 は基準電位側に接続される。

抵抗 R 1 0 とキャパシタ C 1 との接続点は、N M O S トランジスタ Q 6 , Q 9 のゲートに接続されるとともに、抵抗 R 1 1 及び N M O S トランジスタ Q 8 の直列回路を介して基準電位に接続される。

10

【 0 0 9 1 】

N M O S トランジスタ Q 9 のドレインは、抵抗 R 1 2 を介して電源電圧 V r e g の供給線に接続され、そのソースは基準電位に接続される。

N M O S トランジスタ Q 9 のドレインに生じる電圧は、電源電圧 V r e g を受けて動作するバッファ回路 U 2 に入力される。バッファ回路 U 2 の出力信号 x P M S は、端子 P M S の接続状態を示す信号として制御回路 1 2 0 に出力される。

【 0 0 9 2 】

上述した構成を有する図 6 に示すモード選択回路 1 1 6 によると、端子 P M S が基準電位 (負極 B A T -) に接続される場合、N M O S トランジスタ Q 6 , Q 9 のゲート電圧が基準電位になるため、これらのトランジスタがオフに駆動される。

20

バッテリー電圧がゼロボルト付近まで低下して電源回路 1 1 6 が起動していないとき、制御回路 1 2 0 から出力される制御信号 P C H G はローレベルになり、N M O S トランジスタ Q 7 はオフする。この状態で N M O S トランジスタ Q 6 もオフになると、抵抗 R 8 に流れる電流はゼロになり、ツェナダイオード Z D 1 はオフする。そのため、P M O S トランジスタ Q 5 のゲートとソースの電圧はほぼ等しくなり、P M O S トランジスタ Q 5 はオフする。

また、充電電流 I p a c k により電源回路 1 1 6 が起動して電源電圧 V r e g が発生すると、P M O S トランジスタ Q 9 のドレイン電圧は電源電圧 V r e g と等しくなり、バッファ回路 U 2 からハイレベルの信号 x P M S が出力される。

30

【 0 0 9 3 】

他方、端子 P M S が正極 P A C K + に接続される場合、充電回路 C H 1 若しくは C H 2 から供給される充電電流 I p a c k によって端子 P M S の電圧が上昇する。

バッテリー電圧がゼロボルト付近まで低下して電源回路 1 1 6 が起動していないとき、リセット回路 1 1 6 からローレベルのリセット信号 x R E S E T が出力され、N M O S トランジスタ Q 8 はオフする。この状態で端子 P M S の電圧が上昇すると、端子 P M S から抵抗 R 1 0 を介して流れる電流によりキャパシタ C 1 の電圧が上昇し、N M O S トランジスタ Q 6 及び Q 9 がオンに駆動される。

N M O S トランジスタ Q 6 がオンすると、抵抗 R 8 に電流が流れて電圧降下が生じる。電圧 V D D の上昇に応じて抵抗 R 8 の電圧降下が大きくなり、これがツェナダイオード Z D 1 のツェナ電圧 V z d と P M O S トランジスタ Q 5 のしきい電圧 V t h との和 ' V z d + V t h ' を超えると、P M O S トランジスタ Q 5 がオンする。これにより、P M O S トランジスタ Q 5 及びダイオード 4 を介して N M O S トランジスタ Q 2 のゲートに駆動電圧が供給され、N M O S トランジスタ Q 2 がオンする。

40

また、充電電流 I p a c k により電源回路 1 1 6 が起動して電源電圧 V r e g が発生すると、P M O S トランジスタ Q 9 のドレイン電圧は基準電位と等しくなり、バッファ回路 U 2 からローレベルの信号 x P M S が出力される。

以上が、モード選択回路 1 1 4 の説明である。

【 0 0 9 4 】

低電圧動作ロック回路 1 1 5 は、正極 P A C K + の電圧が所定の電圧より低い場合、電

50

源回路 116 による電源電圧 V_{reg} の供給を停止させるローレベルの信号 x_{UVLO} を出力し、正極 $PACK+$ の電圧がこの所定の電圧を超えた場合、信号 x_{UVLO} をローレベルからハイレベルに切り替えて電源回路 116 を起動させる。

【0095】

電源回路 116 は、保護回路 110 内部の各回路やマイクロコンピュータ 150 に供給する電源電圧 V_{reg} を発生する。

電源回路 116 は、例えば低ドロップアウト (low-dropout) のリニア・レギュレータによって構成されており、NMOS トランジスタ Q_1 、 Q_2 の共通ドレインからダイオード D_5 を介して供給される電圧、若しくは、正極 $BAT+$ からダイオード D_6 を介して供給される電圧を入力し、この入力電圧を降圧して一定値の電源電圧 V_{reg} を発生する。

10

【0096】

リセット回路 117 は、電源回路 116 において発生する電源電圧 V_{reg} が所定の電圧より低い場合にローレベルのリセット信号 x_{RESET} を出力し、電源電圧 V_{reg} がこの所定の電圧を超えた場合、リセット信号 x_{RESET} をローレベルからハイレベルに切り換える。

【0097】

セル電圧検出回路 118 は、制御回路 120 の制御に従って 3 つのバッテリー・セル ($C_{EL1} \sim C_{EL3}$) から 1 つを選択し、当該選択したバッテリー・セルの電圧を検出する。そして、この検出結果をマイクロコンピュータ 150 に出力する。

【0098】

過電流検出回路 119 は、抵抗 R_{s1} に発生する電圧が制御回路 120 によって設定されたしきい値を超えたか否かを検出し、この検出結果を制御回路 120 に出力する。

20

【0099】

制御回路 120 は、電源電圧 V_{reg} の供給を受けて動作する回路であり、保護回路 110 内部の各回路を制御するための制御信号を出力する。すなわち、制御回路 120 は、所定のインターフェースを介してマイクロコンピュータ 150 と通信を行い、マイクロコンピュータ 150 から送られてくる設定値を内部のレジスタに格納する。そして、レジスタの設定値に応じて保護回路 110 内部の各回路を制御する。

例えば、レジスタに格納される設定値に応じて、各トランジスタ ($Q_1 \sim Q_3$) のオンとオフの制御や、過電流検出回路 119 における過電流検出しきい値の設定、セル電圧検出回路 118 における検出対象のバッテリー・セルの選択などを行う。

30

【0100】

また、制御回路 120 は、過電流検出回路 119 の検出結果を監視し、しきい値を超える過電流が検出された場合には制御信号 CHG 、 DSG を直ちにローレベルにする。これにより、NMOS トランジスタ Q_1 、 Q_2 を遮断して、バッテリー B_1 を過電流から保護する。

【0101】

更に、制御回路 120 は、電源回路 116 の起動時などにおいてローレベルのリセット信号 x_{RESET} が入力されると、レジスタの設定値を初期化する。この場合、制御回路 120 は、制御信号 CHG 、 DSG 、 x_{ZV} 、 $PCHG$ を全てローレベルに設定する。

40

【0102】

すなわち、制御回路 120 は、ローレベルのリセット信号 x_{RESET} を受けて起動すると、駆動回路 111、112 が昇圧動作を停止し、駆動回路 113 が駆動電圧 ZVO を発生するように制御信号 CHG 、 DSG 、 x_{ZV} を出力する。

したがって、図 1 に示すバッテリー装置 100A や図 2 に示すバッテリー装置 100B では、バッテリー B_1 の電圧がゼロボルト付近まで低下した状態で制御回路 120 が起動すると、NMOS トランジスタ Q_1 及び Q_2 がオフ、PMOS トランジスタ Q_3 がオンになり、PMOS トランジスタ Q_3 を流れる電流によってバッテリー B_1 が充電される。

【0103】

他方、制御回路 120 は、ローレベルのリセット信号 x_{RESET} がハイレベルに切り

50

替わるとき、端子 PMS に正極 P A C K + からの電圧が供給されていることを示すローレベルの信号 x PMS がモード選択回路 1 1 4 から出力されているならば、モード選択回路 1 1 4 の P M O S トランジスタ Q 5 がオンするようにハイレベルの制御信号 P C H G を出力する。

したがって、図 3 に示すバッテリー装置 1 0 0 C では、バッテリー B 1 の電圧がゼロボルト付近まで低下した状態で制御回路 1 2 0 が起動すると、N M O S トランジスタ Q 2 はゲートとドレインとを接続されてオン状態になり、N M O S トランジスタ Q 2 を流れる電流によりバッテリー B 1 が充電される。

【 0 1 0 4 】

バッテリー B 1 が充電されているとき、マイクロコンピュータ 1 5 0 はバッテリー B 1 の電圧を監視する。そして、バッテリー B 1 の電圧が駆動回路 1 1 1 , 1 1 2 の安定な昇圧動作に必要な電圧に達したと判断すると、マイクロコンピュータ 1 5 0 は制御信号 C H G , D S G , x Z V をハイレベル、制御信号 P C H G をローレベルにするよう制御回路 1 2 0 のレジスタに設定値を書き込む。

制御回路 1 2 0 は、マイクロコンピュータ 1 5 0 により書き込まれたレジスタの設定値に応じて、制御信号 C H G , D S G , x Z V をハイレベル、制御信号 P C H G をローレベルに設定し、P M O S トランジスタ Q 3 及び Q 5 をオフ、N M O S トランジスタ Q 1 及び Q 2 をオンに切り替える。これにより、バッテリー B 1 は、N M O S トランジスタ Q 1 及び Q 2 を流れる電流によって充電される。

【 0 1 0 5 】

ここで、上述した構成を有するバッテリー装置 (1 0 0 A , 1 0 0 B , 1 0 0 C) の動作を説明する。

【 0 1 0 6 】

< バッテリー装置 1 0 0 A (図 1) の動作説明 >

まず、バッテリー装置 1 0 0 A の動作について、図 7 を参照して説明する。

【 0 1 0 7 】

図 7 は、バッテリー電圧がゼロボルト付近まで低下した場合におけるバッテリー装置 1 0 0 A の動作を説明するための図である。

図 7 (A) は、正極 P A C K + の電圧 $V (P A C K +)$ 、N M O S トランジスタ Q 1 及び Q 2 の共通ドレインに生じる電圧 $V D D$ 、正極 B A T + の電圧 $V (B A T +)$ を示す。

図 7 (B) は、P M O S トランジスタ Q 3 の状態 (オン / オフ) を示す。

図 7 (C) は、N M O S トランジスタ Q 1 及び Q 2 の状態 (オン / オフ) を示す。

図 7 (D) は、電子機器 2 0 0 から供給される充電電流 $I p a c k$ を示す。

図 7 (E) は、マイクロコンピュータ 1 5 0 の起動状態を示す。

【 0 1 0 8 】

ステップ S T 1 0 1 :

バッテリー B 1 の電圧がゼロボルトの状態ですイッチ回路 S W 2 がオンに設定され、充電電流 $I 2$ によるプリチャージが開始される。

【 0 1 0 9 】

ステップ S T 1 0 2 :

このとき、バッテリー装置 1 0 0 A の N M O S トランジスタ Q 1 及び Q 2 は何れもオフであるため、電子機器 2 0 0 から正極 P A C K + に供給される充電電流 $I p a c k (= I 2)$ は N M O S トランジスタ Q 1 のボディ・ダイオード D 1 を介して N M O S トランジスタ Q 1 のドレインに流れ、電圧 $V D D$ が上昇する (図 7 (A)) 。

【 0 1 1 0 】

ステップ S T 1 0 3 :

電圧 $V D D$ の上昇によって電源回路 1 1 6 が起動し、電源電圧 $V r e g$ が発生すると、この電源電圧 $V r e g$ を受けて駆動回路 1 1 3 が動作を開始する。また、電源電圧 $V r e g$ の供給を受けてマイクロコンピュータ 1 5 0 が起動する (図 7 (E)) 。

【 0 1 1 1 】

10

20

30

40

50

ステップ S T 1 0 4 :

電圧 V D D が所定の電圧 V c 2 に達すると、駆動回路 1 1 3 による駆動電圧 Z V O のクランプが開始される。電圧 V c 2 は次式で表される。

【 0 1 1 2 】

[数 3]

$$V c 2 = V c 1 + V g s (Q 3) \quad \dots (3)$$

【 0 1 1 3 】

ただし、式 (3) において ' V g s (Q 3) ' は P M O S トランジスタ Q 3 のゲートとソースとの間の電圧を示す。この ' V g s (Q 3) ' によって P M O S トランジスタ Q 3 がオンし (図 7 (B))、充電電流 I p a c k (= I 2) がバッテリー B 1 に流れる (図 7 (D))。すなわち、

P A C K + ... Q 1 (D 1) ... Q 3 ... R 1 ... B A T + ... B 1 ...
B A T - ... R s 1 ... P A C K - ;

という給電経路によってバッテリー B 1 がプリチャージされる。

【 0 1 1 4 】

このとき、充電電流 I p a c k (= I 2) が一定であるため、P M O S トランジスタ Q 3 の ' V g s (Q 3) ' は一定になる。したがって、電圧 V D D は式 (3) に示す一定の電圧 V c 2 に保持される。

また、正極 P A C K + の電圧 V (P A C K +) は、式 (3) で表される電圧 V c 2 に比べてボディ・ダイオード D 1 の順方向電圧だけ高くなる。

【 0 1 1 5 】

ステップ S T 1 0 5 :

マイクロコンピュータ 1 5 0 は、セル電圧検出回路 1 1 8 の検出値に基づいてバッテリー B 1 の電圧を監視する。バッテリー B 1 の電圧が駆動回路 1 1 1 , 1 1 2 の安定な昇圧動作に必要な電圧に達すると、マイクロコンピュータ 1 5 0 は制御信号 C H G , D S G , x Z V がそれぞれハイレベルになるよう制御回路 1 2 0 のレジスタに設定値を書き込む。これにより、P M O S トランジスタ Q 3 がオフし、N M O S トランジスタ Q 1 , Q 2 がオンする (図 7 (B) , (C))。これにより、

P A C K + ... Q 1 ... Q 2 ... B A T + ... B 1 ... B A T - ... R s 1 ... P A C K - ;

という給電経路でバッテリー B 1 が充電される。

【 0 1 1 6 】

ステップ S T 1 0 6 :

また、マイクロコンピュータ 1 5 0 が N M O S トランジスタ Q 1 , Q 2 をオンに設定すると、電子機器 2 0 0 はスイッチ回路 S W 2 をオフ、スイッチ回路 S W 1 をオンに設定する。これにより、バッテリー B 1 は、プリチャージ時より大きな電流 I 1 で高速に充電される (図 7 (D))。

【 0 1 1 7 】

ステップ S T 1 0 7 :

バッテリー B 1 の電圧が充電回路 C H 1 の出力電圧の上限値 (V c) に達すると、充電電流 I 1 がゼロになり、バッテリー B 1 の充電が終了する (図 7 (D))。

【 0 1 1 8 】

< バッテリー装置 1 0 0 B (図 2) の動作説明 >

次に、バッテリー装置 1 0 0 B の動作について、図 8 を参照して説明する。

【 0 1 1 9 】

図 8 は、バッテリー電圧がゼロボルト付近まで低下した場合におけるバッテリー装置 1 0 0 B の動作を説明するための図である。

図 8 (A) は、正極 P A C K + の電圧 V (P A C K +)、P M O S トランジスタ Q 3 のソースの電圧 V D D s、正極 B A T + の電圧 V (B A T +) を示す。

図 8 (B) は、P M O S トランジスタ Q 3 の状態 (オン / オフ) を示す。

10

20

30

40

50

図 8 (C) は、NMOS トランジスタ Q 1 及び Q 2 の状態 (オン / オフ) を示す。

図 8 (D) は、電子機器 2 0 0 B から供給される充電電流 I p a c k を示す。

図 8 (E) は、マイクロコンピュータ 1 5 0 の起動状態を示す。

【 0 1 2 0 】

ステップ S T 2 0 1 :

バッテリー B 1 の電圧がゼロボルトの状態ですイッチ回路 S W 1 がオンに設定され、充電電流 I 1 によるプリチャージが開始される。

【 0 1 2 1 】

ステップ S T 2 0 2 :

このとき、バッテリー装置 1 0 0 B の NMOS トランジスタ Q 1 及び Q 2 は何れもオフであるため、電子機器 2 0 0 B から正極 P A C K + に供給される充電電流 I p a c k (= I 1) は NMOS トランジスタ Q 1 のボディ・ダイオード D 1 を介して NMOS トランジスタ Q 1 のドレインに流れ、電圧 V D D が上昇する。

10

【 0 1 2 2 】

ステップ S T 2 0 3 :

電圧 V D D の上昇によって電源回路 1 1 6 が起動し、電源電圧 V r e g が発生すると、この電源電圧 V r e g を受けて駆動回路 1 1 3 が動作を開始する。また、電源電圧 V r e g の供給を受けてマイクロコンピュータ 1 5 0 が起動する (図 8 (E)) 。

【 0 1 2 3 】

ステップ S T 2 0 4 :

電流 I 1 によって生じる抵抗 R 2 の電圧降下が充電回路 C H 1 の出力可能な上限電圧 V c に比べて十分大きいものとする、正極 P A C K + の電圧はこの上限電圧 V c に達する (図 8 (A)) 。また、電圧 V D D は、上限電圧 V c に比べてボディ・ダイオード D 1 の順方向電圧だけ低い電圧となる。

20

電圧 V D D が上昇すると、駆動回路 1 1 3 のクランプ動作によって PMOS トランジスタ Q 3 のソースの電圧 V D D s が式 (3) の電圧 V c 2 にクランプされ (図 8 (A)) 、 PMOS トランジスタ Q 3 がオンする (図 8 (B)) 。このとき PMOS トランジスタ Q 3 に流れる電流 I r 2 は、次式のように表される。

【 0 1 2 4 】

[数 4]

$$I r 2 = (V c - V f (D 1) - V c 2) / r 2 \quad \dots (4)$$

30

【 0 1 2 5 】

式 (4) において、 ' V f (D 1) ' はボディ・ダイオード D 1 の順方向電圧を示し、 ' r 2 ' は抵抗 R 2 の抵抗値を示す。この式 (4) に示す電流 I r 2 が、充電電流 I p a c k としてバッテリー B 1 に流れる (図 8 (D)) 。

すなわち、

P A C K + ... Q 1 (D 1) ... R 2 ... Q 3 ... B A T + ... B 1 ...
B A T - ... R s 1 ... P A C K - ;

という給電経路に式 (4) の電流が流れ、バッテリー B 1 が充電される。

【 0 1 2 6 】

式 (4) から分かるように、抵抗値 r 2 を適切に設定することによって、プリチャージ電流の大きさを任意に設定することができる。

40

【 0 1 2 7 】

ステップ S T 2 0 5 :

マイクロコンピュータ 1 5 0 は、セル電圧検出回路 1 1 8 の検出値に基づいてバッテリー B 1 の電圧を監視する。バッテリー B 1 の電圧が駆動回路 1 1 1 , 1 1 2 の安定な昇圧動作に必要な電圧に達すると、マイクロコンピュータ 1 5 0 は制御信号 C H G , D S G , x Z V がそれぞれハイレベルになるよう制御回路 1 2 0 のレジスタに設定値を書き込む。これにより、PMOS トランジスタ Q 3 がオフし、NMOS トランジスタ Q 1 , Q 2 がオンする (図 8 (B) , (C)) 。その結果、

50

PACK+ ... Q1 ... Q2 ... BAT+ ... B1 ... BAT- ... Rs
1 ... PACK- ;

という給電経路でバッテリーB1が充電される。

給電経路の切り替えによって抵抗R2による電圧降下がなくなるため、正極PACK+の電圧は上限電圧Vcから正極BAT+の電圧V(BAT+)まで急速に低下する(図8(A))。また、充電回路CH1から供給される充電電流Ipackは電流Ir2から電流I1まで大きくなる。これにより、バッテリーB1は、ステップST204のプリチャージ時に比べて大きな電流I1で高速に充電される。

【0128】

ステップST206 :

バッテリーB1の電圧が充電回路CH1の出力電圧の上限値(Vc)に達すると、充電電流I1がゼロになり、バッテリーB1の充電が終了する(図8(D))。

【0129】

<バッテリー装置100C(図3)の動作説明>

次に、バッテリー装置100Cの動作について、図9を参照して説明する。

【0130】

図9は、バッテリー電圧がゼロボルト付近まで低下した場合におけるバッテリー装置100Cの動作を説明するための図である。

図9(A)は、正極PACK+の電圧V(PACK+)、NMOSトランジスタQ1及びQ2の共通ドレインに生じる電圧VDD、NMOSトランジスタQ2のゲートの電圧Vg(Q2)、正極BAT+の電圧V(BAT+)を示す。

図9(B)は、モード選択回路114のPMOSトランジスタQ5の状態(オン/オフ)を示す。

図9(C)は、電子機器200から供給される充電電流Ipackを示す。

図9(D)は、低電圧動作ロック回路115の信号xUVLOを示す。

図9(E)は、電源電圧Vregを示す。

図9(F)は、リセット信号xRESETを示す。

図9(G)は、モード選択回路114の信号xPMSを示す。

図9(H)は、制御回路120の制御信号PCHGを示す。

図9(I)は、制御回路120の制御信号CHGを示す。

図9(J)は、制御回路120の制御信号DSGを示す。

【0131】

ステップST301 :

バッテリーB1の電圧がゼロボルトの状態ですイッチ回路SW2がオンに設定され、充電電流I2によるプリチャージが開始される。

【0132】

ステップST302 :

このとき、バッテリー装置100CのNMOSトランジスタQ1及びQ2は何れもオフであるため、電子機器200から正極PACK+に供給される充電電流Ipack(=I2)はNMOSトランジスタQ1のボディ・ダイオードD1を介してNMOSトランジスタQ1のドレインに流れ、電圧VDDが上昇する。

【0133】

ステップST303 :

端子PMSに入力される正極PACK+の電圧V(PACK+)が所定の電圧Vpmsに達すると(図9(A))、モード選択回路114のPMOSトランジスタQ5がオンに駆動されて(図9(B))、NMOSトランジスタQ2のゲートに電圧'VDD-Vf(D4)'が供給される。ただし、'Vf(D4)'はダイオードD4(図6参照)の順方向電圧を示す。

【0134】

ステップST304 :

10

20

30

40

50

NMOSトランジスタQ2は、ゲートに供給される電圧 ' $V_{DD} - V_f(D4)$ ' によってオンするため、バッテリーB1には、NMOSトランジスタQ2を介して充電電流 $I_{pack} (= I_2)$ が流れる (図9(C))。

すなわち、

PACK+ ... Q1 ... Q2 ... BAT+ ... B1 ... BAT- ... Rs
1 ... PACK- ;

という給電経路でバッテリーB1がプリチャージされる。

【0135】

このとき、NMOSトランジスタQ2ゲートとソース(正極BAT+)との間の電圧 $V_{gs}(Q2)$ は、プリチャージ用の電流 I_2 を流すために必要な電圧に固定される。また、電圧 V_{DD} は、電圧 $V(BAT+)$ に比べて ' $V_{gs}(Q2) + V_f(D4)$ ' だけ高くなり、電圧 $V(PACK+)$ は電圧 $V(BAT+)$ に比べて ' $V_{gs}(Q2) + V_f(D4) + V_f(D1)$ ' だけ高くなる (図9(A))。

10

【0136】

ステップST305:

電圧 V_{DD} が電源回路116の動作可能な所定の電圧に達し、低電圧動作ロック回路115の信号 x_{UVLO} がローレベルからハイレベルに変化すると (図9(D))、電源回路116が起動する (図9(E))。

【0137】

ステップST306:

電源回路116の起動によって電源電圧 V_{reg} が上昇すると、この電源電圧 V_{reg} を受けた制御回路120が起動する。この起動時にリセット信号 x_{RESET} はローレベルであるため (図9(F))、制御回路120のレジスタは初期化される。

20

一方、端子PMSは正極PACK+に接続されるため、電源回路116の起動によって電源電圧 V_{reg} が上昇してもモード選択回路114の信号 x_{PMS} はローレベルに保たれる (図9(G))。

【0138】

ステップST307:

制御回路120の初期化後、リセット信号 x_{RESET} がローレベルからハイレベルに切り替わる (図9(G))。リセット信号 x_{RESET} がハイレベルになると、NMOSトランジスタQ8 (図6参照) がオンするため、キャパシタC1が抵抗R11により放電されて、NMOSトランジスタQ6及びQ9のゲート電圧が徐々に低下する。このとき、キャパシタC1の電圧は、キャパシタC1の容量値と抵抗R11の抵抗値とによって決まる一定の時定数に応じた速さで低下するため、リセット信号 x_{RESET} がハイレベルに変化した後もNMOSトランジスタQ6及びQ9は一定の期間 (t_h) オン状態に保たれる。

30

他方、リセット信号 x_{RESET} がローレベルからハイレベルに切り替わるとき、NMOSトランジスタQ9は期間 t_h が経過するまでオン状態に保たれるため、この期間 t_h において信号 x_{PMS} はローレベルに保たれる。期間 t_h が制御回路120のタイミング条件(最小ホールド時間)を満たすものとする、制御回路120は、リセット信号 x_{RESET} のハイレベルへの切り替わり時に信号 x_{PMS} がローレベルになっていると判断して、制御信号PCHGをローレベルからハイレベルに切り替える (図9(H))。

40

【0139】

ステップST308:

制御信号PCHGがハイレベルになると、NMOSトランジスタQ7 (図6参照) がオンする。そのため、上述した期間 t_h の経過後にNMOSトランジスタQ6がオフしても、PMOSトランジスタQ5は引き続きオンに駆動される。

【0140】

ステップST309:

マイクロコンピュータ150は、セル電圧検出回路118の検出値に基づいてバッテリー

50

B 1 の電圧を監視する。バッテリー B 1 の電圧が駆動回路 1 1 1 , 1 1 2 の安定な昇圧動作に必要な電圧に達すると、マイクロコンピュータ 1 5 0 は、制御信号 C H G , D S G がそれぞれハイレベル、制御信号 P C H G がローレベルになるよう制御回路 1 2 0 のレジスタに設定値を書き込む (図 9 (H) , (I) , (J)) 。これにより、モード選択回路 1 1 4 の P M O S トランジスタ Q 5 がオフして N M O S トランジスタ Q 2 のドレインとゲートとが切り離されるとともに、駆動回路 1 1 1 及び 1 1 2 が発生する駆動電圧によって N M O S トランジスタ Q 1 及び Q 2 がオンする。

【 0 1 4 1 】

ステップ S T 3 1 0 :

マイクロコンピュータ 1 5 0 が N M O S トランジスタ Q 1 , Q 2 をオンに設定すると、電子機器 2 0 0 はスイッチ回路 S W 2 をオフ、スイッチ回路 S W 1 をオンに設定する。これにより、バッテリー B 1 は、プリチャージ時より大きな電流 I 1 で高速に充電される (図 9 (C)) 。

10

このとき、正極 P A C K + と正極 B A T + との電圧差は、N M O S トランジスタ Q 1 及び Q 2 のオン抵抗値に電流 I 1 を乗じた値になる。この電圧差が十分小さいものとする、正極 P A C K + の電圧 $V (P A C K +)$ は概ね $V_{gs} (Q 2) + V_f (D 4) + V_f (D 1)$ だけプリチャージ時よりも低くなる (図 9 (A)) 。

【 0 1 4 2 】

ステップ S T 3 1 1 :

バッテリー B 1 の電圧が充電回路 C H 1 の出力電圧の上限値 (V_c) に達すると、充電電流 I 1 がゼロになり、バッテリー B 1 の充電が終了する (図 8 (C)) 。

20

【 0 1 4 3 】

以上説明したように、図 1 , 図 2 に示すバッテリー装置 1 0 0 A , 1 0 0 B によれば、バッテリー B 1 の電圧が駆動回路 1 1 1 , 1 1 2 において N M O S トランジスタ Q 1 , Q 2 の駆動電圧を生成するために必要な電圧に達していない場合、駆動回路 1 1 1 , 1 1 2 の昇圧動作が停止され、これらのトランジスタとは異なる給電経路に挿入された P M O S トランジスタ Q 3 が駆動回路 1 1 3 によってオンに駆動される。駆動回路 1 1 3 では、P M O S トランジスタ Q 3 の給電経路に生じる電圧 V D D をこれより低い電圧にクランプすることによって、昇圧動作を行うことなく P M O S トランジスタ Q 3 の駆動電圧 Z V O が生成される。これにより、バッテリー B 1 の電圧がゼロボルト付近まで低下した場合でも、一定の充電電流によって安定にバッテリー B 1 を充電することができる。

30

【 0 1 4 4 】

また、図 3 に示すバッテリー装置 1 0 0 C によれば、バッテリー B 1 の電圧が駆動回路 1 1 1 , 1 1 2 において N M O S トランジスタ Q 1 , Q 2 の駆動電圧を生成するために必要な電圧に達していない場合、N M O S トランジスタ Q 1 , Q 2 が挿入される給電経路を介して電子機器 2 0 0 の充電回路 C H 2 から与えられる電圧 V D D を N M O S トランジスタ Q 2 のゲートに供給することにより、昇圧動作を行うことなく N M O S トランジスタ Q 2 がオンに駆動される。これにより、バッテリー B 1 の電圧がゼロボルト付近まで低下した場合でも、一定の充電電流によって安定にバッテリー B 1 を充電することができる。

【 0 1 4 5 】

このように、バッテリー装置 1 0 0 A ~ 1 0 0 C によれば、一定の充電電流によって安定にバッテリー B 1 を充電することができるため、バッテリー B 1 の電圧がゼロボルト付近まで低下した場合でも、図 1 0 に示すバッテリー装置 1 0 0 のように一時的に過大な充電電流が流れることによるバッテリー・セルの劣化を防止することができる。

40

【 0 1 4 6 】

また、バッテリー装置 1 0 0 A ~ 1 0 0 C によれば、一定の充電電流によってバッテリー B 1 をプリチャージすることにより、図 1 1 に示すような断続的なプリチャージを行う場合に比べて、プリチャージに要する時間を短縮できる。

【 0 1 4 7 】

図 1 1 に示すバッテリー装置では、プリチャージ中にマイクロコンピュータがオンとオフ

50

を繰り返すため、電子機器はバッテリー装置の状態を把握することができなくなり、プリチャージに必要な時間を予測することができない。

これに対して、バッテリー装置 100A ~ 100C によれば、一定の充電電流でバッテリー B1 をプリチャージすることにより、電源回路を安定に動作させてマイクロコンピュータを起動状態に保つことができるため、電子機器はプリチャージ時間を予測することができる。

加えて、プリチャージ中にマイクロコンピュータがオンとオフを繰り返すと、電子機器はバッテリー装置を異常状態と誤判定する可能性があるが、バッテリー装置 100A ~ 100C によれば、そのような誤判定を防止できる。

【0148】

更に、バッテリー装置 100A ~ 100C によれば、一定の充電電流によってバッテリー B1 を充電することにより、図 11 に示すような正極 P A C K + の電圧の振動を抑制できる。電子機器側のマイクロコンピュータは、バッテリー装置の正極の電圧に基づいてその状態を判定する場合があるため、図 11 のような振動が検出されるとバッテリー装置に異常があると誤判定される可能性があるが、バッテリー装置 100A ~ 100C によればそのような誤判定を防ぐことができる。

特に、バッテリー装置 100A によれば、正極 P A C K + と P M O S トランジスタ Q3 との間の経路に生じる電圧 V D D より低い電圧 Z V O が生成され、これが P M O S トランジスタ Q3 のゲートに駆動電圧として供給される。これにより、P M O S トランジスタ Q3 を経由して充電を行う状態から N M O S トランジスタ Q1 , Q2 を経由して充電を行う状態へ切り替えるときの正極 P A C K + の電圧変化を微小に抑えることができる。

バッテリー装置 100C によれば、正極 P A C K + と N M O S トランジスタ Q2 との間の経路に生じる電圧 V D D が N M O S トランジスタ Q2 のゲートに駆動電圧として供給されるため、このように N M O S トランジスタ Q2 を駆動する状態から N M O S トランジスタ Q1 , Q2 のゲートを昇圧駆動する状態へ切り換えるときの正極 P A C K + の電圧変化を微小に抑えることができる。

【0149】

バッテリー装置 100B によれば、正極 P A C K + と P M O S トランジスタ Q3 との間の経路に抵抗 R2 が挿入されており、この抵抗 R2 と P M O S トランジスタ Q3 との間の経路に生じる電圧 V D D s より低い電圧 Z V O が生成され、これが P M O S トランジスタ Q3 のゲートに駆動電圧として供給される。これにより、抵抗 R2 の抵抗値に応じた任意の電流でバッテリー B1 をプリチャージすることができるため、電子機器側においてプリチャージ用の充電回路を設ける必要がなくなり、部品点数を削減することができる。

【0150】

バッテリー装置 100C によれば、プリチャージ用の P M O S トランジスタを別途に設けることなくプリチャージを行うことができるため、部品点数を削減することができる。

【0151】

バッテリー装置 100A , 100B によれば、バッテリー B1 の正極 B A T + 側から P M O S トランジスタ Q3 によってプリチャージ電流が供給される。これにより、バッテリー B1 の電圧がゼロボルト付近まで低下している状態でも、P M O S トランジスタ Q3 のソース側の電圧 V D D によって電源回路 116 を起動させることができる。そのため、バッテリー B1 の電圧がゼロボルト付近まで低下している状態から、マイクロコンピュータ 150 を起動して電子機器 200 (200B) との通信を行うことが可能である。

【0152】

また、上述した保護回路 110 によれば、プリチャージ用の P M O S トランジスタ Q3 を駆動するための駆動回路 113 と、N M O S トランジスタ Q2 に給電経路からの駆動電圧を供給する P M O S トランジスタ Q5 と、端子 P M S の電圧に応じて P M O S トランジスタ Q5 をオン又はオフに駆動する回路とを設けることによって、図 1 ~ 図 3 に示すような種々のバッテリー装置を構成することが可能である。これにより、例えば電子機器におけるプリチャージ用の充電回路の有無や、バッテリー電圧がゼロボルト付近におけるバッテリー

10

20

30

40

50

装置と通信の必要性、バッテリー装置の部品点数など、様々な条件や要求に適合するバッテリー装置を共通の保護回路110によって構成することが可能になる。

【0153】

バッテリー装置100Aによれば、PMOSトランジスタQ3とバッテリーB1との経路に抵抗R1が設けられているため、プリチャージ時におけるPMOSトランジスタQ3の損失を低減し、PMOSトランジスタQ3の発熱を抑えることができる。

【0154】

図6に示すモード選択回路116によれば、PMOSトランジスタQ5と直列に接続されたダイオードD4によって、駆動回路112の出力からPMOSトランジスタQ5に逆流する電流を阻止できる。そのため、駆動回路112の駆動電圧をNMOSトランジスタQ2のソース電圧に対して十分に昇圧し、NMOSトランジスタQ2のオン抵抗を小さくすることができる。

10

【0155】

以上、本発明の一実施形態について説明したが、本発明は上記の形態にのみ限定されるものではなく、種々の改変が可能である。

【0156】

上述の実施形態では、2つのNMOSトランジスタ(Q1, Q2)のドレインを共通に接続しているが、これに限らず、両者のソースを共通に接続しても良い。

この場合、2つのNMOSトランジスタが両方ともオフする初期の状態において、共通接続されたソースに外部電源若しくはバッテリーから電圧を供給する回路を設ける。これにより、2つのNMOSトランジスタの各駆動回路は、共通接続されたソースの電圧を昇圧して駆動電圧を生成することが可能になる。

20

また、図3に示すタイプのバッテリー装置を構成する場合には、2つのNMOSトランジスタのうち放電側のトランジスタのゲートに外部電源からの電圧を供給することによって、このトランジスタをオンに駆動し、プリチャージを行うことが可能になる。

【0157】

モード選択回路114のPMOSトランジスタQ5がオンに駆動されているとき駆動回路112の昇圧動作が停止するように両者を制御することによって、逆流防止用のダイオードD4は省略することが可能である。

【0158】

上述の実施形態では、バッテリーB1の電圧がプリチャージを終了して良い電圧に達しているか否かをマイクロコンピュータ150において検知しているが、これを保護回路110の内部回路において検知しても良い。

30

【図面の簡単な説明】

【0159】

【図1】本発明の実施形態に係るバッテリー装置の第1の構成例を示す図である。

【図2】本発明の実施形態に係るバッテリー装置の第2の構成例を示す図である。

【図3】本発明の実施形態に係るバッテリー装置の第3の構成例を示す図である。

【図4】給電経路に挿入されるPMOSトランジスタの駆動回路の構成例を示す図である。

40

【図5】図4に示す駆動回路の動作の一例を示す図である。

【図6】モード選択回路の構成の一例を示す図である。

【図7】図1に示すバッテリー装置の動作の一例を示す図である。

【図8】図2に示すバッテリー装置の動作の一例を示す図である。

【図9】図3に示すバッテリー装置の動作の一例を示す図である。

【図10】バッテリーの正極側の給電経路をNMOSトランジスタによって遮断する保護回路を備えたバッテリー装置の一構成例を示す図である。

【図11】図10に示すバッテリー装置においてバッテリーの電圧がゼロボルト付近まで低下した場合における充電動作の一例を説明するための図である。

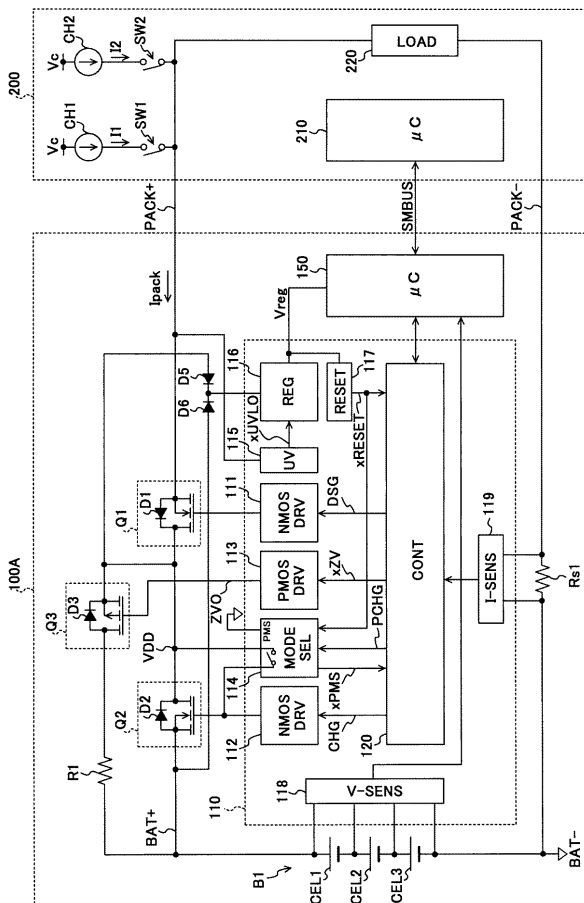
【符号の説明】

50

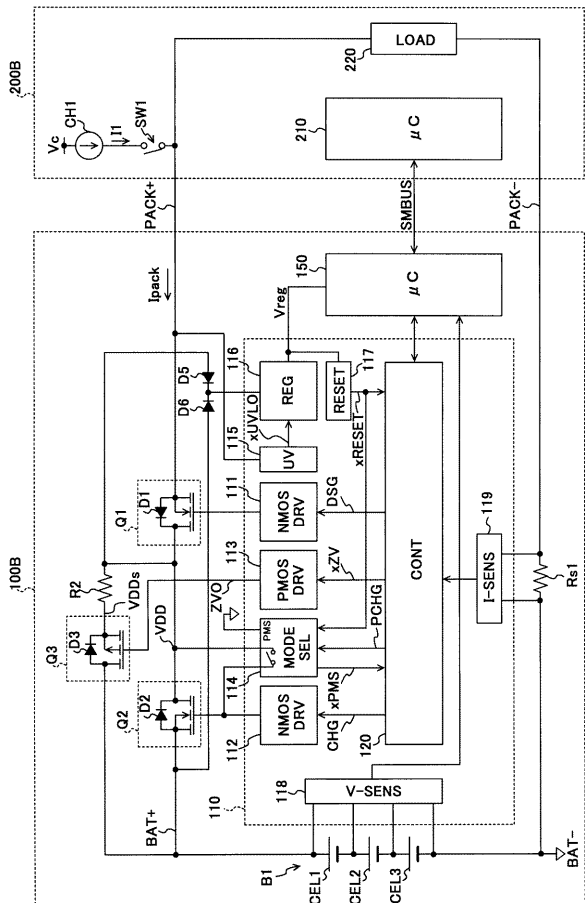
【 0 1 6 0 】

1 0 0 A ~ 1 0 0 C ... バッテリ装置、 2 0 0 , 2 0 0 B ... 電子機器、 CH 1 , CH 2 ... 充電回路、 1 1 0 ... 保護回路、 1 5 0 , 2 1 0 ... マイクロコンピュータ、 B 1 ... バッテリ、 Q 1 , Q 2 , Q 4 , Q 6 ~ Q 9 ... NMOS トランジスタ、 Q 3 , Q 5 ... PMOS トランジスタ、 R s 1 , R 1 ~ R 1 2 ... 抵抗、 C 1 ... キャパシタ、 D 1 ~ D 6 ... ダイオード、 Z D 1 ... ツェナダイオード、 O P 1 ... 差動増幅器、 U 1 ... 基準電圧発生回路、 U 2 ... バッファ回路、 1 1 1 ~ 1 1 3 ... 駆動回路、 1 1 4 ... モード選択回路、 1 1 5 ... 低電圧動作ロック回路、 1 1 6 ... 電源回路、 1 1 7 ... リセット回路、 1 1 8 ... セル電圧検出回路、 1 1 9 ... 過電流検出回路、 1 2 0 ... 制御回路。

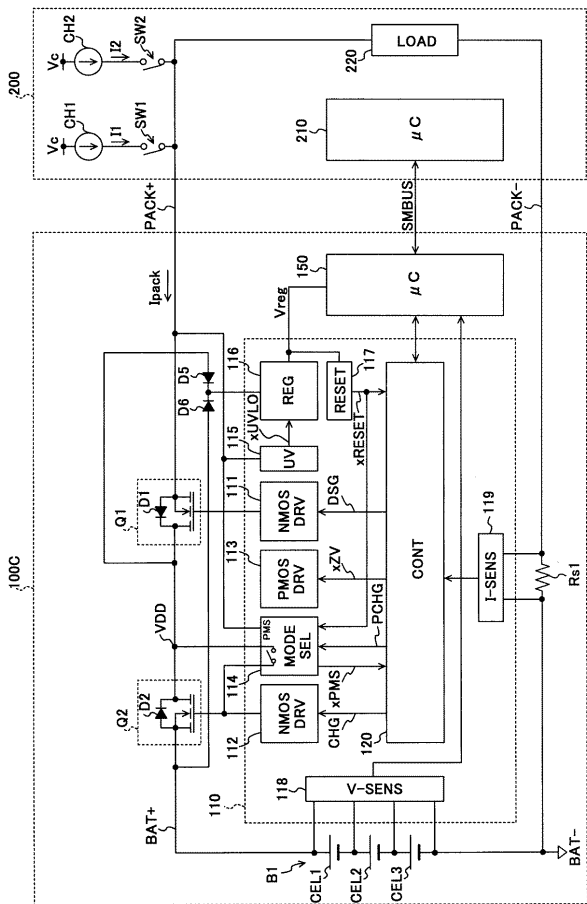
【 図 1 】



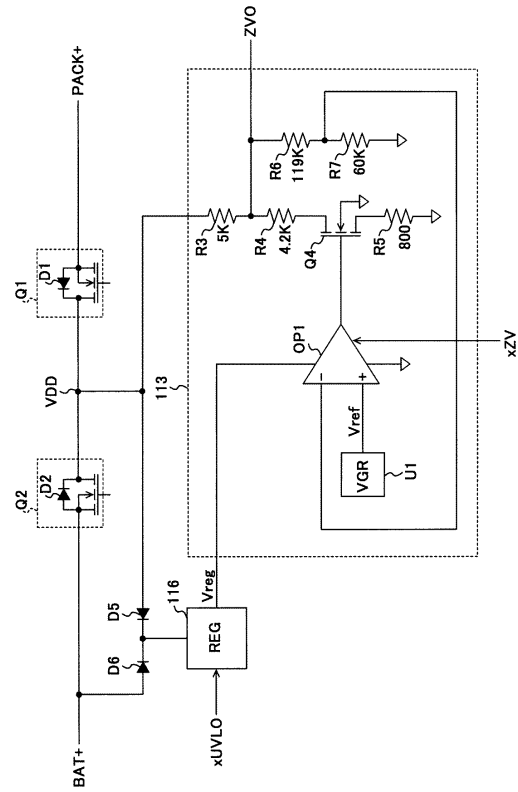
【 図 2 】



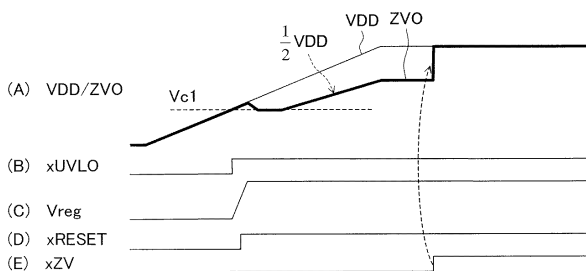
【 図 3 】



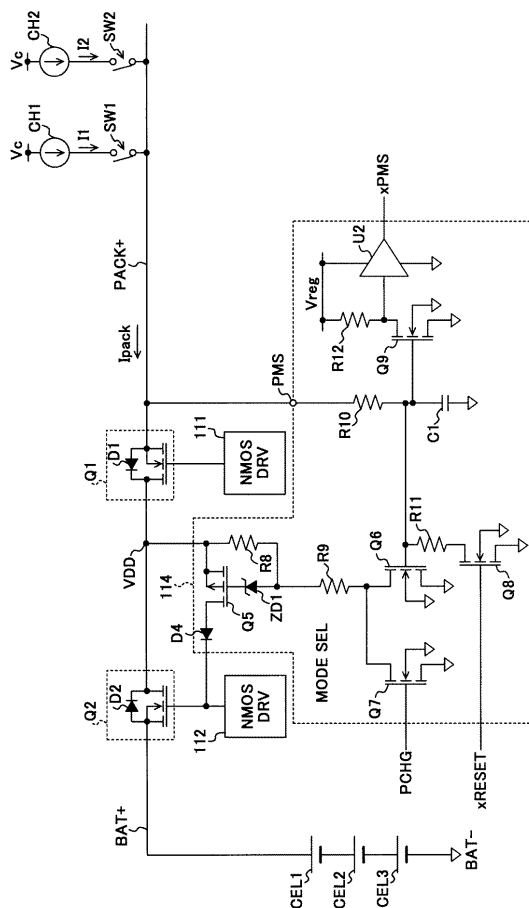
【 図 4 】



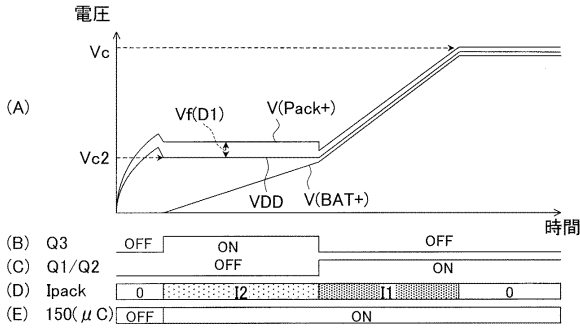
【 図 5 】



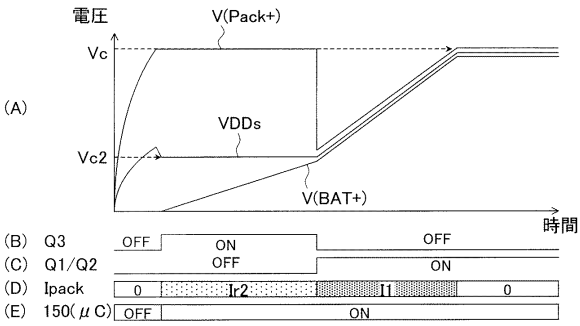
【 図 6 】



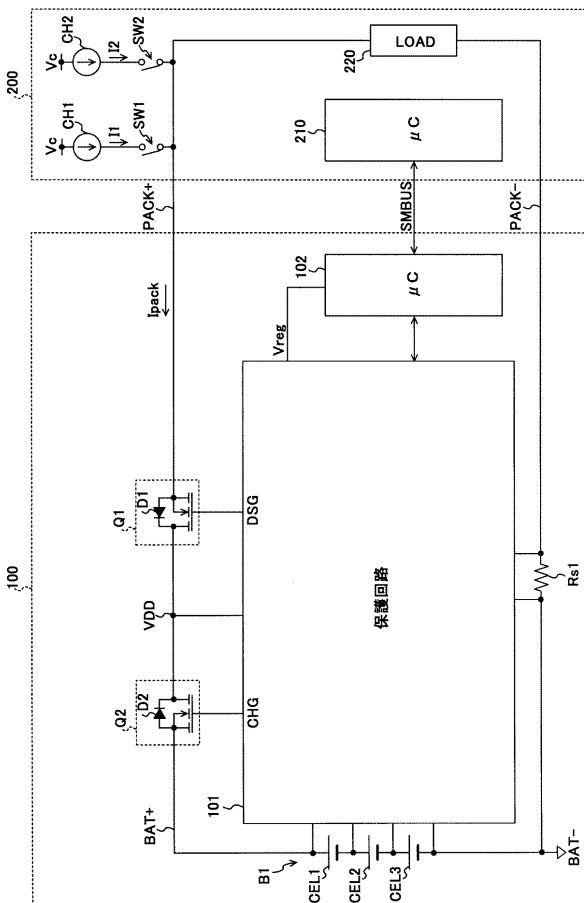
【図 7】



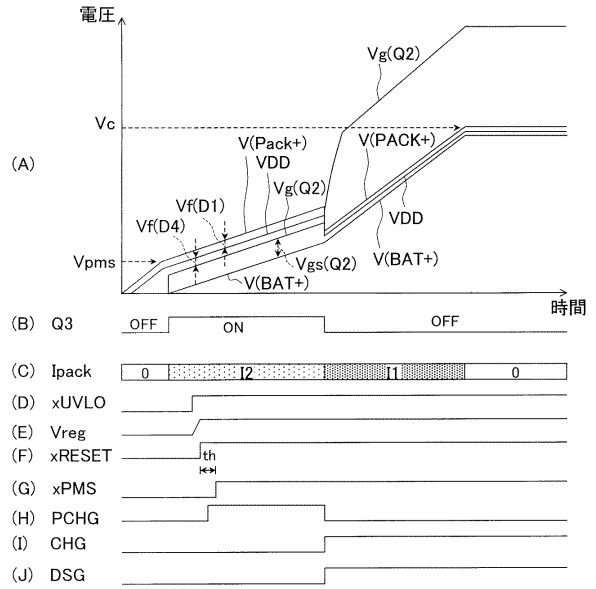
【図 8】



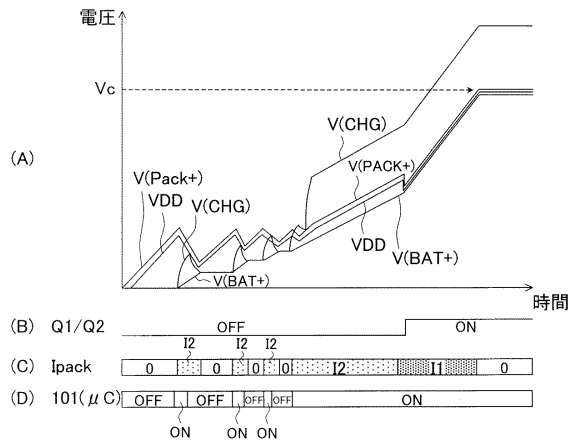
【図 10】



【図 9】



【図 11】



フロントページの続き

- (56)参考文献 特開平09 - 294332 (JP, A)
特開2001 - 217012 (JP, A)
特開平11 - 187578 (JP, A)
特開平11 - 178224 (JP, A)
特開平11 - 308776 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02J 7/00 - 7/36
H01M 10/42 - 10/46
H02H 7/00 - 7/20