



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2023년06월12일

(11) 등록번호 10-2542758

(24) 등록일자 2023년06월08일

(51) 국제특허분류(Int. Cl.)
H01L 21/28 (2006.01) C23C 16/16 (2006.01)
C23C 16/455 (2006.01) C23C 16/46 (2006.01)
H01L 21/285 (2006.01)
(52) CPC특허분류
H01L 21/28194 (2013.01)
C23C 16/16 (2013.01)
(21) 출원번호 10-2018-7000200
(22) 출원일자(국제) 2016년06월03일
심사청구일자 2021년06월02일
(85) 번역문제출일자 2018년01월03일
(65) 공개번호 10-2018-0005743
(43) 공개일자 2018년01월16일
(86) 국제출원번호 PCT/US2016/035724
(87) 국제공개번호 WO 2016/196937
국제공개일자 2016년12월08일
(30) 우선권주장
62/171,739 2015년06월05일 미국(US)
(56) 선행기술조사문헌
JP2000091269 A*
(뒷면에 계속)

(73) 특허권자
도쿄엘렉트론가부시기가이샤
일본 도쿄도 미나토구 아카사카 5초메 3반 1코
(72) 발명자
유 카이-홍
미국 12189 뉴욕주 워터블리어드 하버드 로드 174
루싱 게릿 제이.
미국 12148 뉴욕주 렉스포드 페리 드라이브 10
(뒷면에 계속)
(74) 대리인
김진희, 김태홍

전체 청구항 수 : 총 10 항

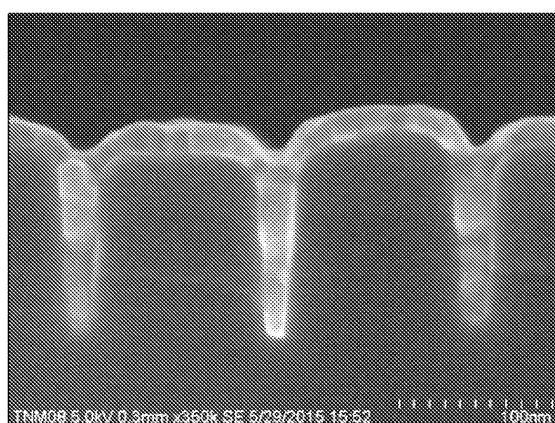
심사관 : 김영진

(54) 발명의 명칭 상호접속부를 위한 루테튬 금속 피처 충전

(57) 요약

본 발명은 기판내 피처를 적어도 부분적으로 충전하는 방법을 제공한다. 그 방법은 피처를 함유하는 기판을 제공하는 단계, 피처를 적어도 부분적으로 충전하기 위해 루테튬(Ru) 금속층을 침착시키는 단계, 및 피처에서 Ru 금속층을 리플로우하기 위해 기판을 열처리 단계를 포함한다.

대표도 - 도5b



(52) CPC특허분류

C23C 16/45553 (2013.01)

C23C 16/46 (2013.01)

H01L 21/28556 (2013.01)

H01L 2924/01044 (2013.01)

(72) 발명자

바이다 코리

미국 12153 뉴욕주 샌드 레이크 타보르턴 로드 479

이시자카 다다히로

일본 107-6325 도쿄도 도쿄시 미나토쿠 아카사카
5-3-1 아카사카 비즈 타워

하카마타 다카히로

미국 12203 뉴욕주 알바니 폴러 로드 255 스위트 244
텔 테크놀로지 센터 아메리카

(56) 선행기술조사문헌

KR1019980077179 A*

KR1020130016094 A*

KR1020140113611 A*

KR1020130087482 A

JP2008538126 A

KR1020130096949 A

KR1020130121041 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

기관내 피처를 적어도 부분적으로 충전하는 방법으로서,
 피처를 함유하는 기관을 제공하는 단계,
 루테튬(Ru) 금속층을 침착시켜 피처를 적어도 부분적으로 충전하는 단계로서, Ru 금속층은 제1 기관 온도에서 침착되는 단계,
 기관을 열처리하여 피처에서 Ru 금속층을 리플로우(reflow)시키고, 이로써 Ru 금속층의 입자 크기를 증가시키고 Ru 금속층의 전기 저항을 낮추는 단계로서, 열처리는 제1 기관 온도보다 높은 제2 기관 온도에서 수행되고, 제2 기관 온도는 200℃ 내지 600℃인 단계,
 피처에서 그 열처리된 Ru 금속층 상에 추가의 Ru 금속층을 침착시키는 단계, 및
 추가의 Ru 금속층을 열처리하여 피처에서 추가의 Ru 금속층을 리플로우시키고, 이로써 추가의 Ru 금속층의 입자 크기를 증가시키고 추가의 Ru 금속층의 전기 저항을 낮추는 단계
 를 포함하는 방법.

청구항 2

제1항에 있어서, Ru 금속층을 침착시키는 단계 전에, 피처에서 핵형성(nucleation) 층을 형성시키는 단계를 더 포함하는 방법.

청구항 3

제2항에 있어서, 핵형성 층은 피처에서 기관을 노출시키는 겹에 의해 불완전한 것인 방법.

청구항 4

제2항에 있어서, 핵형성 층은 Mo, MoN, Ta, TaN, W, WN, Ti, 및 TiN으로 이루어진 군으로부터 선택되는 것인 방법.

청구항 5

제1항에 있어서, Ru 금속층을 침착시키는 단계 전에, 피처에서 Ru 금속층의 핵형성 속도를 증가시키는 처리 가스에 기관을 노출시키는 단계를 더 포함하는 방법.

청구항 6

제5항에 있어서, 처리 가스는 질소를 포함하는 것인 방법.

청구항 7

제1항에 있어서, Ru 금속층은 원자층 침착(ALD), 화학 증착(CVD), 도금 또는 스퍼터링에 의해 침착되는 것인 방법.

청구항 8

제7항에 있어서, Ru 금속층은 $\text{Ru}_3(\text{CO})_{12}$ 및 CO 담체 가스를 사용하여 CVD에 의해 침착되는 것인 방법.

청구항 9

제1항에 있어서, 기관은 유전체 층을 포함하고, 피처는 유전체 층에서 형성되는 것인 방법.

청구항 10

제1항에 있어서, 열처리는 Ar 가스, H₂ 가스, Ar 가스와 H₂ 가스, 또는 H₂ 가스와 N₂ 가스의 존재 하에 수행되는 것인 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호 참조

[0002] 본 출원은 2015년 6월 5일자로 출원된 미국 가출원 번호 62/171,739에 관한 것이고, 그 가출원을 우선권 주장의 기초 출원으로 하며, 그 가출원의 전체 내용은 본원에 참고 인용되어 있다.

[0003] 발명의 분야

[0004] 본 발명은 마이크로일렉트로닉 디바이스에 있어서 낮은 비저항 루테튬(Ru) 금속으로 비아 및 트렌치와 같은 피처를 무공극(void-less) 충전하는 방법에 관한 것이다.

배경 기술

[0005] 집적 회로는 다양한 반도체 디바이스; 및 이 반도체 디바이스에 전력을 제공하고 이러한 반도체 디바이스가 정보를 공유 및 교환하는 것을 허용하는 복수의 전도성 금속 패스를 함유한다. 그 집적 회로 내에는 금속층들이

그 금속층들을 서로 절연하는 금속간 또는 층간 유전체 층을 사용하여 서로의 정상에 적층되어 있다.

[0006] 일반적으로, 각 금속층은 하나 이상의 추가 금속층에 대하여 전기 접촉부(electric contact)를 형성해야 한다. 그러한 전기 접촉부는 금속층들을 분리하는 층간 유전체에서 피처(즉, 비아)를 에칭하며, 그리고 결과로 얻어지는 비아를 금속으로 충전하여 상호접속부를 형성함으로써 달성된다. 금속층들은 전형적으로 층간 유전체에서 에칭된 경로를 점유한다. "비아"는 일반적으로 유전체 층 아래에 있는 전도성 층으로 유전체 층을 통해 전기 접촉부를 제공하는 유전체 층 내에 형성된 홀, 라인 또는 다른 유사 피처와 같은 임의의 피처를 의미한다. 유사하게, 2개 이상의 비아를 접속하는 금속층은 일반적으로 트렌치라고 언급된다.

[0007] 집적 회로를 제조하기 위한 다층 금속화 도식에서 구리(Cu) 금속의 사용은 유전체, 예컨대 예컨대 SiO₂에서 Cu 원자의 고 이동도에 기인한 문제를 야기하는데, Cu는 Si에서 전기 결합을 야기할 수 있다. 따라서, Cu 금속층, Cu 충전된 트렌치 및 Cu 충전된 비아는 일반적으로 배리어 재료에 의해 캡슐화되어 Cu 원자가 유전체 및 Si 내로 확산되는 것을 방지하게 된다. 배리어 층은 일반적으로 Cu 시드 침착 전에 트렌치 및 비아 측벽 및 저부 상에 침착되며, 그리고 Cu 중에서 바람직하게는 비반응성 및 비혼화성이고, 유전체에 대하여 우수한 접착성을 제공하며, 낮은 전기 비저항을 부여할 수 있는 재료를 포함할 수 있다.

[0008] 디바이스 성능의 증가는 일반적으로 디바이스 면적의 감소 또는 디바이스 밀도의 증가에 의해 수반된다. 디바이스 밀도의 증가는 보다 큰 종횡비(즉, 깊이 대 폭의 비율)를 비롯한, 상호접속부를 형성하는데 사용된 비아 치수의 감소를 필요로 한다. 비아 치수가 감소하고 종횡비가 증가함에 따라, 비아에서 금속층에 충분한 부피를 제공하면서도 비아의 측벽 상에서 적당한 두께를 지닌 확산 배리어 층을 형성하고자 하는 과제가 점차적으로 더 많아 지게 된다. 게다가, 비아 및 트렌치 치수가 감소하고 비아 및 트렌치에서 층의 두께가 감소함에 따라, 층의 재료 특성 및 층 계면은 점차적으로 더 중요하게 된다. 특히, 그러한 층을 형성하는 공정은 우수한 제어가 공정 순서의 모든 단계에 있어서 유지되는 제조가능한 공정 순서 내로 유의하여 통합될 필요가 있다.

[0009] 기관내 점차적으로 더 작아지고 있는 피처에서 Cu 금속의 사용과 관련된 문제들은 Cu 금속을 다른 낮은 비저항 금속으로 대체하는 것을 필요로 한다.

발명의 내용

[0010] 본 발명은 마이크로일렉트로닉 디바이스에서 상호접속부를 위한 무공극 Ru 금속 피처 충전 방법을 제공한다.

[0011] 본 발명의 실시양태에 따르면, 본 발명은 피처를 함유하는 기관을 제공하는 단계, 피처를 적어도 부분적으로 충전하기 위해 루테튬(Ru) 금속층을 침착시키는 단계, 및 피처에서 Ru 금속층을 리플로우(reflow)하기 위해 기관을 열처리하는 단계를 포함하는, 기관에서 피처를 적어도 부분적으로 충전하는 방법을 제공한다.

[0012] 다른 실시양태에 따르면, 본 발명은 피처를 함유하는 기관을 제공하는 단계, 피처를 충전하는 컨포멀(conformal) 루테튬(Ru) 금속층을 침착시키는 단계, 및 피처에서 컨포멀 Ru 금속층을 리플로우하기 위해 기관을 열처리하는 단계로서, 여기서 컨포멀 Ru 금속층은 피처에서 시임 공극(seam void)을 갖고, 열처리하는 시임 공극을 밀봉하고 피처에서 컨포멀 Ru 금속층의 입자 크기를 증가시키는 것인 열처리 단계를 포함하는, 기관내 피처를 충전하는 방법을 제공한다.

[0013] 본 발명의 또 다른 실시양태에 따르면, 본 발명은 기관 상의 유전체 층에 형성된 피처를 함유하는 기관을 제공하는 단계, 피처에서 핵형성(nucleation) 층을 형성하는 단계, 피처를 적어도 부분적으로 충전하기 위해 핵형성 층 상에 컨포멀 루테튬(Ru) 금속층을 침착시키는 단계, 및 피처에서 컨포멀 Ru 금속층을 리플로우하기 위해 기관을 열처리하는 단계로서, 여기서 열처리하는 피처 충전에서 공극을 감소시키고 피처에서 컨포멀 Ru 금속층의 입자 크기를 증가시키는 것인 열처리 단계를 포함하는, 기관내 피처를 적어도 부분적으로 충전하는 방법을 제공한다.

도면의 간단한 설명

[0014] 본 발명 및 이의 수반되는 이점들 중 다수에 대한 보다 완전한 이해는, 이러한 이해가 첨부되는 도면과 관련하여 고려될 때 후술하는 상세한 설명을 참조함으로써 보다 잘 이해하게 되는 바와 같이, 용이하게 얻어질 수 있을 것이다. 그 도면에 대한 간단한 설명을 하면, 다음과 같다.

도 1은 본 발명의 실시양태에 따른 Ru 금속 충전에 사용된 기관내 좁은 피처의 치수를 예시한 것이다.

도 2a 및 2b는 본 발명의 실시양태에 따른 Ru 금속 필름 충전에 사용된 기관내 피처의 단면도 및 상면도인 주사

전자 현미경(SEM) 이미지를 도시한 것이다.

도 3a는 본 발명이 실시양태에 따른 기판내 좁은 피처에서 Ru 금속 침착의 단면 SEM 이미지이다.

도 3b는 본 발명이 실시양태에 따른 기판내 좁은 피처에서 Ru 금속 침착의 단면 SEM 이미지를 도시한 것이다.

도 4a 및 4b는 본 발명의 실시양태에 따른 기판내 피처에서 침착된 그대로의 Ru 금속층의 단면 SEM 이미지를 도시한 것이다.

도 5a 및 5b는 본 발명의 실시양태에 따른 기판내 피처에서 열처리된 Ru 금속층의 단면 SEM 이미지를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 마이크로일렉트로닉 디바이스에 있어서 낮은 비저항 Ru 금속으로 피처를 무공극 충전하는 방법들이 여러 실시양태로 설명된다.
- [0016] 한 실시양태에 따르면, 기판내 피처를 적어도 부분적으로 충전하는 방법이 제공된다. 그 방법은 피처를 함유하는 기판을 제공하는 단계, 피처를 적어도 부분적으로 충전하기 위해 Ru 금속층을 침착시키는 단계, 및 피처에서 Ru 금속층을 리플로우하기 위해 기판을 열처리하는 단계를 포함한다. 적어도 부분적으로 충전하는 단계는 가열 연화된 Ru 금속을 매우 좁은 피처 내로 밀어 넣는 모세관 작용 및 보다 큰 Ru 금속 입자를 형성하는 Ru 금속의 재결정화를 이용한다. 본 발명자들은 저온 Ru 금속 재결정화 및 리플로우의 이러한 독특하고 예기치 못한 결과가 Cu 금속 충전을 Ru 금속 충전으로 대체하는데 이용될 수 있다는 점을 발견하게 되었다. 리플로우된 Ru 금속의 큰 입자 크기는 좁은 피처에서 Cu 금속 충전을 대체하는데 필요한 낮은 전기 저항을 갖는다. 밝혀진 바에 의하면, Ru 금속은, 이의 짧은 유효 전자 평균 자유 경로로 인하여, 약 10 nm(5 nm 노드) 최소 피처 크기에서 Cu 금속 대체물질로서 반도체에 대한 국제 기술 로드맵(ITRS)의 저항 요건을 충족하는 매우 우수한 후보물질이다. Ru 금속의 수 많은 재료 및 전기 특성으로 인하여, 그것은 Cu 금속보다 피처 크기의 다운 스케일링(downward scaling)에 의해 보다 덜 영향을 받게 된다.
- [0017] 피처는, 예를 들면 트렌치 또는 비아를 포함할 수 있다. 피처 직경은 30 nm 미만, 20 nm 미만, 10 nm 미만, 또는 5 nm 미만일 수 있다. 피처 직경은 20 nm 내지 30 nm, 10 nm 내지 20 nm, 5 nm 내지 10 nm, 또는 3 nm 내지 5 nm일 수 있다. 피처의 깊이는, 예를 들면 20 nm 초과, 50 nm 초과, 100 nm 초과, 또는 200 nm 초과일 수 있다. 피처는, 예를 들면 2:1 내지 20:1, 2:1 내지 10:1, 또는 2:1 내지 5:1의 종횡비(AR, 깊이:폭)를 가질 수 있다. 하나의 예에서, 기판(예를 들면, Si)은 유전체 층을 포함하고, 피처는 그 유전체 층에서 형성된다.
- [0018] 도 1은 본 발명의 실시양태에 따른 Ru 금속 충전에 사용된 기판내 좁은 피처의 치수를 예시한 것이다. 그 좁은 피처는 Si 기판내 피처를 에칭하고, 이후 그 에칭된 피처에서 산화물 층(SiO_2)을 침착(재충전)하여 그 에칭된 피처의 직경을 감소시킴으로써 제조되었다. 그 에칭된 피처는 50 nm, 56 nm, 64 nm 및 80 nm의 직경을 보유하였다. 그 재충전된(backfilled) 피처는 피처의 중간 깊이에 가까운 약 11.5 nm, 약 14 nm, 약 17.4 nm, 및 약 28.5 nm의 직경(폭)을 보유하였다.
- [0019] 도 2a 및 도 2b는 본 발명의 실시양태에 따른 Ru 금속 필름 충전에 사용된 기판내 피처의 단면도 및 상면도인 SEM 이미지를 도시한 것이다. 기판내 피처의 제조는 도 1에 기술되었다. 도 2a에서 피처는 약 14 nm의 직경, 약 120 nm의 깊이, 및 약 8.5의 종횡비, 및 약 112 nm의 피치를 보유하였다. 도 2b에서 피처는 약 11.5 nm의 직경, 약 110 nm의 깊이, 약 9.5의 종횡비, 및 100 nm의 피치를 보유하였다.
- [0020] 도 3a는 본 발명의 실시양태에 따른 기판내 좁은 피처에서 Ru 금속 침착의 단면 SEM 이미지를 도시한 것이다. 기판내 피처의 제조는 도 1에 설명되었다. 피처는 약 11.5 nm, 약 17.4 nm, 및 약 28.5 nm의 직경을 보유하였다. Ru 금속 침착 전에, 15Å 두께 TaN 핵형성 층이 약 350°C의 기판 온도에서 t-부틸이미도-트리스-에틸메틸아미도-탄탈(TBTEMT, $\text{Ta}(\text{NCMe}_3)(\text{NEtMe})_3$) 및 암모니아(NH_3)의 노출을 교대하면서 원자층 침착(ALD: atom layer deposition)을 이용하여 피처에서 침착되었다. 70Å의 두께를 지닌 컨포멀 Ru 금속층이 약 200°C의 기판 온도에서 $\text{Ru}_3(\text{CO})_{12}$ 및 CO 담체 가스를 사용하여 화학 증착(CVD: chemical vapor deposition)에 의해 TaN 핵형성 층 상에 침착되었다. 도 3a는 11.5 nm 및 14.5 nm의 직경을 갖는 피처가 Ru 금속에 의해 효과적으로 충전되었고, 반면에 28.5 nm의 직경을 갖는 좁은 피처가 완전 충전되지 않았으며 좁은 피처의 상부에서 공극을 보유하였다는 점을 보여준다.
- [0021] 도 3b는 본 발명의 실시양태에 따른 기판내 좁은 피처에서 Ru 금속 침착의 단면 SEM 이미지를 도시한 것이다.

150Å의 컨포멀 Ru 금속 침착은 모든 피처가 Ru 금속에 의해 효과적으로 충전되었다는 점을 보여준다.

- [0022] 도 4a 및 4b는 본 발명의 실시양태에 따른 기판내 피처에서 침착되는 그대로의 Ru 금속층의 단면 SEM 이미지를 도시한 것이다. Ru 금속층은 약 200℃의 기판 온도에서 Ru₃(CO)₁₂ 및 CO 담체 가스를 사용하여 CVD에 의해 침착되었고, 또한 피처는 도 3a를 참조하여 설명된 바와 같이 TaN 핵형성 층을 함유하였다. 도 4a 및 4b에서 SEM 배율은 각각 200,000 및 350,000이었다. 중간 깊이에서 ~28 nm 폭 피처는 완전 충전되지 않았지만, 피처의 정상부 부근에 약 9 nm 폭인 Ru 금속내 공극을 보유하고 있다.
- [0023] 도 5a 및 5b는 본 발명의 실시양태에 따른 기판내 피처에서 열처리된 Ru 금속의 단면 SEM 이미지를 도시한 것이다. 도 4a 및 4b에서 SEM 배율은 각각 200,000 및 350,000이다. 침착되는 그대로의 Ru 금속층은 5 분 동안 형성 가스의 존재 하에 450℃가 기판 온도에서 열처리되었다. 도 5a 및 5b는 열처리가 피처에서 Ru 금속을 리플로우하여 좁은 피처를 큰 입자 크기를 갖는 Ru 금속으로 효과적으로 충전하였고, Ru 금속 피처 충전에서 공극을 감소 또는 제거하였다는 점을 보여준다. 그 충전은 가열 연화된 Ru 금속을 매우 좁은 피처 내로 밀어 넣는 모세관 작용을 이용한다. 추가로, 피처에서 임의의 Ru 금속 시임 공극은 열처리에 의해 밀봉된다.
- [0024] 도 5a 및 5b에서 구조는, 예를 들면 피처 위로부터 과량 Ru 금속을 제거하는 평탄화 공정(예를 들면, 화학 기계 연마(CMP))을 수행함으로써, 추가 처리될 수 있다.
- [0025] 일부 실시양태에 따르면, 핵형성 층은 Ru 금속 충전 이전에 ALD 또는 CVD에 의해 피처에서 침착될 수 있다. 핵형성 층은, 예를 들면 질화물 재료를 포함할 수 있다. 한 실시양태에 따르면, 핵형성 층은 Mo, MoN, Ta, TaN, W, WN, Ti, 및 TiN으로 구성되는 군으로부터 선택될 수 있다. 핵형성 층의 역할은 짧은 인큐베이션 시간으로 Ru 금속층의 컨포멀 침착을 보장하기 위해 피처에서 Ru 금속에 우수한 핵형성 표면 및 접착 표면을 제공하기 위한 것이다. Cu 금속 충전을 이용할 때와는 달리, 유전체 재료와 피처에서 Ru 금속의 사이에 우수한 배리어 층이 요구되지 않는다. 그러므로, Ru 금속 충전의 경우에서, 핵형성 층은 매우 얇을 수 있으며, 피처에서 유전체 재료를 노출시키는 갭에 의해 비연속적이거나 불완전할 수 있다. 이는 Cu 금속 피처 충전과 비교하여 피처 충전에서 Ru 금속의 양을 증가시키는 것을 허용한다. 일부 예에서, 핵형성 층의 두께는 20Å 이하, 15Å 이하, 또는 5Å 이하일 수 있다.
- [0026] 일부 실시양태에 따르면, Ru 금속층은 ALD, CVD, 도금(plating) 또는 스퍼터링(sputtering)에 의해 침착될 수 있다. 한 예에서, Ru 금속층은 Ru₃(CO)₁₂ 및 CO 담체 가스를 이용하여 CVD에 의해 침착될 수 있다. 그러나, 다른 Ru 금속 전구체가 Ru 금속층을 침착시키는데 사용될 수 있다. 일부 예에서, Ru 금속층은 Ru 함유 합금을 포함할 수 있다.
- [0027] 본 발명의 실시양태에 따르면, Ru 금속층은 제1 기판 온도에서 침착될 수 있고, 침착되는 그대로의 Ru 금속층의 후속적인 열처리는 제1 기판 온도보다 높은 제2 기판 온도에서 수행될 수 있다. 예를 들어, 열처리는 200℃ 내지 600℃, 300℃ 내지 400℃, 500℃ 내지 600℃, 400℃ 내지 450℃, 또는 450℃ 내지 500℃에서 수행될 수 있다. 추가로, 열처리는 Ar 가스, H₂ 가스, 또는 Ar 가스 및 H₂ 가스의 존재 하에 대기압 이하에서 수행될 수 있다. 한 예에서, 열처리는 형성 가스의 존재 하에 대기압 이하에서 수행될 수 있다. 그 형성 가스는 H₂와 N₂의 혼합물이다. 또다른 예에서, 열처리는 열처리에 사용된 공정 챔버 내로 임의의 가스를 유동시키는 일 없이 고진공 조건 하에 수행될 수 있다.
- [0028] 한 실시양태에 따르면, 열처리는 가스상 플라즈마의 존재 하에 수행될 수 있다. 이는 가스상 플라즈마가 이용되지 않을 때와 비교하여 열처리 온도를 저하시키는 것을 허용한다. 이는 저-k 및 초저-k 재료와 상용성이 있는 열처리 온도의 사용을 허용한다. 일부 실시양태에 따르면, 피처는 2.5 ≤ k < 3.9를 지닌 저-k 재료 및 k < 2.5를 지닌 초저-k 재료로 형성될 수 있다. 한 예에서, 그 가스상 플라즈마는 Ar 가스를 포함할 수 있다. 플라즈마 조건은 저에너지 Ar 이온을 포함하도록 선택될 수 있다.
- [0029] 또다른 실시양태에 따르면, Ru 금속층을 침착하기 전에, 기판은 피처에서 표면을 개질하고 피처에서 Ru 금속층의 핵형성 속도를 증가시키는 처리 가스에 노출될 수 있다. 한 예에서, 그 처리 가스는 질소 플라즈마, NH₃ 플라즈마, NH₃ 어닐(anneal), 또는 이들의 조합을 포함할 수 있다. 처리 가스에 대한 노출은 피처에서 표면을 질화시킬 수 있다. 한 예에서, 그 처리 가스는 피처에서 표면의 친수성을 증가시키고 이로써 피처에서 Ru 금속의 핵형성 속도를 증가시킨다.
- [0030] 한 예에서, 피처의 개구가 핀치오프(pinch off)(폐쇄)될 수 있고, 피처가 Ru 금속층으로 완전 충전되기 전에 피

처 내부에 공극이 형성될 수 있다. 한 실시양태에 따르면, 공극은 피처 위로부터 과량 Ru 금속을, 예를 들어 평탄화 공정에 의해, 소거함으로써 제거될 수 있으며, 이로써 펀치오프를 야기하는 과량의 Ru 금속을 제거하게 된다. 이후에, 열처리 공정은 피처에서 Ru 금속층을 리플로우하기 위해 수행될 수 있다. 한 실시양태에 따르면, 이어서, 그 리플로우된 Ru 금속층 상에 추가의 Ru 금속층을 침착시키고, 열처리 공정을 반복하여 피처의 무공극 충전율 달성할 수 있다.

[0031]

마이크로일렉트로닉 디바이스에 있어서 비아 및 트렌치와 같은 피처를 낮은 비저항 Ru 금속으로 무공극 충전하는 방법이 다양한 실시양태로 개시되어 있다. 본 발명의 실시양태의 전술한 설명은 예시 및 설명의 목적으로 제시되어 있다. 본 발명을 배제하거나 또는 본 발명을 개시된 구체적인 형태에 국한하고자 하는 것은 아니다. 본 설명 및 후술하는 청구범위는 단지 설명 목적으로 사용되는 것이고 제한하는 것으로 해석되어서는 안되는 용어들을 포함한다. 해당 기술 분야의 당업자는 수 많은 변경에 및 변형예가 상기 교시내용에 비추어 가능하다는 점을 이해할 수 있을 것이다. 해당 기술 분야에서 당업자는 도면에서 도시된 다양한 요소들에 대한 다양한 등가 조합에 및 대체예를 인식할 수 있을 것이다. 그러므로, 본 발명의 영역은 그러한 상세한 설명에 의해 제한되어야 하는 것이 아니라 오히려 본 명세서에 첨부된 청구의 범위에 의해 제한되는 것으로 의도된다.

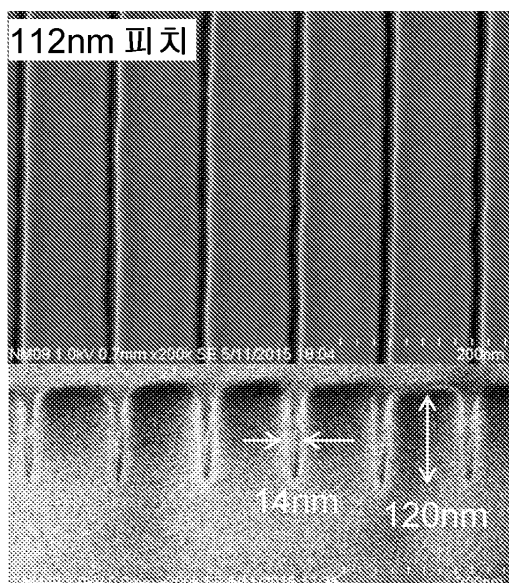
도면

도면1

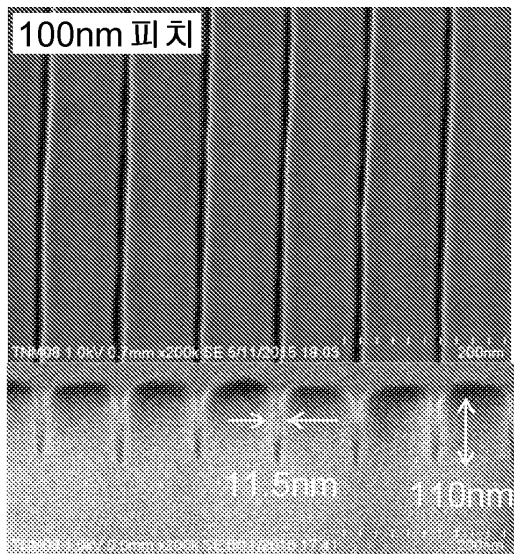
산화물 재충전을 2회 수행한 후 CD 폭 측정

번호	칩 번호	50nm 폭 (nm)	56nm 폭 (nm)	64nm 폭 (nm)	80nm 폭 (nm)
1	00,00	11.55	13.99	18.04	28.97
2	-1,00	11.57	13.98	18.07	28.95
3	-2,00	11.22	13.48	17.30	29.15
4	-3,00	11.08	13.14	16.68	27.13
5	-4,00	11.09	13.40	17.33	28.62
6	-5,00	11.12	13.31	17.09	27.92
Max		11.57	13.99	18.07	29.15
Min		11.08	13.14	16.68	27.13
평균		11.27	13.55	17.42	28.46
Max-Min		0.49	0.85	1.39	2.02
3 시그마		0.69	1.07	1.64	2.35

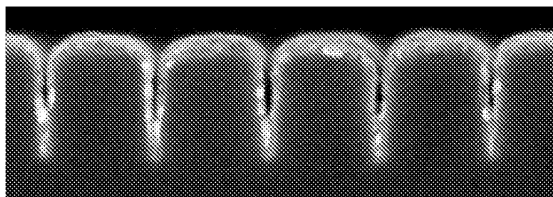
도면2a



도면2b

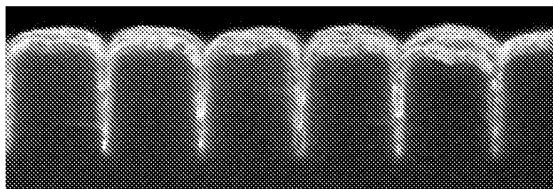


도면3a

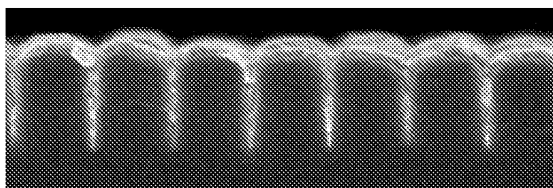


피치 직경

28.5nm

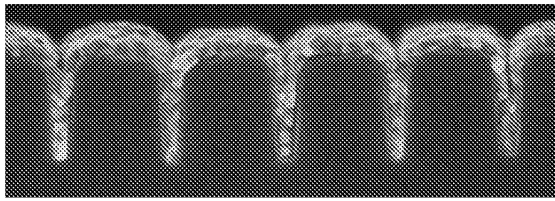


17.4nm



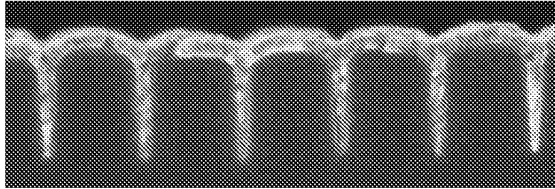
11.5nm

도면3b



피치 직경

28.5nm

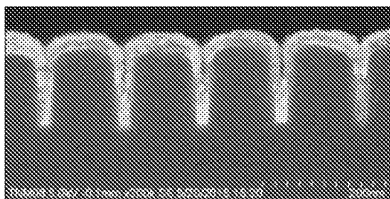


17.4nm

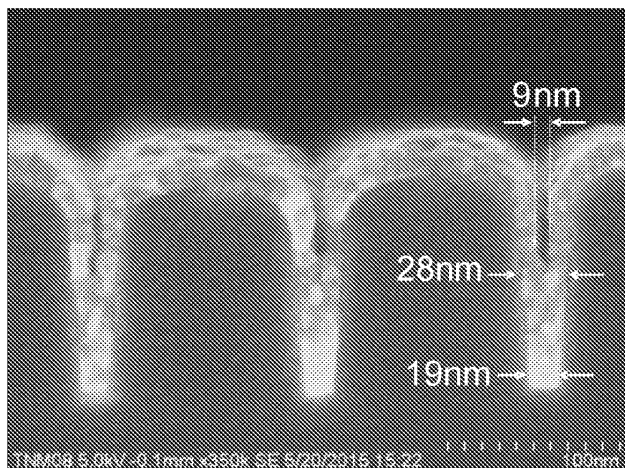


11.5nm

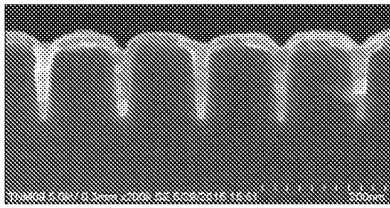
도면4a



도면4b



도면5a



도면5b

