

公告本

54

405196

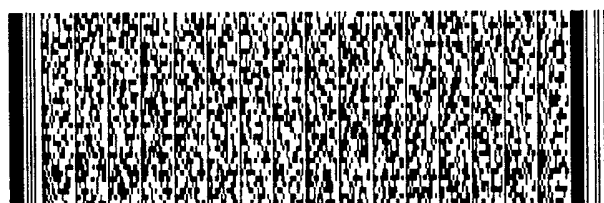
申請日期:	12.24	案號:	87121582
類別:	HOLL 21/66		

(以上各欄由本局填註)

發明專利說明書

一、發明名稱	中文	用於晶圓測試和老化測試的分段結構
	英文	SEGMENTED ARCHITECTURE FOR WAFER TEST & BURN-IN
二、發明人	姓名 (中文)	1. 湯瑪士 W. 貝契德 2. 丹尼士 R. 巴瑞格 3. 丹尼士 R. 康提 4. 詹姆士 M. 克瑞芙
	姓名 (英文)	1. THOMAS W. BACHELDER 2. DENNIS R. BARRINGER 3. DENNIS R. CONTI 4. JAMES M. CRAFTS
	國籍	1. 美國 2. 美國 3. 美國 4. 美國
	住、居所	1. 美國佛蒙特州史瓦頓市葛蘭特街118號 2. 美國紐約州瓦基爾市新海利路478號 3. 美國佛蒙特州伊塞斯強迅市瑞吐達街11號 4. 美國佛蒙特州瓦瑞市普克頓路
三、申請人	姓名 (名稱) (中文)	1. 美商萬國商業機器公司
	姓名 (名稱) (英文)	1. INTERNATIONAL BUSINESS MACHINES CORPORATION
	國籍	1. 美國
	住、居所 (事務所)	1. 美國紐約州阿蒙市新果園路
	代表人 姓名 (中文)	1. 費羅普
代表人 姓名 (英文)	1. MARSHALL C. PHELPS, JR.	

405196

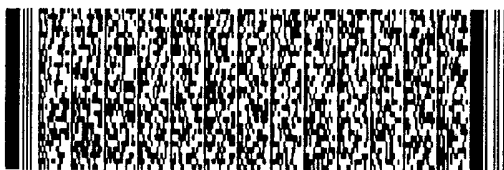


申請日期：	405196	案號：
類別：		

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	5. 大衛 L. 葛戴爾 6. 馬克 R. 拉佛斯 7. 查爾斯 H. 派瑞 8. 羅傑 R. 舒麥特
	姓名 (英文)	5. DAVID L. GARDELL 6. MARK R. LAFORCE 7. CHARLES H. PERRY 8. ROGER R. SCHMIDT
	國籍	5. 美國 6. 美國 7. 美國 8. 美國
	住、居所	5. 美國佛蒙特州菲爾法思市李察路51號 6. 美國佛蒙特州伊塞斯強迅市布魯斯丹路1號 7. 美國紐約州派夫基普市史派基爾路14號 8. 美國紐約州派夫基普市路克曼街44號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



405196

申請日期：

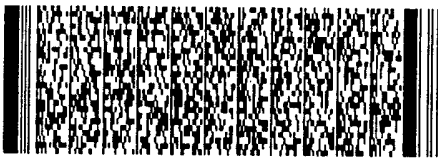
案號：

類別：

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人	姓名 (中文)	9. 喬瑟夫 J. 瓦恩 郝恩 10. 瓦德 H. 懷特
	姓名 (英文)	9. JOSEPH J. VAN HORN 10. WADE H. WHITE
	國籍	9. 美國 10. 美國
	住、居所	9. 美國佛蒙特州汪德基爾市貝爾丹路51號 10. 美國紐約州海德公園市李斯特路6號
三、 申請人	姓名 (名稱) (中文)	
	姓名 (名稱) (英文)	
	國籍	
	住、居所 (事務所)	
	代表人 姓名 (中文)	
	代表人 姓名 (英文)	



405196

本案已向

國(地區)申請專利

申請日期

案號

主張優先權

美國 US

1997/12/29 08/998,913

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

相關申請案

本申請案是共同讓與之美國專利申請案08/751,574之部分繼續申請案，而該美國專利申請案08/751,574是美國專利申請案08/513,057(現在成為美國專利5,600,257)及美國專利申請案08/882,989之繼續申請案，該等二專利申請案在此以引述的方式列入參考。

發明領域

本發明係大致有關用來測試積體電路之裝置。更具體而言，本發明係有關在晶圓的層級上用於測試或老化測試(burning-in)積體電路之配置。更具體而言，本發明係有關一種雙電路板測試器介面，該介面具有一通用測試器晶片電路板，該通用測試器晶片電路板在空間上與一專用晶圓接觸電路板隔離，但在電氣上連接到該專用晶圓接觸電路板。

發明背景

因為在晶圓層級的早期階段可發現積體電路的瑕疵時，可大幅降低成本，所以在晶圓的層級上測試及老化測試積體電路就相當大的需求。晶圓老化測試是一種引人注目的技術，可提供良好晶粒，以便封裝在包含大量晶片的半導體模組中。

J. Leas等人發明且共同與的美國專利5,600,257(簡稱257專利)揭示了一種同時測試或同時老化測試一積體電路晶圓上的所有產品晶片之配置。該配置提供了：在一測試頭與該半導體晶圓間之熱匹配、大型的電力配送、以及自

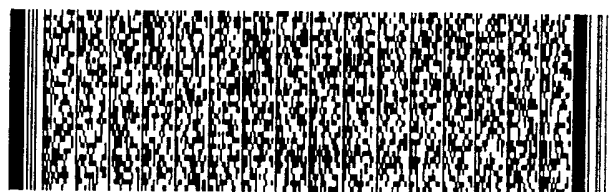
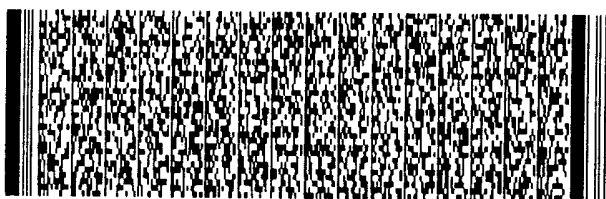


電力配送結構中去除短路產品晶片之電子裝置。在一實施例中，該測試頭包含一玻璃陶瓷基材，這是一種與矽有接近的熱匹配之材料，該基材的一面上有測試晶片，而另一面上有探針。該玻璃陶瓷基材設有數目足夠的厚銅電力平面，用以在電壓降最小的情形下將電流提供給一積體電路晶圓上的每一產品晶片。各測試晶片設有穩壓器，用以將精密控制的Vdd及接地電壓提供給該產品晶圓上的每一晶片，而該Vdd及接地電壓係大致與該晶片及其鄰近晶片所吸取的電流無關，且係大致與該產品晶圓上短路晶片的出現無關。亦可利用該等穩壓器切斷供給各短路晶片的電力。

依普通法讓渡的美國專利申請案08/882,989提供了一種改良式配置，其中係將複數個玻璃陶瓷基材接合在一起，而提供了一種大面積的測試頭。

然而，由於這些配置以接近晶圓之方式提供測試器晶片，所以在老化測試時測試器晶片係在大約與晶圓相同的溫度下工作，因而將限制了測試器晶片之使用壽命。此外，用於接觸一晶圓上所有晶片的這兩種配置都涉及昂貴的硬體，且都無法接觸接腳配置不同的晶片類型。

例如，當更進步的技術可讓一晶片設計進行尺寸的縮小，減少晶片的尺寸並增加可在一晶圓上製造的晶片數時，必須重新設計整個測試頭，才能適應數目增加的晶片及新的晶片接腳配置。因此，需要一種較佳的解決方案，此種解決方案可提供較長的測試器晶片使用壽命，並使各



專用的接觸點有較大的彈性及較低的成本，且下文所述的本發明提供了此種解決方案。

發明概述

因此，本發明之一目的在於提供一種同時測試及老化測試一積體電路晶圓上的複數個產品晶片之改良式測試配置。

本發明之另一目的在於提供一種使產品晶圓保持在一老化測試溫度並同時使各測試器晶片保持在一低許多的溫度之裝置。

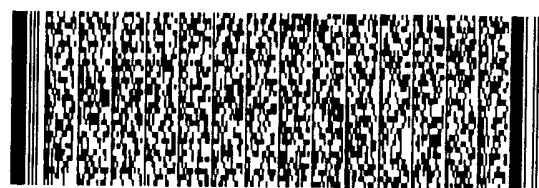
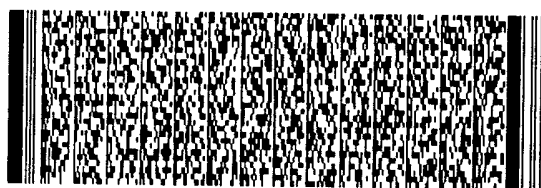
本發明之一特徵在於提供一種具有至少兩個電路板之測試頭，其中一個電路板為熱匹配且為連接到測試中的晶圓所專用，另一個電路板上則安裝有測試晶片，且設有用於連接及這兩個載具間的熱絕緣之裝置，以便提供這兩個載具見之溫度差異。

本發明之另一特徵為：係利用同一測試器晶片電路板及不同的專用電路板測試一系列的記憶體或邏輯電路晶圓中具有不同晶片接腳配置之晶圓。

本發明之又一特徵為：係以若干玻璃陶瓷區塊部分形成一電路板，而所有個別的區塊都是相同的，且該等個別區塊係相互旋轉。

本發明之又一特徵為：係將薄膜佈線用於專用電路板上，而使該專用電路板專用於連接到一產品晶圓。

本發明之又一特徵為：將一插入器用於兩個電路板之間，以便使轉換佈線有間隔，並提供兩個電路板間之連



接。

一種包含一第一電路板及一第二電路板的測試頭完成了本發明上述這些及其他目的、特徵、及優點。該第一電路板具有一探針面及一連接面，該探針面設有若干探針，用以接觸一產品晶圓上的至少一個晶粒，而該連接面適於在電氣上連接到該第二電路板。該第二電路板具有一連接面及一測試器晶片面，該連接面具有若干接觸點，用以在電氣上連接到該第一電路板之該連接面，而該測試器晶片面具有一測試器晶片，用以將電力配送到晶粒或測試晶粒。

附圖簡述

圖1a是本發明的一測試頭及被定位以供測試的一晶圓之組件分解透視圖；

圖1b是圖1a所示測試頭的各組成部分之橫斷面圖；

圖2a是專用電路板的基部下面之平視圖，圖中示出包含被配置成X及Y間距相等的若干厚膜通孔的一特定非成品佈局之區域；

圖2b是圖2a所示厚膜通孔佈局之放大圖，圖中示出接近專用電路板的一邊緣的單一區塊之邊緣部分；

圖2c是圖2b所示厚膜通孔佈局之放大圖，圖中示出四個區塊交叉的區域；

圖2d是專用電路板的下面之平視圖，圖中示出專用晶圓接觸探針墊之專用薄膜佈線，其中該等探針係用於接觸一產品晶圓上的一陣列之產品晶片；

圖2e是圖2d所示專用薄膜佈線之放大圖，圖中示出四個



五、發明說明 (5)

區塊交叉的區域 **405196**

圖2f是專用電路板的下面之平視圖，圖中示出為一特定產品晶圓調整的探針接觸墊及晶圓接觸探針之配置；

圖2g是圖2f所示探針接觸墊及晶圓接觸探針之放大圖，圖中示出四個區塊交叉的區域；

圖2h示出圖2c所示厚膜通孔、圖2e所示專用薄膜佈線、及圖2g所示探針接觸墊與探針之一覆蓋，圖中示出自各通孔到探針之專用連線；

圖2i是專用電路板的上面之平視圖，圖中示出電路板間連線之接觸點陣列、及去耦合電容；

圖3a是承載電路板的下面之平視圖，圖中示出電路板間連線之接觸點陣列、及電力匯流排垂片；

圖3b是承載電路板的上面之平視圖，圖中示出測試器晶片陣列、在每一測試器晶片周圍的去耦合電容、電力匯流排垂片、承載電路板的I/O連線接腳；

圖4是本發明一替代實施例的一測試頭之組件分解透視圖，其中係由標準印刷電路板材料構成一承載電路板，且該承載電路板設有若干子卡；

圖5a-5b是用於電路板間連線的接腳之側視圖；

圖5c是圖5a-5b所示接腳的互連外殼之平視圖；

圖6a-6b示出以本發明之一測試頭測試一產品晶圓，其中係將該測試頭安裝成測試隔列的產品晶片；

圖7a-7b示出：利用將吸住產品晶圓的真空吸盤連接到測試頭之強化氣壓力，而使一產品晶圓與本發明之一測試



頭接觸；

圖8a-8b示出：使一產品晶圓與使用圖7a-7b所示測試頭的產品晶圓步進機構接觸，並提供將吸住產品晶圓的真空吸盤連接到測試頭之強化氣壓力、以及將產品晶圓連接到真空吸盤之真空吸力；以及

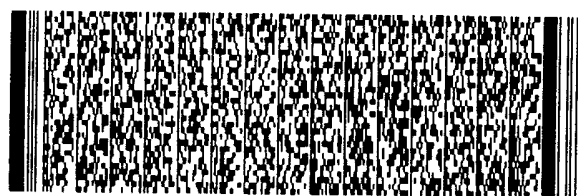
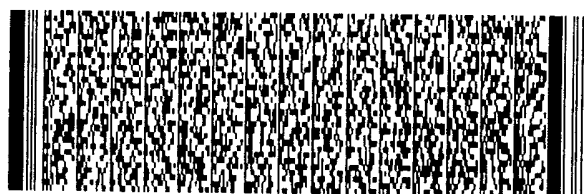
圖9a-9b示出使配置成長條形組態的探針接觸一產品晶圓，其中圖9a示出新月形長條之組態，而圖9b示出直線形長條的組態。

本發明之說明

本發明大致改良了257專利及08/882,989專利申請案，而在改良上係提供了一種使測試器晶片與產品晶圓絕緣之方式，使老化測試中測試器晶片可在比晶圓低許多的溫度下工作，而不必顧及測試器晶片與晶圓是相當接近。本發明也提供了改良式接觸彈性，而得以利用迅速且低成本的方法接觸、測試、及老化測試接腳配置有相當不同的晶片。本發明也提供了一種使一極大晶圓上幾乎所有的產品晶片都得以被接觸且保持接觸之裝置，且於溫度變化時不會有接觸不良的情形。

可將本發明用於測試及老化測試一單晶片，但是本發明最適用於構成一片晶圓的大量產品晶片，例如四分之一的晶片或大部分的晶片，且本發明尤其適用於同時接觸一產品晶圓上所有的(或幾乎所有的)產品晶片。

在本申請案中，諸如上方或上表面、下方或下表面、在之上、在之下、及"在表面上"等文字係以圖1a所示位於待

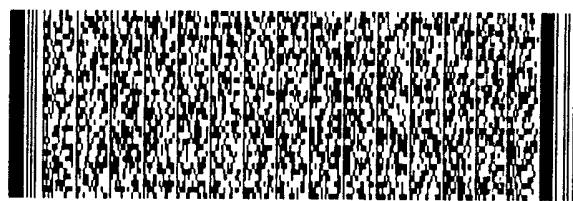
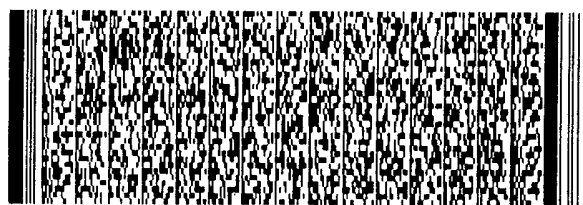


測試的產品晶圓之上的一測試頭為基準，而不必顧及實際固定該測試頭及晶圓之方位。縱使有若干介入層，一層也是在另一層之上。

在一實施例中，如圖1a-1b所示，測試頭(20)係由專用電路板(22)及承載電路板(24)這兩個分離的測試電路板所構成。專用電路板(22)係用於接觸產品晶圓(26)，而承載電路板(24)係用於插入各別的測試器晶片(28)，這些測試器晶片(28)係用於將穩壓電力及測試信號提供給晶圓(26)上的各產品晶片(30)。專用電路板(22)及承載電路板(24)都是具有三維佈線之多層電路板。專用電路板(22)及承載電路板(24)最好是具有大約相同的尺寸。每一電路板在面對的表面上具有若干接觸點，用以相互連接，且每一電路板在另一表面上設有若干接觸點，用以連接到產品晶圓(26)上的各產品晶片(30)或連接到各測試器晶片(28)。

如257專利所述，係由熱膨脹係數(Thermal Coefficient of Expansion；簡稱TCE)匹配待測試晶圓的TCE之一材料構成專用電路板(22)。諸如玻璃陶瓷或氮化鋁等陶瓷材料是適用的材料。玻璃陶瓷是較佳的材料，且述於依普通法而讓渡的A. H. Kumar發明之美國專利4,301,324，本發明特此引用該專利以供參照。玻璃陶瓷具有許多層厚銅導體，因而可在電壓降最小的情形下載送晶圓測試及老化測試所需的大電流。

亦可利用具有低TCE的絕緣材料或具有交替層的聚合物及低TCE金屬之疊層材料構成專用電路板(22)。低TCE金屬



包括諸如Invar或Kovar等金屬合金、以及諸如鎢或鉬等金屬元素。疊層材料係述於依普通法讓渡的Dux等人發明之美國專利5,224,265、及依普通法讓渡的Chen等人發明之美國專利5,128,008，本發明特此引用該等專利以供參照。如果所需要的電流不是太大，且各薄膜層可適應此種電流，則亦可以用與產品晶圓(26)相同的材料(通常為矽)構成專用電路板(22)。在此種情形中，必須在相對的各表面上形成若干通孔，用以在產品晶圓與各測試器晶片之間提供絕緣的接觸點。

如圖1b的橫斷面圖所示，專用電路板(22)包含基部(40)、至少一個薄膜層(42)、及若干晶圓接觸探針(44)。如圖2a-2c所示，最好是使用一標準基部(40)，該基部(40)的下表面(50)上具有標準的內部導體(圖中未示出)及其通孔(48)。只要修改薄膜層(42)及晶圓接觸探針(44)之配置，即可將產品晶片(30)的任何接腳配置連接到各通孔(48)。通孔(48)在基部(40)上具有一產品系列的所有產品之標準圖案。接近專用電路板(22)邊緣的通孔(48)配置之一放大圖係示於圖2b，而圖2c示出在接近專用電路板(22)中心而四個基部接合在一起處的各通孔(48)配之之一放大圖。圖示通孔的此種配置具有相等的X及Y間距，但是亦可使用其他的配置。

因此，可在對薄膜層(42)及接觸探針(44)作較簡單修改而提供完整功能專用電路板(22)的情形下，即可接觸具有不同接觸墊配置的一產品系列(例如記憶體、微處理器、



客戶訂製邏輯電路、及混合信號邏輯電路)內範圍寬廣的產品晶片(30)。由於在薄膜層(42)中提供了所有的專用設定，所以所有此種專用電路板都是相同的，因而降低了成本並縮短了製造時間。如本門技術所習知的，薄膜層(42)可包含一個或數個導電層及絕緣層，用以形成佈線圖案(52)。

如圖2d及放大圖2e所示，使薄膜佈線層(42)中之佈線圖案(52)專用化，以便將基部(40)的下表面(50)上的各通孔(48)連接到各探針接觸墊(54)，並如圖2f及2g所示，使各晶圓接觸探針(44)碰觸各探針接觸墊(54)。使佈線(52)之路徑、以及各探針接觸墊(54)與晶圓接觸探針(44)之位置專用化，以便適應特定的晶片接觸墊配置。在圖2d-2g所示之情形中，提供了一線性探針陣列的探針，用以接觸一DRAM晶片上的線性陣列之接觸墊。圖2h示出圖2c所示各通孔(48)、圖2e所示佈線圖案(52)、及圖2g所示各探針接觸墊及晶圓接觸探針(44)之一覆蓋，圖中示出上列各元件間之連接。

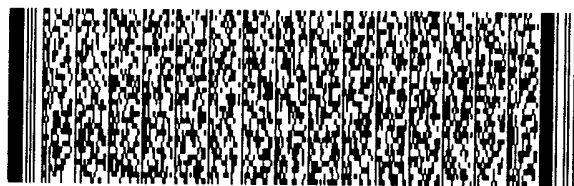
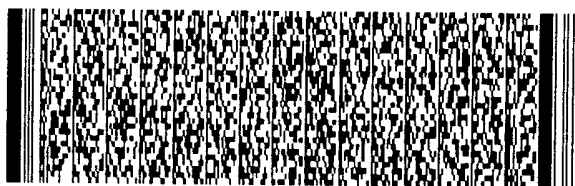
如圖1a、2a所示且如08/882,989專利申請案所述，可以接合在一起的一個陣列的數個較小電路板或區塊(60)構成專用電路板(22)。在以探針測試8或12英寸的晶圓時，可使用2x2陣列的6英寸玻璃陶瓷區塊(60)。該區塊陣列中的每一區塊(60)最好是具有一個與其他基部相同之基部(40)，如圖2a之下視圖所示，各區塊(60)只須相互旋轉，即可提供對一晶圓的四個象限之接觸。當然，如圖2g所



示，須將薄膜層(42)及各接觸探針(44)提供給各基部(40)，以便應對該旋轉，並對在專用電路板(22)上的各接觸點提供一致性的方位。也必須針對構成一專用電路板的四個區塊之每一區塊，使佈線圖案(52)專用化，以便應對電路板的旋轉。

如圖2i所示，用來連接到承載電路板(24)的接觸點陣列(62a)係位於專用電路板(22)之上表面(63)，而面對承載電路板(24)。鄰近每一接觸點陣列(62a)且連接接觸點陣列(62a)的電力與接地點之各去耦合電容(64)提供了極接近待測試產品晶片(30)觸的去耦合電容量。雖然各去耦合電容(64)係示於專用電路板(22)的上表面(63)(亦即產品晶片(30)之對向表面)，但是這些去耦合電容亦可設於面對各產品晶片(30)的專用電路板(22)下表面上之薄膜佈線層(42)中，以便得到更接近且更佳之去耦合。

如圖3a所示，用來連接到專用電路板(22)的承載電路板(24)上之接觸點陣列(62b)係位於承載電路板(24)的下表面(65)，而面對專用電路板(22)。電路板(22)、(24)上的各相向接觸點(62a)、(62b)具有相同的尺寸，其範圍自約750微米到1000微米(亦即30到40密爾)。各接觸點間之間隔約為250微米(亦即10密爾)，而提供了約1000到1250微米(亦即40到50密爾)的間距。承載電路板(24)內的內部佈線(圖中未示出)將各接觸點(62b)連接到承載電路板(24)的上表面(70)上之薄膜佈線(圖中未示出)，而承載電路板(24)上設有若干測試器晶片(28)、去耦合電容(72)、及信

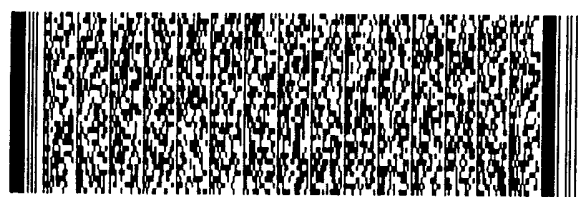
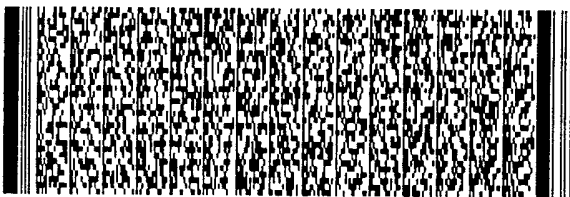


五、發明說明 (11)

號接腳(74)。如257專利所述，在承載電路板(24)中的導電佈線層中設有延伸到各測試器晶片(28)之佈線，其中包括電力線、接地線、及信號線。如圖3b所示，係經由各電力連接片(75)及信號接腳(74)而將電力及信號連接提供給承載電路板(24)。將信號自連接到各信號接腳(74)之一測試器經由纜線而提供給承載電路板(24)。

同一承載電路板(24)係用於可以安裝在該承載電路板上的測試器晶片測試的一產品系列內之所有晶圓，且如前文所述，可利用與產品晶圓(26)熱匹配的材料構成承載電路板(24)。因此，可以類似於專用電路板(22)的各區塊(60)之方式，以個別的區塊(70)構成承載電路板(24)。且承載電路板的各區塊(70)可以如參照專用電路板(22)的各區塊(60)所述之方式而旋轉，因而無須四個各別的零件號碼。在此種情形中，各測試器晶片(28)也會旋轉。然後設定專用電路板(22)上的專用層(42)，以便應對該旋轉。在此種情形中，專用電路板(22)的四個區塊(60)之每一區塊都有一個不同的薄膜層(42)，且每一此種零件只能用於專用電路板(22)的一個特定象限。雖然不是必要條件，但是亦可在承載電路板(24)上設有一薄膜層，以便提供額外的佈線層。

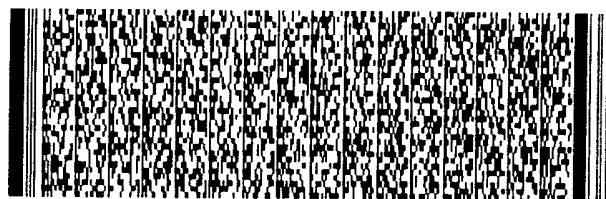
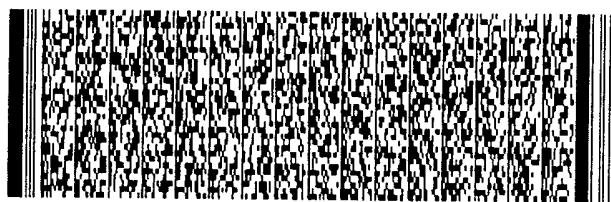
然而，熱匹配的要求可對承載電路板(24)放寬許多，因而無須與產品晶圓有緊密的熱膨脹係數匹配。首先，承載電路板(24)可能不會有專用電路板(22)遭遇到的溫度漂移。這是在測試頭只用於測試時的情形；而且如果在電路



板(22)與(24)之間提供足夠的熱阻，則也可以是老化測試的情形。其次，電路板(22)與(24)間之接觸區可能遠大於晶圓(26)上的各接觸墊，所以電路板間連接對熱不匹配的適應力遠大於電路板至晶圓間熱不匹配之適應力。因此，除了前文中參照專用電路板(22)所述之材料之外，亦可由諸如FR4、Getek、及鐵弗龍(Teflon)等標準印刷電路板材料構成承載電路板(24)。

如圖4之實施例所示，本發明用來測試的測試頭(20')包含：以玻璃陶瓷構成的專用電路板(22)、以及以標準印刷電路板材料FR4構成的承載電路板(24')。承載電路板(24')包含用於晶圓(26)上每一晶片的若干子卡(28')，這些子卡提供了一種使晶圓(26)上的各短路產品晶片(30)斷路之簡單方式。只須取下子卡(28')，即可切斷對此類短路晶片的接觸。在替代實施例中，可在各子卡(28')上完全設有其中包括測試電路、電源供應控制電路(例如穩壓器)、記憶體、定時及格式產生電路、接腳電路、及諸如數位至類比轉換器等支援電路之各測試器晶片(28)。各測試器晶片(28)並不需要都相同，可使用數個不同的晶片，而提供各種測試功能、以及各信號接腳(74)與其他測試器晶片間之扇出。

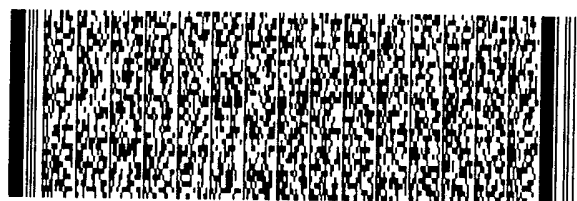
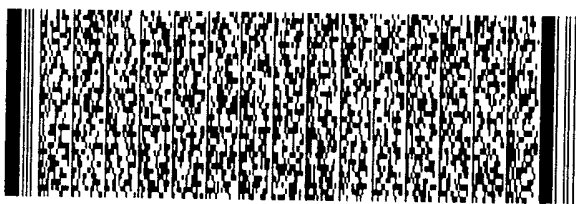
如依普通法讓渡的待審美國專利申請案FI995167所述，經由延伸通過各塑膠互連外殼(78)而提供專用電路板(22)與承載電路板(24)間之接觸，本發明特此引用該專利申請案以供參照。如圖1a-1b所示，且如圖5a-5c的放大圖所



示，係將四個互連外殼(78)安裝在專用電路板(22)的每一區塊之Invar框架(80)中。圖5a、5b分別示出各接腳(76)之前視圖及側視圖。係以具有一弧度(82)半徑之單件線材形成每一接腳，以便提供電路板(22)與(24)間之彈簧壓力接觸。如圖5c所示，互連外殼(78)設有若干插槽(84)，使每一接腳(76)得以使該接腳屈曲。每一互連外殼(78)提供了一個33x33陣列的接腳(76)，用以連接兩個相對電路板(22)、(24)上的各接觸點(62a)、(62b)，因而在這兩個電路板之間提供了1089個接觸點，且提供了一整片產品晶圓的17,424個各別接觸點。Invar框架(80)在測試頭(20)所提供的大區域上提供了熱匹配。電路板(22)、(24)上的各接觸點(62a)、(62b)具有大約30到40密爾的足夠尺寸，因而可適應各互連外殼(78)與任一電路板間之任何熱梯度或熱膨脹係數差異。

在裝配測試頭(20)時，係對準Invar框架(80)，並將Invar框架(80)連接到專用電路板(22)。然後將各互連外殼(78)安裝在Invar框架(80)中。然後將承載電路板(24)定位，以便連接於各接腳(76)與各接觸墊(62b)之間。在晶圓(26)與測試頭(20)之間施加一個大約每一接腳15克之力，以確保各組件間之良好電氣連接。

為了確保於老化測試時將承載電路板(24)維持在一個比晶圓(26)或專用電路板(22)低許多的溫度，在電路板(22)與(24)之間提供熱阻。在電路板(22)、(24)與Invar框架(80)或塑膠互連外殼(78)之間提供空氣間隙，即可以最簡



單之方式提供熱阻。以O形環或其他的墊圈將各電路板間之空間密封及隔離，即可提供改良式的熱阻。由於在專用電路板(22)與承載電路板(24)之間提供了足夠的熱阻，所以可將各測試器晶片(28)維持在攝氏85度或更低的溫度，同時係在攝氏140度或更高的溫度下老化測試各產品晶片(30)。因此，避免了因重複老化測試對測試器晶片(28)造成的應力，且延長了這些測試器晶片(28)的使用壽命。

除了提供改良式的熱阻之外，隔離電路板(22)與(24)間之空間時，也提供了壓縮各接腳(76)所需之力，因而在各接觸點(62a)與(62b)之間提供了良好的電氣接觸。

雖然本發明可適應產品晶圓(26)上所有產品晶片(30)之同時測試或老化測試，但是本發明亦可提供對少數晶片之測試。如圖6a、6b所示，係在測試頭(20)的兩個步驟之每一步驟中測試一半的晶片。陰影區指示測試頭(20)的各探針(44)與產品晶片(30)上的各產品晶圓(26)間之接觸區。首先，如圖6a所示，係定位測試頭(20)，以便接觸產品晶片(30)的各行(30a)，而供同時測試。然後在完成測試之後，使測試頭(20)步進，以便接觸產品晶片的各行(30b)，而供同時測試步驟。因此，只以兩個測試步驟即可完全接觸及測試晶圓(26)上的所有晶片。

有兩種方法可提供將晶圓(26)與測試頭(20)接觸所需之力。在傳統上，係以一個安裝在X-Y-Z- θ 步進機上之真空吸盤用真空吸住晶圓(26)，且經由該X-Y-Z- θ 步進機而提供機械力及定位。在替代實施例中，如圖7a-7b所示，

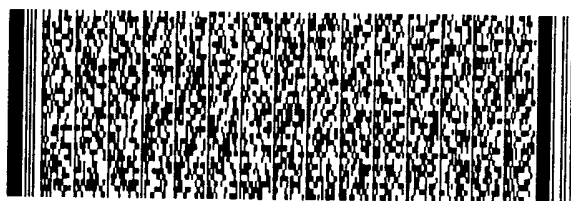
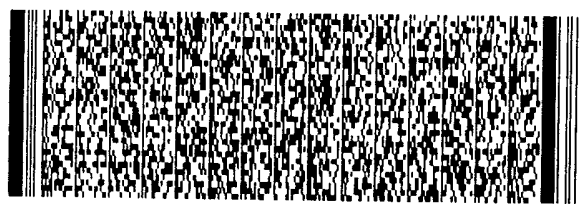


雖然仍然係由X-Y-Z- θ 步進機提供定位，但是真空吸盤與測試頭間提供之真空增強了晶圓與測試頭間之力。

如圖7a所示，係以真空吸力將晶圓(26)安裝在真空吸盤(86)，而真空吸盤(86)具有若干真空溝槽(88)及晶圓壓低真空口(90)。如圖7b所示，真空吸盤(86)亦設有O形環封(92)及探針系統真空口(94)，而得以真空密封真空吸盤(86)至測試頭(20)。因而施加大氣壓力F，以便均勻壓縮所有的晶圓接觸探針(44)。如有需要，傳統的機械裝置可提供額外的壓力。亦可以機械或靜電方法將晶圓(26)夾緊到夾盤(86)。除了O形環封(92)之外，亦可使用諸如墊圈或C形環等其他的環封。該環封的柔度最好是大約等於探針(44)的柔度。

圖8a-8b示出晶圓(26)相對於測試頭(20)之步進。如圖8a所示，一旦測試過晶圓(26)上的第一組晶片之後，即自探針系統真空口(94)釋出真空壓力，並降低真空吸盤(86)(圖7a)。然後經由X-Y-Z- θ 步進機(96)而重新對準承載晶圓(26)之真空吸盤(86)。如圖8b所示，然後上升真空吸盤(86)，以便重新建立晶圓(26)與測試頭(20)間之接觸，而接觸另一組晶片。與完全依賴機械力的傳統系統比較時，真空的使用可以施加大許多且均勻許多的力，而且機械應力較小。此種方式對有大量探針散布在較大區域的探針陣列尤其有利。

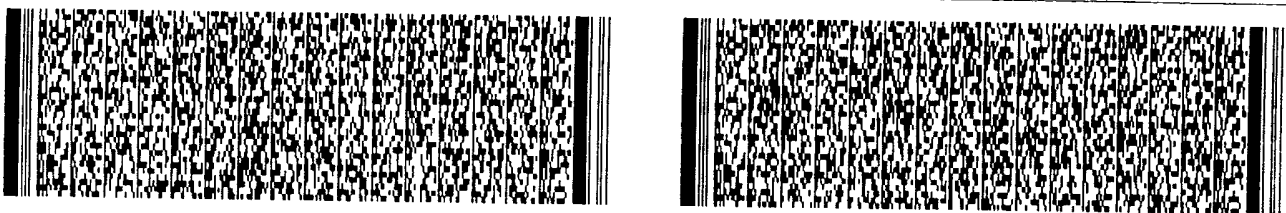
使用圖9a所示之新月形探針圖案時，測試完成速率遠優於圖6a-6b所示直線探針圖案之測試完成速率。該新月形



可在每一步驟中讓所有的探針都接觸晶片，因而大幅增進效率，並減少完全測試完晶圓所需的步驟數。例如，只以6個步驟即可利用一個128晶片並行測試器測試圖9a所示之604個晶粒。而在圖9b所示之直線探針圖案下，或在一區域陣列探針圖案(圖中未示出)下，利用每一區塊有32個區塊的對稱區塊時，將需要8個步驟。因此，與標準的區域陣列或直線長條形圖案相比時，探針的新月形配置可提高25%的完成速率。另一優點在於：新月形探針圖案提供了比區域陣列或長條形圖案更均勻且穩定的力。此外，密封真空輔助Z力所需的面積也減少了。此外，延伸到晶圓邊緣以外的探針數大幅減少了，因而大幅減少了探針受損的機率。最後，在新月形或長條形探針圖案中，所有的步進都是沿著一個方向，因而簡化了步進機裝置及機構。區域陣列的圖案足需要沿著數個方向步進。

在第一測試步驟中，測試了圖9a所示的所有陰影部分晶片(30a)。晶圓(26)然後沿著X維度步進，並測試鄰近陰影部分晶片之各晶片(30b)。重複此程序，直到測試過所有的晶片為止，而本例中需要六次的探針接觸。

雖然已詳細說明了且以附圖例示了本發明的數個實施例及其修改，但是在不脫離本發明的範圍下，顯然還可作出各種其他的修改。前文說明書之目的並非在將本發明限制在一個比最後申請專利範圍所述更窄的範圍。所提供的各個例子只供舉例說明，並非是本發明的唯一實施方式。

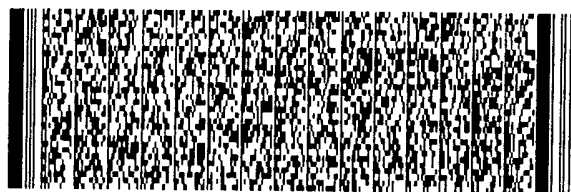
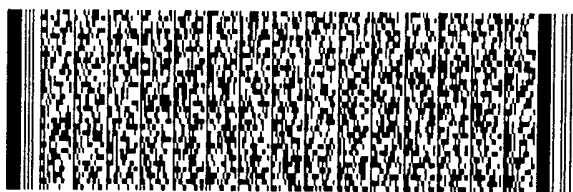


四、中文發明摘要 (發明之名稱：用於晶圓測試和老化測試的分段結構)

一種用於同時測試或老化測試一產品晶圓上的大量積體電路晶片之裝置包含：安裝在一第一電路板上的若干探針、以及安裝在一第二電路板上的若干測試器晶片，並有連接這兩個電路板的若干電氣連接器。該等測試器晶片係用於將電力配送到該等產品晶片，或用於測試該等產品晶片。該等探針及連接該等探針之薄膜佈線係針對進行探針測試的特定晶圓之接觸墊配置而專用化。該第一電路板及該第二電路板的基部對一產品系列的所有晶圓都保持不變。由於使用了兩個電路板，所以使測試器晶片於老化測試時保持在一個比產品晶片低許多的溫度，以便延長測試器晶片的使用壽命。可利用一間隙作為各電路板間之熱絕緣，並密封及隔離該間隙，而提供進一步的熱絕緣。該隔

英文發明摘要 (發明之名稱：SEGMENTED ARCHITECTURE FOR WAFER TEST & BURN-IN)

An apparatus for simultaneously testing or burning in a large number of the integrated circuit chips on a product wafer includes probes mounted on a first board and tester chips mounted on a second board, there being electrical connectors connecting the two boards. The tester chips are for distributing power to the product chips or for testing the product chips. The probes and thin film wiring to which they are attached are personalized for

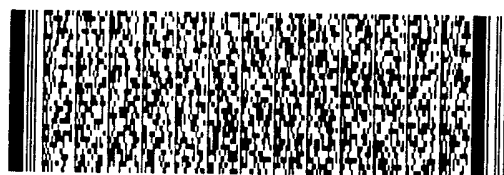
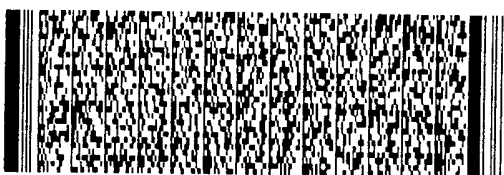


四、中文發明摘要 (發明之名稱：用於晶圓測試和老化測試的分段結構)

離也強化了接觸的大氣壓力，而有助於各電路板間之連接、及電路板至晶圓之接觸。用於並行測試各晶片之諸探針被配置成若干新月形的長條，因而與配置成區域陣列的各探針相比時，大幅提高了測試器之測試完成速率。

英文發明摘要 (發明之名稱：SEGMENTED ARCHITECTURE FOR WAFER TEST & BURN-IN)

the pad footprint of the particular wafer being probed. The base of the first board and the second board both remain the same for all wafers in a product family. The use of two boards provides that the tester chip is kept at a substantially lower temperature than the product chips during burn-in to extend the lifetime of tester chips. A gap can be used as thermal insulation between the boards, and the gap sealed and evacuated for further thermal



四、中文發明摘要 (發明之名稱：用於晶圓測試和老化測試的分段結構)

英文發明摘要 (發明之名稱：SEGMENTED ARCHITECTURE FOR WAFER TEST & BURN-IN)

insulation. Evacuation also provides atmospheric pressure augmentation of contact for connection between boards and contact to wafer. Probes for parallel testing of chips are arranged in crescent shaped stripes to significantly increase tester throughput as compared with probes arranged in an area array.



六、申請專利範圍

1. 一種測試頭，包含：

一第一電路板及一第二電路板；

其中該第一電路板具有一探針面及一連接面，該探針面設有若干探針，用以接觸一產品晶圓上的至少一個晶粒，而該連接面適於在電氣上連接到該第二電路板；

其中該第二電路板具有一接觸面及一測試器晶片面，該接觸面設有若干接觸點，用以在電氣上連接到該第一電路板之該連接面，而該測試器晶片面設有一測試器晶片，用以將電力配送到該晶粒或測試晶粒。

2. 如申請專利範圍第1項之測試頭，其中該等探針係用於接觸晶圓上大致所有的晶粒。

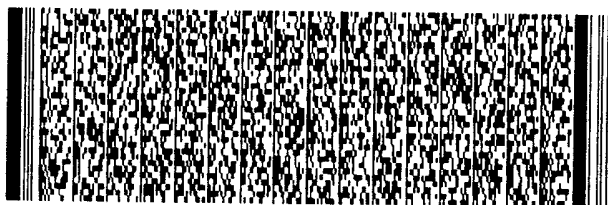
3. 如申請專利範圍第1項之測試頭，其中該第一電路板包含一材料，該材料之熱膨脹係數匹配產品晶圓之熱膨脹係數。

4. 如申請專利範圍第3項之測試頭，其中該材料包含玻璃陶瓷、氮化鋁、Kovar、Invar、鎢、及鉬中的一種材料。

5. 如申請專利範圍第1項之測試頭，其中該第二電路板包含一材料，該材料之熱膨脹係數匹配產品晶圓之熱膨脹係數。

6. 如申請專利範圍第1項之測試頭，其中該第二電路板設有複數個該等測試器晶片。

7. 如申請專利範圍第1項之測試頭，其中該第一電路板包含一材料，該材料之熱膨脹係數匹配產品晶圓之熱膨脹



六、申請專利範圍

係數，且該第一電路板包含一基部、及一個使該第一電路板專用於接觸晶粒之薄膜層，該基部則為通用，該第一電路板係由若干區塊接合而成，該第一電路板的所有個別區塊都是相同的，該測試頭於該第一電路板與該第二電路板之間又設有一插入器，該插入器包含一個安裝在一框架之外殼。

8. 如申請專利範圍第1項之測試頭，又包含在該第一與第二電路板間之熱阻。

9. 如申請專利範圍第8項之測試頭，其中該熱阻包含在該第一與第二電路板間之一空間，而由空氣提供該熱阻。

10. 如申請專利範圍第8項之測試頭，其中該熱阻包含一個在該第一與第二電路板間之熱阻材料。

11. 如申請專利範圍第10項之測試頭，其中該熱阻材料包含一個在該第一與第二電路板間之插入器。

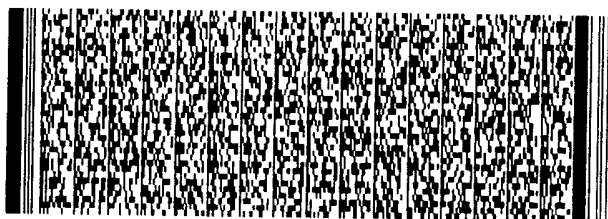
12. 如申請專利範圍第8項之測試頭，其中該熱阻包含在第一與第二電路板間之空氣或真空。

13. 如申請專利範圍第1項之測試頭，其中該第一電路板包含一基部、及一個使該第一電路板專用於接觸晶粒之薄膜層。

14. 如申請專利範圍第13項之測試頭，其中該薄膜層包含複數個導電層及絕緣層。

15. 如申請專利範圍第13項之測試頭，其中該基部是通用的，而只有在該薄膜層中完成該第一電路板之專用化。

16. 如申請專利範圍第1項之測試頭，其中該第一電路板



六、申請專利範圍

是由若干區塊接合而成。

17. 如申請專利範圍第16項之測試頭，其中該第一電路板的所有個別區塊都是相同的。

18. 如申請專利範圍第17項之測試頭，其中該等個別區塊係相互旋轉。

19. 如申請專利範圍第1項之測試頭，尚包含一個在該第一電路板與該第二電路板間之去耦合電容。

20. 如申請專利範圍第19項之測試頭，尚包含在該第一電路板上的複數個電力接觸墊，其中係在每一該電力接觸墊上設有該去耦合電容。

21. 如申請專利範圍第1項之測試頭，其中該第二電路板係用於測試一系列的產品晶圓。

22. 如申請專利範圍第1項之測試頭，其中係將電力自電源供應器經由該第二電路板而配送到該等至少一個測試器晶片。

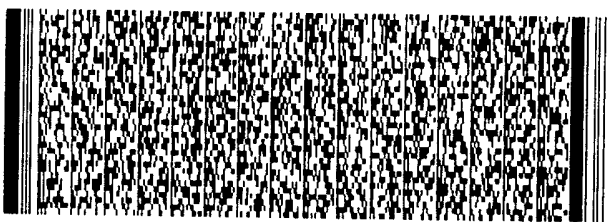
23. 如申請專利範圍第1項之測試頭，其中該測試器晶片包含用來切斷到一產品晶片的電力接觸墊的接觸之裝置。

24. 如申請專利範圍第1項之測試頭，其中該第二電路板又包含複數個接觸點，用以將該測試頭連接到一測試器。

25. 如申請專利範圍第1項之測試頭，尚包含一個在該第一電路板與該第二電路板間之插入器。

26. 如申請專利範圍第1項之測試頭，其中該插入器包含若干安裝在一框架中之外殼。

27. 如申請專利範圍第1項之測試頭，其中該等外殼包含



六、申請專利範圍

塑膠，且該框架係與該專用電路板熱匹配。

28. 一種可老化測試一產品晶圓上的積體電路產品晶片之裝置，該裝置包含：一個具有一探針面及一測試器晶片面之測試頭，若干探針係安裝在該探針面，一測試器晶片係安裝在該測試器晶片面，該測試器晶片係在電氣上連接到該等探針，該等探針係用於接觸產品晶圓上的產品積體電路產品晶片，而產品晶片係處於約攝氏140度的溫度；以及

當產品晶片處於約攝氏140度的該溫度時，該測試頭被配置成使該測試器晶片處於不高於攝氏100度的溫度。

29. 如申請專利範圍第28項之裝置，其中該測試頭包含：

一第一電路板及一第二電路板；

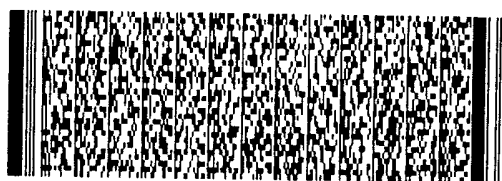
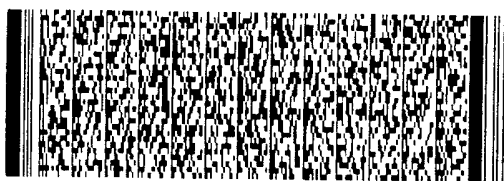
其中該第一電路板具有該探針面及一連接面，該連接面適於在電氣上連接到該第二電路板；

且其中該第二電路板具有一接觸面及該測試器晶片面，該接觸面設有若干接觸點，用以在電氣上連接到該第一電路板之該連接面。

30. 如申請專利範圍第29項之裝置，尚包含在該第一與第二電路板間之熱阻。

31. 如申請專利範圍第30項之裝置，其中該熱阻包含在該第一與第二電路板間之一空間，而由空氣提供該熱阻。

32. 如申請專利範圍第31項之裝置，其中係密封及隔離該空間。



六、申請專利範圍 **405196**

33. 一種測試或老化測試一產品晶圓上的複數個積體電路產品晶片之方法，該等產品晶片具有信號I/O、接地、及電力接觸墊，該方法包含下列步驟：

(a) 以一個包含一第一電路板及一第二電路板的測試頭同時接觸該產品晶圓上的複數個產品晶片之接觸墊，該第一電路板具有一探針面及一連接面，該探針面設有若干探針，用以接觸一產品晶圓上的至少一個晶粒，而該連接面適於在電氣上連接到該第二電路板，該第二電路板具有一接觸面及一測試器晶片面，該接觸面設有若干接觸點，用以在電氣上連接到該第一電路板之該連接面，而該測試器晶片面設有一測試器晶片，用以將電力配送到該產品晶片或測試該產品晶片；

(b) 將電力自一電源供應器經由該測試頭而提供給該等產品晶片之電力接觸墊；以及

(c) 經由該測試頭而測試或老化測試該產品晶圓上的複數個產品晶片。

34. 如申請專利範圍第33項之方法，其中該測試步驟(c)包含下列步驟：

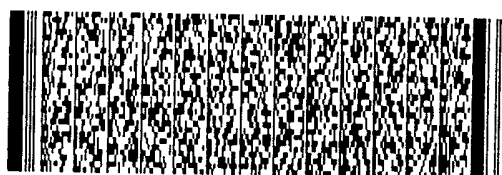
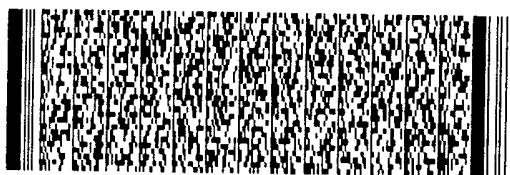
測試複數個產品晶片；

步進；以及

測試額外的產品晶片。

35. 一種老化測試一產品晶圓上的一產品積體電路產品晶片之方法，該方法包含下列步驟：

(a) 以一個包含一探針面及一測試器晶片面的測試頭接



六、申請專利範圍

觸該產品晶圓上的該產品晶片之若干接觸墊，若干探針係安裝在該探針面，一測試器晶片係安裝在該測試器晶片面，該測試器晶片係在電氣上連接到該等探針，該等探針係用於接觸該產品晶圓上的該產品積體電路產品晶片，而該產品晶片係處於約攝氏140度的溫度，當該產品晶片處於約攝氏140度的該溫度時，該測試頭被配置成使該測試器晶片處於不高於攝氏100度的溫度；

(b) 將電力自一電源供應器經由該測試頭而提供給該等產品晶片之電力接觸墊；以及

(c) 經由該測試頭而老化測試該晶圓上的複數個產品晶片。

36. 一種用來測試^{裝置}一^{裝置}半導體晶圓之~~測試結構~~，該晶圓具有一直徑，該測試~~結構~~包含：

一吸盤，該吸盤之尺寸大於該晶圓之直徑；

一測試頭，該測試頭之尺寸大於該晶圓之直徑；

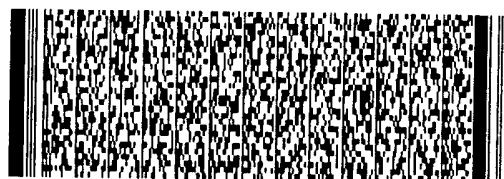
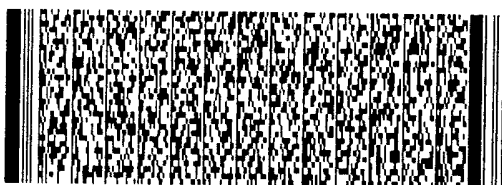
將該晶圓夾緊到該吸盤之裝置；以及

一個在該吸盤與該測試頭間之環封，用以密封該吸盤與該測試頭間之真空。

37. 如申請專利範圍第36項之裝置，其中係將該吸盤安裝在一X-Y-Z- θ 步進機上。

38. 如申請專利範圍第36項之裝置，又包含若干連接到該測試頭之晶圓接觸探針。

39. 如申請專利範圍第36項之裝置，其中該夾緊裝置包含真空。



六、申請專利範圍

40. 如申請專利範圍第36項之裝置，其中該夾緊裝置係與該環封無關。

41. 一種測試一半導體晶圓之測試器，該測試器包含一測試頭，該測試頭設有若干探針，用以同時接觸並測試該晶圓上的複數個晶片，該等探針被配置成一圖案，該圖案使尚未被測試的各晶片係在被測試的各晶片之間。

42. 如申請專利範圍第41項之測試器，其中該圖案是複數個長條。

43. 如申請專利範圍第42項之測試器，其中該等長條是新月形。

44. 如申請專利範圍第41項之測試器，其中該等探針係經過配置，而只沿著一個方向進行步進。

45. 一種測試一半導體晶圓之測試器，該測試器包含複數組探針，每一組探針係用於測試該晶圓上的一晶片，其中係將該等組的探針配置成一新月形圖案。

46. 如申請專利範圍第45項之測試器，其中係將該等組的探針配置成多個新月形圖案。

47. 如申請專利範圍第46項之測試器，其中係將該等組的探針配置成若干具有不同凸狀之新月形圖案。

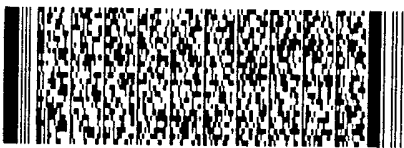
48. 如申請專利範圍第46項之測試器，其中係將該等組的探針配置成若干沿著相反方向而相對之新月形圖案。

49. 如申請專利範圍第45項之測試器，其中該晶圓具有若干列的晶片，而在每一列中鄰近該晶圓邊緣的晶片是第一晶片，其中該新月形圖案包含每一列中的該第一晶

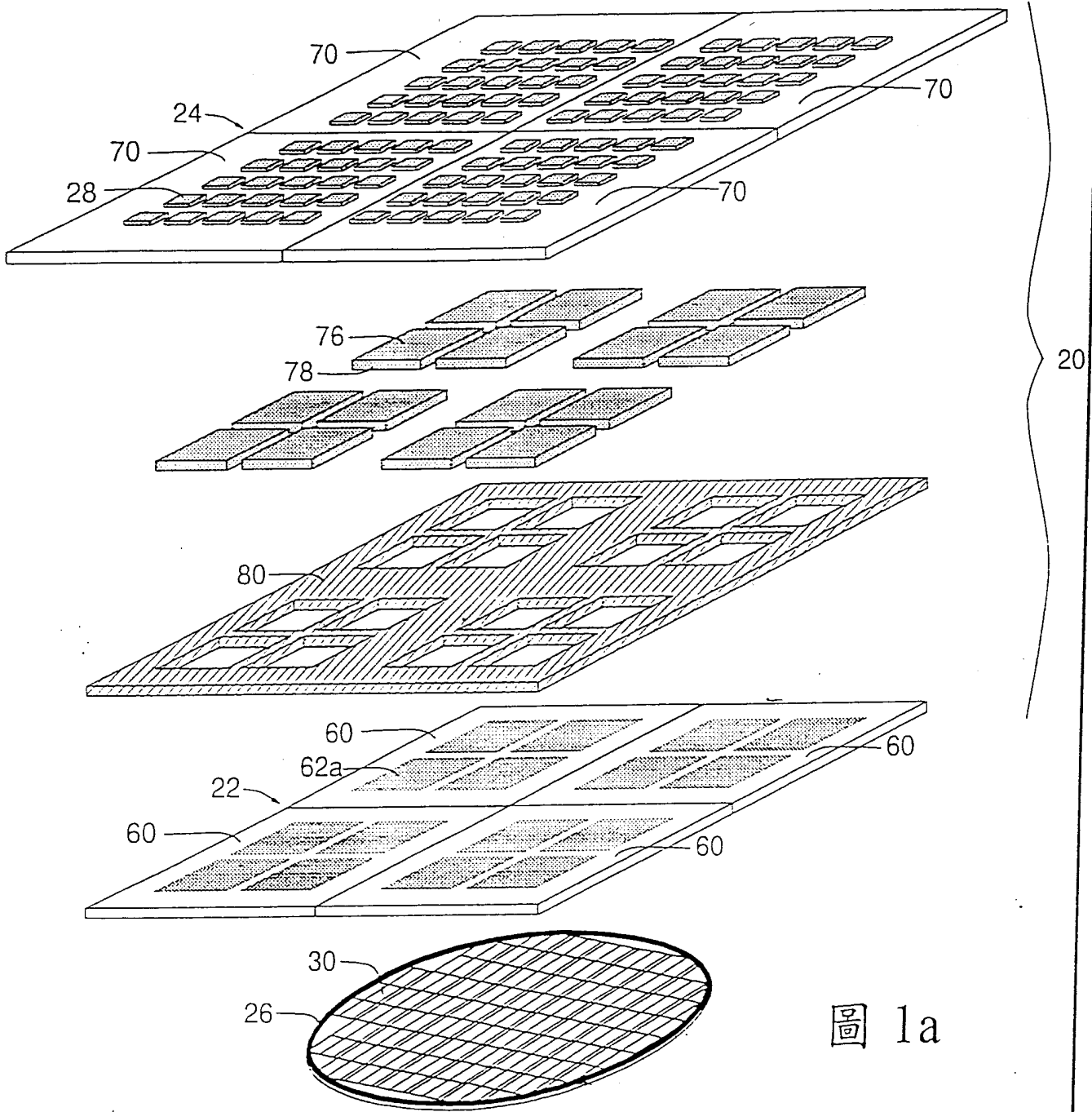
六、申請專利範圍 405196

片。

50. 如申請專利範圍第45項之測試器，其中該等組的探針係經過配置，而大致避免步進到該晶圓之外的範圍。



圖式



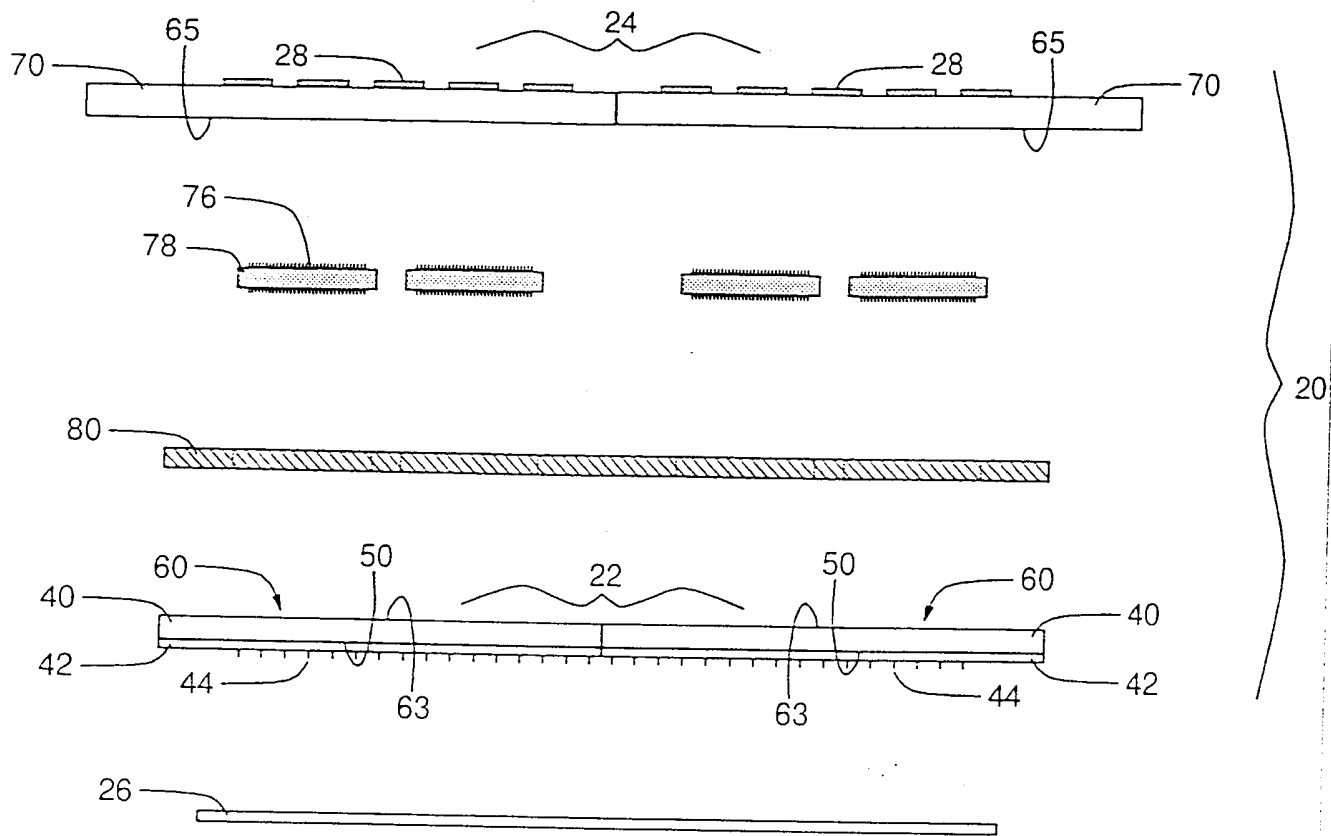


圖 1b

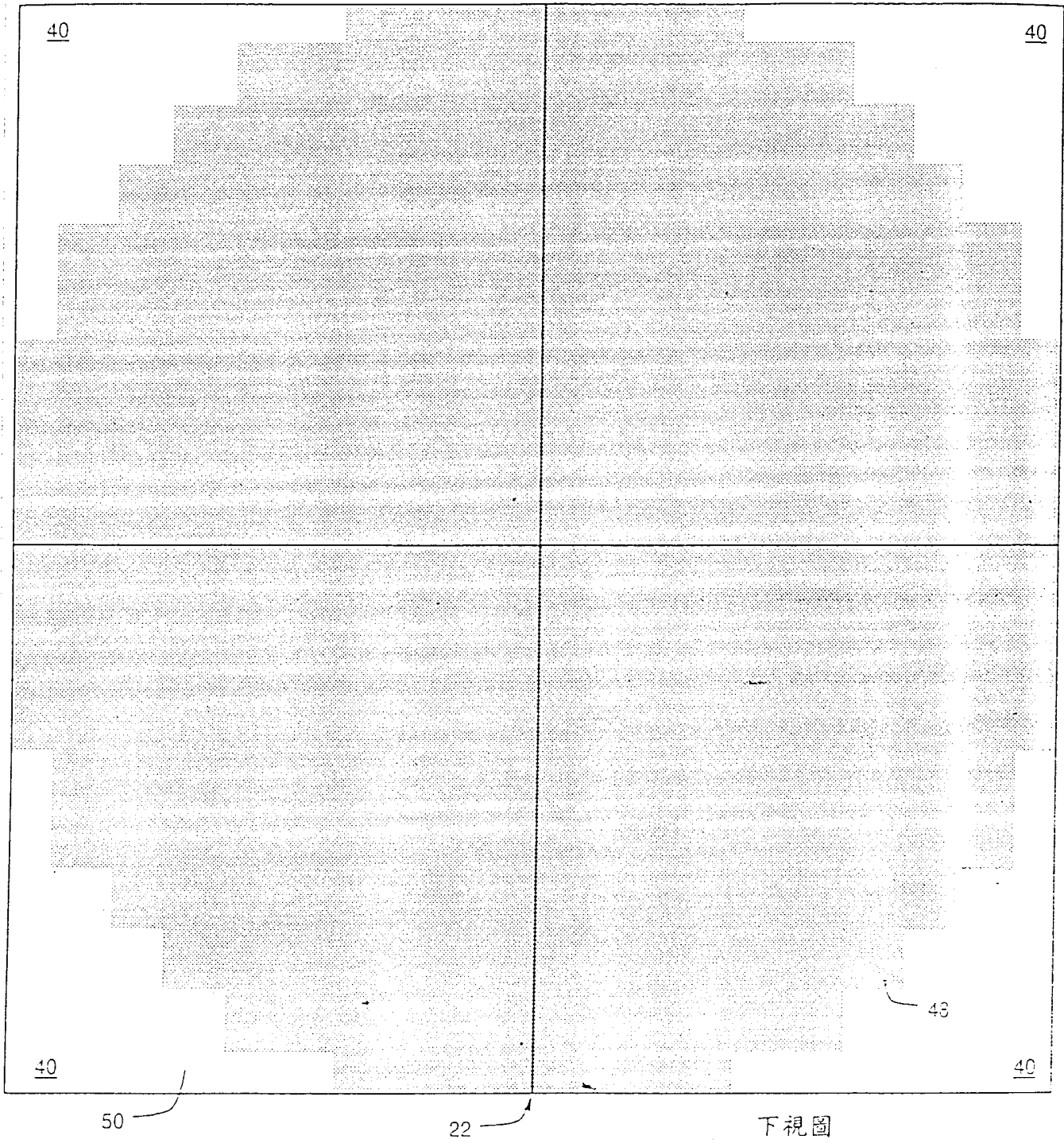


圖 2a

405196

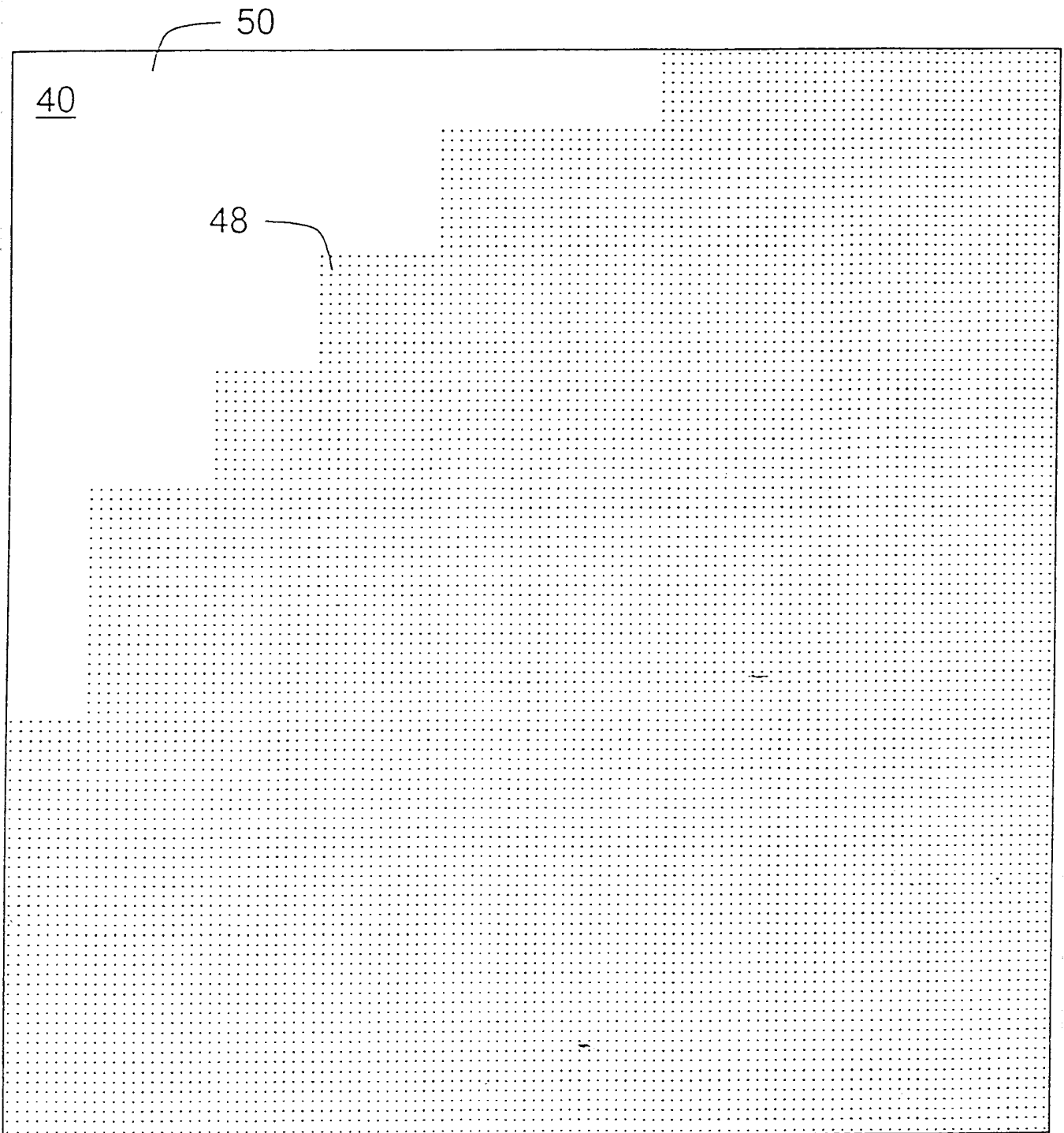


圖 2b

405196

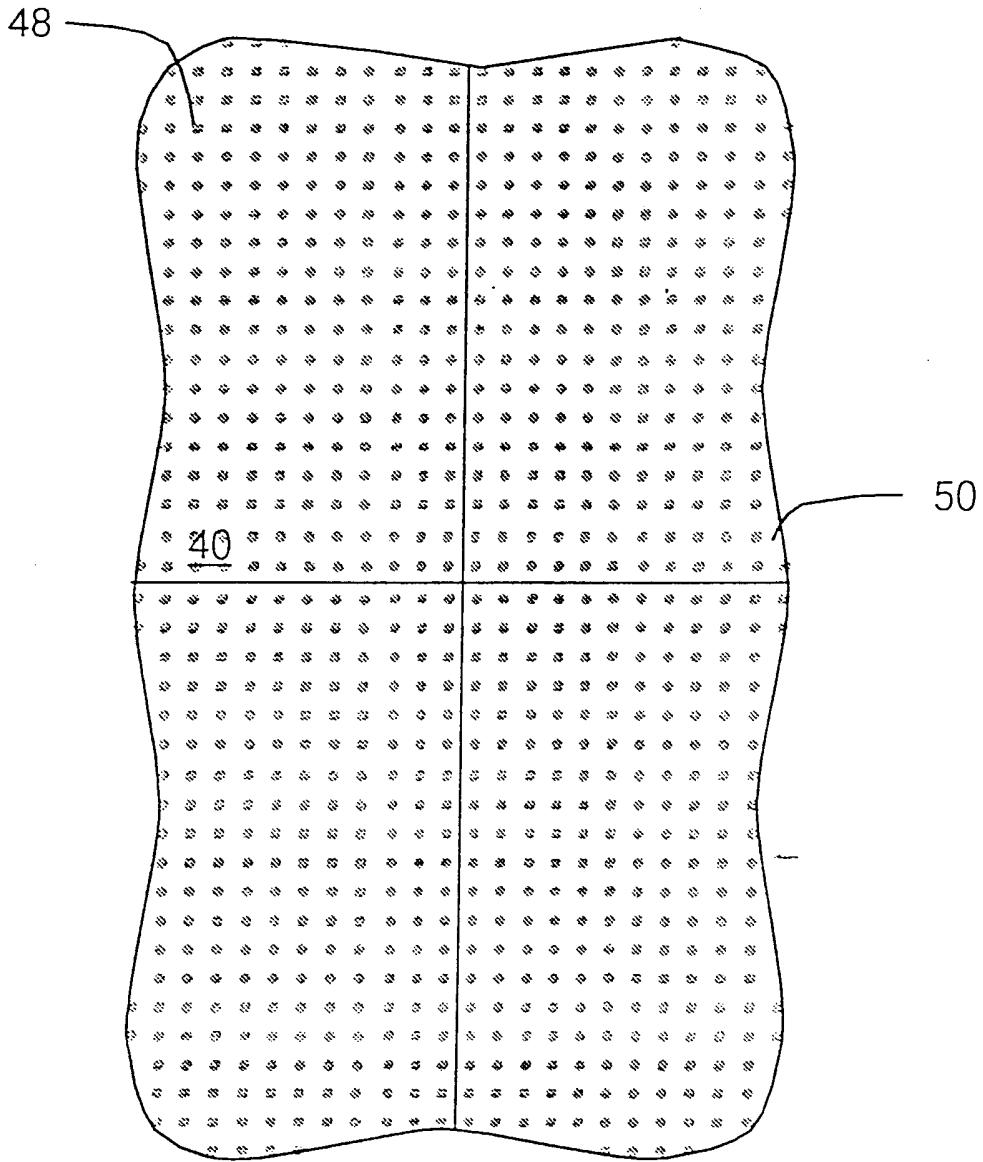
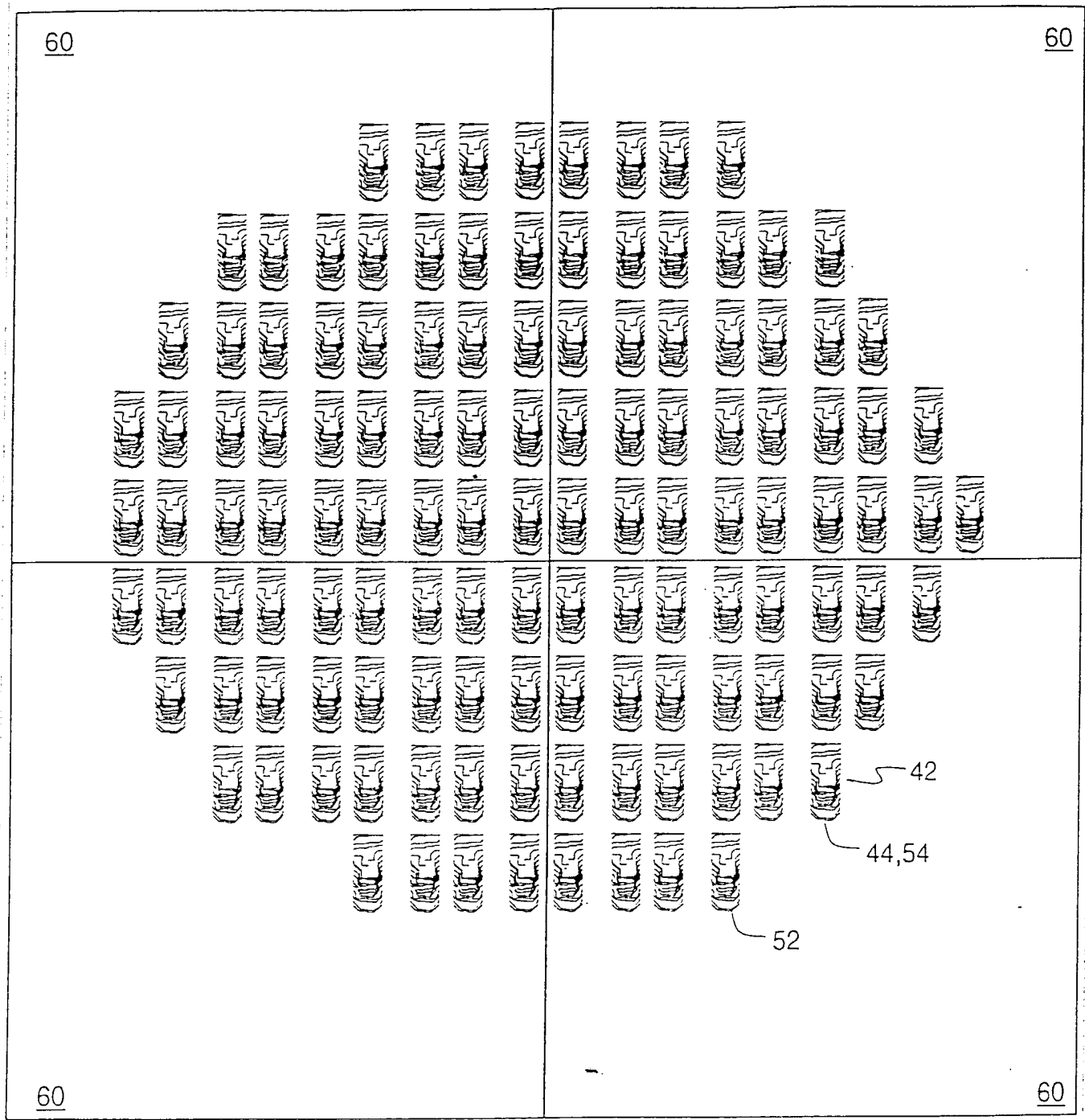


圖 2c



22

圖 2d

405196

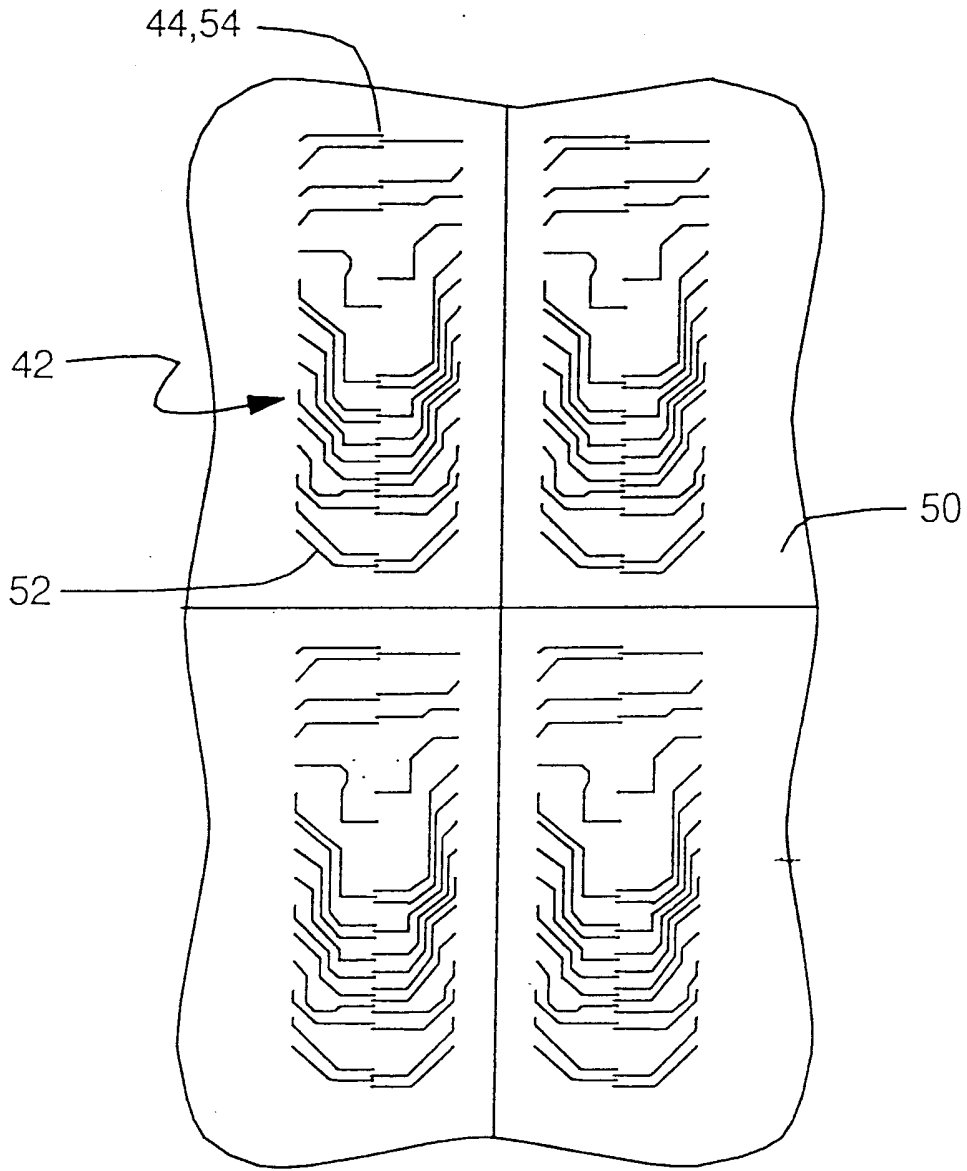


圖 2e

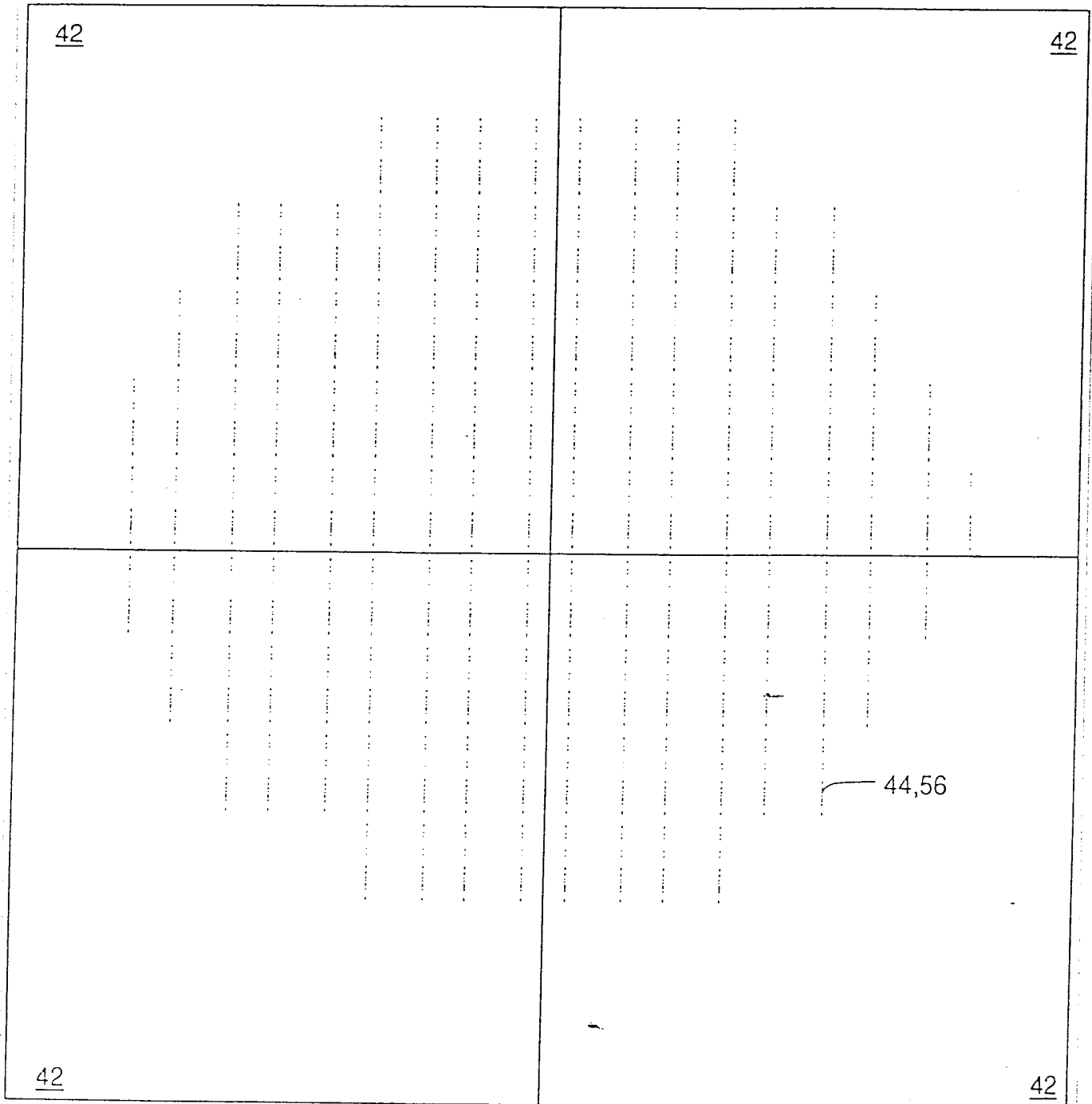


圖 2f

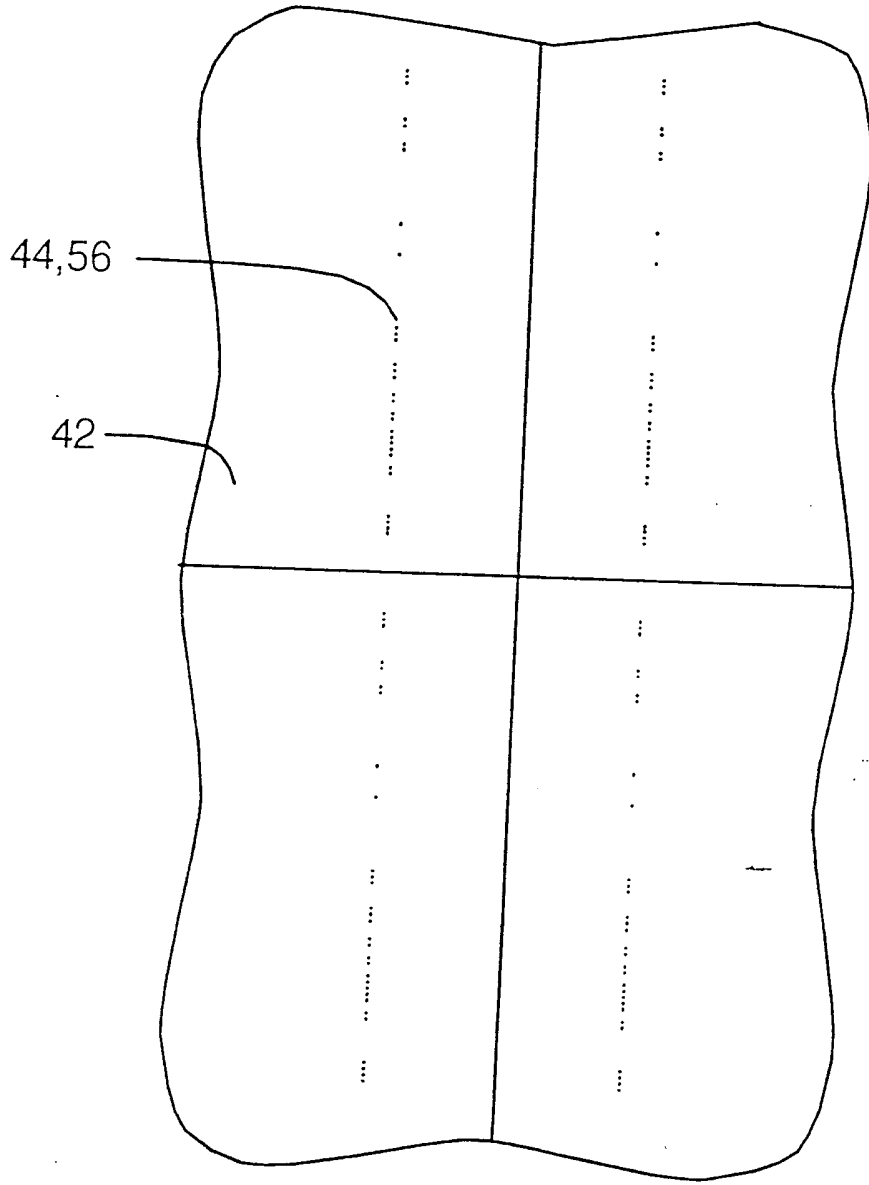


圖 2g

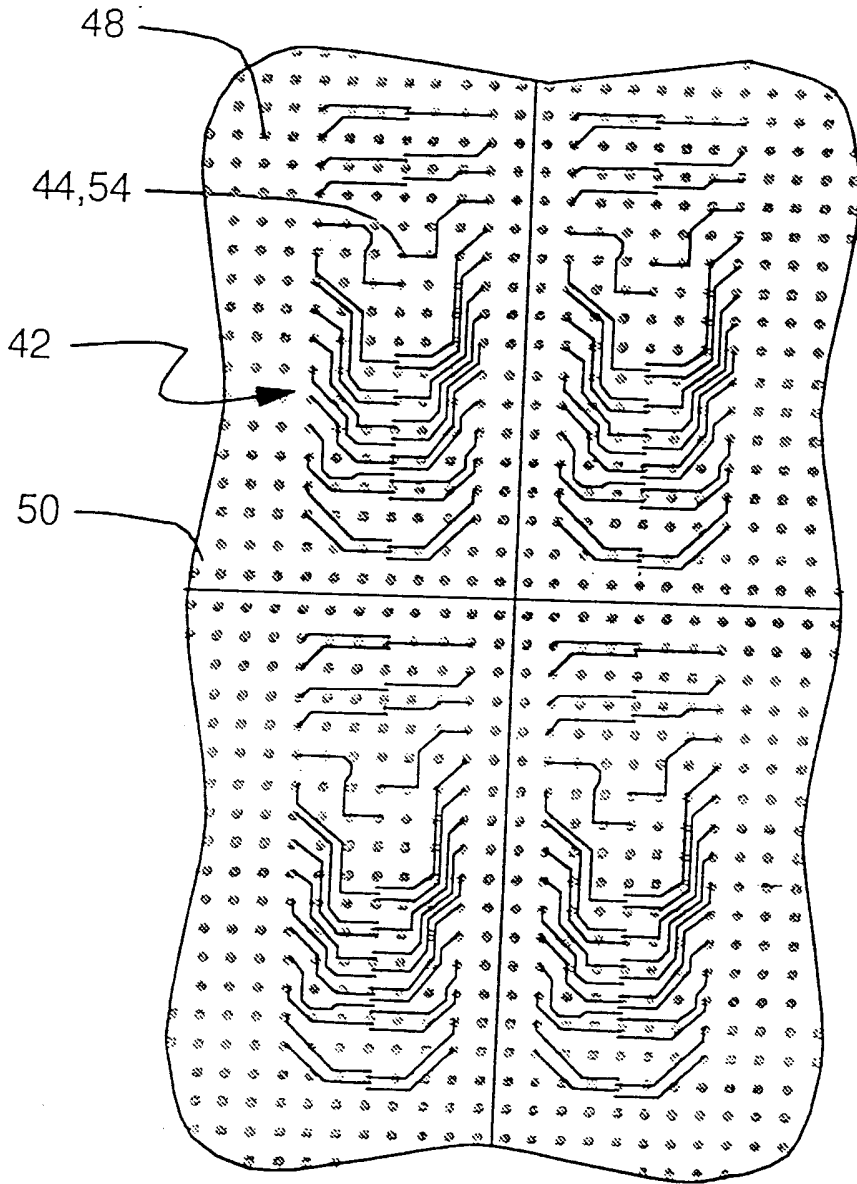


圖 2h

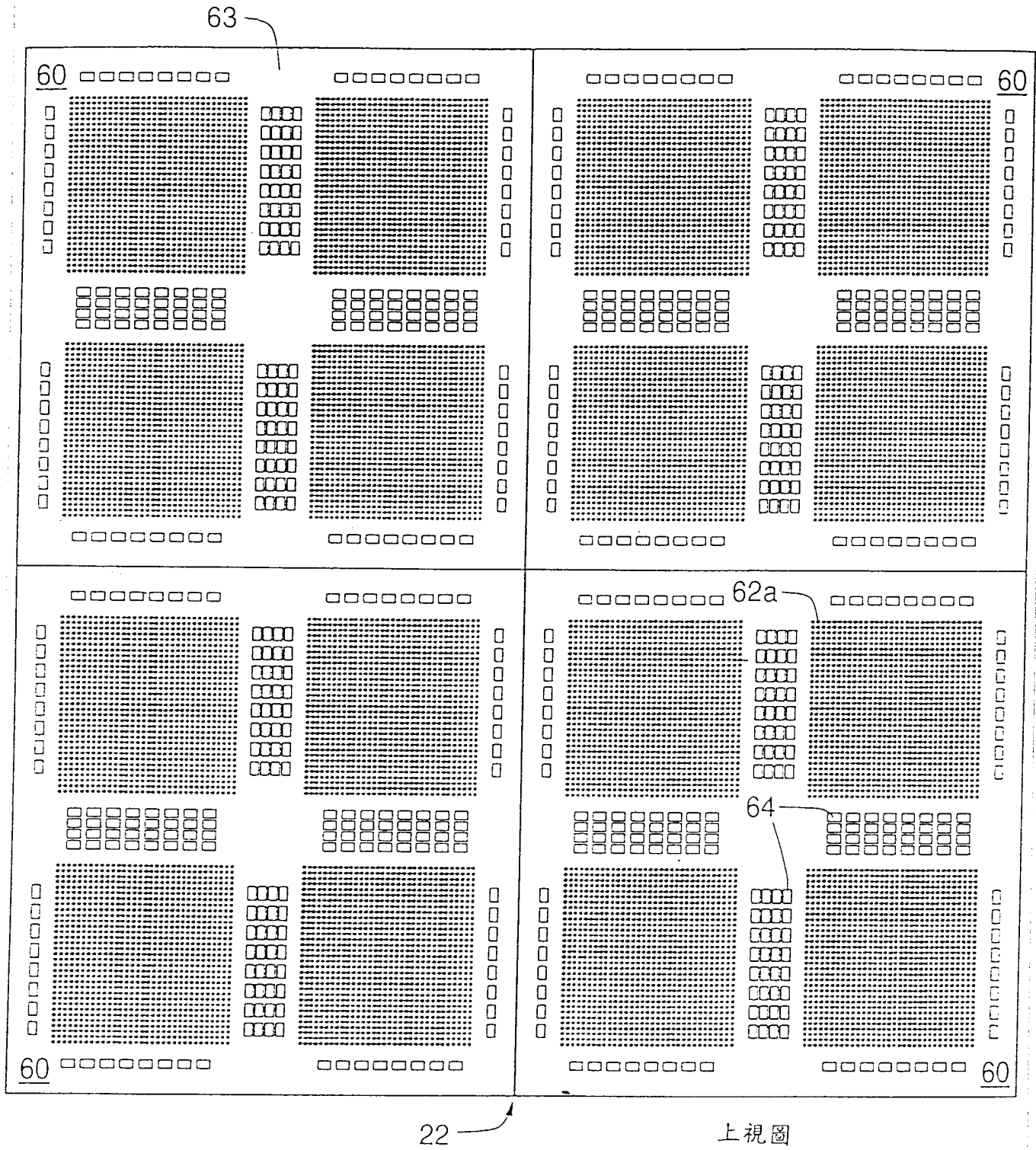
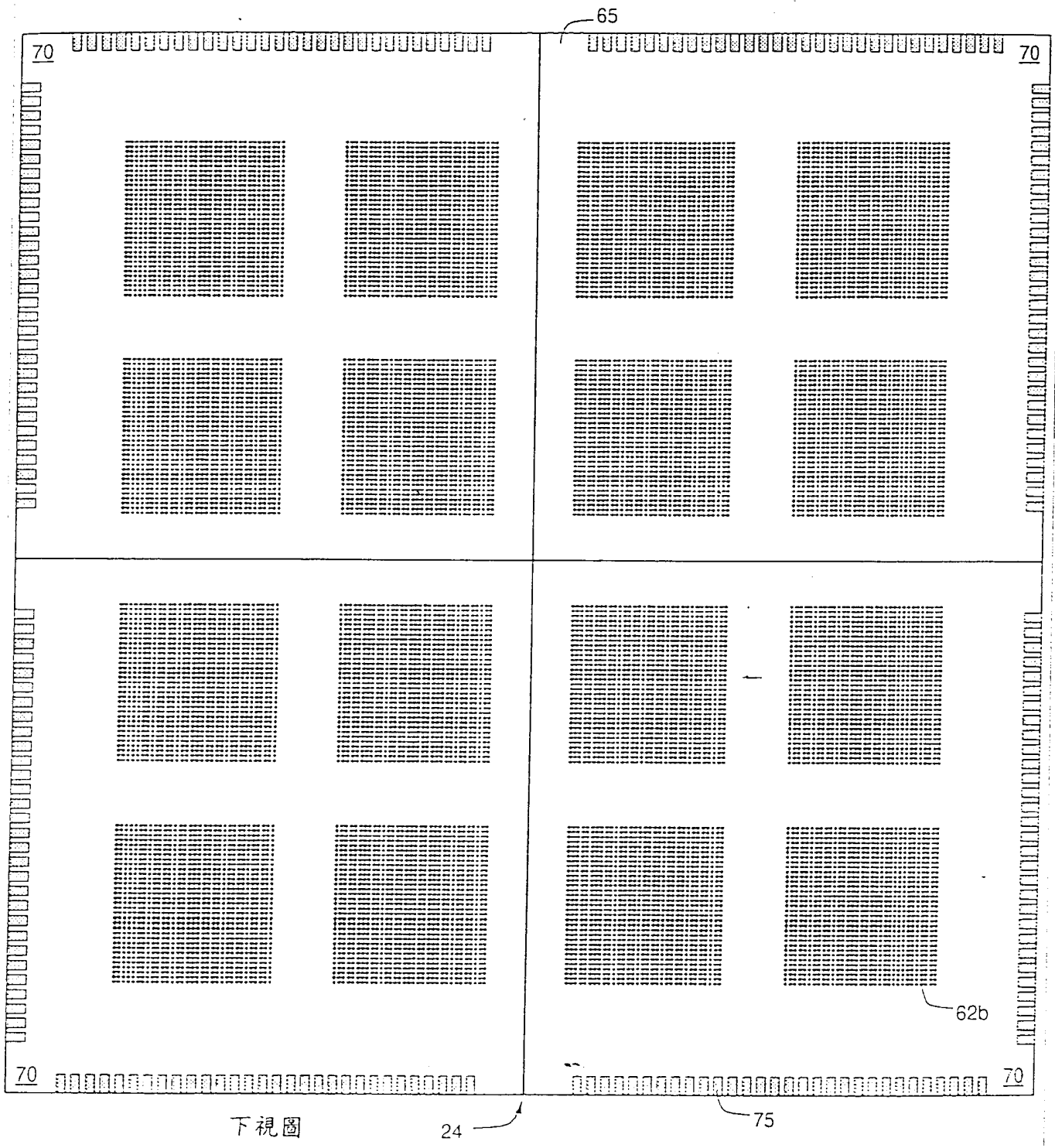


圖 2i

圖式

405196



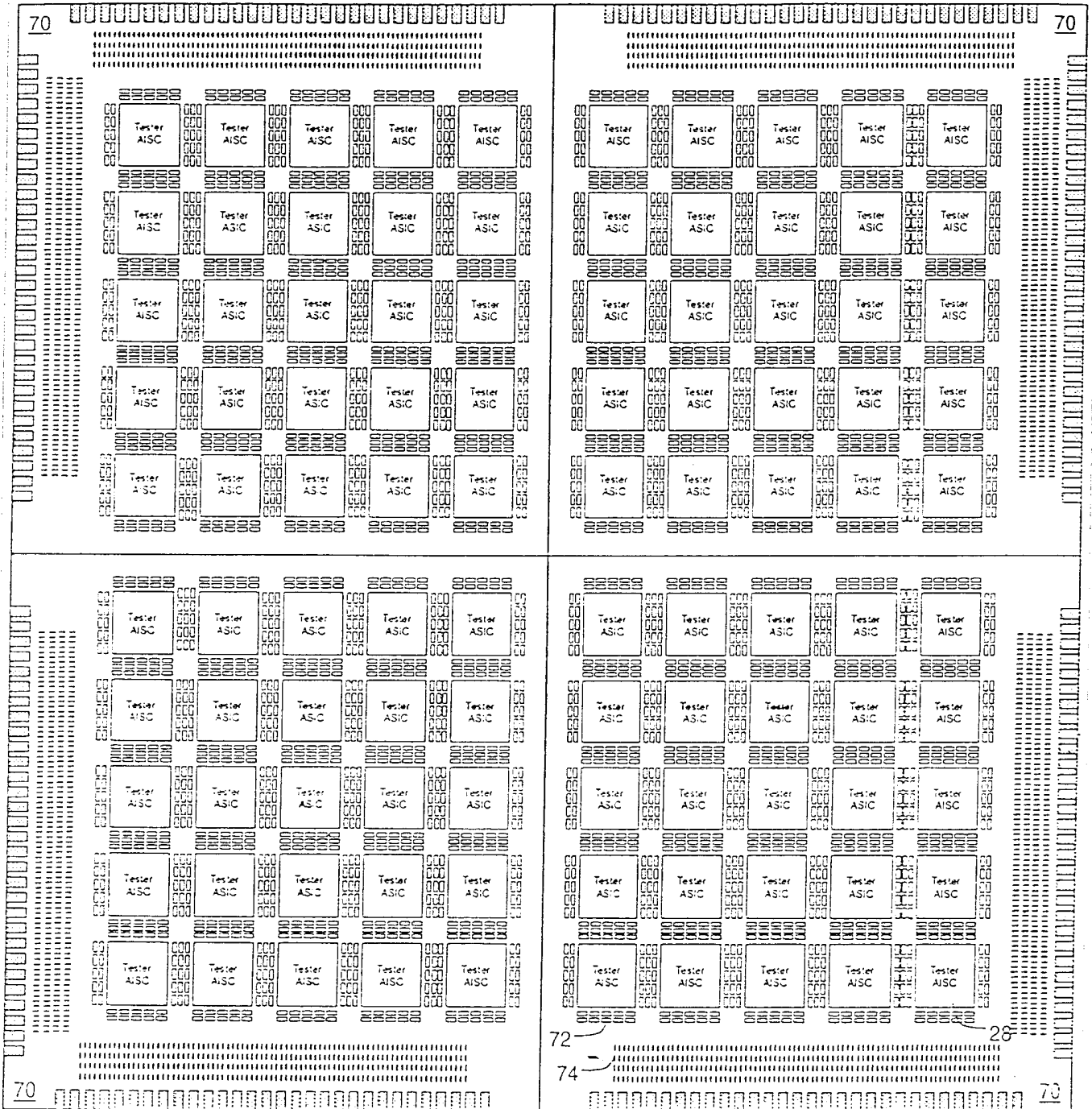
下視圖

24

75

圖 3a

405196



上視圖

24

75

圖 3b

405196

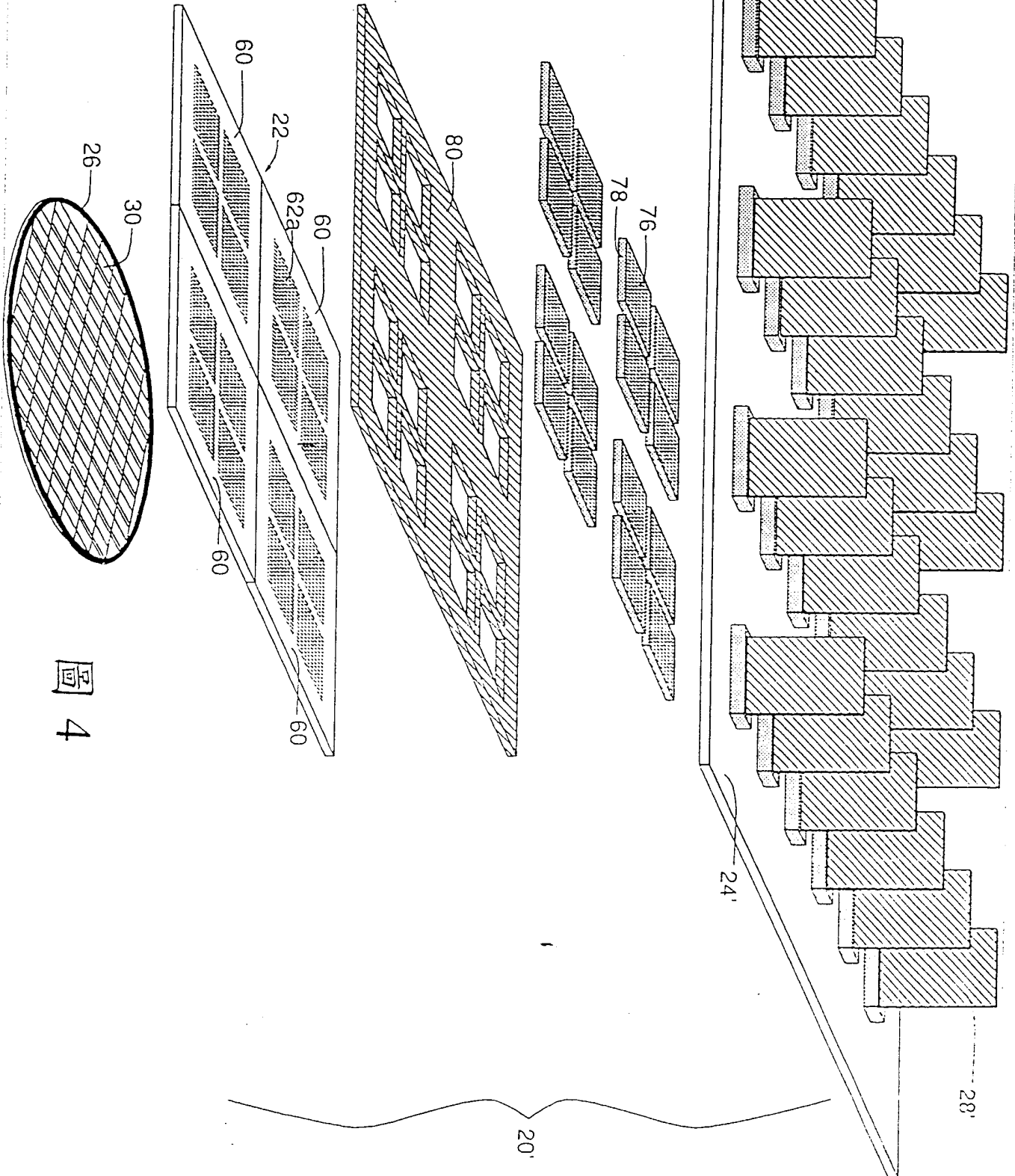


圖 4

405196

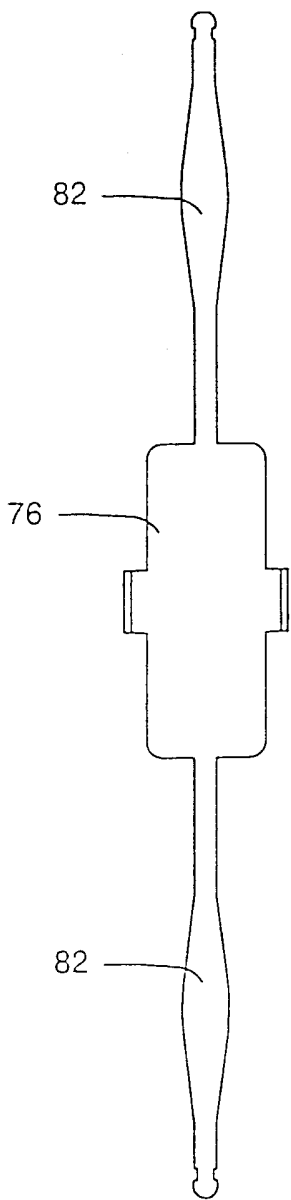


圖 5a

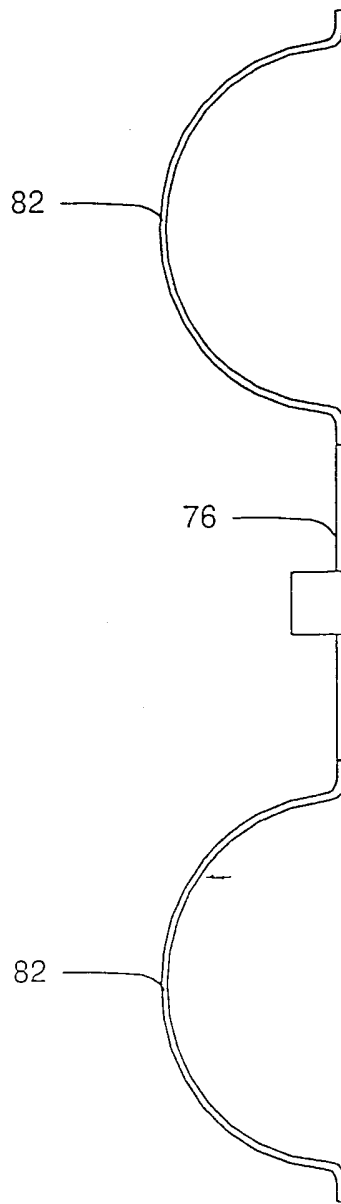


圖 5b

405196

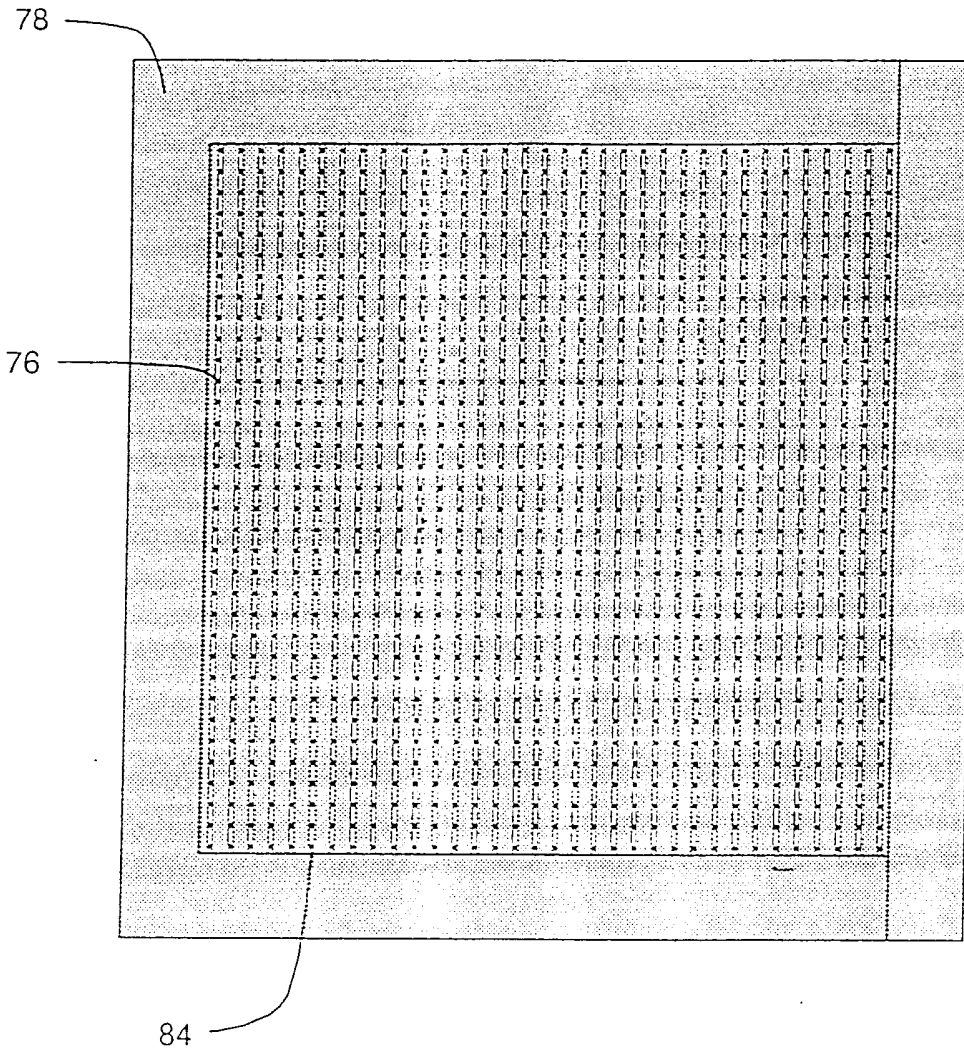


圖 5c

405196

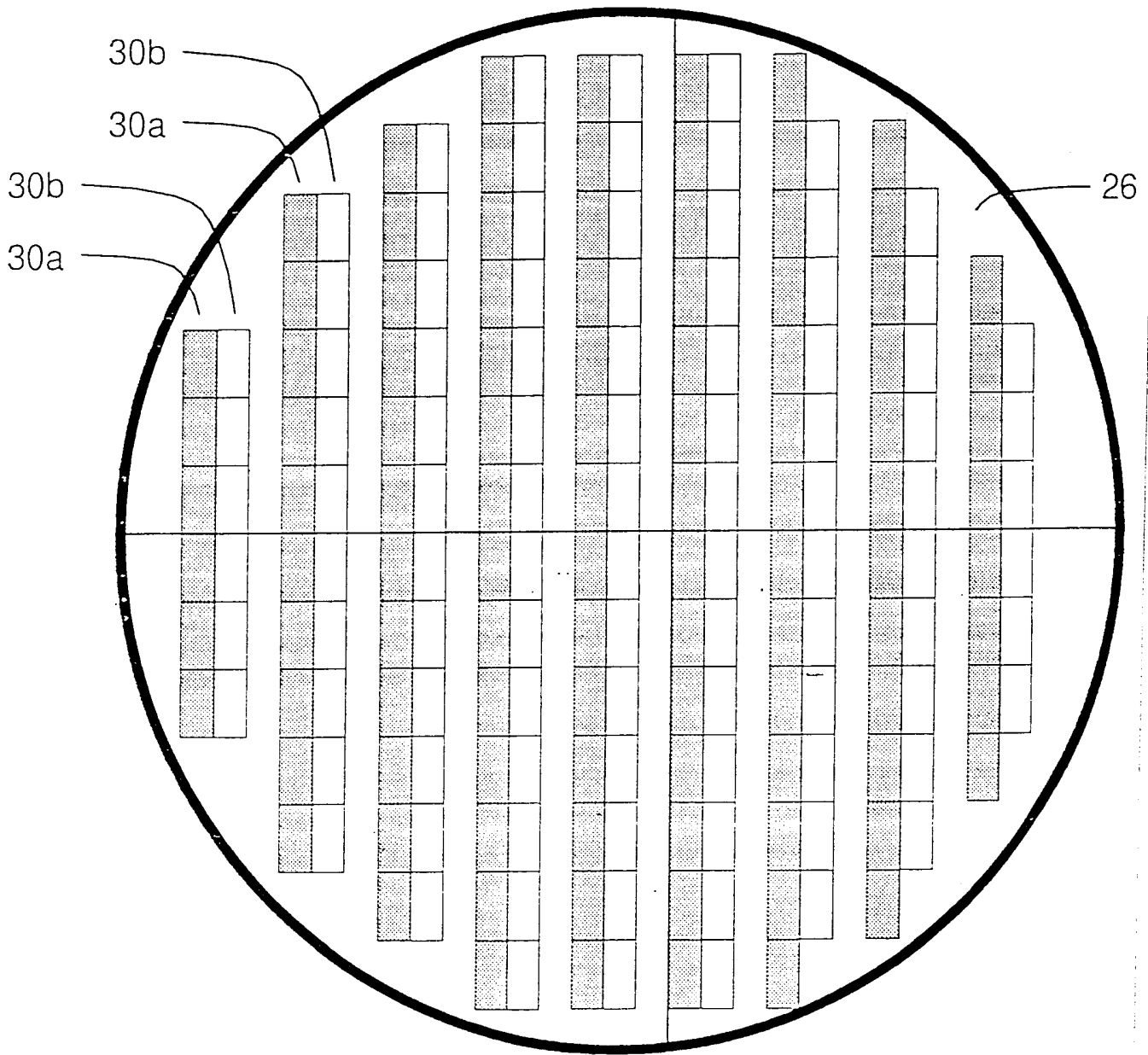


圖 6a

405196

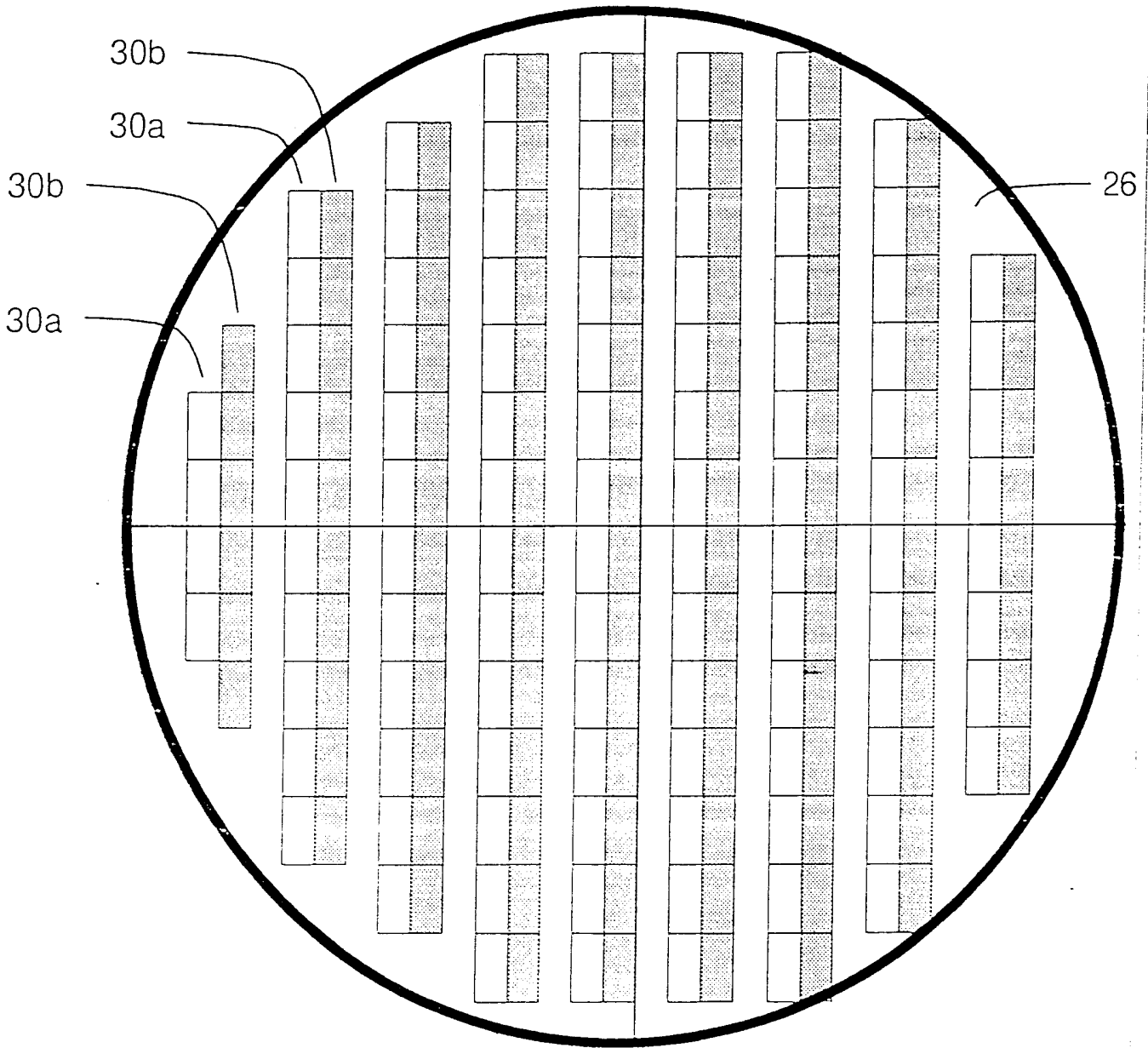


圖 6b

405196

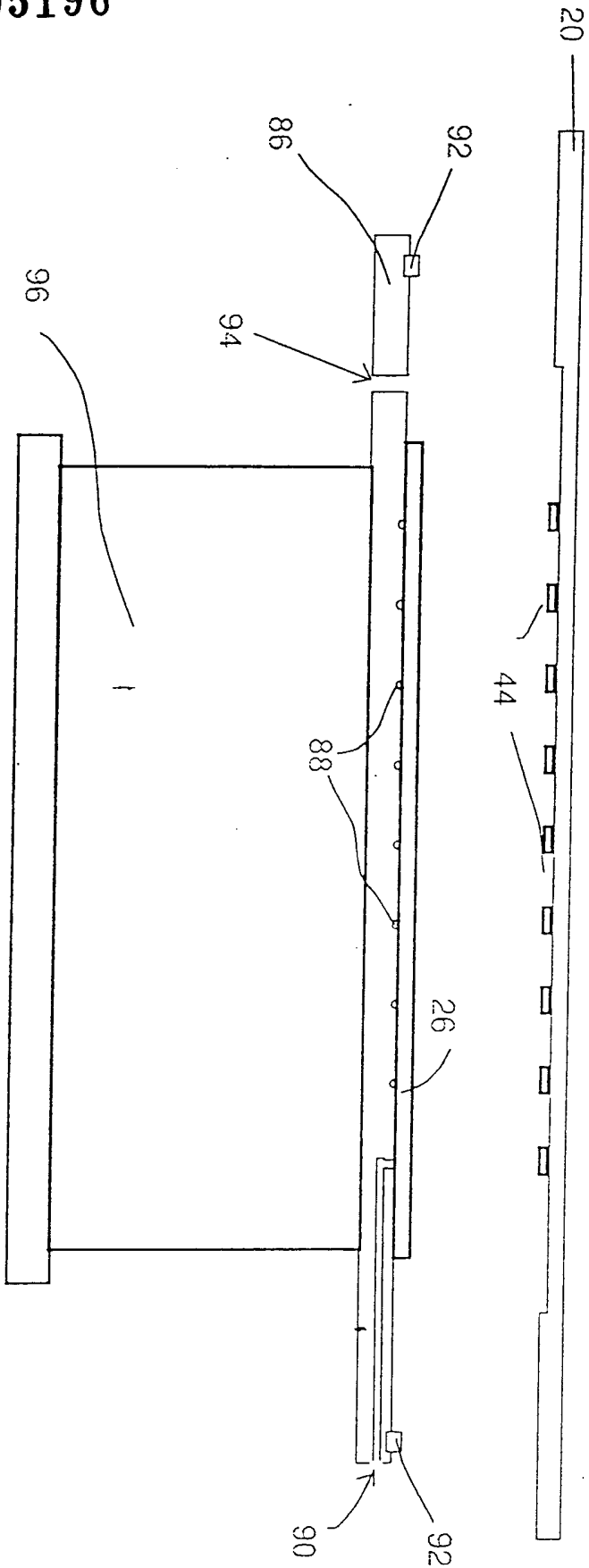


圖 7a

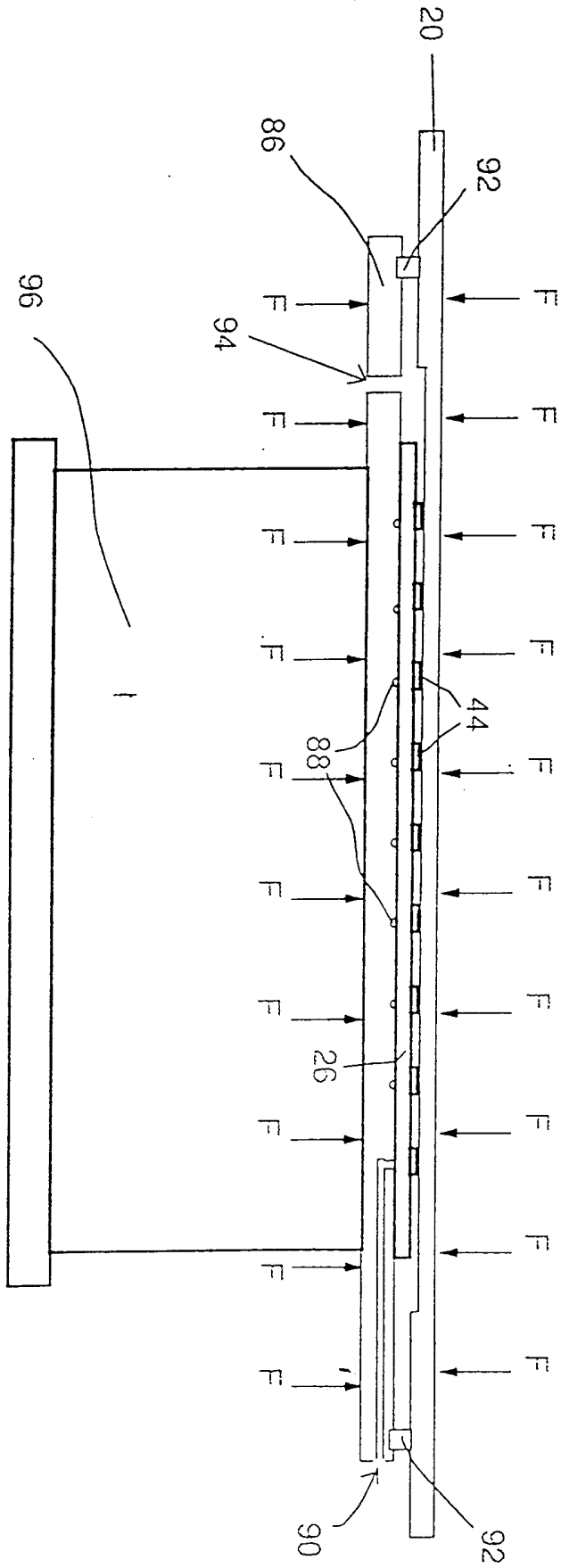


圖 7b

405196

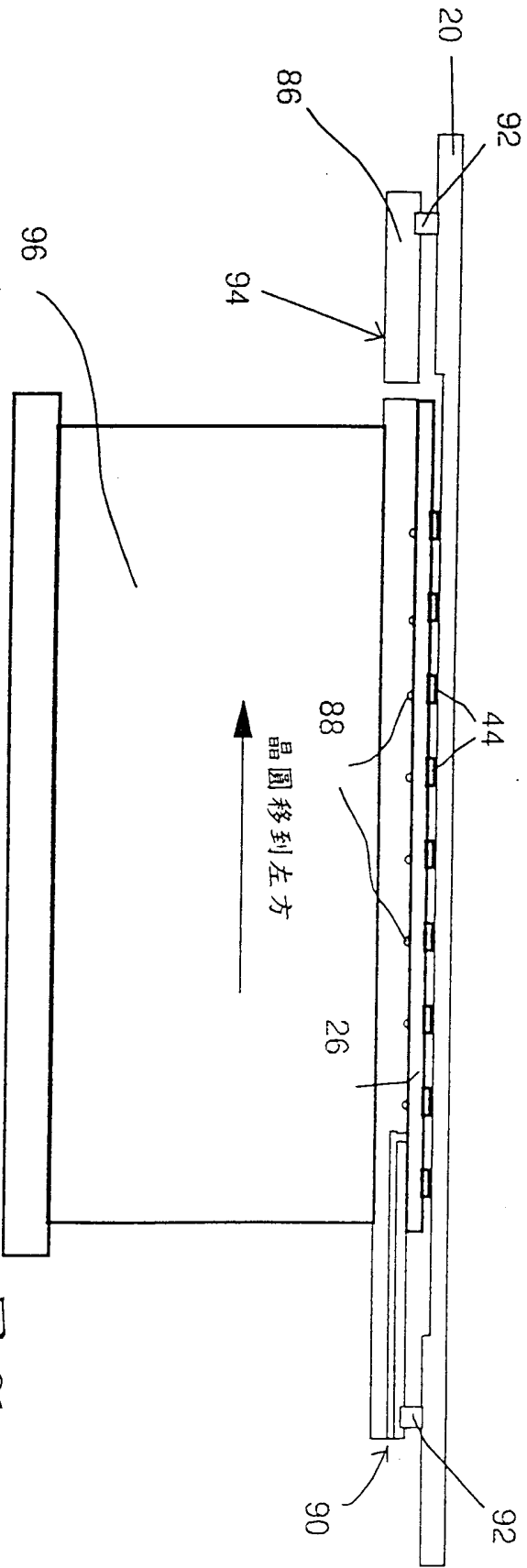


圖 8b

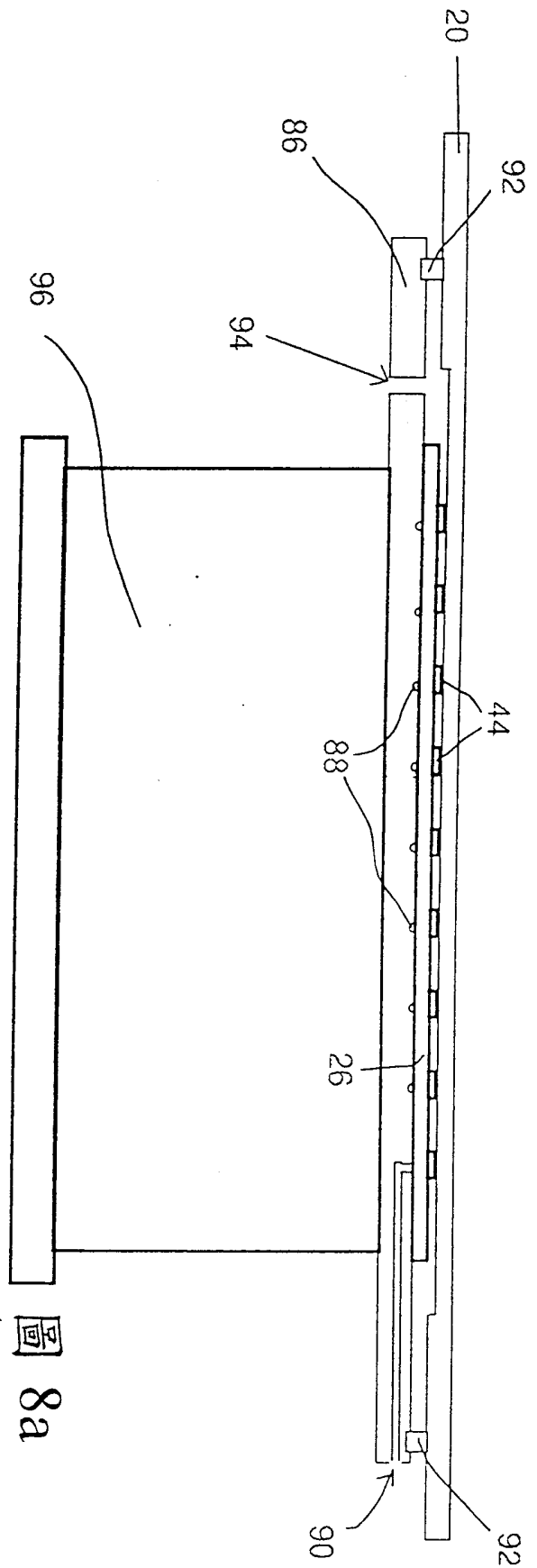


圖 8a

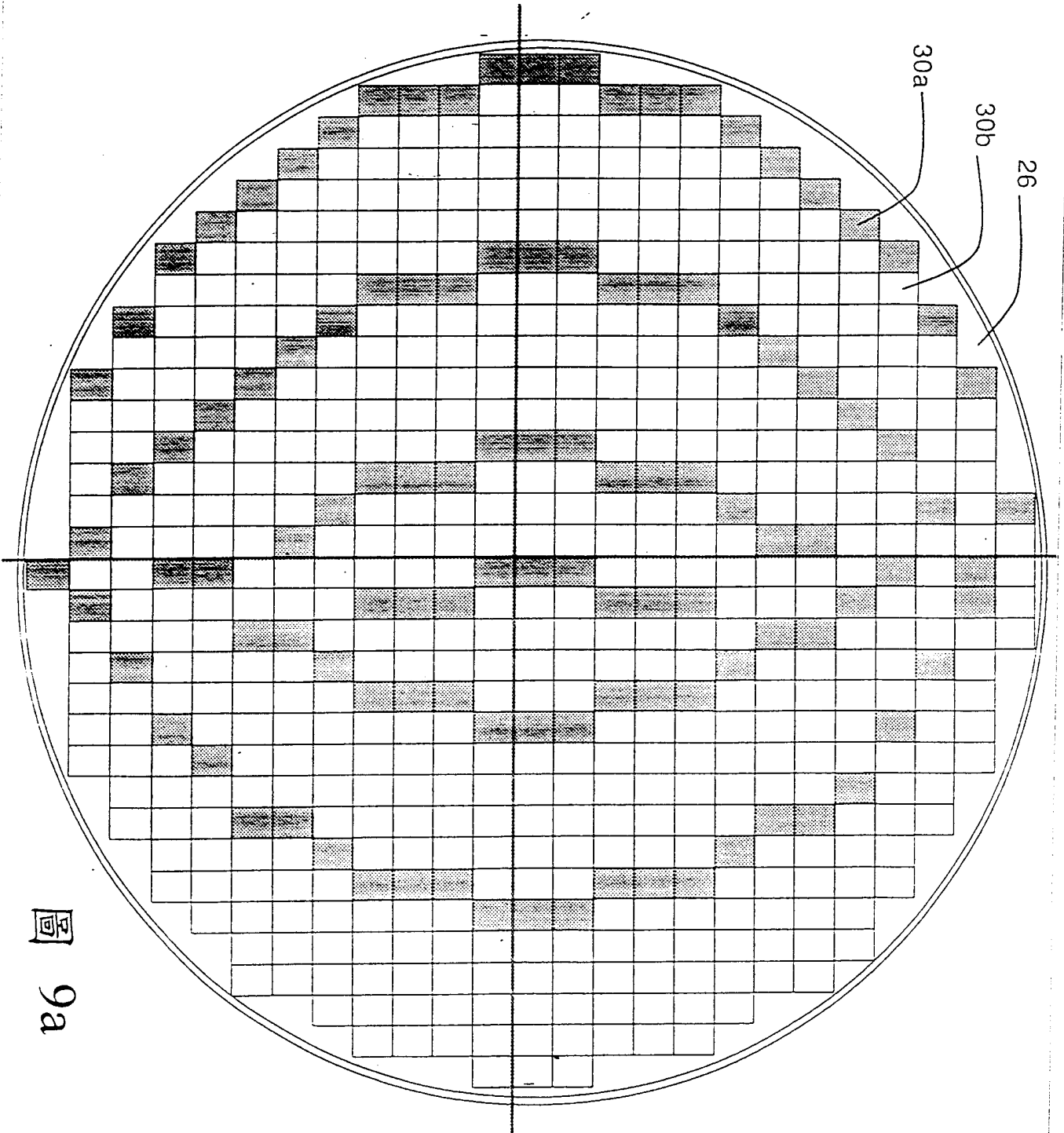


圖 9a

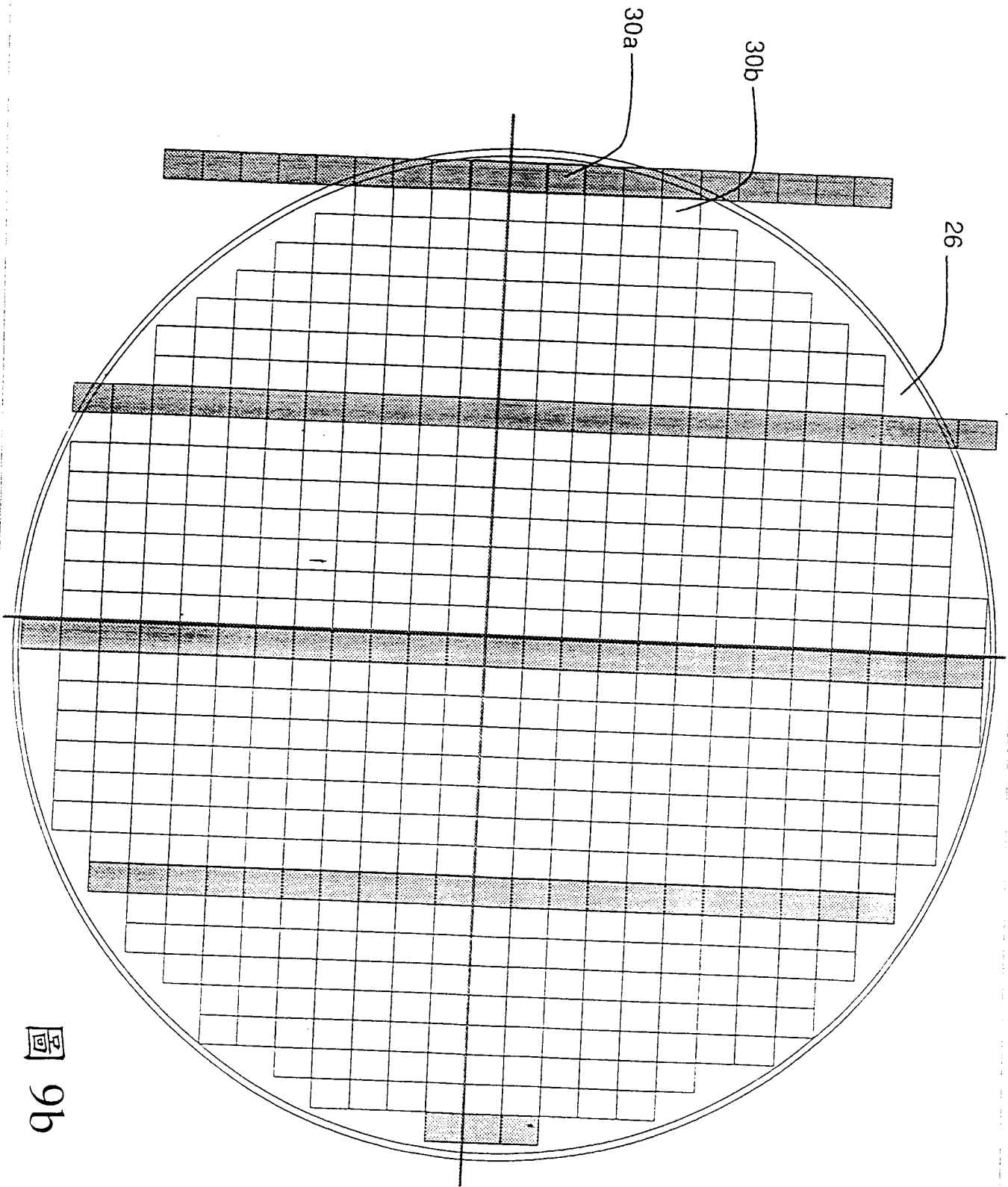


圖 96