(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2024-105028
(P2024-105028A)
(43)公開日　令和6年8月6日(2024.8.6)

(51)国際特許分類		FI			テーマコード（参考）
G09F	*9/30 (2006.01)*	G09F	9/30	338	2H192
H01L	*29/786(2006.01)*	H01L	29/78	618B	5C094
G02F	*1/1368(2006.01)*	H01L	29/78	616V	5F110
		H01L	29/78	616T	
		G09F	9/30	348A	

審査請求　未請求　請求項の数　12　ＯＬ　（全23頁）　最終頁に続く

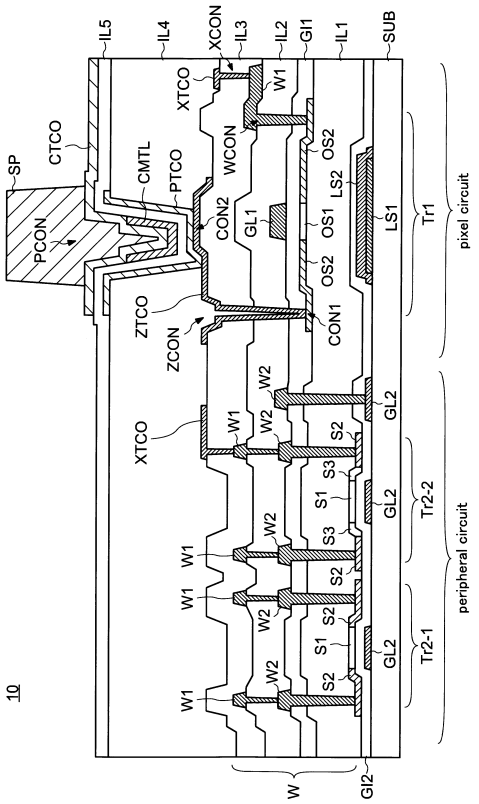
(21)出願番号　特願2023-9543(P2023-9543)
(22)出願日　令和5年1月25日(2023.1.25)

(71)出願人　502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目７番１号
(74)代理人　110000408
弁理士法人高橋・林アンドパートナーズ
(72)発明者　渡部 将弘
東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内
(72)発明者　渡壁 創
東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内
(72)発明者　津吹 将志
東京都港区西新橋三丁目７番１号 株式会社ジャパンディスプレイ内
(72)発明者　佐々木 俊成

最終頁に続く

(54)【発明の名称】　半導体装置

(57)【要約】
【課題】半導体装置の電気特性を低下させることなくプロセスマージンを大きくすること。
【解決手段】半導体装置は、多結晶構造を含む酸化物半導体層と、前記酸化物半導体層と対向するゲート電極と、前記酸化物半導体層と前記ゲート電極との間のゲート絶縁層と、前記酸化物半導体層に接続された第１透明導電層と、前記第１透明導電層と同一層に設けられ、前記第１透明導電層から分離された第２透明導電層と、を含み、前記第１透明導電層の結晶性は、前記第２透明導電層の結晶性と異なる。
【選択図】図１



【特許請求の範囲】
【請求項１】
多結晶構造を含む酸化物半導体層と、
前記酸化物半導体層と対向するゲート電極と、
前記酸化物半導体層と前記ゲート電極との間のゲート絶縁層と、
前記酸化物半導体層に接続された第１透明導電層と、
前記第１透明導電層と同一層に設けられ、前記第１透明導電層から分離された第２透明導電層と、を含み、
前記第１透明導電層の結晶性は、前記第２透明導電層の結晶性と異なる半導体装置。
【請求項２】
前記第１透明導電層及び前記第２透明導電層は、インジウム及び錫を含む、請求項１に記載の半導体装置。
【請求項３】
前記酸化物半導体層は、インジウムを含む２以上の金属を含み、
前記２以上の金属におけるインジウムの比率は５０％以上である、請求項２に記載の半導体装置。
【請求項４】
前記ゲート電極、前記第１透明導電層、及び前記第２透明導電層は、前記酸化物半導体層の上方に設けられている、請求項１に記載の半導体装置。
【請求項５】
前記酸化物半導体層及び前記ゲート電極の上方に設けられ、第１開口が設けられた第１絶縁層と、
前記第１絶縁層の上方に設けられ、前記第１開口を介して前記酸化物半導体層に接続された金属層と、
前記第１絶縁層の上方に設けられた第２絶縁層と、をさらに含み、
前記第１絶縁層及び前記第２絶縁層には第２開口が設けられ、
前記第１透明導電層は、前記第２開口を介して前記酸化物半導体層に接続された、請求項１に記載の半導体装置。
【請求項６】
前記第１透明導電層及び前記第２透明導電層の下方において、前記第１透明導電層及び前記第２透明導電層の下面に接続された絶縁層をさらに含む、請求項１に記載の半導体装置。
【請求項７】
多結晶構造を含む酸化物半導体層と、
前記酸化物半導体層と対向するゲート電極と、
前記酸化物半導体層と前記ゲート電極との間のゲート絶縁層と、
平面視における第１領域で前記酸化物半導体層に接続された第１透明導電層と、を含み、
前記第１領域における前記第１透明導電層の結晶性は、前記第１領域とは異なる第２領域における前記第１透明導電層の結晶性と異なる半導体装置。
【請求項８】
前記第１透明導電層は、インジウム及び錫を含む、請求項８に記載の半導体装置。
【請求項９】
前記酸化物半導体層は、インジウムを含む２以上の金属を含み、
前記２以上の金属におけるインジウムの比率は５０％以上である、請求項８に記載の半導体装置。
【請求項１０】
前記ゲート電極及び前記第１透明導電層は、前記酸化物半導体層の上方に設けられている、請求項７に記載の半導体装置。
【請求項１１】

前記酸化物半導体層及び前記ゲート電極の上方に設けられ、第１開口が設けられた第１絶縁層と、
前記第１絶縁層の上方に設けられ、前記第１開口を介して前記酸化物半導体層に接続された金属層と、
前記第１絶縁層の上方に設けられた第２絶縁層と、をさらに含み、
前記第１絶縁層及び前記第２絶縁層には第２開口が設けられ、
前記第１透明導電層は、前記第２開口を介して前記酸化物半導体層に接続された、請求項７に記載の半導体装置。
【請求項１２】
前記第１領域における前記第１透明導電層と前記第２領域における前記第１透明導電層とは連続している、請求項７に記載の半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明の実施形態の一つは、半導体装置に関する。
【背景技術】
【０００２】
最近、アモルファスシリコン、低温ポリシリコン、および単結晶シリコンに替わり、酸化物半導体がチャネルに用いられたトランジスタの開発が進められている（例えば、特許文献１及び２）。酸化物半導体がチャネルに用いられたトランジスタは、アモルファスシリコンがチャネルに用いられたトランジスタと同様に、単純な構造かつ低温プロセスで形成される。酸化物半導体がチャネルに用いられたトランジスタは、アモルファスシリコンがチャネルに用いられたトランジスタよりも高い移動度を有し、オフ電流が非常に低いことが知られている。
【０００３】
近年、表示装置の画素サイズ縮小化が進められている。画素サイズの縮小化に伴い、配線幅やトランジスタサイズの縮小化が検討されている。しかし、これらの縮小化には限界があり、画素回路を構成する金属層及び半導体層の配置に起因して開口率が小さくなっている。そこで、トランジスタサイズが小さくても、画素回路の駆動に十分な特性を得ることができる、酸化物半導体層がチャネルに用いられたトランジスタを画素回路のトランジスタに用いる開発が進められている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開２０１４－１４６８１９号公報
【特許文献２】特開２０１５－１５９３１５号公報
【発明の概要】
【発明が解決しようとする課題】
【０００５】
低温ポリシリコンがチャネルとして用いられたトランジスタでは、シリコン層と、画素電極として用いられる透明導電層（例えば、酸化インジウム及び酸化スズの混合物（ＩＴＯ））と、を直接コンタクトさせることができない。そのため、シリコン層と透明導電層との間に金属層の台座を設ける必要がある。このような台座が画素の表示領域に配置されると、画素の開口率が低下するという問題がある。このようなコンタクト構造に関する技術思想は、酸化物半導体がチャネルとして用いられたトランジスタにも共通する技術思想であり、透明導電層を金属層の台座の上に形成する構成が一般的に使用されていた。さらに、酸化物半導体層がチャネルとして用いられたトランジスタであっても、ソース領域及びドレイン領域の酸化物半導体層に透明導電層が直接接する構造では、製造プロセスによっては酸化物半導体層と透明導電層との間のコンタクト抵抗が高くなってしまう場合があった。

【０００６】
本発明の実施形態の一つは、半導体装置の電気特性を低下させることなくプロセスマージンを大きくすることを課題の一つとする。
【課題を解決するための手段】
【０００７】
本発明の一実施形態に係る半導体装置は、多結晶構造を含む酸化物半導体層と、前記酸化物半導体層と対向するゲート電極と、前記酸化物半導体層と前記ゲート電極との間のゲート絶縁層と、前記酸化物半導体層に接続された第１透明導電層と、前記第１透明導電層と同一層に設けられ、前記第１透明導電層から分離された第２透明導電層と、を含み、前記第１透明導電層の結晶性は、前記第２透明導電層の結晶性と異なる。
【図面の簡単な説明】
【０００８】
【図１】本発明の一実施形態に係る表示装置の概要を示す断面図である。
【図２】本発明の一実施形態に係る表示装置の概要を示す平面図である。
【図３】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図４】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図５】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図６】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図７】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図８】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図９】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図１０】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図１１】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図１２】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図１３】本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。
【図１４】本発明の一実施形態に係る半導体装置において、透明導電層の結晶性を示す断面図である。
【図１５】本発明の一実施形態に係る表示装置の概要を示す平面図である。
【図１６】本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。
【図１７】本発明の一実施形態に係る表示装置の画素回路を示す回路図である。
【図１８】本発明の一実施形態に係る半導体装置の電気特性を示す図である。
【図１９】本発明の一実施形態に係る半導体装置における酸化物半導体層と透明導電層とのコンタクト抵抗値を示す図である。
【発明を実施するための形態】
【０００９】
以下に、本発明の各実施の形態について、図面を参照しつつ説明する。以下の開示はあくまで一例にすぎない。当業者が、発明の主旨を保ちつつ、実施形態の構成を適宜変更することによって容易に想到し得る構成は、当然に本発明の範囲に含有される。図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表

される場合がある。しかし、図示された形状はあくまで一例であって、本発明の解釈を限定しない。本明細書と各図において、既出の図に関して前述した構成と同様の構成には、同一の符号の後にアルファベットを付して、詳細な説明を適宜省略することがある。

【００１０】

本発明の各実施の形態において、基板から酸化物半導体層に向かう方向を上又は上方という。逆に、酸化物半導体層から基板に向かう方向を下又は下方という。このように、説明の便宜上、上方又は下方という語句を用いて説明するが、例えば、基板と酸化物半導体層との上下関係が図示と異なる向きに配置されてもよい。以下の説明で、例えば基板上の酸化物半導体層という表現は、上記のように基板と酸化物半導体層との上下関係を説明しているに過ぎず、基板と酸化物半導体層との間に他の部材が配置されていてもよい。上方又は下方は、複数の層が積層された構造における積層順を意味するものであり、トランジスタの上方の画素電極と表現する場合、平面視でトランジスタと画素電極とが重ならない位置関係であってもよい。一方、トランジスタの鉛直上方の画素電極と表現する場合は、平面視でトランジスタと画素電極とが重なる位置関係を意味する。

【００１１】

「表示装置」とは、電気光学層を用いて映像を表示する構造体を指す。例えば、表示装置という用語は、電気光学層を含む表示パネルを指す場合もあり、又は表示セルに対して他の光学部材（例えば、偏光部材、バックライト、タッチパネル等）を装着した構造体を指す場合もある。「電気光学層」には、技術的な矛盾が生じない限り、液晶層、エレクトロルミネセンス（ＥＬ）層、エレクトロクロミック（ＥＣ）層、電気泳動層が含まれ得る。したがって、後述する実施形態について、表示装置として、液晶層を含む液晶表示装置を例示して説明するが、本実施形態における構造は、上述した他の電気光学層を含む表示装置へ適用することができる。

【００１２】

本明細書において「αはＡ、Ｂ又はＣを含む」、「αはＡ，Ｂ及びＣのいずれかを含む」、「αはＡ，Ｂ及びＣからなる群から選択される一つを含む」、といった表現は、特に明示が無い限り、αがＡ～Ｃの複数の組み合わせを含む場合を排除しない。さらに、これらの表現は、αが他の要素を含む場合も排除しない。

【００１３】

なお、以下の各実施形態は、技術的な矛盾を生じない限り、互いに組み合わせることができる。

【００１４】

［１．第１実施形態］

［１－１．表示装置１０の構成］

図１～図１４を用いて、本発明の一実施形態に係る表示装置１０の構成について説明する。図１は、本発明の一実施形態に係る表示装置の概要を示す断面図である。図２は、本発明の一実施形態に係る表示装置の概要を示す平面図である。図３～図１３は、本発明の一実施形態に係る表示装置において、各層のレイアウトを説明する平面図である。図１４は、本発明の一実施形態に係る半導体装置において、透明導電層の結晶性を示す断面図である。図１の断面図は、表示装置１０の層構造を説明するための断面図であって、厳密には図２の平面図と一致していない場合もある。

【００１５】

図１に示すように、表示装置１０は基板ＳＵＢの上方に設けられている。表示装置１０は、トランジスタＴｒ１、トランジスタＴｒ２、配線Ｗ、画素電極ＰＴＣＯ、共通補助電極ＣＭＴＬ、及び共通電極ＣＴＣＯを有する。ＴＣＯはＴｒａｎｓｐａｒｅｎｔ Ｃｏｎｄｕｃｔｉｖｅ Ｏｘｉｄｅ（透明導電性酸化物）の略称である。トランジスタＴｒ１は表示装置１０の画素回路に含まれる半導体装置である。トランジスタＴｒ２は周辺回路に含まれる半導体装置である。詳細は後述するが、周辺回路は画素回路を駆動する回路である。以下の説明において、「半導体装置」は、トランジスタＴｒ１の構成のみを含んでもよく、トランジスタＴｒ１及びＴｒ２の両方の構成を含んでもよい。

【００１６】
［１－２．トランジスタＴｒ１の構成］
トランジスタＴｒ１は、酸化物半導体層ＯＳ（ＯＳ１、ＯＳ２）、ゲート絶縁層ＧＩ１、ゲート電極ＧＬ１、接続電極ＺＴＣＯ、及び配線ＸＴＣＯを有する。ゲート電極ＧＬ１は酸化物半導体層ＯＳに対向する。ゲート絶縁層ＧＩ１は酸化物半導体層ＯＳとゲート電極ＧＬ１との間に設けられている。本実施形態では、ゲート電極ＧＬ１よりも基板ＳＵＢ側に酸化物半導体層ＯＳが設けられたトップゲート型トランジスタが例示されているが、ゲート電極ＧＬ１と酸化物半導体層ＯＳとの位置関係が逆であるボトムゲート型トランジスタが用いられてもよい。
【００１７】
酸化物半導体層ＯＳは、多結晶構造を含む。酸化物半導体層ＯＳは、酸化物半導体層ＯＳ１、ＯＳ２を含む。酸化物半導体層ＯＳ１は、平面視でゲート電極ＧＬ１と重なる領域の酸化物半導体層である。酸化物半導体層ＯＳ１は、半導体層として機能し、ゲート電極ＧＬ１に供給される電圧に応じて導通状態と非導通状態とに切り替えられる。つまり、酸化物半導体層ＯＳ１はトランジスタＴｒ１のチャネルとして機能する。酸化物半導体層ＯＳ２は導電層として機能する。酸化物半導体層ＯＳ１、ＯＳ２は同じ酸化物半導体層から形成された層である。例えば、酸化物半導体層ＯＳ２は、酸化物半導体層ＯＳ１と同じ物性の層に対して不純物を注入することで低抵抗化された酸化物半導体層である。
【００１８】
ゲート電極ＧＬ１の上方に絶縁層ＩＬ２が設けられている。絶縁層ＩＬ２の上方に配線Ｗ１が設けられている。配線Ｗ１は、絶縁層ＩＬ２及びゲート絶縁層ＧＩ１に設けられた開口ＷＣＯＮを介して酸化物半導体層ＯＳ２に接続されている。配線Ｗ１は金属層である。配線Ｗ１には、画素の階調に関連するデータ信号が伝達される。絶縁層ＩＬ２及び配線Ｗ１の上方に絶縁層ＩＬ３が設けられている。接続電極ＺＴＣＯ及び配線ＸＴＣＯは、絶縁層ＩＬ３の上方において、絶縁層ＩＬ３の上面と接している。換言すると、絶縁層ＩＬ３は、接続電極ＺＴＣＯ及び配線ＸＴＣＯの下方において、接続電極ＺＴＣＯ及び配線ＸＴＣＯの下面と接している。
【００１９】
接続電極ＺＴＣＯは、絶縁層ＩＬ３、ＩＬ２、及びゲート絶縁層ＧＩ１に設けられた開口ＺＣＯＮを介して酸化物半導体層ＯＳ２に接続されている。接続電極ＺＴＣＯは開口ＺＣＯＮの底部において酸化物半導体層ＯＳ２と接している。配線ＸＴＣＯは、絶縁層ＩＬ３に設けられた開口ＸＣＯＮを介して配線Ｗ１に接続されている。接続電極ＺＴＣＯ及び配線ＸＴＣＯは、透明導電層である。上記のように、ゲート電極ＧＬ１、接続電極ＺＴＣＯ、及び配線ＸＴＣＯは、酸化物半導体層ＯＳの上方に設けられている。
【００２０】
接続電極ＺＴＣＯを「第１透明導電層」という場合がある。配線ＸＴＣＯを「第２透明導電層」という場合がある。配線ＸＴＣＯは、接続電極ＺＴＣＯと同一層に設けられ、接続電極ＺＴＣＯから分離されている。接続電極ＺＴＣＯの材料は配線ＸＴＣＯの材料と同一であるが、接続電極ＺＴＣＯの一部の結晶性は、配線ＸＴＣＯの結晶性と異なる。例えば、接続電極ＺＴＣＯ及び配線ＸＴＣＯがいずれも同一プロセスで形成されたＩＴＯであっても、接続電極ＺＴＣＯとして用いられるＩＴＯの一部の結晶性は、配線ＸＴＣＯとして用いられるＩＴＯの結晶性と異なる。結晶性が異なるとは、結晶構造が異なること、結晶構造が同じであっても格子定数等のパラメータが異なることなどを含む。結晶性が異なる透明導電層を光学顕微鏡で観察すると、これらの透明導電層の色が異なる。つまり、これらの透明導電層の屈折率が異なる。
【００２１】
絶縁層ＩＬ２を「第１絶縁層」という場合がある。絶縁層ＩＬ３を「第２絶縁層」という場合がある。開口ＷＣＯＮを「第１開口」という場合がある。開口ＺＣＯＮを「第２開口」という場合がある。上記のように、絶縁層ＩＬ２は酸化物半導体層ＯＳ及びゲート電極ＧＬ１の上方に設けられている。

【００２２】
詳細は後述するが、接続電極ＺＴＣＯは、平面視で第１領域及び第２領域に区分される。第１領域は、接続電極ＺＴＣＯが酸化物半導体層ＯＳと接する領域を含む。第２領域は第１領域以外の領域である。第１領域における接続電極ＺＴＣＯの結晶性は、第２領域における接続電極ＺＴＣＯの結晶性と異なる。
【００２３】
例えばＩＴＯ層などの透明導電層をシリコン層などの半導体層に接するように形成すると、ＩＴＯ成膜時のプロセスガスや酸素イオンによって半導体層の表面が酸化する。半導体層の表面に形成された酸化層は高抵抗であるため、半導体層と透明導電層と間のコンタクト抵抗が高くなる。その結果、半導体層と透明導電層との電気的接触に不良が生じる。
【００２４】
一方、上記の接続電極ＺＴＣＯを多結晶構造を含む酸化物半導体層ＯＳに接するように形成した場合、酸化物半導体層ＯＳの表面に上記のような高抵抗な酸化層は形成されない。
【００２５】
上記の理由は、以下のように推測される。上記のような酸化物半導体層ＯＳに接するように接続電極ＺＴＣＯを形成すると、酸化物半導体層ＯＳの上方に形成される接続電極ＺＴＣＯは、酸化物半導体層ＯＳの結晶構造を反映して成膜直後に結晶化する。例えば、当該酸化物半導体層ＯＳ以外の箇所に成膜した場合は接続電極ＺＴＣＯが結晶化しない成膜条件で当該接続電極ＺＴＣＯを成膜した場合であっても、酸化物半導体層ＯＳと接する領域に形成される接続電極ＺＴＣＯは結晶化する。このように、接続電極ＺＴＣＯが成膜時に結晶化することで、当該酸化物半導体層ＯＳの表面のうち接続電極ＺＴＣＯと接する部分において酸化物半導体層ＯＳが還元されると考えられる。その結果、酸化物半導体層ＯＳの表面におけるキャリア濃度が増加し、酸化物半導体層ＯＳと接続電極ＺＴＣＯとのコンタクト抵抗が低減したと考えられる。
【００２６】
接続電極ＺＴＣＯの上方に絶縁層ＩＬ４が設けられている。絶縁層ＩＬ４は、絶縁層ＩＬ４よりも下層に設けられた構造体によって形成された段差を緩和する。絶縁層ＩＬ４を平坦化膜という場合がある。絶縁層ＩＬ４の上方に画素電極ＰＴＣＯが設けられている。画素電極ＰＴＣＯは絶縁層ＩＬ４に設けられた開口ＰＣＯＮを介して接続電極ＺＴＣＯに接続されている。接続電極ＺＴＣＯと画素電極ＰＴＣＯとが接する領域をコンタクト領域ＣＯＮ２という。平面視で、コンタクト領域ＣＯＮ２はゲート電極ＧＬ１と重なる。画素電極ＰＴＣＯは、透明導電層である。
【００２７】
画素電極ＰＴＣＯの上方に絶縁層ＩＬ５が設けられている。絶縁層ＩＬ５の上方に共通補助電極ＣＭＴＬ及び共通電極ＣＴＣＯが設けられている。つまり、画素電極ＰＴＣＯは、絶縁層ＩＬ５を介して共通電極ＣＴＣＯと対向している。共通電極ＣＴＣＯは、開口ＰＣＯＮにおいて共通補助電極ＣＭＴＬに接続されている。詳細は後述するが、共通補助電極ＣＭＴＬと共通電極ＣＴＣＯとは、それぞれ異なる平面パターンを有する。共通補助電極ＣＭＴＬは金属層である。共通電極ＣＴＣＯは透明導電層である。共通補助電極ＣＭＴＬの電気抵抗は共通電極ＣＴＣＯの電気抵抗よりも低抵抗である。共通補助電極ＣＭＴＬは遮光層としても機能する。例えば、共通補助電極ＣＭＴＬが隣接する画素からの光を遮光することで、混色の発生が抑制される。共通電極ＣＴＣＯの上方にスペーサＳＰが設けられている。
【００２８】
スペーサＳＰは一部の画素に対して設けられている。例えば、スペーサＳＰは、青色画素、赤色画素、緑色画素のいずれか１の画素に対して設けられていてもよい。ただし、スペーサＳＰは全ての画素に設けられていてもよい。スペーサＳＰの高さは、セルギャップの半分の高さである。対向基板にもスペーサが設けられており、対向基板のスペーサと上記のスペーサＳＰとは平面視で重なる。

【００２９】
トランジスタＴｒ１と基板ＳＵＢとの間に遮光層ＬＳが設けられている。本実施形態では、遮光層ＬＳとして、遮光層ＬＳ１、ＬＳ２が設けられている。ただし、遮光層ＬＳは遮光層ＬＳ１のみ又はＬＳ２のみで形成されていてもよい。平面視で、遮光層ＬＳは、ゲート電極ＧＬ１と酸化物半導体層ＯＳとが重なる領域に設けられている。つまり、平面視で、遮光層ＬＳは酸化物半導体層ＯＳ１と重なる領域に設けられている。遮光層ＬＳは、基板ＳＵＢ側から入射した光が酸化物半導体層ＯＳ１に到達することを抑制する。遮光層ＬＳとして導電層が用いられる場合、遮光層ＬＳに電圧を印加して酸化物半導体層ＯＳ１を制御してもよい。遮光層ＬＳに電圧が印加される場合、遮光層ＬＳとゲート電極ＧＬ１とは、画素回路の周辺領域で接続されていてもよい。平面視で、上記のコンタクト領域ＣＯＮ１は遮光層ＬＳと重ならない領域に設けられている。
【００３０】
本実施形態では、酸化物半導体層ＯＳが絶縁層ＩＬ１と接する構成を例示したが、この構成に限定されない。例えば、酸化物半導体層ＯＳと絶縁層ＩＬ１との間に金属酸化物層が設けられてもよい。例えば、当該金属酸化物層として、アルミニウムを主成分とする金属酸化物が用いられてもよい。具体的には、当該金属酸化物層として、酸化アルミニウムが用いられてもよい。この場合、金属酸化物層は絶縁層ＩＬ１と同じ領域に設けられていてもよく、酸化物半導体層ＯＳと同じパターンに加工されていてもよい。
【００３１】
［１－３．トランジスタＴｒ２の構成］
トランジスタＴｒ２は、ｐ型のトランジスタＴｒ２－１及びｎ型のトランジスタＴｒ２－２を有する。
【００３２】
ｐ型のトランジスタＴｒ２－１及びｎ型のトランジスタＴｒ２－２は、いずれもゲート電極ＧＬ２、ゲート絶縁層ＧＩ２、半導体層Ｓ（Ｓ１～Ｓ３）を有する。ゲート電極ＧＬ２は半導体層Ｓに対向する。ゲート絶縁層ＧＩ２は半導体層Ｓとゲート電極ＧＬ２との間に設けられている。本実施形態では、半導体層Ｓよりも基板ＳＵＢ側にゲート電極ＧＬ２が設けられたボトムゲート型トランジスタが例示されているが、半導体層Ｓとゲート電極ＧＬ２との位置関係が逆であるトップゲート型トランジスタが用いられてもよい。
【００３３】
ｐ型のトランジスタＴｒ２－１の半導体層Ｓは、半導体層Ｓ１、Ｓ２を含む。ｎ型のトランジスタＴｒ２－２の半導体層Ｓは、半導体層Ｓ１、Ｓ２、Ｓ３を含む。半導体層Ｓ１は、平面視でゲート電極ＧＬ２と重なる領域の半導体層である。半導体層Ｓ１はトランジスタＴｒ２－１及びＴｒ２－２のチャネルとして機能する。半導体層Ｓ２は導電層として機能する。半導体層Ｓ３は、半導体層Ｓ２よりも高抵抗な導電層として機能する。半導体層Ｓ３は、半導体層Ｓ１に向かって侵入するホットキャリアを減衰させることで、ホットキャリア劣化を抑制する。
【００３４】
半導体層Ｓの上方に絶縁層ＩＬ１及びゲート絶縁層ＧＩ１が設けられている。トランジスタＴｒ２において、ゲート絶縁層ＧＩ１は単に層間膜として機能する。これらの絶縁層の上方に配線Ｗ２が設けられている。配線Ｗ２は、絶縁層ＩＬ１及びゲート絶縁層ＧＩ１に設けられた開口を介して半導体層Ｓ２に接続されている。配線Ｗ２の上方に絶縁層ＩＬ２が設けられている。絶縁層ＩＬ２の上方に配線Ｗ１が設けられている。配線Ｗ１は、絶縁層ＩＬ２に設けられた開口を介して配線Ｗ２に接続されている。配線Ｗ１の上方に絶縁層ＩＬ３が設けられている。絶縁層ＩＬ３の上方に配線ＸＴＣＯが設けられている。配線ＸＴＣＯは、絶縁層ＩＬ３に設けられた開口を介して配線Ｗ１に接続されている。
【００３５】
ゲート電極ＧＬ２と遮光層ＬＳ２とは同一層である。配線Ｗ２とゲート電極ＧＬ１とは同一層である。同一層とは、１つの層がパターニングされることによって、複数の部材が形成されていることを意味する。

【００３６】
［１－４．表示装置１０の平面レイアウト］
図２～図１３を用いて、表示装置１０の画素の平面レイアウトを説明する。図２では、画素電極ＰＴＣＯ、共通補助電極ＣＭＴＬ、共通電極ＣＴＣＯ、及びスペーサＳＰは省略されている。画素電極ＰＴＣＯ、共通補助電極ＣＭＴＬ、及び共通電極ＣＴＣＯの平面レイアウトは、それぞれ図１１～図１３に示されている。
【００３７】
図２及び図３に示すように、遮光層ＬＳはＤ１方向に延びている。画素によって遮光層ＬＳの形状が異なる。本実施形態では、Ｄ１方向に延びる遮光層ＬＳの一部から、Ｄ２方向に突出する突出部ＰＪＴが設けられている。図５に示すように、遮光層ＬＳは、平面視でゲート電極ＧＬ１と酸化物半導体層ＯＳとが重なる領域を含む領域に設けられている。なお、ゲート電極ＧＬ１を「ゲート線」ということもできる。
【００３８】
図２、図４、及び図５に示すように、酸化物半導体層ＯＳはＤ２方向に延びている。ゲート電極ＧＬ１は、酸化物半導体層ＯＳと交差するようにＤ１方向に延びている。ゲート電極ＧＬ１のパターンは遮光層ＬＳのパターンの内側に設けられている。換言すると、酸化物半導体層ＯＳは、ゲート電極ＧＬ１に交差する長尺状（長手を有する形状）に形成されている。
【００３９】
図２、図６、及び図７に示すように、開口ＷＣＯＮは、酸化物半導体層ＯＳのパターンの上端付近において、配線Ｗ１（Ｗ１－１、Ｗ１－２）と重なる領域に設けられている。酸化物半導体層ＯＳのパターンのメイン部分は、隣接する配線Ｗ１（Ｗ１－１、Ｗ１－２）の間においてＤ２方向に延びている。酸化物半導体層ＯＳのパターンの残りの部分は、当該メイン部分から開口ＷＣＯＮの領域に向かってＤ１方向及びＤ２方向に対して斜めの方向に延びている。
【００４０】
図２及び図７に示すように、複数の配線Ｗ１がＤ２方向に延びている。隣接する配線Ｗ１をそれぞれ区別して説明する必要がある場合、隣接する配線Ｗ１を配線Ｗ１－１及び配線Ｗ１－２という。この場合、酸化物半導体層ＯＳのメイン部分は、配線Ｗ１－１と配線Ｗ１－２との間において、Ｄ２方向に延び、ゲート電極ＧＬ１と交差するということができる。上記の構成を換言すると、酸化物半導体層ＯＳは、Ｄ２方向に長尺状に設けられており、酸化物半導体層ＯＳの長手方向の一方の端部で配線Ｗ１－１に接続されている。
【００４１】
図２、図８、及び図９に示すように、開口ＺＣＯＮは酸化物半導体層ＯＳのパターンの下端付近に設けられている。開口ＺＣＯＮは、酸化物半導体層ＯＳのパターンと重なる領域、かつ、ゲート電極ＧＬ１とは重ならない領域に設けられている。開口ＺＣＯＮは、接続電極ＺＴＣＯと重なる領域に設けられている。接続電極ＺＴＣＯは、配線Ｗ１－１と配線Ｗ１－２との間において、ゲート電極ＧＬ１及び酸化物半導体層ＯＳと重なる。よって、接続電極ＺＴＣＯは、ゲート電極ＧＬ１とは重ならない開口ＺＣＯＮにおいて酸化物半導体層ＯＳと接する。
【００４２】
上記の構成を換言すると、酸化物半導体層ＯＳは、酸化物半導体層ＯＳの長手方向の他方の端部で接続電極ＺＴＣＯに接続されている。接続電極ＺＴＣＯは、酸化物半導体層ＯＳと同様にＤ２方向に延在する長尺状に形成されている。Ｄ１方向において、接続電極ＺＴＣＯの幅は酸化物半導体層ＯＳの幅よりも小さい。
【００４３】
図２、図７、及び図８に示すように、酸化物半導体層ＯＳは、ゲート電極ＧＬ１に対して、開口ＺＣＯＮとは反対側で配線Ｗ１と接する。開口ＺＣＯＮは遮光層ＬＳと重ならない。
【００４４】

図２、図１０、及び図１１に示すように、開口ＰＣＯＮは接続電極ＺＴＣＯのパターンの上端付近に設けられている。開口ＰＣＯＮは、ゲート電極ＧＬ１のパターン及び接続電極ＺＴＣＯのパターンと重なる領域に設けられている。開口ＰＣＯＮは、画素電極ＰＴＣＯと重なる領域に設けられている。画素電極ＰＴＣＯは、配線Ｗ１－１と配線Ｗ１－２との間において、ゲート電極ＧＬ１、酸化物半導体層ＯＳ、及び接続電極ＺＴＣＯと重なる。よって、画素電極ＰＴＣＯは、ゲート電極ＧＬ１と重なる開口ＰＣＯＮにおいて接続電極ＺＴＣＯと接する。

【００４５】

画素電極ＰＴＣＯは、下記の透光領域に延在している。上記の構成を換言すると、画素電極ＰＴＣＯは、酸化物半導体層ＯＳ及び配線Ｗ１－１と同様にＤ２方向に延在する長尺状に形成されている。Ｄ１方向において、開口ＰＣＯＮが設けられた部分における画素電極ＰＴＣＯの幅は酸化物半導体層ＯＳの幅よりも大きい。

【００４６】

図１１に示すように、接続電極ＺＴＣＯは、配線Ｗ１－１に沿って延在する長尺状に形成されている。Ｄ１方向において、コンタクト領域ＣＯＮ２を構成する開口ＰＣＯＮの幅は、接続電極ＺＴＣＯの幅より大きい。平面視で接続電極ＺＴＣＯの全体が画素電極ＰＴＣＯに重なる。

【００４７】

図１１に示すように、画素電極ＰＴＣＯはＤ２方向に並んでいる。Ｄ２方向に隣接する画素のうち、一方の画素を「第１画素」といい、他方の画素を「第２画素」という場合がある。例えば、第１画素は、図１１においてＤ２方向に並んだ画素電極ＰＴＣＯのうち、上の画素電極ＰＴＣＯに対応する画素であり、第２画素は、Ｄ２方向に並んだ画素電極ＰＴＣＯのうち、下の画素電極ＰＴＣＯに対応する画素である。この場合、第１画素及び第２画素には、配線Ｗ１－１から画素信号が供給される。

【００４８】

また、画素電極ＰＴＣＯはＤ１方向に並んでいる。上記の第１画素に対してＤ１方向に隣接する画素を「第３画素」といい、第２画素に対してＤ１方向に隣接する画素を「第４画素」という。第３画素と第４画素とはＤ２方向に隣接している。第３画素及び第４画素には、配線Ｗ１－１に隣り合う配線Ｗ１－２から画素信号が供給される。

【００４９】

上記のように、第１画素、第２画素、第３画素、及び第４画素の各々は、トランジスタＴｒ１（画素トランジスタ）と、接続電極ＺＴＣＯと、画素電極ＰＴＣＯと、を有する。

【００５０】

トランジスタＴｒ１は、酸化物半導体層ＯＳ、酸化物半導体層ＯＳに対向するゲート電極ＧＬ１、及び酸化物半導体層ＯＳとゲート電極ＧＬ１との間のゲート絶縁層ＧＩ１を備えている。接続電極ＺＴＣＯは、平面視で、ゲート電極ＧＬ１及び酸化物半導体層ＯＳと重なり、ゲート電極ＧＬ１とは重ならない開口ＺＣＯＮにおいて、酸化物半導体層ＯＳと接する。画素電極ＰＴＣＯは、平面視で、ゲート電極ＧＬ１、酸化物半導体層ＯＳ、及び接続電極ＺＴＣＯと重なり、ゲート電極ＧＬ１と重なる開口ＰＣＯＮにおいて、接続電極ＺＴＣＯに接続されている。

【００５１】

図１１の上側の設けられた第１画素の画素電極ＰＴＣＯは、平面視で、当該第１画素の酸化物半導体層ＯＳ及び第１画素の下側に設けられた第２画素の酸化物半導体層ＯＳに重なる。また、第１画素の画素電極ＰＴＣＯは、平面視で、第４画素の酸化物半導体層ＯＳとも重なる。

【００５２】

図１２に示すように、共通補助電極ＣＭＴＬは、画素領域の周囲を囲むように格子状に設けられている。つまり、共通補助電極ＣＭＴＬは複数の画素に対して共通に設けられている。換言すると、共通補助電極ＣＭＴＬは開口ＯＰを有する。開口ＯＰは、画素電極ＰＴＣＯを露出するように設けられている。開口ＯＰのパターンは画素電極ＰＴＣＯのパタ

ーンの内側に設けられている。開口ＯＰが設けられた領域が表示領域に相当する。つまり、開口ＺＣＯＮは表示領域に含まれている。表示領域とは、ユーザが画素からの光を視認できる領域を意味する。例えば、金属層によって遮光され、ユーザが光を視認できない領域は表示領域には含まれない。つまり、上記の表示領域を「透光領域（又は、開口領域）」という場合がある。

【００５３】

図１３に示すように、共通電極ＣＴＣＯは、複数の画素に対して共通に設けられている。上記開口ＯＰに対応した領域にスリットＳＬが設けられている。スリットＳＬは、湾曲した形状（縦に長いＳ字形状）を有している。スリットＳＬの先端は、当該先端の延伸方向に直交する幅が小さくなる形状を有している。図１及び図１３を参照すると、共通電極ＣＴＣＯは、画素電極ＰＴＣＯと対向する位置にスリットＳＬを有している。

【００５４】

［１－５．接続電極ＺＴＣＯ及び配線ＸＴＣＯの結晶性］

図１４を用いて、接続電極ＺＴＣＯ及び配線ＸＴＣＯの結晶性について説明する。図１４は、図１に示されたトランジスタＴｒ１の一部を抜粋して拡大した断面図である。図１４において、接続電極ＺＴＣＯは２種類のハッチングで表示されている。異なるハッチングは、異なる結晶性を意味する。図１４は、第１領域ＡＲ１及び第２領域ＡＲ２に区分されている。第１領域ＡＲ１は、平面視において接続電極ＺＴＣＯが酸化物半導体層ＯＳに接続された領域を含む。第２領域ＡＲ２は、第１領域ＡＲ１とは異なる領域である。第１領域ＡＲ１は、平面視において接続電極ＺＴＣＯが酸化物半導体層ＯＳに接続された領域のみを指してもよく、当該領域よりも外側に広がりを持った領域を指してもよい。

【００５５】

図１４に示すように、接続電極ＺＴＣＯは領域によって異なる結晶性を有している。具体的には、第１領域ＡＲ１における接続電極ＺＴＣＯの結晶性は、第２領域ＡＲ２における接続電極ＺＴＣＯの結晶性とは異なる。第２領域ＡＲ２における接続電極ＺＴＣＯの結晶性は、配線ＸＴＣＯの結晶性と同じである。

【００５６】

接続電極ＺＴＣＯ及び配線ＸＴＣＯとしてＩＴＯなどの透明導電層が用いられる場合、当該透明導電層を基板全面に成膜した後にパターニングするため、当該透明導電層は結晶化しない条件で成膜される。このような条件で透明導電層を成膜しても、酸化物半導体層ＯＳが多結晶であるため、酸化物半導体層ＯＳと接する領域の透明導電層は、酸化物半導体層ＯＳの結晶構造を反映して成膜直後に結晶化する。その結果、透明導電層を成膜した直後の状態において、第１領域ＡＲ１における透明導電層は結晶状態であり、第２領域ＡＲ２における透明導電層は非結晶状態である。

【００５７】

上記のようにパターニングされた後に、透明導電層の低抵抗化のために、透明導電層は熱処理によって結晶化される。この結晶化によって、第２領域ＡＲ２における接続電極ＺＴＣＯ及び配線ＸＴＣＯは非結晶状態から結晶状態に変化する。一方、第１領域ＡＲ１における接続電極ＺＴＣＯは、既に結晶状態であるため、熱処理の前後において結晶状態は変化しない。

【００５８】

上記のように、第１領域ＡＲ１における接続電極ＺＴＣＯは、酸化物半導体層ＯＳの結晶構造を反映して結晶化するのに対して、第２領域における接続電極ＺＴＣＯ及び配線ＸＴＣＯは、熱処理によって結晶化する。したがって、図１４に示すように、第１領域ＡＲ１における接続電極ＺＴＣＯの結晶性は、第２領域ＡＲ２における接続電極ＺＴＣＯ及び配線ＸＴＣＯの各々の結晶性とは異なる。接続電極ＺＴＣＯは、同一の透明導電層をパターニングすることで形成されたパターンである。したがって、第１領域ＡＲ１における接続電極ＺＴＣＯと第２領域ＡＲ２における接続電極ＺＴＣＯとは連続している。

【００５９】

［１－６．表示装置１０の各部材の材質］

基板ＳＵＢとして、ガラス基板、石英基板、およびサファイア基板など、透光性を有し、可撓性を有しない剛性基板を用いることができる。一方、基板ＳＵＢが可撓性を有する必要がある場合は、基板ＳＵＢとしてポリイミド基板、アクリル基板、シロキサン基板、またはフッ素樹脂基板など、樹脂を含み、可撓性を有するフレキシブル基板を用いることができる。基板ＳＵＢの耐熱性を向上させるために、上記の樹脂に不純物が導入されてもよい。

【００６０】

ゲート電極ＧＬ１、ＧＬ２、配線Ｗ１、Ｗ２、遮光層ＬＳ、及び共通補助電極ＣＭＴＬとして、一般的な金属材料を用いることができる。例えば、これらの電極等の部材として、アルミニウム（Ａｌ）、チタン（Ｔｉ）、クロム（Ｃｒ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、モリブデン（Ｍｏ）、ハフニウム（Ｈｆ）、タンタル（Ｔａ）、タングステン（Ｗ）、ビスマス（Ｂｉ）、及び銀（Ａｇ）、又は、これらの合金若しくは化合物が用いられる。上記の電極等の部材として、上記の材料が単層で用いられてもよく、積層で用いられてもよい。

【００６１】

例えば、ゲート電極ＧＬ１として、Ｔｉ／Ａｌ／Ｔｉの積層構造が用いられる。本実施形態において、上記の積層構造を有するゲート電極ＧＬ１のパターン端部の断面形状は順テーパ形状である。

【００６２】

ゲート絶縁層ＧＩ１、ＧＩ２及び絶縁層ＩＬ１～ＩＬ５として、一般的な絶縁層性材料を用いることができる。例えば、ゲート絶縁層ＧＩ１、ＧＩ２及び絶縁層ＩＬ１～ＩＬ３、ＩＬ５として、酸化シリコン（SiO_x）、酸化窒化シリコン（SiO_xN_y）、窒化シリコン（SiN_x）、窒化酸化シリコン（SiN_xO_y）、酸化アルミニウム（AlO_x）、酸化窒化アルミニウム（AlO_xN_y）、窒化酸化アルミニウム（AlN_xO_y）、窒化アルミニウム（AlN_x）などの無機絶縁層を用いることができる。これらの絶縁層として、欠陥が少ない絶縁層を用いることができる。絶縁層ＩＬ４として、ポリイミド樹脂、アクリル樹脂、エポキシ樹脂、シリコーン樹脂、フッ素樹脂、又はシロキサン樹脂などの有機絶縁材料を用いることができる。ゲート絶縁層ＧＩ１、ＧＩ２及び絶縁層ＩＬ１～ＩＬ３、ＩＬ５として、上記の有機絶縁材料が用いられてもよい。上記の絶縁層等の部材として、上記の材料が単層で用いられてもよく、積層で用いられてもよい。

【００６３】

上記の絶縁層の一例として、ゲート絶縁層ＧＩ１として厚さが１００ｎｍのSiO_xが用いられる。絶縁層ＩＬ１として総厚さが３００ｎｍ～７００ｎｍのSiO_x／SiN_x／SiO_xが用いられる。ゲート絶縁層ＧＩ２として総厚さが６０～１５０ｎｍのSiO_x／SiN_xが用いられる。絶縁層ＩＬ２として総厚さが３００ｎｍ～５００ｎｍのSiO_x／SiN_x／SiO_xが用いられる。絶縁層ＩＬ３として総厚さが２００ｎｍ～５００ｎｍのSiO_x（単層）、SiN_x（単層）、又はこれらの積層が用いられる。絶縁層ＩＬ４として厚さが２μｍ～４μｍの有機層が用いられる。絶縁層ＩＬ５として厚さが５０ｎｍ～１５０ｎｍのSiN_x（単層）が用いられる。

【００６４】

上記のSiO_xN_y及びAlO_xN_yは、酸素（Ｏ）よりも少ない比率（ｘ＞ｙ）の窒素（Ｎ）を含有するシリコン化合物及びアルミニウム化合物である。SiN_xO_y及びAlN_xO_yは、窒素よりも少ない比率（ｘ＞ｙ）の酸素を含有するシリコン化合物及びアルミニウム化合物である。

【００６５】

酸化物半導体層ＯＳとして、半導体の特性を有する金属酸化物を用いることができる。例えば、酸化物半導体層ＯＳとして、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）、及び酸素（Ｏ）を含む酸化物半導体を用いることができる。例えば、酸化物半導体層ＯＳとして、Ｉｎ：Ｇａ：Ｚｎ：Ｏ＝１：１：１：４の組成比を有する酸化物半導体を用いることができる。ただし、本実施形態で使用されるＩｎ、Ｇａ、Ｚｎ、及びＯを含む

酸化物半導体は上記の組成に限定されず、上記とは異なる組成の酸化物半導体が用いられてもよい。例えば、移動度を向上させるためにＩｎの比率が上記より大きい酸化物半導体層が用いられてもよい。一方、バンドギャップを大きくし、光照射による影響を小さくするためにＧａの比率が上記より大きい酸化物半導体層が用いられてもよい。

【００６６】

例えば、Ｉｎの比率が上記より大きい酸化物半導体層ＯＳとして、インジウム（Ｉｎ）を含む２以上の金属を含む酸化物半導体が用いられてもよい。この場合、酸化物半導体層ＯＳにおいて、全金属元素に対するインジウム元素の比率が原子比率で５０％以上であってもよい。酸化物半導体層ＯＳとして、インジウムに加えて、ガリウム（Ｇａ）、亜鉛（Ｚｎ）、アルミニウム（Ａｌ）、ハフニウム（Ｈｆ）、イットリウム（Ｙ）、ジルコニア（Ｚｒ）、ランタノイドが用いられてもよい。酸化物半導体層ＯＳとして、上記以外の元素が用いられてもよい。

【００６７】

酸化物半導体層ＯＳとして、Ｉｎ、Ｇａ、Ｚｎ、及びＯを含む酸化物半導体に他の元素が添加されていてもよく、例えばＡｌ、Ｓｎなどの金属元素が添加されていてもよい。上記の酸化物半導体以外にもＩｎ、Ｇａを含む酸化物半導体（ＩＧＯ）、Ｉｎ、Ｚｎを含む酸化物半導体（ＩＺＯ）、Ｉｎ、Ｓｎ、Ｚｎを含む酸化物半導体（ＩＴＺＯ）、及びＩｎ、Ｗを含む酸化物半導体などが酸化物半導体層ＯＳとして用いられてもよい。

【００６８】

インジウム元素の比率が大きい場合、酸化物半導体層ＯＳが結晶化しやすい。上記のように、酸化物半導体層ＯＳにおいて、全金属元素に対するインジウム元素の比率が５０％以上である材料を用いることで、多結晶構造を有する酸化物半導体層ＯＳを得ることができる。インジウム以外の金属元素として、ガリウムを含むことが好ましい。ガリウムは、インジウムと同じ第１３族元素に属する。そのため、酸化物半導体層ＯＳの結晶性がガリウムによって阻害されることなく、酸化物半導体層ＯＳは多結晶構造を有する。

【００６９】

酸化物半導体層ＯＳの詳細な製造方法は後述するが、酸化物半導体層ＯＳは、スパッタリング法を用いて形成することができる。スパッタリング法によって形成される酸化物半導体層ＯＳの組成は、スパッタリングターゲットの組成に依存する。酸化物半導体層ＯＳが多結晶構造を有する場合であっても、スパッタリングターゲットの組成と酸化物半導体層ＯＳの組成とは略一致する。この場合、酸化物半導体層ＯＳの金属元素の組成は、スパッタリングターゲットの金属元素の組成に基づき特定することができる。

【００７０】

酸化物半導体層ＯＳが多結晶構造を有する場合、Ｘ線回折（Ｘ－ｒａｙ　Ｄｉｆｆｒａｃｔｉｏｎ：ＸＲＤ）法を用いて、酸化物半導体層の組成を特定してもよい。具体的には、ＸＲＤ法によって取得された酸化物半導体層の結晶構造及び格子定数に基づき、酸化物半導体層の金属元素の組成を特定することができる。さらに、酸化物半導体層ＯＳの金属元素の組成は、蛍光Ｘ線分析又は電子プローブマイクロアナライザ（Ｅｌｅｃｔｒｏｎ　Ｐｒｏｂｅ　Ｍｉｃｒｏ　Ａｎａｌｙｚｅｒ：ＥＰＭＡ）分析などを用いて特定することもできる。ただし、酸化物半導体層ＯＳに含まれる酸素元素は、スパッタリングのプロセス条件などにより変化するため、この限りではない。

【００７１】

上述のように、酸化物半導体層ＯＳは多結晶構造を有している。多結晶構造を有する酸化物半導体は、Ｐｏｌｙ－ＯＳ（Ｐｏｌｙ－ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）技術を用いて作製することができる。以下では、アモルファス構造を有する酸化物半導体と区別するとき、多結晶構造を有する酸化物半導体をＰｏｌｙ－ＯＳとして説明する場合がある。

【００７２】

上記のように、接続電極ＺＴＣＯ、配線ＸＴＣＯ、画素電極ＰＴＣＯ、及び共通電極ＣＴＣＯとして、透明導電層が用いられる。当該透明導電層として、ＩＴＯ及び酸化インジ

ウム及び酸化亜鉛の混合物（ＩＺＯ）を用いることができる。当該透明導電層として、上記以外の材料が用いられてもよい。

【００７３】

上記のように、酸化物半導体層ＯＳと絶縁層ＩＬ１との間に金属酸化物層が設けられる場合、当該金属酸化物層として、アルミニウムを主成分とする金属酸化物が用いられる。例えば、金属酸化物層として、酸化アルミニウム（ＡｌＯ$_x$）、酸化窒化アルミニウム（ＡｌＯ$_x$Ｎ$_y$）、窒化酸化アルミニウム（ＡｌＮ$_x$Ｏ$_y$）、窒化アルミニウム（ＡｌＮ$_x$）などの無機絶縁層が用いられる。「アルミニウムを主成分とする金属酸化物層」は、金属酸化物層に含まれるアルミニウムの比率が、金属酸化物層全体の１％以上であることを意味する。金属酸化物層に含まれるアルミニウムの比率は、金属酸化物層全体の５％以上７０％以下、１０％以上６０％以下、又は３０％以上５０％以下であってもよい。上記の比率は、質量比であってもよく、重量比であってもよい。

【００７４】

以上のように、本実施形態に係るトランジスタＴｒ１によると、多結晶構造を含む酸化物半導体層ＯＳと透明導電層である接続電極ＺＴＣＯとを直接接触させることで両者間の導通を確保することができる。したがって、酸化物半導体層ＯＳと接続電極ＺＴＣＯとの間に金属層を設ける必要がない。また、詳細は後述するが、本実施形態に係るトランジスタＴｒ１によると、酸化物半導体層ＯＳと接続電極ＺＴＣＯとのコンタクト抵抗を低減することができる。したがって、トランジスタＴｒ１の電気特性を低下させることなくプロセスマージンを大きくすることができる。

【００７５】

この構成によって、開口ＺＣＯＮにおいて光が遮られないため、開口率の低下を抑制することができる。酸化物半導体層は透光性を有している。したがって、本実施形態において、画素領域の開口領域に酸化物半導体層が設けられているが、バックライトからの光は当該酸化物半導体層を通過する。このため、酸化物半導体層が開口領域に設けられていることによる当該開口領域の透過率の低下は可及的低減される。酸化物半導体層ＯＳは、透光性を有するため、シリコン層とは異なり透過光にムラを生じさせにくい。表示領域に酸化物半導体層ＯＳが設けられていることで、表示ムラの発生を抑制することができる。

【００７６】

［２．第２実施形態］

図１５～図１７を用いて、上記の第１実施形態で説明した表示装置の全体構成について説明する。

【００７７】

［２－１．表示装置２０の概要］

図１５は、本発明の一実施形態に係る表示装置の概要を示す平面図である。図１５に示すように、表示装置２０は、アレイ基板３００、シール部４００、対向基板５００、フレキシブルプリント回路基板６００（ＦＰＣ６００）、およびＩＣチップ７００を有する。アレイ基板３００および対向基板５００はシール部４００によって貼り合わせられている。シール部４００に囲まれた液晶領域２２には、複数の画素回路３１０がマトリクス状に配置されている。液晶領域２２は、後述する液晶素子４１０と平面視で重なる領域である。液晶領域２２は、表示に寄与する領域である。液晶領域２２を「表示領域」という場合がある。上記のトランジスタＴｒ１は液晶領域２２（表示領域）に設けられる。

【００７８】

シール部４００が設けられたシール領域２４は、液晶領域２２の周囲の領域である。ＦＰＣ６００は端子領域２６に設けられている。端子領域２６はアレイ基板３００が対向基板５００から露出された領域であり、シール領域２４の外側に設けられている。なお、シール領域２４の外側とは、シール部４００が設けられた領域及びシール部４００によって囲まれた領域の外側を意味する。ＩＣチップ７００はＦＰＣ６００上に設けられている。ＩＣチップ７００は各画素回路３１０を駆動させるための信号を供給する。シール領域２４又はシール領域２４と端子領域２６とを合わせた領域は、液晶領域２２（表示領域）を

包囲する領域である。これらの領域を「額縁領域」という場合がある。上記のトランジスタＴｒ２は当該額縁領域に設けられる。

【００７９】

［２－２．表示装置２０の回路構成］

図１６は、本発明の一実施形態に係る表示装置の回路構成を示すブロック図である。図１６に示すように、画素回路３１０が配置された液晶領域２２に対してＤ１方向（列方向）に隣接する位置にはソースドライバ回路３２０が設けられており、液晶領域２２に対してＤ２方向（行方向）に隣接する位置にはゲートドライバ回路３３０が設けられている。ソースドライバ回路３２０及びゲートドライバ回路３３０は、上記のシール領域２４に設けられている。ただし、ソースドライバ回路３２０及びゲートドライバ回路３３０が設けられる領域はシール領域２４に限定されず、画素回路３１０が設けられた領域の外側であれば、どの領域でもよい。

【００８０】

ソースドライバ回路３２０からソース配線３２１がＤ１方向に延びており、Ｄ１方向に配列された複数の画素回路３１０に接続されている。ゲートドライバ回路３３０からゲート配線３３１がＤ２方向に延びており、Ｄ２方向に配列された複数の画素回路３１０に接続されている。

【００８１】

端子領域２６には端子部３３３が設けられている。端子部３３３とソースドライバ回路３２０とは接続配線３４１で接続されている。同様に、端子部３３３とゲートドライバ回路３３０とは接続配線３４１で接続されている。ＦＰＣ６００が端子部３３３に接続されることで、ＦＰＣ６００が接続された外部機器と表示装置２０とが接続され、外部機器からの信号によって表示装置２０に設けられた各画素回路３１０が駆動する。

【００８２】

第１実施形態に示すトランジスタＴｒ１は、画素回路３１０に用いられる。第１実施形態に示すトランジスタＴｒ２は、ソースドライバ回路３２０及びゲートドライバ回路３３０に含まれるトランジスタに適用される。

【００８３】

［２－３．表示装置２０の画素回路３１０］

図１７は、本発明の一実施形態に係る表示装置の画素回路を示す回路図である。図１７に示すように、画素回路３１０はトランジスタ８００、保持容量８９０、及び液晶素子４１０などの素子を含む。保持容量８９０の一方の電極は画素電極ＰＴＣＯであり、他方の電極は共通電極ＣＴＣＯである。同様に、液晶素子４１０の一方の電極は画素電極ＰＴＣＯであり、他方の電極は共通電極ＣＴＣＯである。トランジスタ８００は第１ゲート電極８１０、第１ソース電極８３０、及び第１ドレイン電極８４０を有する。第１ゲート電極８１０はゲート配線３３１に接続されている。第１ソース電極８３０はソース配線３２１に接続されている。第１ドレイン電極８４０は保持容量８９０及び液晶素子４１０に接続されている。第１実施形態に示すトランジスタＴｒ１は、図１７に示すトランジスタ８００に適用される。本実施形態では、説明の便宜上、８３０をソース電極といい、８４０をドレイン電極というが、それぞれの電極のソースとしての機能とドレインとしての機能とが入れ替わってもよい。

【実施例】

【００８４】

［３．トランジスタＴｒ１の電気特性］

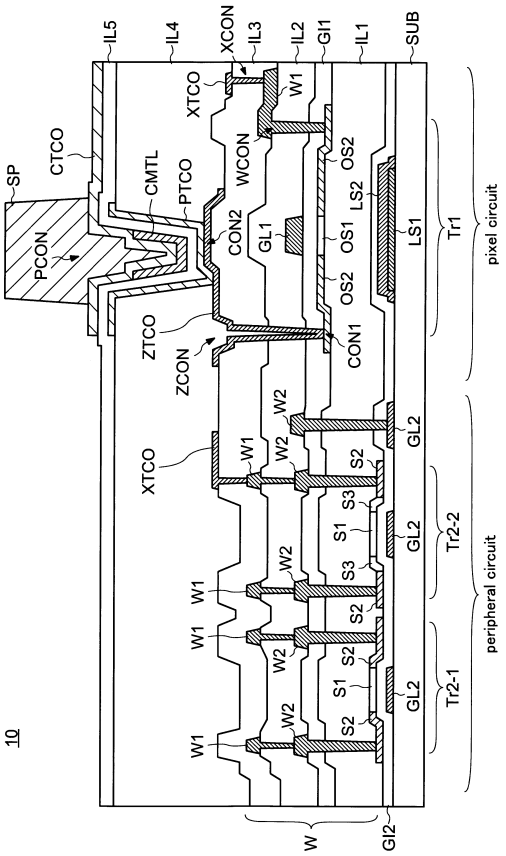
図１８を用いて、トランジスタＴｒ１の電気特性について説明する。図１８は、本発明の一実施形態に係る半導体装置の電気特性を示す図である。図１８には、従来のトランジスタ（Ｃｏｎｖ．）及び第１実施形態に係るトランジスタＴｒ１（Ｐｏｌｙ－ＯＳ）のそれぞれの電気特性が示されている。従来のトランジスタは、第１実施形態のトランジスタＴｒ１と同じ構造であり、酸化物半導体層ＯＳとして非結晶状態の酸化物半導体層が用いられている。したがって、従来のトランジスタにおいて、接続電極ＺＴＣＯとして用いら

れるＩＴＯの結晶状態は場所によって違いがない。
【００８５】
図１８に示す電気特性の測定条件は以下の通りである。
・チャネル領域ＣＨのサイズ：Ｗ／Ｌ＝２．０μｍ／２．５μｍ
・ソース・ドレイン間電圧：０．１Ｖ、１０Ｖ
・ゲート電圧：－１５Ｖ～＋２０Ｖ
・測定環境：室温、暗室
・測定点数：３０点
【００８６】
図１８に示すように、従来のトランジスタでは複数のトランジスタにおいて、オン電流の異常値が確認される。異常値が確認されるトランジスタでは、オン電流が飽和し、ゲート電圧を大きくしてもオン電流が大きくならない。つまり、トランジスタの電流パスに高抵抗箇所が存在していると考えられる。一方、第１実施形態に係るトランジスタＴｒ１において、オン電流の異常値は確認されない。
【００８７】
［４．コンタクト抵抗］
図１９は、本発明の一実施形態に係る半導体装置における酸化物半導体層と透明導電層とのコンタクト抵抗値を示す図である。図１９は、従来のトランジスタ（Ｃｏｎｖ．）及び第１実施形態に係るトランジスタＴｒ１（Ｐｏｌｙ－ＯＳ）の各々の基板に設けられたコンタクト抵抗測定用のテストパターン（ＴＥＧ）の測定結果である。
【００８８】
図１９は、上記のコンタクト抵抗を示す箱ひげ図である。図１９では、測定されたコンタクト抵抗値における最大値（ひげの上端）、最小値（ひげの下端）、データの中央５０％の分布（箱の上端から下端まで）、平均値（×印）、及び中央値（上の箱と下の箱の境界）が示されている。
【００８９】
図１９に示すように、従来のトランジスタでは、ほとんどのＴＥＧにおいて、酸化物半導体層ＯＳと接続電極ＺＴＣＯとのコンタクト抵抗値が１００ｋΩを超えている。一方、第１実施形態に係るトランジスタ１では、全てのＴＥＧにおいて、当該コンタクト抵抗が１００Ω～２００Ωの範囲に収まっている。
【００９０】
以上のように、本実施形態に係るトランジスタＴｒ１では、酸化物半導体層ＯＳと接続電極ＺＴＣＯとのコンタクト抵抗が非常に低いため、オン電流の飽和がない、正常な電気特性を得ることが判明した。
【００９１】
本発明の実施形態として上述した各実施形態は、相互に矛盾しない限りにおいて、適宜組み合わせて実施することができる。また、各実施形態の半導体装置を基にして、当業者が適宜構成要素の追加、削除もしくは設計変更を行ったもの、又は、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。
【００９２】
上述した各実施形態の態様によりもたらされる作用効果とは異なる他の作用効果であっても、本明細書の記載から明らかなもの、又は、当業者において容易に予測し得るものについては、当然に本発明によりもたらされるものと解される。
【符号の説明】
【００９３】
１０：表示装置、　２０：表示装置、　２２：液晶領域、　２４：シール領域、　２６：端子領域、　３００：アレイ基板、　３１０：画素回路、　３２０：ソースドライバ回路、　３２１：ソース配線、　３３０：ゲートドライバ回路、　３３１：ゲート配線、　３３３：端子部、　３４１：接続配線、　４００：シール部、　４１０：液晶素子、　５０

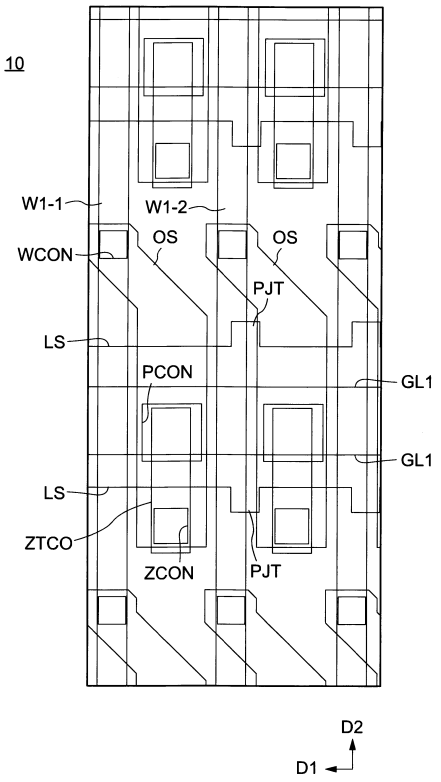
０：対向基板、　６００：フレキシブルプリント回路基板（ＦＰＣ）、　７００：チップ、　８００：トランジスタ、　８１０：第１ゲート電極、　８３０：第１ソース電極、　８４０：第１ドレイン電極、　８９０：保持容量、　ＡＲ１：第１領域、　ＡＲ２：第２領域、　ＣＨ：・チャネル領域、　ＣＭＴＬ：共通補助電極、　ＣＯＮ１、ＣＯＮ２：コンタクト領域、　ＣＴＣＯ：共通電極、　ＧＩ１、ＧＩ２：ゲート絶縁層、　ＧＬ１、ＧＬ２：ゲート電極、　ＩＬ１～ＩＬ５：絶縁層、　ＬＳ：遮光層、　ＯＰ：開口、　ＯＳ：酸化物半導体層、　ＰＣＯＮ、ＷＣＯＮ、ＸＣＯＮ、ＺＣＯＮ：開口、　ＰＪＴ：突出部、　ＰＴＣＯ：画素電極、　Ｓ：半導体層、　ＳＬ：スリット、　ＳＰ：スペーサ、　ＳＵＢ：基板、　Ｔｒ１、Ｔｒ２：トランジスタ、　Ｗ、ＸＴＣＯ：配線、　ＺＴＣＯ：接続電極

【図面】

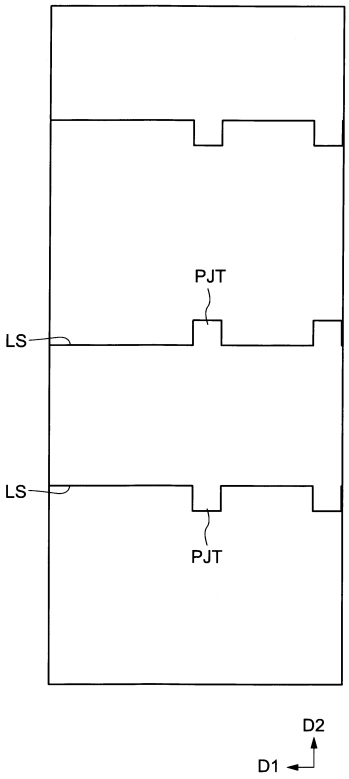
【図１】



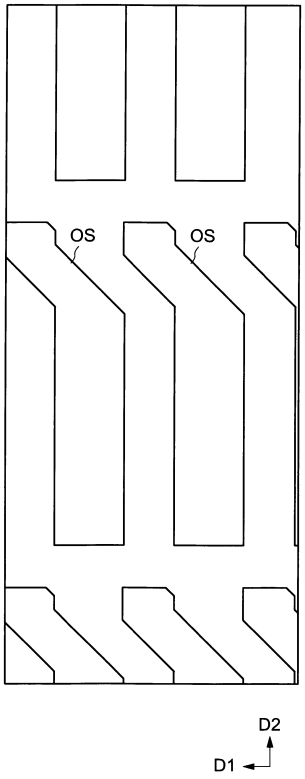
【図２】



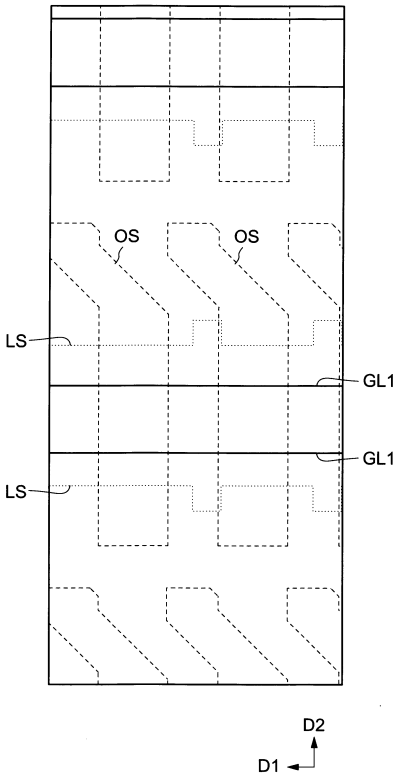
【図３】


PJT
LS
LS
PJT
D2
D1

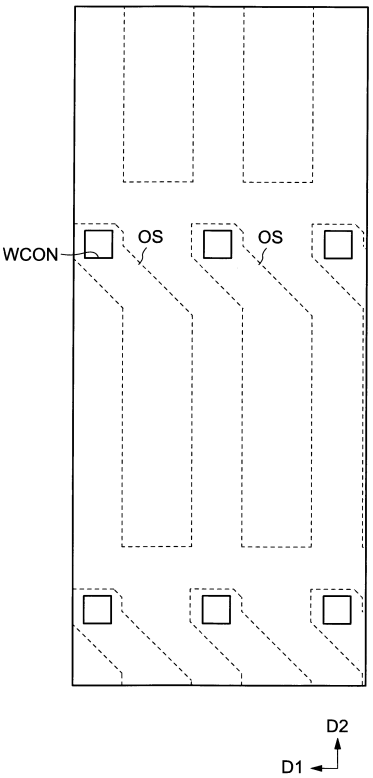
【図４】


OS
OS
D2
D1

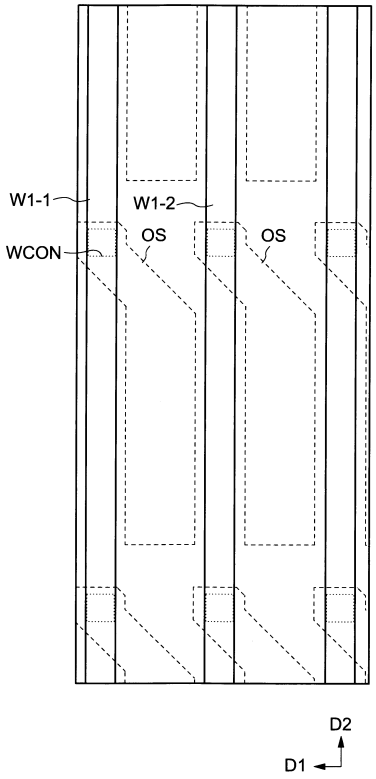
【図５】


OS
OS
LS
GL1
GL1
LS
D2
D1

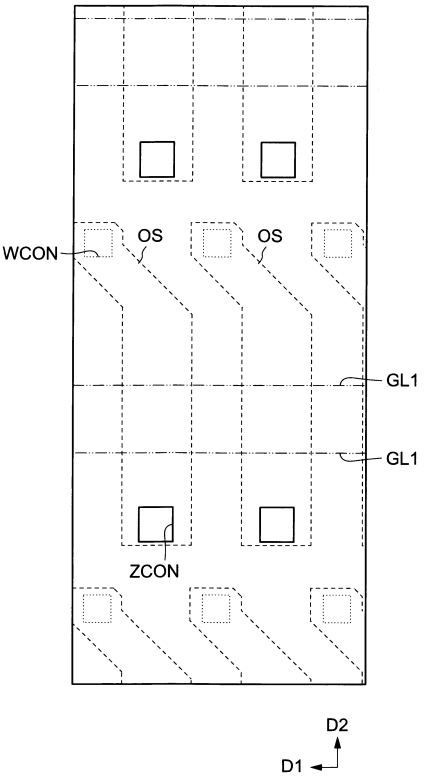
【図６】


WCON
OS
OS
D2
D1

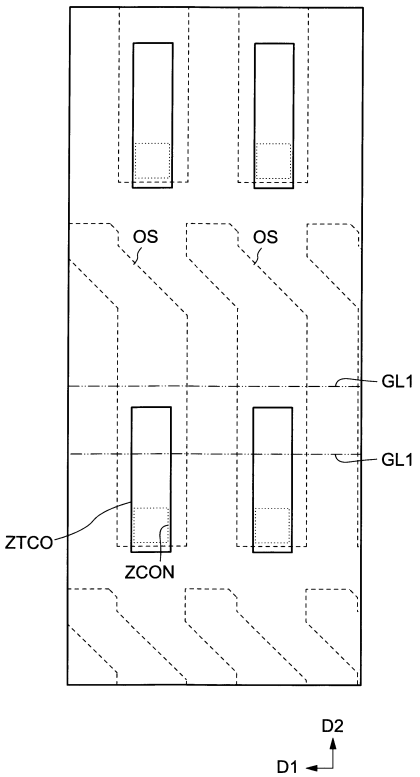
【図７】


W1-1
W1-2
WCON
OS
OS
D2
D1

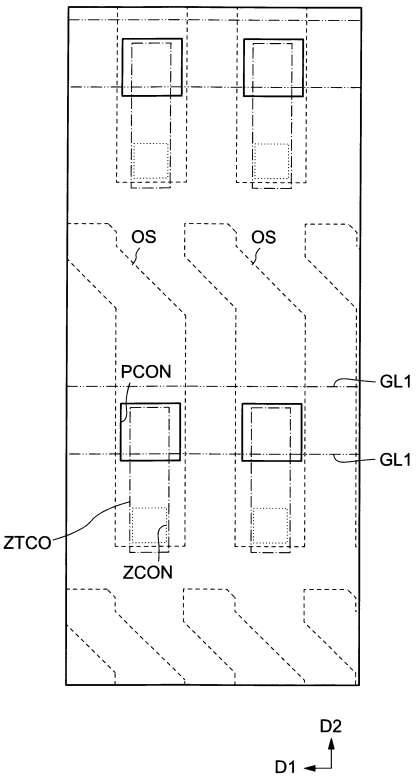
【図８】


WCON
OS
OS
GL1
GL1
ZCON
D2
D1

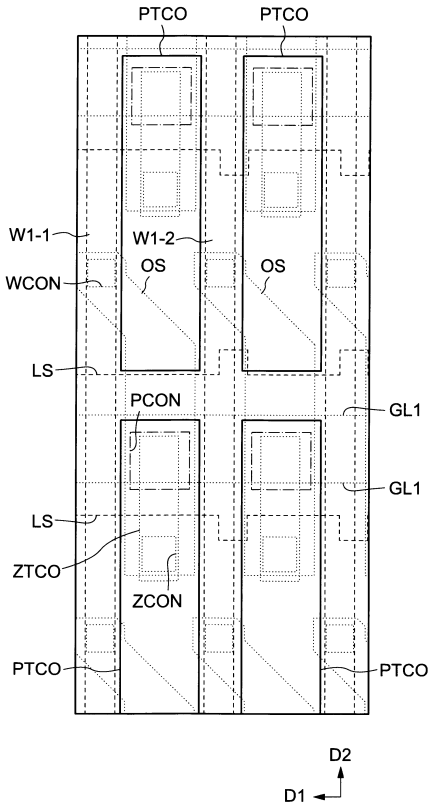
【図９】


OS
OS
GL1
GL1
ZTCO
ZCON
D2
D1

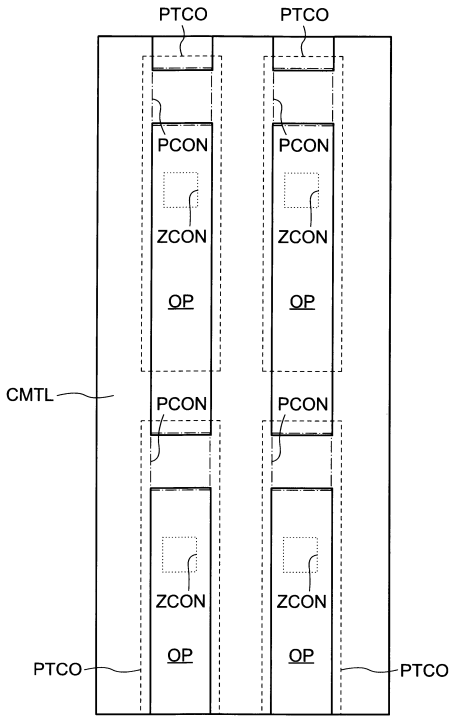
【図１０】


OS
OS
PCON
GL1
GL1
ZTCO
ZCON
D2
D1

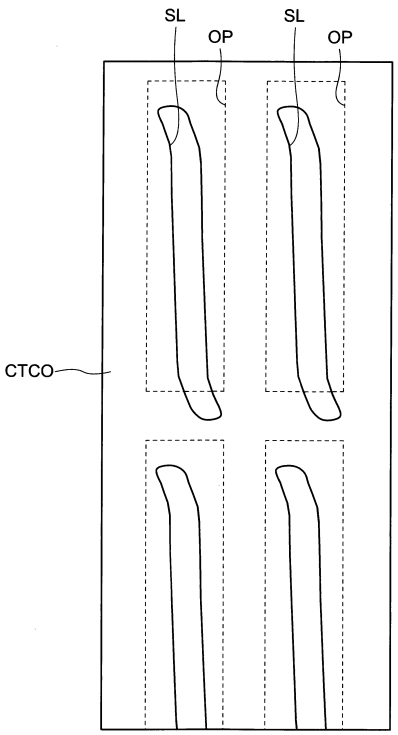
【図１１】



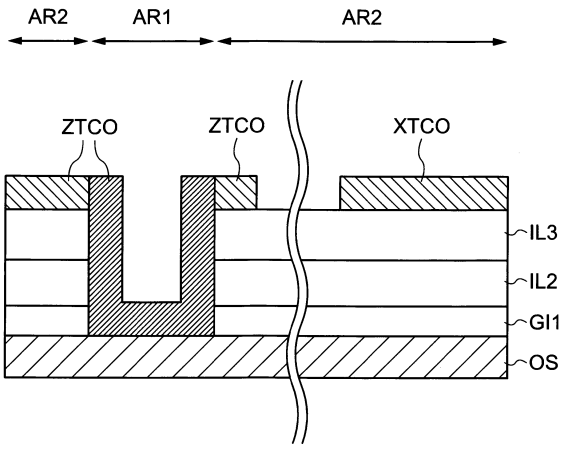
【図１２】



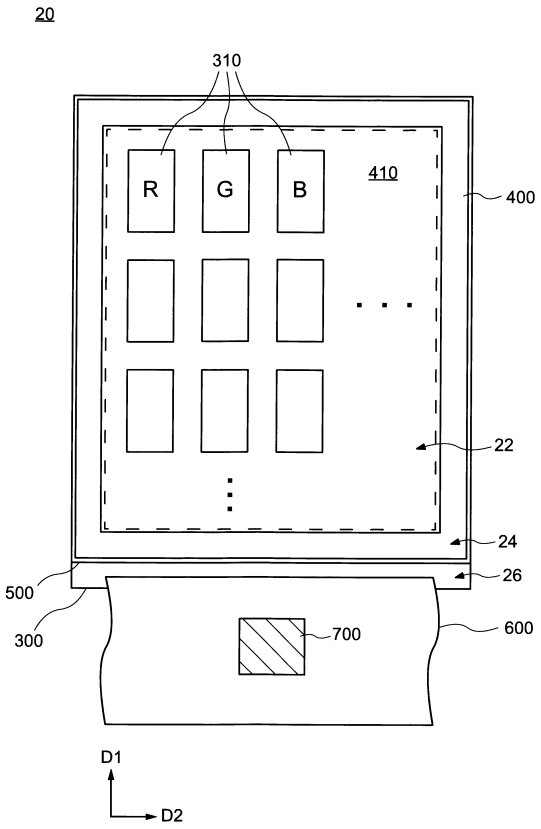
【図１３】



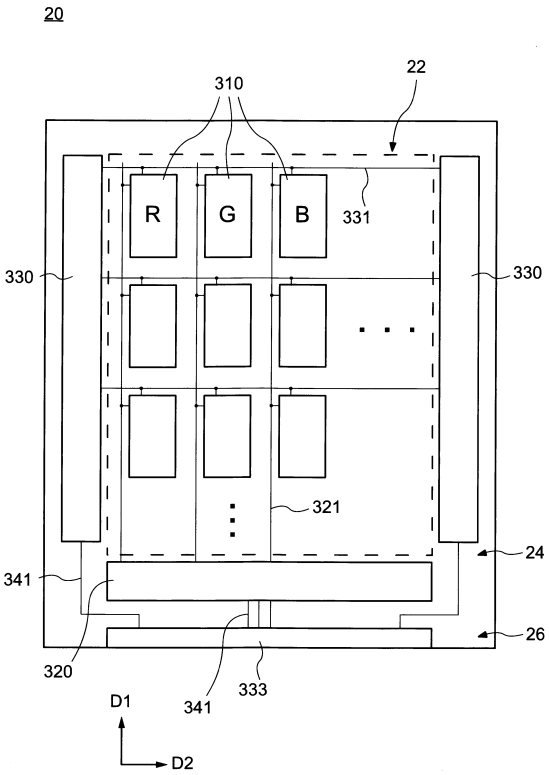
【図１４】



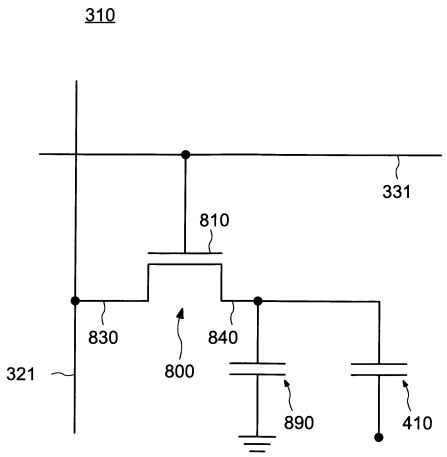
【図１５】



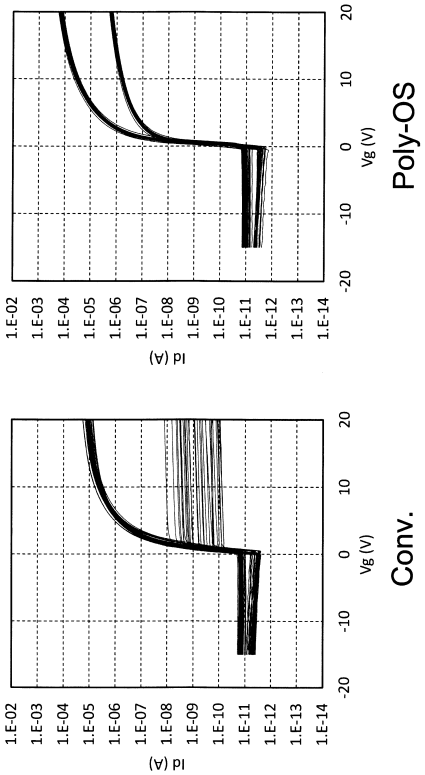
【図１６】



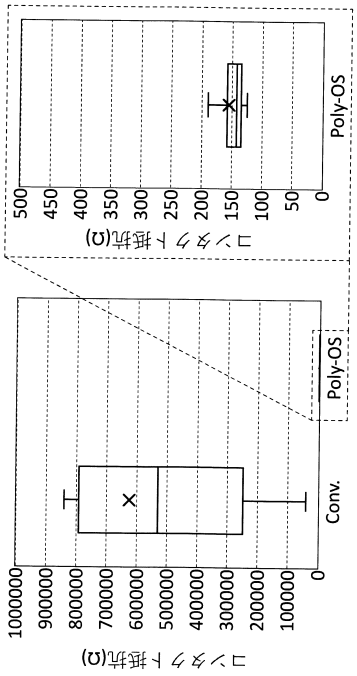
【図１７】



【図１８】



【図１９】


コンタクト抵抗(Ω)
1000000
900000
800000
700000
600000
500000
400000
300000
200000
100000
0
Conv.
Poly-OS
コンタクト抵抗(Ω)
500
450
400
350
300
250
200
150
100
50
0
Poly-OS

フロントページの続き

(51)国際特許分類　　ＦＩ　　テーマコード（参考）
　　Ｇ０２Ｆ　　1/1368

東京都港区西新橋三丁目７番１号　株式会社ジャパンディスプレイ内
(72)発明者　望月　真里奈
東京都港区西新橋三丁目７番１号　株式会社ジャパンディスプレイ内
(72)発明者　田丸　尊也
東京都港区西新橋三丁目７番１号　株式会社ジャパンディスプレイ内
(72)発明者　小野寺　涼
東京都港区西新橋三丁目７番１号　株式会社ジャパンディスプレイ内

Ｆターム（参考）　2H192　AA24 BB12 BB54 BC31 BC42 CB02 CB05 CB34 CB37 CB53
CB54 CB83 CC32 CC75 DA24 EA15 EA67 FA73 FB42 FB46 JA33
5C094　BA03 BA27 BA43 DA13 DA15 EA05 FB14
5F110　AA03 BB02 BB04 BB11 CC02 CC06 DD01 DD02 DD03 DD04
DD12 EE01 EE02 EE03 EE04 EE06 EE14 EE15 FF02 FF03 FF09
FF10 GG01 GG13 GG43 HJ01 HL01 HL02 HL03 HL04 HL06 HL07
HL09 HL11 HM15 HM17 HM18 HM19 NN03 NN04 NN22 NN23 NN24
NN27 NN42 NN73