



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년06월29일

(11) 등록번호 10-1532255

(24) 등록일자 2015년06월23일

(51) 국제특허분류(Int. Cl.)

G06K 19/077 (2006.01) B42D 25/45 (2014.01)

G06K 17/00 (2006.01) G06K 19/07 (2006.01)

(21) 출원번호 10-2009-0007340

(22) 출원일자 2009년01월30일

심사청구일자 2014년01월28일

(65) 공개번호 10-2009-0084735

(43) 공개일자 2009년08월05일

(30) 우선권주장

JP-P-2008-020938 2008년01월31일 일본(JP)

(56) 선행기술조사문헌

KR1020070075258 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시킴가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

코야마 준

일본 243-036, 가나가와, 아쓰기시, 하세, 398,
가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내

야마자키 슌페이

일본 243-036, 가나가와, 아쓰기시, 하세, 398,
가부시킴가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈, 이범래

전체 청구항 수 : 총 19 항

심사관 : 김중권

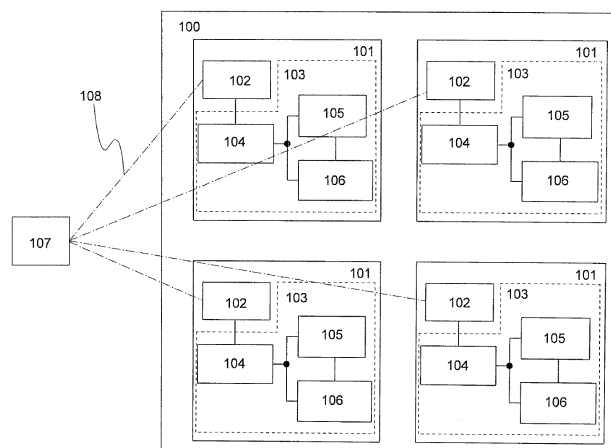
(54) 발명의 명칭 반도체 장치

(57) 요약

본 발명은 무선 통신이 가능한 반도체 장치에 있어서, 신뢰성을 향상시키는 것을 과제로 한다.

용장(冗長) 회로로서 복수의 기능 회로(101)를 갖고, 기능 회로(101)는 안테나(102) 및 반도체 집적 회로(103)를 갖고, 복수의 기능 회로(101)는 섬유체(纖維體)에 수지가 함침(含浸)된 동일한 밀봉층으로 덮인다. 또한, 반도체 집적 회로(103)는 안테나(102)에 전기적으로 접속된 송수신 회로(104), 송수신 회로(104)에 전기적으로 접속된 전원 회로(105), 송수신 회로(104) 및 전원 회로(105)에 전기적으로 접속된 로직 회로(106)가 형성된 구성으로 한다.

대표도



명세서

청구범위

청구항 1

반도체 장치에 있어서:

제 1 안테나, 및 식별 정보를 기억하고 상기 제 1 안테나에 전기적으로 접속되는 제 1 반도체 집적 회로를 포함하는 제 1 기능 회로;

제 2 안테나, 및 식별 정보를 기억하고 상기 제 2 안테나에 전기적으로 접속되는 제 2 반도체 집적 회로를 포함하는 제 2 기능 회로;

상기 제 1 기능 회로의 상기 제 1 안테나와 전자 결합(electromagnetic coupling)하고 상기 제 2 기능 회로의 상기 제 2 안테나와 전자 결합함으로써 전파들을 송수신하는 제 3 안테나; 및

상기 제 1 기능 회로와 상기 제 2 기능 회로를 둘러싼 밀봉층을 포함하고,

상기 제 1 기능 회로는 상기 제 2 기능 회로로부터 전기적으로 절연되고,

상기 제 1 기능 회로의 상기 식별 정보는 상기 제 2 기능 회로의 상기 식별 정보와 상이한, 반도체 장치.

청구항 2

반도체 장치에 있어서:

제 1 안테나, 및 식별 정보를 기억하고 상기 제 1 안테나에 전기적으로 접속되는 제 1 반도체 집적 회로를 포함하는 제 1 기능 회로;

제 2 안테나, 및 식별 정보를 기억하고 상기 제 2 안테나에 전기적으로 접속되는 제 2 반도체 집적 회로를 포함하는 제 2 기능 회로;

상기 제 1 기능 회로의 상기 제 1 안테나와 전자 결합(electromagnetic coupling)하고 상기 제 2 기능 회로의 상기 제 2 안테나와 전자 결합함으로써 전파들을 송수신하는 제 3 안테나; 및

상기 제 1 기능 회로와 상기 제 2 기능 회로를 둘러싼 밀봉층을 포함하고,

상기 제 1 기능 회로는 상기 제 2 기능 회로로부터 전기적으로 절연되고,

상기 제 1 기능 회로의 상기 식별 정보는 상기 제 2 기능 회로의 상기 식별 정보와 상이하고,

상기 제 1 반도체 집적 회로와 상기 제 2 반도체 집적 회로의 각각은 판정 회로를 포함하고,

동작에 대한 데이터가 상기 제 1 기능 회로의 상기 판정 회로에 기록되고, 정지에 대한 데이터가 상기 제 2 기능 회로의 상기 판정 회로에 기록되는, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 제 1 반도체 집적 회로와 상기 제 2 반도체 집적 회로의 각각은 상기 제 1 안테나 또는 상기 제 2 안테나에 전기적으로 접속된 송수신 회로, 상기 송수신 회로에 전기적으로 접속된 전원 회로, 및 상기 식별 정보를 기억하고 상기 송수신 회로와 상기 전원 회로에 전기적으로 접속된 로직 회로를 포함하는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 1 반도체 집적 회로와 상기 제 2 반도체 집적 회로의 각각은 상기 제 1 안테나 또는 상기 제 2 안테나에 전기적으로 접속된 송수신 회로, 상기 송수신 회로에 전기적으로 접속된 전원 회로, 상기 식별 정보를 기억하고 상기 송수신 회로와 상기 전원 회로에 전기적으로 접속된 로직 회로, 상기 전원 회로와 상기 로직 회로에

전기적으로 접속된 전원 제어 회로, 및 상기 로직 회로와 상기 전원 제어 회로에 전기적으로 접속된 판정 회로를 포함하는, 반도체 장치.

청구항 5

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기능 회로와 상기 제 2 기능 회로의 각각은 같은 기능을 갖는, 반도체 장치.

청구항 6

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기능 회로와 상기 제 2 기능 회로의 각각은 충돌 방지(anti-collision) 기능을 갖고, 상기 반도체 장치의 외부로부터 수신된 전파에 대하여 상기 식별 정보에 따라 상이한 타이밍에서 응답하는, 반도체 장치.

청구항 7

제 1 항 또는 제 2 항에 있어서,

상기 식별 정보는 상기 제 1 기능 회로와 상기 제 2 기능 회로의 위치들의 차이, 상기 제 1 기능 회로와 상기 제 2 기능 회로의 신호들의 송신 혹은 수신에 걸리는 시간의 차이, 또는 상기 제 1 기능 회로와 상기 제 2 기능 회로의 응답 신호들의 주파수의 차이를 사용하여 생성되는, 반도체 장치.

청구항 8

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기능 회로와 상기 제 2 기능 회로의 각각은, 상기 제 1 기능 회로와 상기 제 2 기능 회로의 각각이 상기 반도체 장치의 외부로부터 송신된 전파에 의하여 동작하는지 아닌지가 판정되고, 상기 반도체 장치의 외부로부터 송신된 상기 전파에 의하여 동작되는지 아닌지가 제어되는, 반도체 장치.

청구항 9

제 1 항 또는 제 2 항에 있어서,

상기 밀봉층의 두께는 10 μ m 이상 100 μ m 이하인, 반도체 장치.

청구항 10

제 1 항 또는 제 2 항에 있어서,

상기 제 1 안테나와 상기 제 2 안테나의 각각은 루프 형상을 갖는, 반도체 장치.

청구항 11

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기능 회로의 상기 제 1 안테나는 상기 제 1 기능 회로의 상기 제 1 반도체 집적 회로에 겹치고, 상기 제 2 기능 회로의 상기 제 2 안테나는 상기 제 2 기능 회로의 상기 제 2 반도체 집적 회로에 겹치는, 반도체 장치.

청구항 12

제 1 항 또는 제 2 항에 있어서,

상기 밀봉층은 수지가 함침된 섬유체들로 형성되는, 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 섬유체들은 탄소 섬유로 형성되는, 반도체 장치.

청구항 14

제 12 항에 있어서,

상기 섬유체들은 직포(woven fabric) 또는 부직포(nonwoven fabric)로 형성되고,

상기 직포는 섬유들의 다발들을 날실들(warp yarns) 및 씨실들(welt yarns)에 사용하여 제직되고, 상기 부직포는 섬유들의 다발들을 랜덤 또는 한 방향으로 퇴적시켜서 형성되는, 반도체 장치.

청구항 15

제 12 항에 있어서,

고열전도성 충전재는 상기 수지 및 상기 섬유체들 중 적어도 하나 내에 분산되는, 반도체 장치.

청구항 16

제 12 항에 있어서,

탄소 입자들은 상기 수지 및 상기 섬유체들 중 적어도 하나 내에 분산되는, 반도체 장치.

청구항 17

제 1 항 또는 제 2 항에 있어서,

상기 제 3 안테나는 부스터 안테나(booster antenna)인, 반도체 장치.

청구항 18

제 1 항 또는 제 2 항에 있어서,

상기 제 1 기능 회로와 상기 제 2 기능 회로는 상기 제 3 안테나가 형성된 기판에 부착되는, 반도체 장치.

청구항 19

제 1 항 또는 제 2 항에 있어서,

상기 제 3 안테나는 상기 제 1 기능 회로와 상기 제 2 기능 회로로부터 전기적으로 절연되는, 반도체 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 무선 통신이 가능한 반도체 장치에 관한 것이다.

배경 기술

[0002] 근년에 들어, 전자계 또는 전파 등의 무선 통신을 이용한 고체 식별 기술이 주목을 받고 있다. 특히, 무선 통신에 의하여 데이터를 교신하는 반도체 장치로서, RFID(Radio Frequency Identification) 태그(예를 들어, 비접촉 IC(Integrated Circuit) 태그, RF 태그, 무선 태그, 전자 태그, 트랜스폰더, 또는 데이터 캐리어 등을 포함함)를 이용한 고체 식별 기술이 주목을 받고 있다. RFID 태그(이하, RFID라고 표기함)를 사용한 개체 식별 기술은 개체의 대상물의 생산, 관리 등에 이용되기 시작하고, 개인 인증에 응용될 것도 기대되고 있다.

[0003] 상술한 바와 같은 RFID 등의 반도체 장치는 외력에 대한 내성을 높이거나 가요성을 얻기 위하여 기능 회로 본체가 수지 등의 밀봉재에 의하여 밀봉된 구조가 사용된다. 그러나, 반도체 장치에 있어서 가요성을 얻기 위하여 수지의 막 두께를 얇게 할 필요가 있는데, 막 두께가 얇으면 외력에 대한 내성을 충분히 높일 수 없어 파괴될 가능성이 높아진다.

[0004] 외력으로 인한 파괴에 대한 대책의 일례로서, 같은 기능을 갖는 회로를 복수 형성하여 용장성(冗長性)을 높이는 구성을 들 수 있다(예를 들어, 특허 문헌 1). 같은 기능을 갖는 회로를 복수 형성함으로써, 외력 등으로 인한 파괴로 복수의 같은 기능을 갖는 회로(이하, 용장 회로라고 표기함) 중 하나의 회로에 있어서 불량

상태가 검출되면, 불량 상태라고 판단된 회로 대신에 다른 어느 회로를 동작시킬 수 있다.

[0005] [특허 문헌 1] 특개2002-083277호 공보

발명의 내용

해결 하고자하는 과제

[0006] RFID 등의 반도체 장치에 있어서, 용장성을 더 높은 구성으로 함으로써 신뢰성을 향상시키는 것을 과제로 한다.

과제 해결수단

[0007] 본 명세서에 개시하는 발명의 일 형태는 서로 같은 기능을 갖고 각각 외부로부터 송신된 전파에 의하여 정상(正常) 상태인지 아닌지가 판정되고 정상 상태라고 판정되었을 때 외부로부터 송신된 전파에 의하여 동작시키는지 아닌지가 제어되는 복수의 기능 회로를 갖고, 기능 회로는 안테나 및 안테나에 전기적으로 접속되고 식별 정보가 기억된 반도체 집적 회로를 갖고, 복수의 기능 회로의 식별 정보는 각각 상이하고, 복수의 기능 회로는 동일한 밀봉층으로 덮이는 반도체 장치이다.

[0008] 반도체 집적 회로는 안테나에 전기적으로 접속된 송수신 회로, 송수신 회로에 전기적으로 접속된 전원 회로, 송수신 회로 및 전원 회로에 전기적으로 접속된 로직 회로를 갖는 구성으로 할 수도 있다.

[0009] 또한, 본 명세서에 개시하는 발명의 일 형태는 서로 같은 기능을 갖고 각각 외부로부터 송신된 전파에 의하여 정상 상태인지 아닌지가 판정되고 정상 상태라고 판정되었을 때 외부로부터 송신된 전파에 의하여 동작시키는지 아닌지가 제어되는 복수의 기능 회로 및 제 1 안테나를 갖고, 기능 회로는 제 1 안테나와 전자 결합됨으로써 전파를 송수신하는 제 2 안테나 및 제 2 안테나에 전기적으로 접속되고 식별 정보가 기억된 반도체 집적 회로를 갖고, 복수의 기능 회로의 식별 정보는 각각 상이하고, 복수의 기능 회로는 동일한 밀봉층으로 덮이는 반도체 장치이다.

[0010] 반도체 집적 회로는 제 2 안테나에 전기적으로 접속된 송수신 회로, 송수신 회로에 전기적으로 접속된 전원 회로, 송수신 회로 및 전원 회로에 전기적으로 접속된 로직 회로를 갖는 구성으로 할 수도 있다.

[0011] 또한, 본 명세서에 개시하는 발명의 일 형태는 서로 같은 기능을 갖고 각각 외부로부터 송신된 전파에 의하여 정상 상태인지 아닌지가 판정되고 정상 상태라고 판정되었을 때 외부로부터 송신된 전파에 의하여 동작시키는지 아닌지가 제어되는 복수의 기능 회로를 갖고, 기능 회로는 안테나 및 반도체 집적 회로를 갖고, 반도체 집적 회로는 안테나에 전기적으로 접속된 송수신 회로, 송수신 회로에 전기적으로 접속된 전원 회로, 송수신 회로 및 전원 회로에 전기적으로 접속되고 식별 정보가 기억된 로직 회로, 전원 회로 및 로직 회로에 전기적으로 접속된 전원 제어 회로, 로직 회로 및 전원 제어 회로에 전기적으로 접속된 판정 회로를 갖고, 복수의 기능 회로의 식별 정보는 각각 상이한 반도체 장치이다.

[0012] 또한, 본 명세서에 개시하는 발명의 일 형태는 서로 같은 기능을 갖고 각각 외부로부터 송신된 전파에 의하여 정상 상태인지 아닌지가 판정되고 정상 상태라고 판정되었을 때 외부로부터 송신된 전파에 의하여 동작시키는지 아닌지가 제어되는 복수의 기능 회로 및 제 1 안테나를 갖고, 기능 회로는 제 1 안테나와 전자 결합됨으로써 전파를 송수신하는 제 2 안테나 및 반도체 집적 회로를 갖고, 반도체 집적 회로는 제 2 안테나에 전기적으로 접속된 송수신 회로, 송수신 회로에 전기적으로 접속된 전원 회로, 송수신 회로 및 전원 회로에 전기적으로 접속되고 식별 정보가 기억된 로직 회로, 전원 회로 및 로직 회로에 전기적으로 접속된 전원 제어 회로, 로직 회로 및 전원 제어 회로에 전기적으로 접속된 판정 회로를 갖고, 복수의 기능 회로의 식별 정보는 각각 상이한 반도체 장치이다.

[0013] 복수의 기능 회로는 동일한 밀봉층으로 덮인 구성으로 할 수도 있다.

[0014] 또한, 본 서류(명세서, 특허 청구 범위, 도면 등)에 있어서, 트랜지스터는 게이트 단자, 소스 단자, 및 드레인 단자의 적어도 3단자를 갖고, 게이트 단자란 게이트 전극의 부분(도전층 및 배선 등을 포함함) 또는 게이트 전극과 전기적으로 접속되는 부분의 일부분을 가리킨다. 또한, 소스 단자란 소스 전극의 부분(도전층 및 배선 등을 포함함)이나 소스 전극과 전기적으로 접속되는 부분의 일부분을 가리킨다. 또한, 드레인 단자란 드레인 전극의 부분(도전층 및 배선 등을 포함함)이나 드레인 전극과 전기적으로 접속되는 부분의 일부분을 가리킨다.

[0015] 또한, 본 서류(명세서, 특허 청구 범위, 도면 등)에 있어서, 트랜지스터는 소스 단자와 드레인 단자는 트랜지스터의 구조나 동작 조건에 따라 바뀌므로, 어느 쪽이 소스 단자 또는 드레인 단자라고 한정하기 어렵다. 그래서, 본 서류(명세서, 특허 청구 범위, 도면 등)에 있어서는, 소스 단자 및 드레인 단자에서 임의로 선택한 한쪽의 단자를 "소스 단자 및 드레인 단자의 한쪽"이라고 표기하고, 다른 쪽의 단자를 "소스 단자 및 드레인 단자의 다른 쪽"이라고 표기한다.

효 과

[0016] 무선 통신이 가능한 반도체 장치에 있어서, 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0017] 본 명세서에 개시하는 발명의 실시형태에 대하여, 도면을 사용하여 이하에 설명한다. 그러나, 본 명세서에 개시하는 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 명세서에 개시하는 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0018] (실시형태 1)

[0019] 본 실시형태에서는 본 명세서에 개시하는 발명의 일 형태로서 반도체 장치에 대하여 설명한다.

[0020] 우선, 본 실시형태에 있어서의 반도체 장치의 회로 구성에 대하여 도 1을 사용하여 설명한다. 도 1은 본 실시형태에 있어서의 반도체 장치의 회로 구성을 도시하는 블록도이다.

[0021] 도 1에 도시하는 바와 같이, 반도체 장치(100)는 복수의 기능 회로(101)를 갖고, 기능 회로(101)는 안테나(102) 및 안테나(102)에 전기적으로 접속된 반도체 집적 회로(103)를 가진다.

[0022] 기능 회로(101)는 안테나(102)에서 수신한 전파(반송파 등)를 사용하여 전원 전압을 생성하고, 전원 전압을 사용하여 안테나(102)에서 수신한 전파의 신호에 있어서의 명령에 따른 동작을 행하는 기능을 가진다. 또한, 복수의 기능 회로(101)는 같은 기능을 갖고 각각 서로 같은 동작을 행할 수 있는 용장 회로로서 기능한다.

[0023] 또한, 복수의 기능 회로(101)는 서로 상이한 식별 정보를 가진다. 상이한 식별 정보는 예를 들어, 각 기능 회로(101)의 위치의 차이, 신호의 송신 또는 수신에 걸리는 시간의 차이, 응답 신호의 주파수의 차이 등을 사용하여 생성할 수 있다.

[0024] 안테나(102)는, 예를 들어, 외부 무선 통신 장치(예를 들어, 리더, 리더/라이터, 질문기 등, 반도체 장치(100)와 무선 통신에 의한 데이터의 송수신이 가능한 장치; 107) 등과 전파의 송수신에 의하여 데이터를 송수신하는 기능을 가진다. 예를 들어, 기능 회로(101)는 기능 회로(101) 내에서 생성된 신호를 전파(108)에 의하여 안테나(102)를 통하여 외부 무선 통신 장치(107)에 송신할 수 있다. 또한, 안테나(102)는 예를 들어, 온칩(on chip) 안테나를 사용함으로써 안테나(102)와 반도체 집적 회로(103)의 접촉 불량을 억제할 수도 있다.

[0025] 또한, 외부 무선 통신 장치(107)와 반도체 장치(100) 사이에서 사용되는 전파의 주파수는 30MHz 이상 5GHz 이하 정도가 바람직하고, 예를 들어, 950MHz, 2.45GHz 등의 주파수 대역을 사용하면 좋다.

[0026] 또한, 안테나(102)에 적용하는 신호의 전송 방식은 주파수에 맞추어, 예를 들어, 전자 결합 방식, 전자 유도 방식 또는 마이크로파 방식 등을 사용할 수 있다. 전송 방법은 적절히 사용 용도를 고려하여 선택하면 좋고, 전송 방식에 따라 최적의 길이나 형상의 안테나를 형성하면 좋다.

[0027] 반도체 집적 회로(103)는 특정의 기능을 얻기 위하여 복수의 반도체 소자를 하나로 통합한 회로이다. 반도체 소자로서는, 예를 들어, 트랜지스터, 다이오드, 저항 소자, 및 용량 소자의 어느 하나 또는 복수 등을 적절히 사용할 수 있다. 또한, 반도체 집적 회로(103)에는 상기 식별 정보가 기억된다.

[0028] 또한, 복수의 기능 회로(101)는 동일한 밀봉층으로 덮이는 것이 바람직하다. 동일한 밀봉층으로 복수의 기능 회로(101)를 덮음으로써, 외부로부터 물 등의 불순물이 혼입되는 것을 억제할 수 있고, 또 외력에 대한 내성을 향상시킬 수 있다. 밀봉층으로서, 예를 들어, 섬유체에 수지가 함침된 재료(예를 들어, 프리프레그(prepreg)) 등을 사용할 수 있다.

[0029] 또한, 반도체 집적 회로(103)는 안테나(102)에 전기적으로 접속된 송수신 회로(104), 송수신 회로(104)에 전기적으로 접속된 전원 회로(105), 송수신 회로(104) 및 전원 회로(105)에 전기적으로 접속된 로직 회로

(106)로 구성된다. 그러나 상기 구성에 한정되지 않고, 예를 들어, 다른 회로를 추가한 구성을 사용할 수도 있다.

[0030] 송수신 회로(104)는 안테나(102)에서 수신한 전파를 기초로 신호를 생성하고 전원 회로(105) 및 로직 회로(106)에 출력하는 기능을 가진다. 송수신 회로(104)는, 예를 들어, 정류 회로, 변조 회로, 복조 회로 등으로 구성할 수 있다.

[0031] 전원 회로(105)는 송수신 회로(104)에서 생성된 신호를 기초로 전원 전압을 생성하는 기능을 가진다. 생성된 전원 전압은 로직 회로(106)에 출력된다.

[0032] 로직 회로(106)는 전원 회로(105)로부터 전원 전압이 공급됨으로써, 안테나(102)에서 수신한 전파의 신호에 있어서의 명령의 내용에 따라, 소정의 동작을 행하는 기능을 가진다. 로직 회로(106)에는 기억 회로가 형성되고, 기억 회로에는 안테나(102)에서 수신한 전파의 신호에 있어서의 명령에 따른 동작을 행하기 위한 데이터(식별 정보 등)가 기록된다.

[0033] 또한, 도 1에 있어서, 복수의 기능 회로로서 기능 회로를 4개 형성하는 구성에 대하여 설명하지만, 이것에 한정되지 않는다. 적어도 2개 이상의 기능 회로를 가지면 복수의 기능 회로로 할 수 있고, 예를 들어, 기능 회로를 4개 이상 형성할 수도 있다.

[0034] 또한, 본 실시형태에 있어서, 기능 회로에 형성된 안테나와는 별도로 부스터 안테나를 반도체 장치에 형성할 수도 있다. 부스터 안테나를 형성한 반도체 장치의 구성에 대하여 도 2를 사용하여 설명한다. 도 2는 본 실시형태에 있어서의 반도체 장치의 다른 구성을 도시하는 블록도이다.

[0035] 도 2에 도시하는 본 실시형태에 있어서의 반도체 장치(200)는 복수의 기능 회로(201) 및 제 1 안테나(202)를 갖고, 기능 회로(201)는 제 2 안테나(203) 및 제 2 안테나(203)에 전기적으로 접속된 반도체 집적 회로(204)를 가진다.

[0036] 또한, 반도체 집적 회로(204)는 제 2 안테나(203)에 전기적으로 접속된 송수신 회로(205), 송수신 회로(205)에 전기적으로 접속된 전원 회로(206), 송수신 회로(205) 및 전원 회로(206)에 전기적으로 접속된 로직 회로(207)로 구성된다.

[0037] 반도체 집적 회로(204)는 도 1에 있어서의 반도체 집적 회로(103)에 상당하고, 구성 및 기능에 대해서는 도 1의 반도체 집적 회로(103)의 설명을 원용한다.

[0038] 또한, 송수신 회로(205), 전원 회로(206), 로직 회로(207)는 각각 도 1에 있어서의 송수신 회로(104), 전원 회로(105), 로직 회로(106)에 상당한다. 각각의 회로의 기능에 대해서는 송수신 회로(104), 전원 회로(105), 로직 회로(106)의 설명을 원용한다.

[0039] 제 2 안테나(203)는 도 1에 있어서의 안테나(102)에 상당한다. 또한, 제 1 안테나(202)는 부스터 안테나라고도 불리고, 제 2 안테나(203)와 자계 결합함으로써 신호를 송수신할 수 있다. 또한, 제 1 안테나(202)는, 예를 들어, 외부 무선 통신 장치(208) 등과 전파(209)를 송수신함으로써, 데이터의 송수신을 행하는 기능을 가진다. 예를 들어, 외부 무선 통신 장치(208)로부터 제 1 안테나(202)에 전파가 송신되면 제 1 안테나(202) 내에 교류의 전류가 흐르고, 제 1 안테나(202)의 주위에 자계가 발생한다. 그리고, 제 1 안테나(202)와 제 2 안테나(203)가 자계 결합함으로써, 제 2 안테나(203)에 유도 기전력이 발생된다. 기능 회로(201)는 유도 기전력을 사용함으로써 동작하고, 제 1 안테나(202)를 통하여 전파(209)의 송수신을 행할 수 있다. 또한, 기능 회로(201)로부터 외부 무선 통신 장치(208)에 신호를 전파로서 송신하는 경우에는, 기능 회로(201) 내에서 생성된 신호에 따라 제 2 안테나(203)에 전류를 흘려 자계 결합시킨다. 자계 결합시킨 제 1 안테나(202)에는 유도 기전력이 발생되고, 제 1 안테나(202)를 통하여 외부 무선 통신 장치(208)에 전파(209)가 송신된다.

[0040] 상술한 바와 같이, 기능 회로에 형성된 안테나와는 별도로 부스터 안테나를 형성한 구성을 사용함으로써, 수신이 가능한 전파의 주파수 대역이 한정되지 않아 통신 거리를 늘릴 수 있다.

[0041] 본 실시형태에 있어서의 반도체 장치는 복수의 기능 회로의 각각에 있어서, 정상 상태인지 아닌지가 판정된다.

[0042] 다음에, 복수의 기능 회로의 선택 동작에 대하여 설명한다. 또한, 여기서는 예로서 반도체 장치의 구성에 도 1의 구성을 사용하여 설명한다.

- [0043] 기능 회로의 선택 동작으로서는 전원 회로(105)에 있어서, 정상 상태 또는 불량 상태의 판정(이하, 판정 처리라고 표기함)을 행한다. 전원 회로(105)에 있어서의 판정 처리에 대하여 도 3을 사용하여 설명한다. 도 3은 본 명세서에 개시하는 발명의 일 형태의 반도체 장치에 있어서의 기능 회로의 선택 동작을 도시하는 플로우 차트이다.
- [0044] 도 3에 도시하는 바와 같이, 시작한 후 우선 제 1 단계(도 3의 S1)로서 외부 무선 통신 장치(107)로부터 전파가 복수의 기능 회로에 송신된다.
- [0045] 다음에 제 2 단계(도 3의 S2)로서 각 기능 회로(101)가 동작하는지 아닌지를 판정함으로써 전원 회로(105)의 판정 처리가 행해진다. 동작한(Yes인) 기능 회로(101)는 안테나(102)를 통하여 응답 신호에 따른 전파를 외부 무선 통신 장치(107)에 송신한다. 응답 신호에 따른 전파를 외부 무선 통신 장치(107)에 송신한 기능 회로(101)는 정상 상태라고 판정된다. 또한, 동작하지 않는(No인) 기능 회로(101)는 응답 신호가 생성되지 않으므로, 외부 무선 통신 장치(107)에 전파가 송신되지 않고, 불량 상태라고 판정된다. 정상 상태라고 판정된 기능 회로(101)는 판정 처리 후에도 기능 회로로서 외부 무선 통신 장치(107)와 데이터의 송수신을 행하고, 불량 상태라고 판정된 기능 회로(101)는 판정 처리 후에는 외부 무선 통신 장치(107)로부터 전파를 송신하지 않도록 한다. 상술한 공정으로 선택 동작은 종료된다.
- [0046] 또한, 복수의 기능 회로(101)는 충돌 방지 기능(안티콜리전(anti-collision) 기능)을 가짐으로써, 외부 무선 통신 장치(107)로부터 수신한 전파에 대하여 각 기능 회로(101)가 각각 상이한 타이밍에서 응답할 수 있는 것이 바람직하다. 예를 들어, 기능 회로(101)마다 상이한 식별 정보를 갖는 경우에는, 식별 정보에 의거하여 응답시키는 기능 회로(101)를 선택할 수 있으므로, 각 기능 회로(101)는 상이한 타이밍에서 응답할 수 있다.
- [0047] 또한, 판정 처리에 의하여 정상 상태라고 판정된 기능 회로(101)가 복수 있는 경우에는 외부 무선 통신 장치(107)로부터 기능 회로(101)에 전파를 송신하고, 정상 상태의 기능 회로(101)의 어느 하나만을 동작시키고, 다른 정상 상태의 기능 회로를 정지시키는 것이 바람직하다.
- [0048] 상술한 바와 같이, 본 실시형태의 반도체 장치는 기능 회로를 복수 형성함으로써, 어느 하나의 기능 회로만이라도 정상 상태라면 반도체 장치를 동작시킬 수 있으므로, 신뢰성을 향상시킬 수 있다.
- [0049] 또한, 본 실시형태의 반도체 장치는 정상 상태의 기능 회로의 어느 것을 선택하여 사용할 수 있다. 따라서, 예를 들어, 출하하기 전에 상기 판정 동작을 행하여 불량 상태의 기능 회로를 미리 파악하고, 정상 상태의 기능 회로만을 사용할 수 있다.
- [0050] (실시형태 2)
- [0051] 본 실시형태에서는 본 명세서에 개시하는 발명의 일 형태인 반도체 장치의 다른 구성에 대하여 설명한다.
- [0052] 우선, 본 명세서에 개시하는 발명의 일 형태인 반도체 장치의 기능 회로의 구성에 대하여 도 4를 사용하여 설명한다. 도 4는 본 실시형태의 기능 회로의 구성을 도시하는 블록도이다.
- [0053] 도 4에 도시하는 바와 같이, 본 실시형태의 반도체 장치(300)는 복수의 기능 회로(301)를 갖고, 기능 회로(301)는 안테나(302), 안테나(302)에 전기적으로 접속된 반도체 집적 회로(303)를 가진다.
- [0054] 기능 회로(301)는 안테나(302)에서 수신한 전파(반송파 등)를 사용하여 전원 전압을 생성하고, 전원 전압을 사용하여 안테나(302)에서 수신한 전파의 신호에 있어서의 명령에 따라 동작을 행하는 기능을 가진다. 또한, 복수의 기능 회로(301)는 같은 기능을 갖고, 각각 서로 동등한 동작을 행할 수 있는 용장 회로로서 기능한다.
- [0055] 또한, 복수의 기능 회로(301)는 서로 상이한 식별 정보를 가진다. 상이한 식별 정보는, 예를 들어, 각 기능 회로(301)의 위치의 차이, 신호의 송신 또는 수신에 걸리는 시간의 차이, 응답 신호의 주파수 등의 차이를 사용하여 생성할 수 있다.
- [0056] 안테나(302)는, 예를 들어, 외부 무선 통신 장치(309) 등과 전파의 송수신에 의하여 데이터를 송수신하는 기능을 가진다. 예를 들어, 기능 회로(301)는 기능 회로(301) 내에서 생성된 신호를 전파(310)에 의하여 안테나(302)를 통하여 외부 무선 통신 장치(309)에 송신할 수 있다. 또한, 안테나(302)는, 예를 들어, 온칩 안테나를 사용함으로써 안테나와 반도체 집적 회로의 접촉 불량을 억제할 수도 있다.
- [0057] 또한, 외부 무선 통신 장치(309)와 반도체 장치(300) 사이에서 사용되는 전파의 주파수는 30MHz 이상

5GHz 이하 정도가 바람직하고, 예를 들어, 950MHz, 2.45GHz 등의 주파수 대역을 사용하면 좋다.

[0058] 또한, 안테나(302)에 적용하는 신호의 전송 방식은 주파수에 맞추어, 예를 들어, 전자 결합 방식, 전자 유도 방식 또는 마이크로파 방식 등을 사용할 수 있다. 전송 방식은 적절히 사용 용도를 고려하여 선택하면 좋고, 전송 방식에 따라 최적의 길이나 형상의 안테나를 형성하면 좋다.

[0059] 반도체 집적 회로(303)는 특정의 기능을 얻기 위하여 복수의 반도체 소자를 하나로 통합한 회로이다. 반도체 소자로서는, 예를 들어, 트랜지스터, 다이오드, 저항 소자, 용량 소자의 어느 하나 또는 복수 등을 적절히 사용할 수 있다.

[0060] 또한, 복수의 기능 회로(301)는 동일한 밀봉층으로 덮이는 것이 바람직하다. 동일한 밀봉층으로 덮음으로써, 외부로부터 물 등의 불순물이 혼입되는 것을 억제할 수 있고, 또 외력에 대한 내성을 향상시킬 수 있다. 밀봉층으로서, 예를 들어, 섬유체에 수지가 함침된 재료(예를 들어, 프리프레그) 등을 사용할 수 있다.

[0061] 또한, 반도체 집적 회로(303)는 안테나(302)에 전기적으로 접속된 송수신 회로(304), 송수신 회로(304)에 전기적으로 접속된 전원 회로(305) 및 로직 회로(306), 전원 회로(305) 및 로직 회로(306)에 전기적으로 접속된 전원 제어 회로(307), 전원 제어 회로(307)에 전기적으로 접속된 판정 회로(308)로 구성된다. 다만, 상기 구성에 한정되지 않고, 예를 들어, 다른 회로를 추가한 구성을 사용할 수도 있다.

[0062] 송수신 회로(304)는 안테나(302)에서 수신한 전파를 기초로 신호를 생성하고, 전원 회로(305) 및 로직 회로(306)에 출력하는 기능을 가진다. 송수신 회로(304)는, 예를 들어, 전류 회로, 변조 회로, 복조 회로 등으로 구성된다.

[0063] 전원 회로(305)는 송수신 회로(304)에서 생성된 신호를 기초로 전원 전압을 생성하는 기능을 가진다. 생성된 전원 전압은 로직 회로(306)에 출력된다.

[0064] 로직 회로(306)는 전원 회로(305)로부터 전원 전압이 공급됨으로써, 안테나(302)에서 수신한 전파의 신호에 있어서의 명령에 따라 소정 동작을 행하는 기능을 가진다. 로직 회로(306)에는 기억 회로가 형성되고 안테나(302)에서 수신한 전파의 신호에 있어서의 명령에 따른 동작을 행하기 위한 데이터(식별 정보 등)가 기록된다.

[0065] 전원 제어 회로(307)는 전원 회로(305)를 동작시키는지 아닌지를 제어하는 기능을 가진다.

[0066] 판정 회로(308)는 적어도 기억 회로를 갖고, 로직 회로(306)가 정상적으로 동작하는지 아닌지에 따라, 기억 회로에 하이(high) 또는 로우(low)의 데이터가 기록된다. 또한, 본 명세서에 있어서 "로우"란, 접지 전위 또는 접지 전위와 동등한 저(低)전위 상태를 가리키고, "하이"란 로우보다 고(高)전위 상태를 가리키고, 임의의 값으로 설정할 수 있는 것으로 한다.

[0067] 로직 회로(306) 및 판정 회로(308)의 기억 회로로서는, 예를 들어, 불휘발성 메모리 또는 휘발성 메모리 등을 사용할 수 있다. 예를 들어, DRAM(Dynamic Random Access Memory), SRAM(Static Random Access Memory), FeRAM, 마스크 ROM(Read Only Memory), EPROM(Electrically Programmable Read Only Memory), EEPROM(Electrically Erasable and Programmable Read Only Memory), 플래시 메모리, 유기 메모리, 무기 메모리 등을 사용할 수 있다. 예를 들어, 데이터의 재기록이 불가능한 메모리를 사용하면, 출하한 후에도 기록된 하이 또는 로우 데이터를 유지할 수 있다. 또한, 데이터의 재기록이 가능한 메모리를 사용하면, 출하한 후에도 기능 회로의 불량 판정을 행하여 이미 기록된 하이 또는 로우 데이터를 기록할 수 있다.

[0068] 본 실시형태의 반도체 장치는 상기 구성의 복수의 기능 회로(301)의 각각이 정상 상태인지 아닌지가 판정되고, 판정된 복수의 기능 회로(301) 중 정상 상태의 기능 회로(301)의 어느 하나는 판정된 후에도 외부 무선 통신 장치(309)와 데이터를 송수신한다.

[0069] 또한, 본 실시형태의 반도체 장치의 구체적인 구성에 대하여 도 5를 사용하여 설명한다. 도 5는 본 실시형태의 반도체 장치에 있어서의 기능 회로의 구성을 도시하는 도면이다.

[0070] 도 5에 도시하는 바와 같이, 본 실시형태의 반도체 장치에 있어서의 기능 회로(301)는 안테나(302), 안테나(302)에 전기적으로 접속된 송수신 회로(304), 송수신 회로(304)에 전기적으로 접속된 전원 회로(305) 및 로직 회로(306), 전원 회로(305) 및 로직 회로(306)에 전기적으로 접속된 전원 제어 회로(307), 전원 제어 회로(307)에 전기적으로 접속된 판정 회로(308)를 가진다.

- [0071] 안테나(302), 송수신 회로(304), 로직 회로(306), 및 판정 회로(308)는 도 4와 같은 구성 또는 기능을 가진다.
- [0072] 전원 회로(305)는 트랜지스터(315), 트랜지스터(310), 트랜지스터(311), 저항 소자(312), 트랜지스터(313)를 가진다.
- [0073] 트랜지스터(315)는 게이트 단자, 소스 단자, 드레인 단자를 갖고, 게이트 단자가 소스 단자 및 드레인 단자의 한쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 송수신 회로(304)에 전기적으로 접속된다.
- [0074] 트랜지스터(310)는 게이트 단자가 트랜지스터(315)의 게이트 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 송수신 회로(304)에 전기적으로 접속된다.
- [0075] 트랜지스터(311)는 게이트 단자가 트랜지스터(310)의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 트랜지스터(315)의 소스 단자 및 드레인 단자의 한쪽에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 로직 회로(306) 및 전원 제어 회로(307)에 전기적으로 접속된다.
- [0076] 저항 소자(312)는 한쪽의 단자가 트랜지스터(311)의 소스 단자 및 드레인 단자의 다른 쪽에 전기적으로 접속되고 다른 쪽의 단자는 접지된다.
- [0077] 트랜지스터(313)는 게이트 단자가 로직 회로(306), 전원 제어 회로(307), 트랜지스터(311)의 소스 단자 및 드레인 단자의 다른 쪽, 및 저항 소자(312)의 한쪽의 단자에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 접지되고, 소스 단자 및 드레인 단자의 다른 쪽이 트랜지스터(310)의 소스 단자 및 드레인 단자의 다른 쪽 또는 트랜지스터(311)의 게이트 단자에 전기적으로 접속된다.
- [0078] 또한, 도 5에 있어서, 트랜지스터(315) 및 트랜지스터(310)는 P형 트랜지스터이고, 트랜지스터(311) 및 트랜지스터(313)는 N형 트랜지스터이지만, 이것에 한정되지 않고, 도 5에 도시한 전원 회로(305)와 같은 동작을 행할 수 있으면, 각 트랜지스터에 있어서 상이한 도전형의 트랜지스터를 적용할 수도 있다. 또한, 전원 회로(305)는 도 5에 도시한 구성에 한정되지 않고, 예를 들어, 다른 소자 등을 사용하여 구성할 수도 있다.
- [0079] 전원 제어 회로(307)는 게이트 단자, 소스 단자, 드레인 단자를 갖는 트랜지스터(314)를 갖고, 트랜지스터(314)는 게이트 단자가 판정 회로(308)에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 한쪽이 전원 회로(305) 및 로직 회로(306)에 전기적으로 접속되고, 소스 단자 및 드레인 단자의 다른 쪽이 접지된다. 또한, 전원 제어 회로(307)는 도 5에 도시한 구성에 한정되지 않고, 다른 소자를 사용하여 구성할 수도 있다.
- [0080] 또한, 본 실시형태에 있어서, 기능 회로에 형성된 안테나와는 별도로 부스터 안테나를 반도체 장치에 형성할 수도 있다. 부스터 안테나를 형성한 반도체 장치의 구성예에 대하여 도 6을 사용하여 설명한다. 도 6은 본 실시형태에 있어서의 반도체 장치의 다른 구성을 도시하는 블록도이다.
- [0081] 도 6에 도시하는 본 실시형태에 있어서의 반도체 장치(400)는 복수의 기능 회로(401), 제 1 안테나(402)를 갖고, 기능 회로(401)는 제 2 안테나(403), 제 2 안테나(403)에 전기적으로 접속된 반도체 집적 회로(404)를 가진다.
- [0082] 또한, 반도체 집적 회로(404)는 제 2 안테나(403)에 전기적으로 접속된 송수신 회로(405), 송수신 회로(405)에 전기적으로 접속된 전원 회로(406) 및 로직 회로(407), 전원 회로(406) 및 로직 회로(407)에 전기적으로 접속된 전원 제어 회로(408), 로직 회로(407) 및 전원 제어 회로(408)에 전기적으로 접속된 판정 회로(409)로 구성된다.
- [0083] 반도체 집적 회로(404)는 도 4에 있어서의 반도체 집적 회로(303)에 상당하고, 구성 및 기능에 대해서는 반도체 집적 회로(303)의 설명을 원용한다.
- [0084] 또한, 송수신 회로(405), 전원 회로(406), 로직 회로(407), 전원 제어 회로(408), 판정 회로(409)는 각각 도 4에 있어서의 송수신 회로(304), 전원 회로(305), 로직 회로(306), 전원 제어 회로(307), 판정 회로(308)에 상당한다. 각각의 회로의 기능에 대해서는 송수신 회로(304), 전원 회로(305), 로직 회로(306), 전원 제어 회로(307), 판정 회로(308)에 있어서의 설명을 원용한다.
- [0085] 제 2 안테나(403)는 도 4에 있어서의 안테나(302)에 상당한다. 또한, 제 1 안테나(402)는 부스터 안테나라고도 불리고, 제 2 안테나(403)와 자계 결합함으로써 신호를 송수신할 수 있다. 또한, 제 1

안테나(402)는, 예를 들어, 외부 무선 통신 장치(410) 등과 전파(411)를 송수신함으로써 데이터를 송수신하는 기능을 가진다. 예를 들어, 외부 무선 통신 장치(410)로부터 제 1 안테나(402)에 전파가 송신되면 제 1 안테나(402) 내에 교류의 전류가 생기고, 제 1 안테나(402)의 주위에 자계가 발생한다. 그리고, 제 1 안테나(402)와 제 2 안테나(403)가 자계 결합함으로써 제 2 안테나(403)에 유도 기전력이 발생된다. 기능 회로(401)는 유도 기전력을 사용함으로써 동작하고, 제 1 안테나(402)를 통하여 전파(411)를 송수신할 수 있다. 또한, 기능 회로(401)로부터 외부 무선 통신 장치(410)에 전파를 송신하는 경우에는, 기능 회로(401) 내에서 생성된 신호에 따라 제 2 안테나(403)에 전류를 흘려 자계 결합시킨다. 자계 결합시킨 제 1 안테나(402)에는 유도 기전력이 발생되고, 제 1 안테나(402)를 통하여 외부 무선 통신 장치(410)에 전파가 송신된다.

[0086] 상술한 바와 같이, 본 실시형태의 반도체 장치는 기능 회로에 형성된 안테나와는 별도로 반도체 장치에 부스터 안테나를 형성한 구성을 사용함으로써, 수신 가능한 전파의 주파수 대역이 한정되지 않아 통신 거리를 늘릴 수 있다.

[0087] 다음에, 본 실시형태의 반도체 장치에 있어서의 기능 회로의 선택 동작에 대하여 설명한다. 여기서는 예로서, 반도체 장치의 구성을 도 4에 도시하는 구성, 또 기능 회로(301)의 구성을 도 5에 도시하는 구성으로서 사용하여 설명한다.

[0088] 기능 회로의 선택 동작으로서는 상기 실시형태 1에 제시하는 기능 회로의 선택 동작과 같기 때문에 도 3에 도시하는 플로우 차트를 적절히 원용하여 설명한다. 우선 전원 회로(305)에 있어서의 판정 처리를 행함으로써 각 기능 회로(301)에 있어서 정상 상태인지 아닌지를 판정한다.

[0089] 또한, 이 때, 복수의 기능 회로(301)는 충돌 방지 기능(안티콜리전 기능)을 갖고, 외부 무선 통신 장치(309)로부터의 전파의 수신에 대하여 각 기능 회로(301)가 각각 상이한 타이밍에서 응답하는 것이 바람직하다. 예를 들어, 기능 회로(301)마다 상이한 식별 정보를 갖는 경우에는 식별 정보에 의거하여 응답하는 기능 회로를 선택할 수 있으므로, 각 기능 회로(301)는 상이한 타이밍에서 응답할 수 있다.

[0090] 다음에, 로직 회로(306)가 정상 상태인지 아닌지의 판정 처리를 행한다.

[0091] 로직 회로(306)에 있어서의 판정 처리에 대하여 도 7을 사용하여 설명한다. 도 7은 본 실시형태의 반도체 장치에 있어서의 로직 회로의 판정 처리를 도시하는 플로우 차트이다.

[0092] 도 7에 도시하는 바와 같이, 시작한 후 우선 제 1 단계(도 7의 S1)로서 판정 처리를 행한다. 판정 처리의 구체적인 방법에 대하여 이하에 설명한다.

[0093] 예를 들어, 임의로 선택된 기능 회로(301)의 로직 회로(306)에 있어서 판정 처리가 행해진 경우, 정상 상태의 경우에는, 판정 회로(308)의 기억 회로에 정상을 나타내는 데이터(본 실시형태에서는 "하이"라고 함)가 기록되고, 불량인 경우에는 판정 회로(308)의 기억 회로에 불량을 나타내는 데이터(본 실시형태에서는 "로우"라고 함)가 기록된다.

[0094] 또한, 이 때의 판정 처리 방법으로는 전원 회로(305)가 정상 상태라면, 외부 무선 통신 장치 등으로부터 전파를 기능 회로(301)에 송신하여 로직 회로(306)가 동작하는지 아닌지를 판정하는 방법 등을 사용할 수 있다. 또한, 출하하기 전의 단계 등의 경우에는, 예를 들어, 프로버(prober) 등을 사용하여 외부로부터 로직 회로(306)에 전원 전압을 인가하여 로직 회로(306)가 동작하는지 아닌지를 판정하는 방법 등을 사용할 수도 있다.

[0095] 판정 회로(308)의 기억 회로에 불량을 나타내는 데이터가 기록되면, 전원 제어 회로(307)의 트랜지스터(314)가 온 상태가 되고 트랜지스터(314)를 통하여 전원 회로(305)에 접지 전위가 인가되기 때문에, 전원 회로(305)는 정지되고 전원 전압이 생성되지 않게 된다. 이로써, 기능 회로(301)는 동작할 수 없게 된다.

[0096] 상술한 바와 같이, 복수의 기능 회로(301) 중, 선택된 어느 기능 회로(301)에 있어서 불량 상태라고 판단되면, 아직 선택되지 않은 다른 기능 회로(301)에 있어서 상술한 것과 같은 판정 처리가 행해진다. 이로써, 예를 들어, 하나의 기능 회로(301)에 있어서, 전원 회로(305)가 정상 상태라고 판정되면서 로직 회로(306)가 불량 상태라고 판정된 경우에 기능 회로(301)를 정지시킬 수 있기 때문에, 불량 상태라고 판정된 로직 회로(306)를 갖는 기능 회로(301)의 오동작을 방지할 수 있다.

[0097] 또한, 제 2 단계(도 7의 S2)로서 로직 회로(306)에서의 판정 처리로 정상 상태라고 판정된 기능 회로(301)의 개수에 따라 제 1 기록 처리 내지 제 5 기록 처리의 어느 하나의 기록 처리가 행해진다. 각각의 기록

처리에 대하여 이하에 설명한다.

- [0098] 정상 상태라고 판정된 기능 회로(301)의 개수가 1인 경우, 제 1 기록 처리로서 정상 상태라고 판정된 기능 회로(301)의 판정 회로(308)의 기억 회로에 정상을 나타내는 데이터가 기록된다. 정상적인 데이터가 기록된 기능 회로(301)는 판정 처리한 후에도 외부(외부 무선 통신 장치(309) 등)와 데이터를 송수신한다.
- [0099] 정상 상태라고 판정된 기능 회로(301)의 개수가 2인 경우, 제 2 기록 처리로서, 정상 상태라고 판정된 2개의 기능 회로(301) 중 어느 한쪽의 기능 회로(301)의 판정 회로(308)의 기억 회로에 정상을 나타내는 데이터가 기록되고, 어느 다른 쪽의 기능 회로(301)의 판정 회로(308)의 기억 회로에 정지를 나타내는 데이터(본 실시 형태에서는 "로우"라고 함)가 기록된다. 정지를 나타내는 데이터가 기록된 기능 회로(301)는 정지 상태가 되고, 정상을 나타내는 데이터가 기록된 기능 회로(301)만이 판정 처리된 후에도 외부(외부 무선 통신 장치(309) 등)와 데이터를 송수신한다.
- [0100] 정상 상태라고 판정된 기능 회로(301)의 개수가 3인 경우, 제 3 기록 처리로서 정상 상태라고 판정된 3개의 기능 회로(301) 중 어느 하나의 기능 회로(301)의 판정 회로(308)의 기억 회로에 정상을 나타내는 데이터가 기록되고, 그 외의 기능 회로(301)의 판정 회로(308)의 기억 회로에 정지를 나타내는 데이터(본 실시 형태에서는 "로우"라고 함)가 기록된다. 정지를 나타내는 데이터가 기록된 기능 회로(301)는 정지 상태가 되고, 정상을 나타내는 데이터가 기록된 기능 회로(301)만이 판정 처리 후에도 외부(외부 무선 통신 장치(309))와 데이터를 송수신한다.
- [0101] 정상 상태라고 판정된 기능 회로(301)의 개수가 4인 경우, 제 4 기록 처리로서 정상 상태라고 판정된 4개의 기능 회로(301) 중 어느 하나의 기능 회로(301)의 판정 회로(308)의 기억 회로에 정상을 나타내는 데이터가 기록되고, 그 외의 기능 회로(301)의 판정 회로(308)의 기억 회로에 정지를 나타내는 데이터(본 실시 형태에서는 "로우"라고 함)가 기록된다. 정지를 나타내는 데이터가 기록된 기능 회로(301)는 정지 상태가 되고, 정상을 나타내는 데이터가 기록된 기능 회로(301)만이 판정 처리 후에도 외부(외부 무선 통신 장치(309) 등)와 데이터의 송수신을 행한다.
- [0102] 또한, 본 실시형태에 있어서, 정상을 나타내는 데이터를 로우로 하고, 이상 및 정지를 나타내는 데이터를 하이로 하여도 좋다. 또한, 하이 및 로우 외의 전위의 상태를 사용하여 정상, 이상, 정지를 나타내는 데이터로 하여도 좋다.
- [0103] 정상 상태라고 판정된 기능 회로(301)의 개수가 0인 경우, 제 5 기록 처리로서 모든 기능 회로(301)에 있어서의 판정 회로(308)의 기억 회로에 불량을 나타내는 데이터가 기록된다. 이 때, 복수의 기능 회로(301) 중 마지막으로 판정되는 기능 회로(301)에 대해서는 판정 처리를 행하지 않아도 좋다.
- [0104] 상기 복수의 기록 처리 중 어느 하나가 행해짐으로써 선택 동작이 종료된다.
- [0105] 상술한 바와 같이, 본 실시형태의 반도체 장치는 기능 회로를 복수 형성함으로써 어느 하나의 기능 회로만이라도 정상 상태라면 동작할 수 있으므로, 신뢰성을 향상시킬 수 있다.
- [0106] 또한, 본 실시형태의 반도체 장치는 각 기능 회로에 있어서, 판정 처리에 의한 선택 동작을 행함으로써 정상 상태의 기능 회로를 선택하여 사용할 수 있다. 따라서, 예를 들어, 출하하기 전 등에 상기 판정 동작을 행함으로써 불량 상태의 기능 회로를 미리 파악하고 정상 상태의 기능 회로만을 사용할 수가 있다. 또한, 정상 상태의 기능 회로가 복수 있는 경우, 정상 상태의 기능 회로의 어느 하나를 선택하여 사용할 수도 있으므로, 소비 전력을 저감할 수도 있다.
- [0107] (실시형태 3)
- [0108] 본 실시형태에서는 본 명세서에 개시하는 발명의 일 형태의 반도체 장치의 구조의 일례에 대하여 설명한다.
- [0109] 우선, 본 실시형태에 있어서의 반도체 장치의 구조의 일례에 대하여 도 8a 및 도 8b를 사용하여 설명한다. 도 8a 및 도 8b는 본 실시형태에 있어서의 반도체 장치의 구조의 일례를 도시하는 사시도이다.
- [0110] 도 8a에 도시하는 바와 같이, 본 실시형태에 있어서의 반도체 장치는 밀봉층(500), 밀봉층(501), 밀봉층(500) 및 밀봉층(501)으로 덮인 복수의 기능 회로(502; 점선 부분)를 가진다.
- [0111] 또한, 도 8b는 편의상 도 8a의 복수의 기능 회로(502)를 실선으로 도시하고, 밀봉층(500)을 점선으로 도시한 도면이다. 도 8b에 도시하는 바와 같이, 밀봉층(500; 점선 부분) 및 밀봉층(501)으로 덮인 복수의 기능

회로(502)는 기능 회로(502) 위에 형성된 안테나(503)를 가진다.

[0112] 다음에, 본 실시형태에 있어서의 반도체 장치의 단면 구조에 대하여 도 9를 사용하여 설명한다. 도 9는 도 8b의 선분A-B의 단면도이다.

[0113] 도 9에 도시하는 바와 같이, 본 실시형태에 있어서의 반도체 장치는 밀봉층(500), 밀봉층(500) 위에 형성된 박리층(504), 박리층(504) 위에 형성된 반도체 소자층(505), 반도체 소자층(505) 위에 형성되고 개구부를 갖는 제 1 절연층(506) 및 제 2 절연층(507), 일부가 개구부를 통하여 반도체 소자층(505)에 접하도록 형성된 도전층(508), 도전층(508) 및 제 2 절연층(507)을 덮도록 형성된 제 3 절연층(509), 제 3 절연층(509) 위에 형성된 밀봉층(501)을 갖는 복수의 기능 회로(502)를 가진다.

[0114] 밀봉층(500)은 제 1 밀봉층이고, 밀봉층(501)은 제 2 밀봉층이다. 밀봉층(500) 및 밀봉층(501)은 단부에서 접하고, 박리층(504), 반도체 소자층(505), 제 1 절연층(506), 제 2 절연층(507), 도전층(508), 및 제 3 절연층(509)이 밀봉층(500) 및 밀봉층(501)으로 이루어지는 하나의 밀봉층으로 덮인다. 밀봉층(500) 및 밀봉층(501)으로서는, 예를 들어, 도 9에 도시하는 바와 같이, 섬유체(510) 등에 수지를 함침시킨 재료(예를 들어, 프리프레그) 등을 적용할 수 있다. 이 때, 섬유체(510)는 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용한 직포 또는 부직포이다. 고강도 섬유로서는 구체적으로는 인장 탄성률이 높은 섬유, 또는 영률(Young's modulus)이 높은 섬유이다. 고강도 섬유의 대표적인 예로서는 폴리비닐알콜계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유가 있다. 유리 섬유로서는, E 유리, S 유리, D 유리, Q 유리 등을 사용한 유리 섬유를 사용할 수 있다. 또한, 섬유체(510)는 1종류의 상기 고강도 섬유로 형성되어도 좋다. 또한, 복수의 상기 고강도 섬유로 형성되어도 좋다.

[0115] 또한, 섬유체(510)로서 탄소 섬유를 사용하여 섬유체(510)에 도전성을 가지게 하면 정전 파괴를 억제할 수 있다.

[0116] 또한, 섬유체(510)는 섬유(단사)의 다발(이하, 사속(絲束)이라고 함)을 날실 및 씨실에 사용하여 제작한 직포, 또는 복수종의 섬유의 사속을 랜덤 또는 한 방향으로 퇴적시킨 부직포로 구성되어도 좋다. 직포의 경우, 평직, 능직, 수자직(satin-woven fabric) 등을 적절하게 사용할 수 있다.

[0117] 사속의 단면은 원형이거나 타원형이어도 좋다. 섬유 사속으로서, 고압 수류, 액체를 매체로 한 고주파의 진동, 연속 초음파의 진동, 롤(roll)을 사용한 프레스(press) 등에 의하여, 개섬(開纖) 가공을 한 섬유 사속을 사용하여도 좋다. 개섬 가공을 한 섬유 사속은 사속 폭이 넓어지고, 두께 방향의 단사 수를 삭감할 수 있고, 사속의 단면이 타원 형상 또는 평판 형상이 된다. 또한, 섬유 사속으로서 저연사(低燃絲)를 사용함으로써 사속이 편평화(扁平化)되기 쉽고, 사속의 단면 형상이 타원 형상 또는 평판 형상이 된다. 이와 같이, 단면이 타원 형상 또는 평판 형상의 사속을 사용함으로써, 섬유체(510)의 두께를 얇게 할 수 있다. 따라서, 밀봉층(500) 및 밀봉층(501)의 두께를 얇게 할 수 있어, 박형의 반도체 장치를 제작할 수 있다. 섬유의 사속 직경은 4 μ m 이상 400 μ m 이하, 더 바람직하게는 4 μ m 이상 200 μ m 이하이면 좋고, 또한, 섬유의 굵기는, 4 μ m 이상 20 μ m 이하이면 좋지만, 섬유의 재료에 따라 더 얇게 할 수도 있고, 섬유의 재료의 종류에 따라 적절히 설정할 수 있다.

[0118] 섬유체(510)의 섬유 사속을 날실 및 씨실에 사용하여 제작한 직포의 상면도를 도 10a 및 도 10b에 도시한다.

[0119] 도 10a에 도시하는 바와 같이, 섬유체(510)는 일정 간격을 둔 날실(510a)과 일정 간격을 둔 씨실(510b)로 짜인다. 이러한 섬유체는, 날실(510a) 및 씨실(510b)이 존재하지 않는 영역(바스켓 홀(510c)이라고 표기함)을 가진다. 이러한 섬유체(510)는 유기 수지가 섬유체에 함침되는 비율이 높아지고, 섬유체(510) 및 소자층의 밀착성을 높일 수 있다.

[0120] 또한, 도 10b에 도시하는 바와 같이, 섬유체(510)는 날실(510a) 및 씨실(510b)의 밀도가 높고, 바스켓 홀(510c)의 비율이 낮은 것이라도 좋다. 대표적으로는, 바스켓 홀(510c)의 크기가 국소적으로 프레스되는 면적보다 작은 것이 바람직하다. 대표적으로는 1번이 0.01mm 이상 0.2mm 이하의 직사각형인 것이 바람직하다. 섬유체(510)의 바스켓 홀(510c)의 면적이 이렇게 작으면, 선단이 가는 부재(대표적으로는, 펜이나 연필 등의 필기 용구)로 프레스되어도 상기 압력을 섬유체(510) 전체에서 흡수시킬 수 있다.

[0121] 또한, 섬유 사속 내부로의 유기 수지의 침투율을 높이기 위하여, 섬유에 표면 처리가 실시되어도 좋다. 예를 들어, 섬유 표면을 활성화시키기 위한 코로나 방전처리, 플라스마 방전 처리 등이 있다. 또한, 실란 커플

링제, 티타네이트 커플링제를 사용한 표면 처리가 있다.

[0122] 섬유체(510)에 함침되고 또 반도체 소자층(505) 표면을 밀봉하는 수지는 에폭시 수지, 불포화폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드트리아진 수지, 시아네이트 수지 등의 열 경화성(硬化性) 수지를 사용할 수 있다. 또한, 폴리페닐렌옥사이드 수지, 폴리에테르이미드 수지, 불소 수지 등의 열 가소성(可塑性) 수지를 사용할 수 있다. 또한, UV 경화성 수지나 가소성 유기 수지를 사용하여도 좋다. 또한, 상기 열 가소성 수지 및 상기 열 경화성 수지를 복수 사용하여도 좋다. 상기 수지를 사용함으로써, 열 처리에 의하여 섬유체(510)를 반도체 소자층(505)에 고착할 수 있다. 또한, 수지는 유리 전이 온도가 높을수록, 국소적 프레스에 대하여 파괴되기 어렵기 때문에 바람직하다.

[0123] 또한, 밀봉층(500) 및 밀봉층(501)의 두께는 각각 10 μ m 이상 100 μ m 이하, 또한, 10 μ m 이상 30 μ m 이하가 바람직하다. 이러한 두께의 밀봉층을 사용함으로써, 박형이고 만곡시킬 수 있는 반도체 장치를 제작할 수 있다.

[0124] 또한, 수지 또는 섬유체(510)의 사속 내에 고열전도성 충전재를 분산시켜도 좋다. 고열전도성 충전재로서는, 질화알루미늄, 질화붕소, 질화실리콘, 알루미늄이 있다. 또한, 고열전도성 충전재로서는, 은, 구리 등의 금속 입자가 있다. 고열전도성 충전재가 유기 수지 또는 섬유 사속 내에 포함됨으로써 소자층에서의 발열을 외부로 방출하기 쉬워지기 때문에, 반도체 장치의 열 축적을 억제할 수 있고, 반도체 장치의 파괴를 저감할 수 있다.

[0125] 또한, 수지 또는 섬유체(510) 사속 내에 탄소 입자를 분산시켜도 좋다. 특히 반도체 소자층(505)에 박막 트랜지스터(Thin Film Transistor)가 함유되는 경우, TFT 아래 쪽에 탄소 입자가 분산된 수지 또는 섬유체(510)를 갖는 밀봉층(500) 및 밀봉층(501)을 형성하면 정전기로 인하여 TFT가 파괴되는 것을 방지할 수 있다.

[0126] 박리층(504)은 다른 기관 위에 형성되는 반도체 소자층(505)과 반도체 소자층(505)을 형성하기 위하여 사용되는 기관을 박리하기 위한 층으로서 기능하고, 예를 들어, 텅스텐, 몰리브덴, 티타늄, 탄탈, 니오븀, 니켈, 코발트, 지르코늄, 아연, 루테튬, 로듐, 팔라듐, 오스뮴, 이리듐, 실리콘 등 중에서 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료, 또는 상기 원소를 주성분으로 하는 화합물 재료로 이루어지는 층을 단층 또는 복수 층의 적층으로 형성할 수 있다.

[0127] 박리층(504)이 단층 구조인 경우, 바람직하게는 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 함유하는 층을 형성하는 층을 형성한다. 또는, 텅스텐의 산화물 또는 산화질화물을 함유하는 층, 몰리브덴의 산화물 또는 산화질화물을 함유하는 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 또는 산화질화물을 함유하는 층을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물이란, 예를 들어, 텅스텐과 몰리브덴의 합금에 상당한다.

[0128] 박리층(504)이 적층 구조인 경우, 바람직하게는 1층째로서 금속층을 형성하고, 2층째로서 금속 산화물층을 형성한다. 대표적으로는, 1층째의 금속층으로서, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물을 함유하는 층을 형성하고, 2층째로서, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 질화물, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 산화질화물, 또는, 텅스텐, 몰리브덴, 또는 텅스텐과 몰리브덴의 혼합물의 질화산화물을 함유하는 층을 형성한다.

[0129] 박리층(504)으로서, 1층째로서 금속층, 2층째로서 금속 산화물층의 적층 구조를 형성하는 경우, 금속층으로서 텅스텐을 포함하는 층을 형성하고, 그 위쪽 층에 산화물로 형성되는 절연층을 형성함으로써, 텅스텐을 함유하는 층과 절연층 계면에, 금속 산화물층으로서 텅스텐의 산화물을 함유하는 층이 형성되는 것을 활용하여도 좋다. 또한, 금속층 표면을 열 산화처리, 산소 플라즈마 처리, 오존수 등의 산화력이 강한 용액을 사용한 처리 등을 행하여 금속 산화물층을 형성하여도 좋다.

[0130] 또한, 텅스텐의 산화물로서는, 예를 들어, WO₂, W₂O₅, W₄O₁₁, WO₃ 등이 있다.

[0131] 반도체 소자층(505)은 상기 실시형태 1에 제시한 반도체 집적 회로가 형성되는 층이다. 반도체 소자층(505)은 1 μ m 이상 10 μ m 이하, 또한 1 μ m 이상 5 μ m 이하의 두께로 형성되는 것이 바람직하다. 반도체 소자층(505)의 두께를 상기 범위로 함으로써 만곡시킬 수 있는 반도체 장치를 제작할 수 있다. 또한, 반도체 장치의 상면 면적은 4mm² 이상인 것이 바람직하고, 더 바람직하게는 9mm² 이상이다.

[0132] 여기서, 반도체 소자층(505)의 더 구체적인 구성에 대하여 도 11을 사용하여 설명한다. 도 11은 본 실

시형태에 있어서의 반도체 소자층의 구성을 도시하는 단면도이다.

- [0133] 도 11에 도시하는 바와 같이, 본 실시형태에 있어서의 반도체 소자층(505)은 하지층(600), 하지층(600) 위에 형성된 복수의 트랜지스터(601)를 갖고, 복수의 트랜지스터(601)는 불순물 영역을 갖는 반도체층(602), 반도체층(602)을 덮도록 형성된 게이트 절연층(603), 게이트 절연층(603)을 통하여 반도체층(602)의 일부분 위에 형성된 게이트 전극(604), 게이트 전극(604) 및 게이트 절연층(603) 위에 형성되고 개구부를 갖는 제 1 층간 절연층(605) 및 제 2 층간 절연층(606), 개구부를 통하여 반도체층(602)의 불순물 영역의 일부분에 접하도록 형성된 전극(607)을 가진다.
- [0134] 또한, 트랜지스터(601)의 전극(607)과 동일 층에 형성된 전극(608)에 도 9에 있어서의 제 1 절연층(506) 및 제 2 절연층(507)의 개구부를 통하여 도전층(508)의 일부가 접한다.
- [0135] 하지층(600)은 산화실리콘막, 질소를 함유하는 산화실리콘막, 질화실리콘막, 산소를 함유하는 질화실리콘막 중 어느 하나 또는 2개 이상의 적층막을 사용하면 좋다.
- [0136] 또한, 도 12에 도시하는 반도체 소자층(505)의 구조와 같이, 하지층(600)을 하지층(600a)과 하지층(600b)의 2층 구조로 하고, 한쪽의 하지층의 일부분이 에칭에 의하여 제거된 구조로 할 수도 있다. 다른 쪽의 하지층을 에칭 후에도 남김으로써 불순물의 혼입을 억제할 수 있다.
- [0137] 반도체층(602)은 채널 영역, 소스 영역, 및 드레인 영역을 가진다. 반도체층(602)으로서는 비정질(아모퍼스) 반도체, 미결정(마이크로 크리스털) 반도체, 또는 다결정 반도체를 사용할 수 있다. 미결정 반도체는 비정질과 결정 구조(단결정, 다결정을 포함함)의 중간적인 구조를 갖고, 자유 에너지적으로 안정적인 상태를 갖는 반도체이며, 단거리 질서를 갖고 격자 변형을 갖는 결정질 영역을 포함한다. 적어도 막 중의 일부분의 영역에는 0.5nm 이상 20nm 이하의 결정 영역을 관측할 수 있고, 실리콘을 주성분으로 하는 경우에는 라만 스펙트럼이 520cm^{-1} 보다도 저파수측으로 시프트한다. X선 회절에서는 실리콘 결정 격자에 유래한다고 생각되는 (111), (220)의 회절 피크가 관측된다. 미결합수(댕글링 본드)를 보상하는 것으로서 수소 또는 할로젠을 적어도 1at.% 또는 그 이상 함유시킨다. 예를 들어, 미결정 실리콘을 사용하는 경우에는 재료 가스를 글로 방전 분해(플라즈마 CVD)하여 형성한다. 이 때의 재료 가스로서는 SiH_4 , 그 외에도 Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , SiF_4 등을 사용할 수 있다. 또한, GeF_4 를 혼합시켜도 좋다. 이 재료 가스를 H_2 , 또는 H_2 와, He, Ar, Kr, Ne로부터 선택된 1종 또는 복수종의 희소 가스 원소로 희석하여도 좋다. 이 때 희석 비율은 2배 이상 1000배 이하의 범위이다. 또한, 압력은 0.1Pa 이상 133Pa 이하의 범위이다. 또한, 전원 주파수는 1MHz 이상 120MHz 이하, 바람직하게는 13MHz 이상 60MHz 이하의 범위이다. 또한, 기판 가열 온도는 300°C 이하의 범위로 한다. 막 중의 불순물 원소로서, 산소, 질소, 탄소 등의 대기 성분의 불순물 농도는 산소, 질소, 탄소의 각각을 모두 $1 \times 10^{20} \text{cm}^{-3}$ 이하로 하는 것이 바람직하고, 특히, 산소 농도는 $5 \times 10^{19} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{19} / \text{cm}^3$ 이하로 한다.
- [0138] 또한, 반도체층(602)의 불순물 영역은 소스 영역 또는 드레인 영역으로서 기능하고, 예를 들어, 인이나 비소 등의 n형 불순물 원소, 또는 붕소 등의 p형 불순물 원소를 첨가함으로써 형성된다. 또한, 불순물 영역에 접하는 전극은 소스 전극 또는 드레인 전극으로서 기능한다. 또한, 반도체층(602)의 각각에 같은 도전형을 부여하는 불순물 원소를 첨가할 수도 있다. 또한, 반도체층(602)의 각각에 상이한 도전형을 부여하는 불순물 원소를 첨가할 수도 있다. 또한, 본 실시형태에 있어서, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역보다 불순물 농도가 낮은 저농도 불순물 영역(LDD 영역이라고도 함)을 형성할 수도 있다. 저농도 불순물 영역을 형성함으로써 오프 전류를 억제할 수도 있다.
- [0139] 게이트 절연층(603)으로서는, 예를 들어, 산화실리콘막, 질소를 함유하는 산화실리콘막, 질화실리콘막, 산소를 함유하는 질화실리콘막 중 어느 하나, 또는 2개 이상의 적층막 등을 사용할 수 있다. 게이트 절연층(603)은 스퍼터링법 또는 플라즈마 CVD법 등에 의하여 형성할 수 있다.
- [0140] 게이트 전극(604)은, 예를 들어, 단층의 도전막, 또는 2층, 3층의 도전막의 적층 구조로 할 수 있다. 게이트 전극(604)의 재료로서는 도전막을 사용할 수 있다. 예를 들어, 탄탈, 티타늄, 몰리브덴, 텅스텐, 크롬, 실리콘 등의 원소의 단일막, 또는 상기 원소의 질화막(대표적으로는 질화탄탈막, 질화텅스텐막, 질화티타늄막), 또는 상기 원소를 조합한 합금막(대표적으로는 Mo-W 합금, Mo-Ta 합금), 또는 상기 원소의 실리사이드막(대표적으로는 텅스텐 실리사이드막, 티타늄 실리사이드막) 등을 사용할 수 있다. 또한, 상술한 단일막, 질화막, 합금막, 실리사이드막 등은 단층 또는 적층을 사용할 수 있다.

- [0141] 제 1 층간 절연층(605) 및 제 2 층간 절연층(606)으로서는, 예를 들어, 산화실리콘막, 질소를 함유하는 산화실리콘막, 질화실리콘막, 산소를 함유하는 질화실리콘막 중의 어느 하나 또는 2개 이상의 적층막 등을 사용할 수 있다.
- [0142] 전극(607)으로서는, 알루미늄, 니켈, 탄소, 텅스텐, 몰리브덴, 티타늄, 백금, 구리, 탄탈, 금 또는 망간 등의 원소의 단일막, 또는 상기 원소의 질화막, 또는 상기 원소를 조합한 합금막, 또는 상기 원소의 실리사이드막 등을 사용할 수 있다. 예를 들어, 원소를 복수 함유하는 합금으로서 탄소 및 티타늄을 함유한 알루미늄 합금, 니켈을 함유한 알루미늄 합금, 탄소 및 니켈을 함유한 알루미늄 합금, 탄소 및 망간을 함유한 알루미늄 합금 등을 사용할 수 있다. 예를 들어, 적층 구조로 형성하는 경우, 알루미늄을 몰리브덴 또는 티타늄 등에 끼운 구조로 함으로써, 알루미늄에 있어서의 열이나 화학 반응에 대한 내성을 향상시킬 수 있다.
- [0143] 또한, 본 실시형태에 있어서의 반도체 소자층(505)의 구성은 도 11 및 도 12에 도시한 구조에 한정되지 않고, 다이오드, 저항 소자, 용량 소자, 플로팅 게이트를 갖는 트랜지스터 등의 반도체 소자를 형성할 수도 있다.
- [0144] 또한, 트랜지스터(601)는 도 11 및 도 12에 도시한 구조에 한정되지 않고, 예를 들어, 역 스테거 구조, 핀 TFT 구조 등의 트랜지스터의 구조로 할 수도 있다. 예를 들어, 핀 FET 구조로 함으로써, 트랜지스터 크기의 미세화에 따른 단 채널 효과를 억제할 수 있다. 또한, 트랜지스터(601)로서 SOI 기판 등, 반도체 기판을 사용할 수도 있다. 반도체 기판을 사용하여 제작된 트랜지스터는 이동도가 높으므로, 트랜지스터의 크기를 작게 할 수 있다. 또한, 유기 반도체를 사용한 트랜지스터, 또는 탄소 나노 튜브를 사용한 트랜지스터 등도 사용할 수 있다.
- [0145] 제 1 절연층(506)은 층간 절연층으로서의 기능을 갖고, 예를 들어, 산화실리콘막, 질소를 함유하는 산화실리콘막, 질화실리콘막, 산소를 함유하는 질화실리콘막 중 어느 하나 또는 2개 이상의 적층막 등을 사용할 수 있다. 제 1 절연층(506)으로 반도체 소자층(505)을 덮음으로써, 반도체 집적 회로가 되는 반도체 소자층(505)으로 불순물이 혼입되는 것을 억제할 수 있다.
- [0146] 제 2 절연층(507)은 층간 절연층으로서의 기능을 갖고, 예를 들어, 수지 등을 사용할 수 있다.
- [0147] 도전층(508)은 도 8a 및 도 8b에 있어서의 안테나(503)로서 기능하고, 예를 들어, 은, 금, 구리, 니켈, 백금, 팔라듐, 탄탈, 몰리브덴, 티타늄, 알루미늄 등의 어느 하나 또는 2개 이상을 사용하여 형성할 수 있다. 본 실시형태에 있어서의 안테나의 형상을 루프 형상으로 하는데, 루프 형상으로 함으로써 기능 회로의 면적을 작게 할 수 있다. 다만, 이것에 한정되지 않고, 안테나(503)의 형상은 전파를 수신할 수 있는 형상이면 좋다. 예를 들어, 다이폴 안테나, 접힌 다이폴 안테나(folded dipole antenna), 슬롯 안테나, 미앤더 라인 안테나(meander line antenna), 마이크로스트립 안테나(microstrip antenna) 등도 사용할 수 있다.
- [0148] 제 3 절연층(509)으로서는 비정질 실리콘막, 산화실리콘막, 질소를 함유하는 산화실리콘막, 질화실리콘막, 산소를 함유하는 질화실리콘막 중의 어느 하나 또는 2개 이상의 적층막 등을 사용할 수 있다. 또한, 비정질 실리콘막을 사용하는 경우, 일 도전형을 부여하는 불순물 원소를 첨가할 수도 있다. 일 도전형을 부여하는 불순물 원소를 첨가함으로써 소자의 정전 파괴를 방지할 수 있다. 또한, 제 3 절연층(509)을 형성하지 않는 구성으로 하고, 반도체 장치의 두께를 얇게 할 수도 있다.
- [0149] 도 9에 도시하는 반도체 장치는 복수의 반도체 소자층(505), 제 1 절연층(506), 및 도전층(508)이 밀봉층(500) 및 밀봉층(501)으로 이루어지는 동일한 밀봉층에 의하여 덮인 구조이다. 이로써, 반도체 집적 회로가 되는 반도체 소자층(505)으로 불순물이 혼입되는 것을 억제할 수 있다.
- [0150] 또한, 본 실시형태의 반도체 장치는 도 13에 도시하는 기능 회로(502)와 같이 영역(514)에 있어서, 밀봉층(500) 및 밀봉층(501)이 접하는 구성으로 하고, 반도체 소자층(505), 제 1 절연층(506), 및 도전층(508)이 밀봉층(500) 및 밀봉층(501)으로 이루어지는 동일한 밀봉층으로 덮인 구조로 할 수도 있다. 이로써, 반도체 집적 회로가 되는 반도체 소자층으로 불순물이 혼입되는 것을 억제할 수 있다.
- [0151] 상술한 바와 같이, 본 실시형태의 반도체 장치는 상술한 구조로 함으로써, 용장성을 높일 수 있고, 신뢰성을 향상시킬 수 있다. 또한, 반도체 집적 회로로 불순물이 혼입되는 것을 억제하고, 굽힘에 대한 스트레스를 완화시킬 수 있고, 외력에 대한 내성을 높일 수 있으므로, 각 기능 회로에 있어서 신뢰성을 향상시킬 수 있다.
- [0152] 다음에, 본 실시형태에 있어서의 반도체 장치의 제작 방법에 대하여 도 14a 내지 도 17b를 사용하여 설

명한다. 도 14a 내지 도 17b는 본 실시형태에 있어서의 반도체 장치의 제작 방법을 도시하는 단면도이다. 여기서의 예로서, 도 11에 도시한 구성에 있어서의 반도체 장치의 제작 방법에 대하여 설명한다.

[0153] 도 14a에 도시하는 바와 같이, 우선 기판(511) 위에 박리층(504)을 형성하고, 박리층(504) 위에 반도체 소자층(505)을 형성한다. 박리층(504)은 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등을 사용하여 형성할 수 있다. 또한, 도포법이란 용액을 피(被)처리물 위에 토출시켜 성막하는 방법이고, 예를 들어, 스핀 코팅법이나 액적 토출법을 포함한다. 또한, 액적 토출법이란, 미립자를 함유하는 조성물의 액적을 미세한 구멍으로부터 토출하여 소정의 형상의 패턴을 형성하는 방법이다.

[0154] 다음에, 반도체 소자층(505)을 덮도록 제 1 절연층(506) 및 제 2 절연층(507)을 형성한다.

[0155] 다음에, 도 14b에 도시하는 바와 같이, 제 1 절연층(506) 및 제 2 절연층(507)의 일부분을 에칭에 의하여 제거한다. 이 때, 적어도 반도체 소자층(505)을 덮는 부분의 제 1 절연층(506) 및 제 2 절연층(507)이 남도록 한다. 또한, 반도체 소자층(505) 위에 남은 제 1 절연층(506) 및 제 2 절연층(507)의 일부분에는 개구부를 형성한다.

[0156] 다음에, 도 15a에 도시하는 바와 같이, 제 1 절연층(506) 및 제 2 절연층(507)을 통하여 반도체 소자층(505)에 있어서의 전극과 일부가 접하도록 도전층(508)을 형성한다. 도전층(508)은, 예를 들어, 상기에 기재한 도전층(508)으로서 적용할 수 있는 재료의 금속 입자를 갖는 액적이나 페이스트 등을 별도 기판 위에 액적 토출법(잉크젯법, 디스펜서법 등)에 의하여 토출하고, 건조 소성하여 형성할 수 있다. 액적 토출법에 의하여 도전층(508)을 형성함으로써 공정 수의 삭감이 가능하고, 그것에 따른 비용 삭감이 가능하다.

[0157] 다음에, 도 15b에 도시하는 바와 같이, 제 2 절연층(507) 및 도전층(508)을 덮도록 제 3 절연층(509)을 형성한다.

[0158] 다음에, 도 16a에 도시하는 바와 같이, 제 3 절연층(509) 위에 밀봉층(501)을 접착한다. 접착하는 방법으로서, 예를 들어, 밀봉층(501)을 프레스하여 접착하는 방법 등을 들 수 있다.

[0159] 다음에 도 16b에 도시하는 바와 같이, 밀봉층(501) 위에 빛 또는 열에 의하여 박리할 수 있는 점착 테이프(512)를 형성하여, 점착 테이프(512) 위에 롤러(513)를 회전시키면서 박리층(504)을 박리함으로써 기판(511)을 분리한다.

[0160] 다음에, 도 17a에 도시하는 바와 같이, 박리층(504)이 형성된 면으로부터 레이저를 조사하여, 박리층(504), 제 3 절연층(509), 밀봉층(501)의 일부분에 홈(515)을 형성한다. 또한, 점착 테이프(512)는 홈(515)을 형성한 후에 박리하여도 좋고, 홈(515)을 형성하기 전에 박리하여도 좋다.

[0161] 다음에, 도 17b에 도시하는 바와 같이, 제 3 절연층(509)의 기판(511)이 박리된 측의 면에 밀봉층(500)을 접착한다. 접착하는 방법으로서, 예를 들어, 밀봉층(500)을 프레스하여 접착하는 방법 등을 들 수 있다. 밀봉층(500)을 접착함으로써 밀봉층(500) 및 밀봉층(501)의 수지가 홈(515)에 흐름으로써 밀봉층(500) 및 밀봉층(501)이 결합된다. 이 때, 홈(515)보다 단부에 위치하는 밀봉층(500) 및 밀봉층(501)이 결합되지 않는 부분은 제거한다.

[0162] 상술한 바와 같이, 도 11에 도시하는 구성의 반도체 장치를 제작할 수 있다. 또한, 본 실시형태의 반도체 장치의 제작 방법을 사용함으로써 반도체 소자층(505)이 밀봉층(500) 및 밀봉층(501)에 협지된 구조를 형성할 수 있다. 또한, 본 실시형태에 제시하는 반도체 장치의 제작 방법은 일례이고, 다른 제작 방법을 사용할 수도 있다.

[0163] 또한, 부스터 안테나를 형성한 반도체 장치에 대하여 도 18을 사용하여 설명한다. 도 18은 본 실시형태에 있어서의 반도체 장치의 다른 구성을 도시하는 사시도이다.

[0164] 도 18에 도시하는 바와 같이, 본 실시형태에 있어서의 반도체 장치의 다른 구성은 기능 회로(700), 기능 회로(700) 위에 형성된 기판(701; 점선 부분), 기판(701)의 한쪽 위에 형성된 안테나(702)를 가진다.

[0165] 기능 회로(700)는 도 9에 도시한 기능 회로(502)의 구성과 마찬가지로다.

[0166] 또한, 본 실시형태에 있어서, 안테나(702)의 형상을 루프 형상으로 하는데, 루프 형상으로 함으로써 반도체 장치의 면적을 작게 할 수 있다. 또한, 루프 형상에 한정되지 않고, 안테나(702)의 형상은 전파를 수신할 수 있는 형상이면 좋고, 예를 들어, 다이폴 안테나, 접힌 다이폴 안테나, 슬롯 안테나, 미앤더 라인 안테나, 마이크로스트립 안테나 등의 형상을 사용할 수 있다.

- [0167] 또한, 기관(701)을 사용하지 않고 안테나(702)를 기능 회로(700)에 접합할 수도 있다. 기관(701)을 사용하지 않음으로써 반도체 장치의 두께를 얇게 할 수 있다.
- [0168] 다음에, 부스터 안테나를 형성한 반도체 장치의 단면 구조에 대하여 도 19를 사용하여 설명한다. 도 19는 도 18의 선분 A-B의 단면도이다.
- [0169] 도 19에 도시하는 바와 같이, 본 실시형태에 있어서의 반도체 장치는 밀봉층(703), 밀봉층(703) 위에 형성된 박리층(704), 박리층(704) 위에 형성된 반도체 소자층(705), 반도체 소자층(705) 위에 형성되고 개구부를 갖는 제 1 절연층(706) 및 제 2 절연층(707), 일부분이 개구부를 통하여 반도체 소자층(705)에 접하도록 형성된 도전층(708), 도전층(708) 및 제 2 절연층(707)을 덮도록 형성된 제 3 절연층(709), 제 3 절연층(709) 위에 형성된 밀봉층(710)을 갖는 기능 회로(700), 밀봉층(710) 위에 형성되고 도전층(711)을 갖는 기관(701)을 가진다.
- [0170] 또한, 도 19에 있어서, 밀봉층(703), 박리층(704), 반도체 소자(705), 제 1 절연층(706), 제 2 절연층(707), 도전층(708), 제 3 절연층(709), 밀봉층(710) 각각은 도 9의 밀봉층(500), 박리층(504), 반도체 소자층(505), 제 1 절연층(506), 제 2 절연층(507), 도전층(508), 제 3 절연층(509), 밀봉층(501)의 각각에 적용할 수 있는 구성 및 재료를 적용할 수 있다.
- [0171] 도전층(711)은 도 18에 있어서 부스터 안테나인 안테나(702)로서 기능하고, 예를 들어, 음, 금, 구리, 니켈, 백금, 팔라듐, 탄탈, 몰리브덴, 티타늄, 알루미늄 등의 어느 하나 또는 2개 이상을 사용하여 형성할 수 있다.
- [0172] 또한, 본 실시형태에 있어서, 안테나(702)의 형상을 루프 형상으로 하는데, 루프 형상으로 함으로써, 기능 회로의 면적을 작게 할 수 있다. 다만, 이것에 한정되지 않고, 안테나(702)의 형상은 전파를 수신할 수 있는 형상이라면 좋다. 예를 들어, 다이폴 안테나, 접힌 다이폴 안테나, 슬롯 안테나, 미앤더 라인 안테나, 마이크로스트립 안테나 등의 형상 등도 사용할 수 있다.
- [0173] 상술한 바와 같이, 제 1 안테나가 되는 도전층(708), 부스터 안테나로서 기능하는 제 2 안테나가 되는 도전층(711)을 형성한 구성의 경우에는, 제 1 안테나와 제 2 안테나 사이의 전력의 수수(授受)를 비접촉으로 행할 수 있다. 또한, 제 2 안테나를 형성함으로써 수신 가능한 전파의 주파수 대역이 한정되지 않고, 통신 거리를 늘릴 수 있다.
- [0174] 다음에, 도 19에 도시하는 반도체 장치의 제작 방법에 대하여 도 20a 및 도 20b를 사용하여 설명한다. 도 20a 및 도 20b는 본 실시형태에 있어서의 반도체 장치의 다른 구성의 제작 방법을 도시하는 단면도이다.
- [0175] 도 20a에 도시하는 바와 같이, 우선 상기 도 14a 내지 도 17b에 도시한 반도체 장치의 제작 방법을 사용하여 기능 회로(700)를 형성한다.
- [0176] 다음에, 도 20b에 도시하는 바와 같이, 기능 회로(700)와, 도전층(711)이 형성된 기관(701)을, 도전층(711)이 형성된 면이 기능 회로(700) 측을 향하도록 접합한다. 이 때, 별도 접촉층을 통하여 기관(701)과 기능 회로(700)를 접합할 수도 있다. 접촉층을 형성함으로써 접합 면의 접착 강도를 향상시킬 수 있다.
- [0177] 상술한 바와 같이, 부스터 안테나로서 제 2 안테나(안테나(702))를 형성한 반도체 장치를 제작할 수 있다. 본 실시형태의 제작 방법을 사용함으로써 반도체 소자층(705)이 밀봉층(703) 및 밀봉층(710)으로 이루어지는 하나의 밀봉층으로 덮인 구조를 형성할 수 있다. 또한, 제 2 안테나 아래에 복수의 기능 회로를 배치함으로써 반도체 장치의 면적을 작게 할 수 있다.
- [0178] 또한, 본 실시형태에 제시하는 반도체 장치의 제작 방법은 일례이고, 다른 제작 방법을 사용할 수도 있다.
- [0179] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.
- [0180] (실시형태 4)
- [0181] 본 실시형태에서는 상기 실시형태에 제시한 반도체 장치의 사용예에 대하여 설명한다.
- [0182] 본 실시형태의 반도체 장치의 구체적인 사용예에 대하여 도 21a 내지 도 21f를 사용하여 설명한다. 도 21a 내지 도 21f는 본 실시형태에 있어서의 반도체 장치의 사용예를 도시하는 도면이다.
- [0183] 상기 실시형태에 있어서의 반도체 장치의 사용예에 대하여 도 21a 내지 도 21f에 도시한다. 반도체 장

치의 용도는 광 범위에 걸치지만, 예를 들어, 지폐, 경화, 유가 증권류, 무기명 채권류, 증서류(운전 면허증, 주민 등록증 등, 도 21a 참조), 포장용 용기류(포장지, 병 등, 도 21c 참조), 기록 매체(DVD(Digital Versatile Disc) 소프트웨어, 비디오 테이프 등, 도 21b 참조), 탈 것류(자전거 등, 도 21d 참조), 신변 용품(가방이나 안경 등), 식품류, 식물류, 동물류, 인체, 의류, 생활 용품류, 전자기기(액정 표시 장치, EL 표시 장치, 텔레비전 장치, 또는 휴대 전화) 등의 물품, 또는 각 물품에 장착되는 태그(도 21e 및 도 21f 참조) 등에 형성하여 사용할 수 있다.

[0184] 반도체 장치(800)는 프린트 기관에 실장하거나, 표면에 부착하거나, 또는 내장함으로써 물품에 고정된다. 예를 들어, 책의 경우 종이에 내장하거나, 또는 유기 수지로 이루어지는 패키지의 경우는 상기 유기 수지에 내장함으로써 각 물품에 고정된다. 반도체 장치(800)는 소형, 박형, 경량을 실현하므로, 물품에 고정된 후에도 그 물품 자체의 디자인성이 상실되지 않는다. 또한, 지폐, 경화, 유가 증권류, 무기명 채권류, 또는 증명서 등에 본 반도체 장치(800)를 형성함으로써, 인증 기능을 구비할 수 있고, 이 인증 기능을 활용하면, 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 신변용품, 식품류, 의류, 생활 용품류, 전자기기 등에 반도체 장치를 형성함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것류의 경우도 반도체 장치를 장착함으로써 도난 등에 대한 방법성을 높일 수 있다.

[0185] 상술한 바와 같이, 상기 실시형태에 제시하는 반도체 장치는 높은 신뢰성을 가지므로, 본 실시형태에 기재한 각 용도에 사용함으로써 물품의 인증성, 또는 방법성 등을 더 높일 수 있다.

도면의 간단한 설명

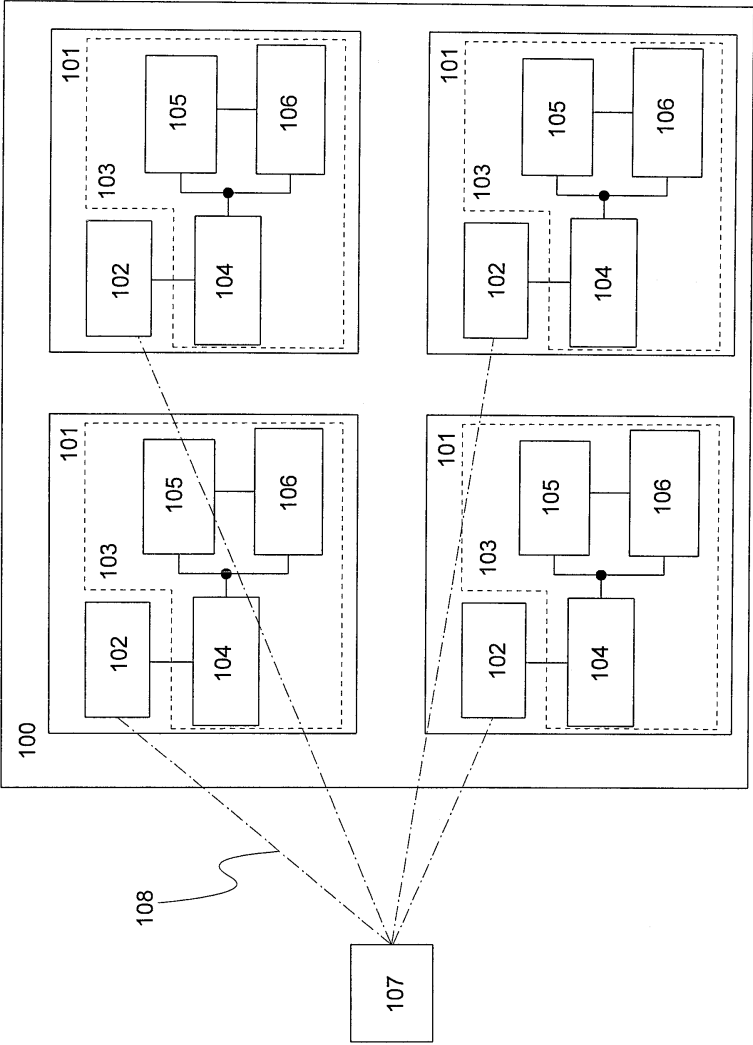
- [0186] 도 1은 실시형태 1에 있어서의 반도체 장치의 구성을 도시하는 블록도.
- [0187] 도 2는 실시형태 1에 있어서의 반도체 장치의 다른 구성을 도시하는 블록도.
- [0188] 도 3은 실시형태 1의 반도체 장치에 있어서의 기능 회로의 선택 동작을 나타내는 플로우 차트.
- [0189] 도 4는 실시형태 2에 있어서의 반도체 장치의 구성을 도시하는 블록도.
- [0190] 도 5는 실시형태 2에 있어서의 반도체 장치의 기능 회로의 구성을 도시하는 블록도.
- [0191] 도 6은 실시형태 2에 있어서의 반도체 장치의 다른 구성을 도시하는 블록도.
- [0192] 도 7은 실시형태 2에 있어서의 반도체 장치의 기능 회로의 선택 동작을 도시하는 플로우 차트.
- [0193] 도 8a 및 도 8b는 실시형태 3에 있어서의 반도체 장치의 구성을 도시하는 사시도.
- [0194] 도 9는 실시형태 3에 있어서의 반도체 장치의 구성을 도시하는 단면도.
- [0195] 도 10a 및 도 10b는 실시형태 3에 있어서의 직포를 도시하는 상면도.
- [0196] 도 11은 실시형태 3에 있어서의 반도체 장치의 반도체 소자층의 구성을 도시하는 단면도.
- [0197] 도 12는 실시형태 3에 있어서의 반도체 장치의 반도체 소자층의 구성을 도시하는 단면도.
- [0198] 도 13은 실시형태 3에 있어서의 반도체 장치의 다른 구성을 도시하는 단면도.
- [0199] 도 14a 및 도 14b는 실시형태 3에 있어서의 반도체 장치의 제작 방법을 도시하는 단면도.
- [0200] 도 15a 및 도 15b는 실시형태 3에 있어서의 반도체 장치의 제작 방법을 도시하는 단면도.
- [0201] 도 16a 및 도 16b는 실시형태 3에 있어서의 반도체 장치의 제작 방법을 도시하는 단면도.
- [0202] 도 17a 및 도 17b는 실시형태 3에 있어서의 반도체 장치의 제작 방법을 도시하는 단면도.
- [0203] 도 18은 실시형태 3에 있어서의 반도체 장치의 다른 구성을 도시하는 사시도.
- [0204] 도 19는 실시형태 3에 있어서의 반도체 장치의 다른 구성을 도시하는 단면도.
- [0205] 도 20a 및 도 20b는 실시형태 3에 있어서의 반도체 장치의 제작 방법을 도시하는 단면도.
- [0206] 도 21a 내지 도 21f는 실시형태 4에 있어서의 반도체 장치의 사용예를 도시하는 도면.

[0207] <도면의 주요 부분에 대한 부호의 설명>

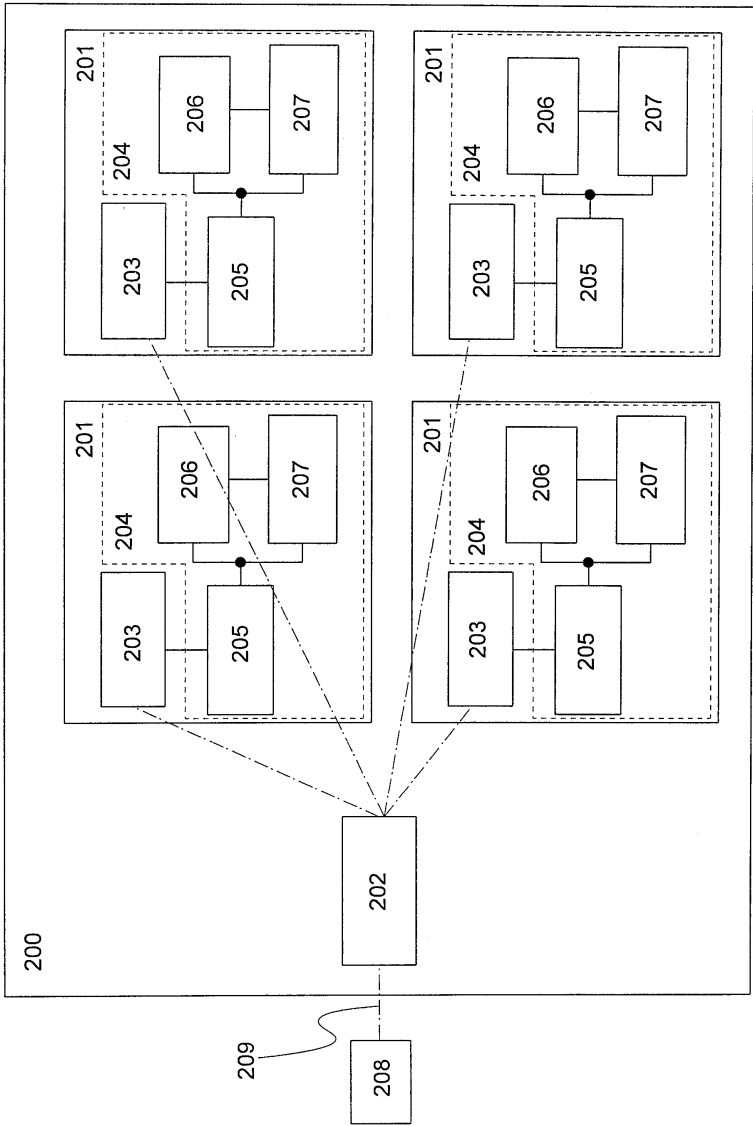
- [0208] 100: 반도체 장치 101: 기능 회로
- [0209] 102: 안테나 103: 반도체 집적 회로
- [0210] 104: 송수신 회로 105: 전원 회로
- [0211] 106: 로직 회로 107: 외부 무선 통신 장치
- [0212] 108: 전파

도면

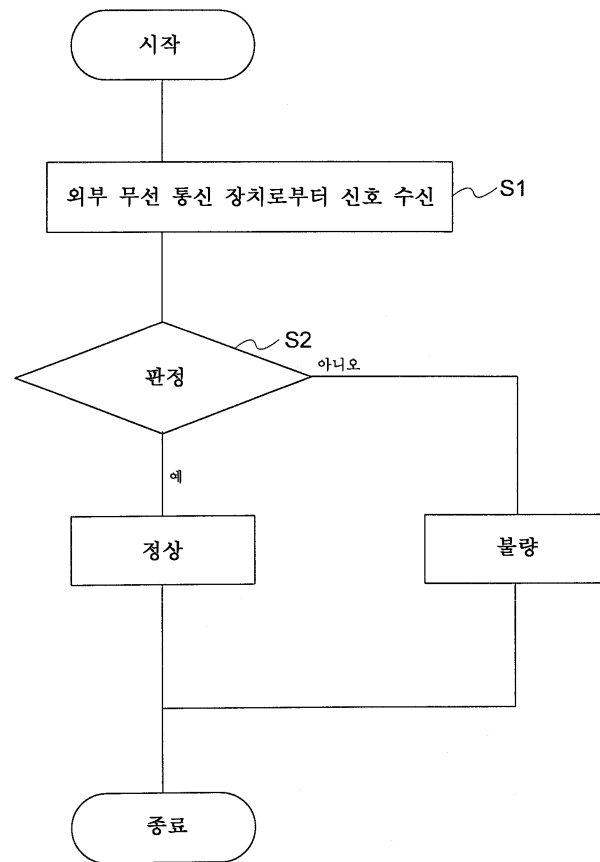
도면1



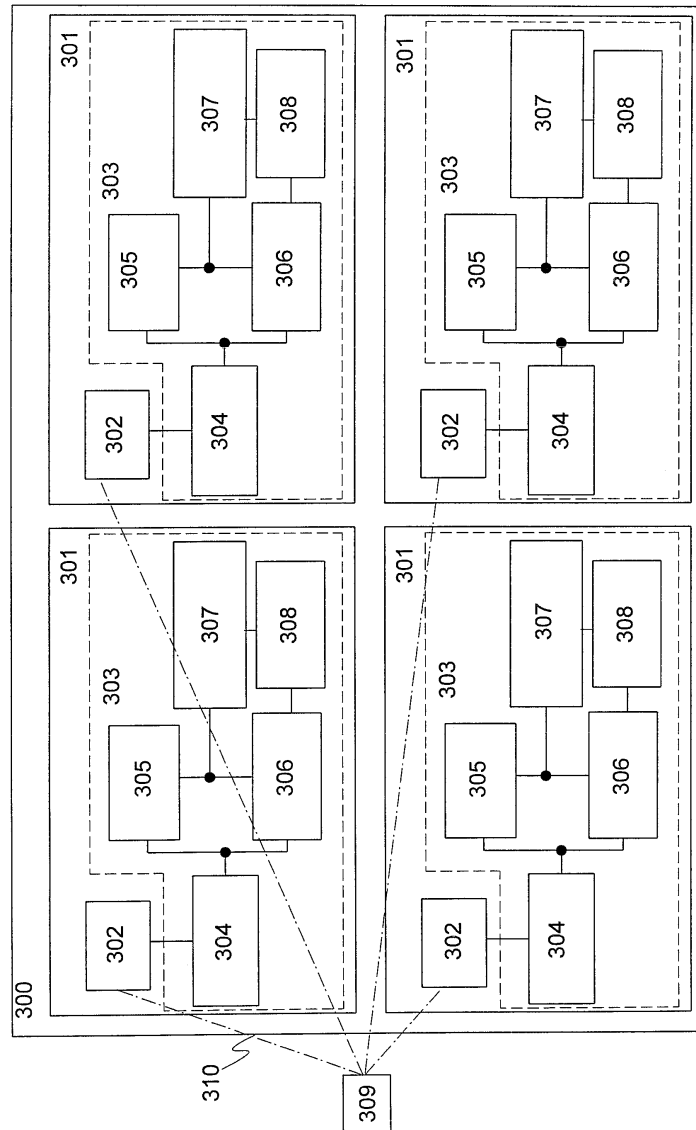
도면2



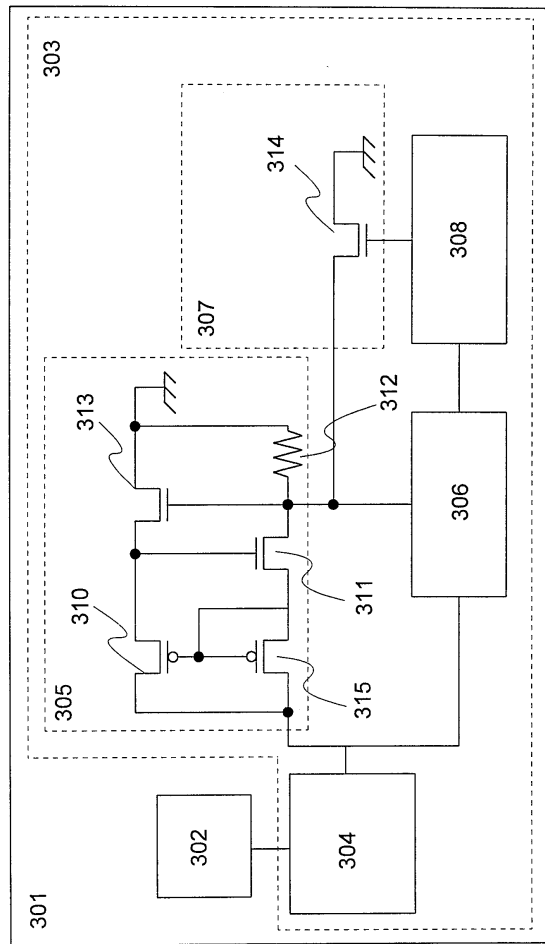
도면3



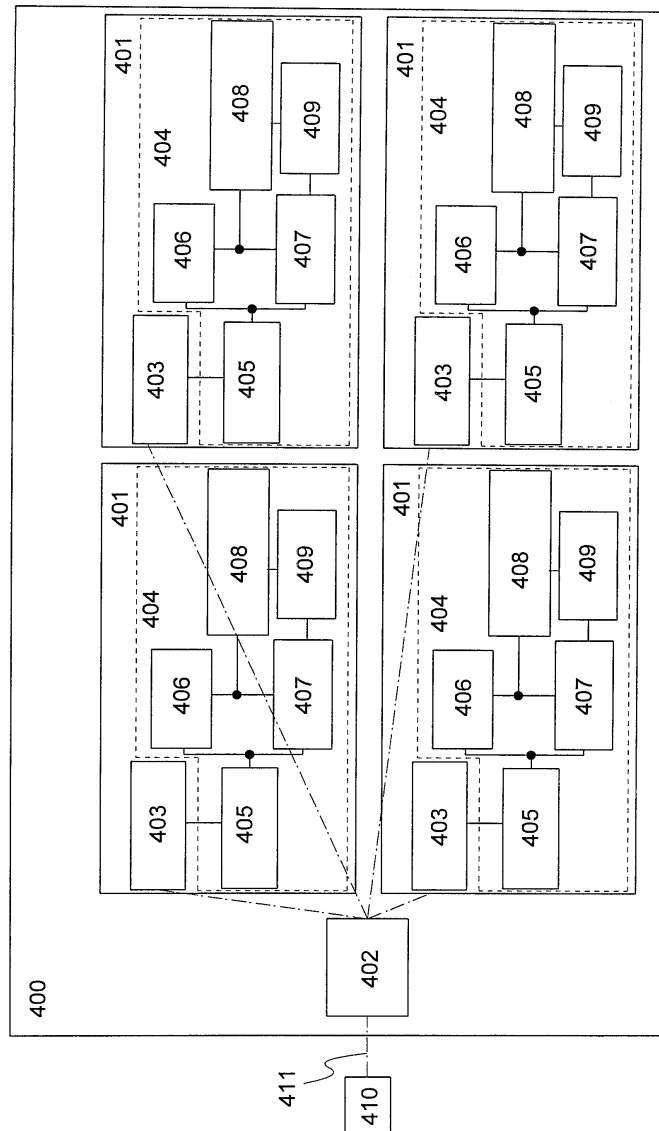
도면4



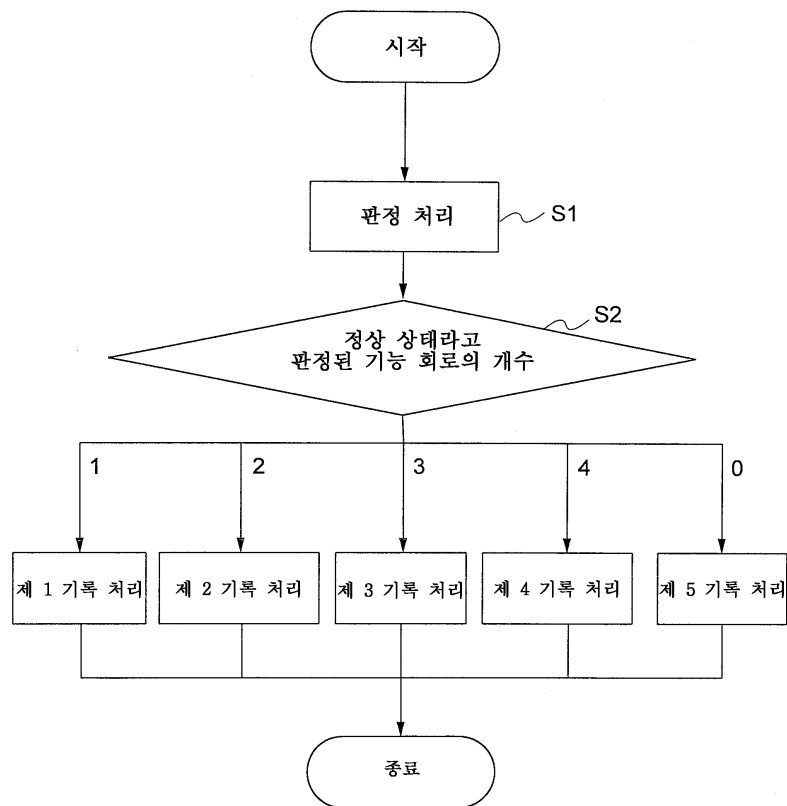
도면5



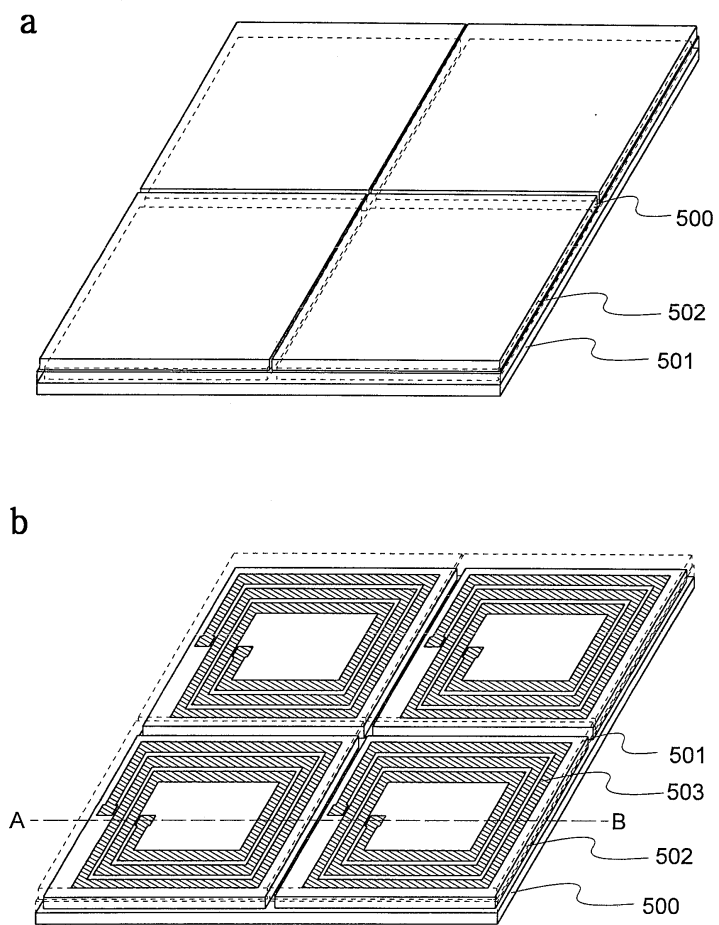
도면6



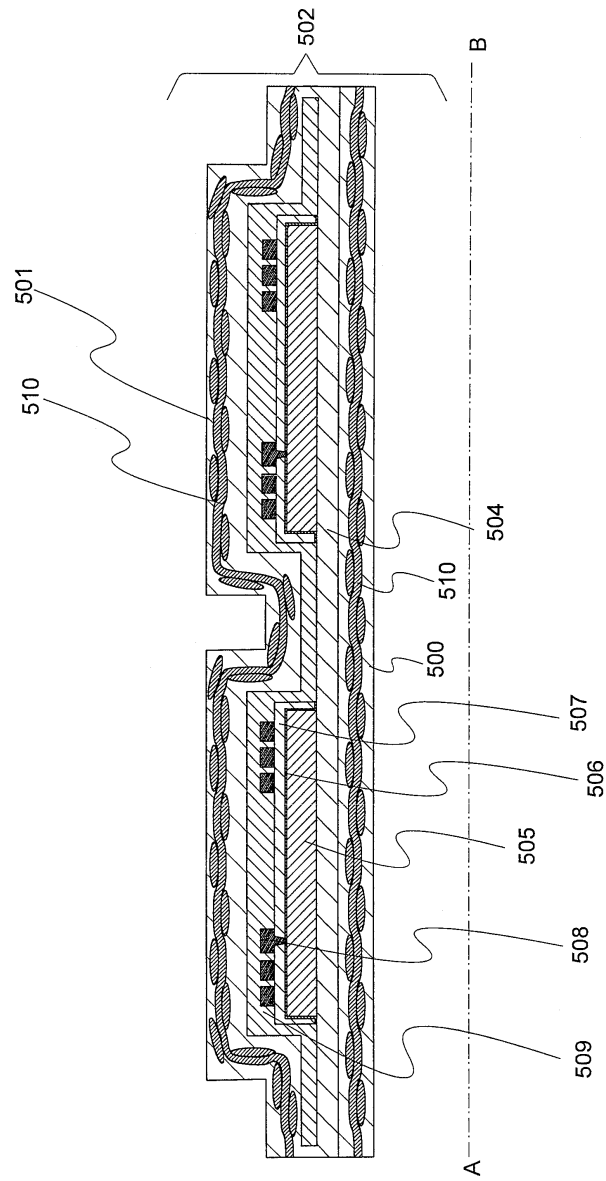
도면7



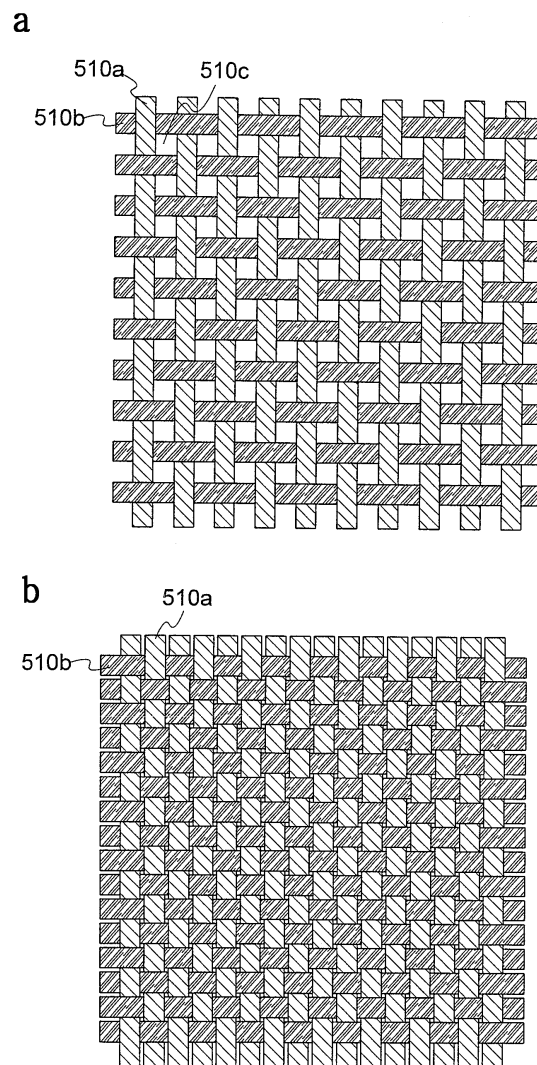
도면8



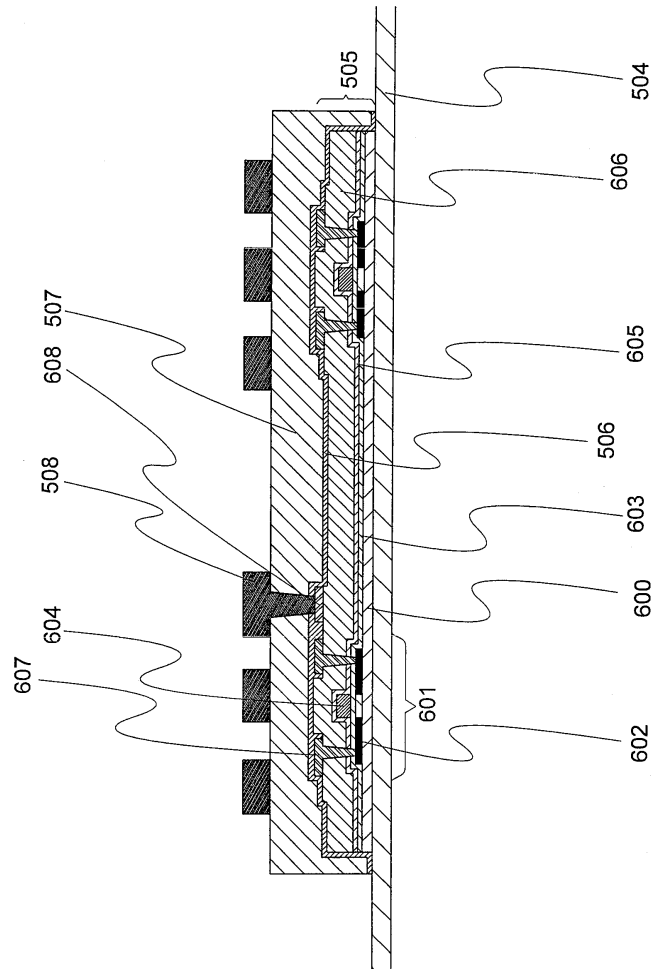
도면9



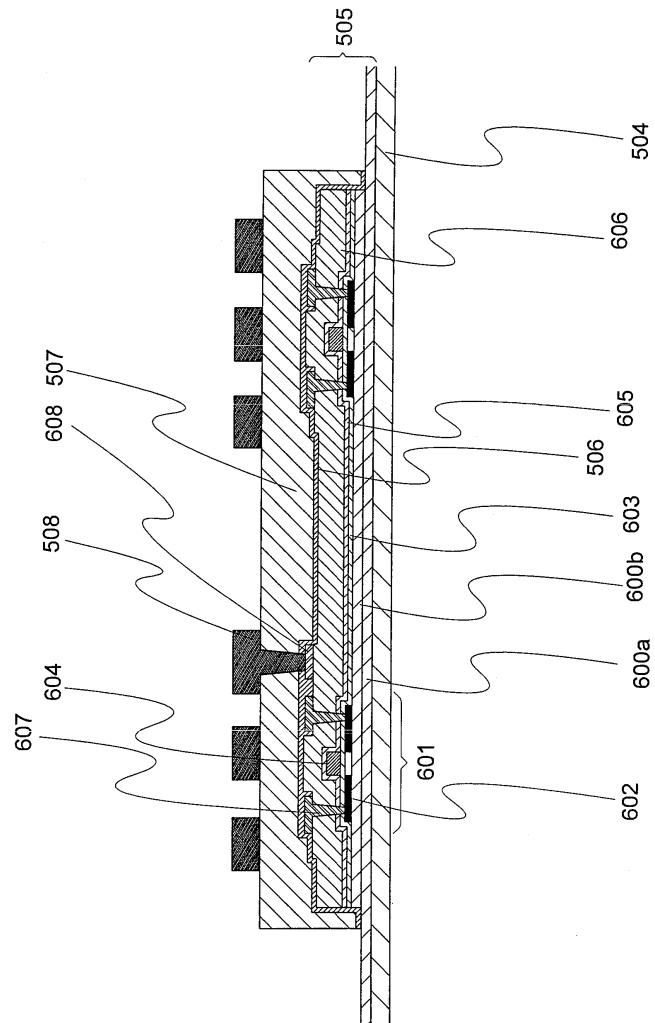
도면10



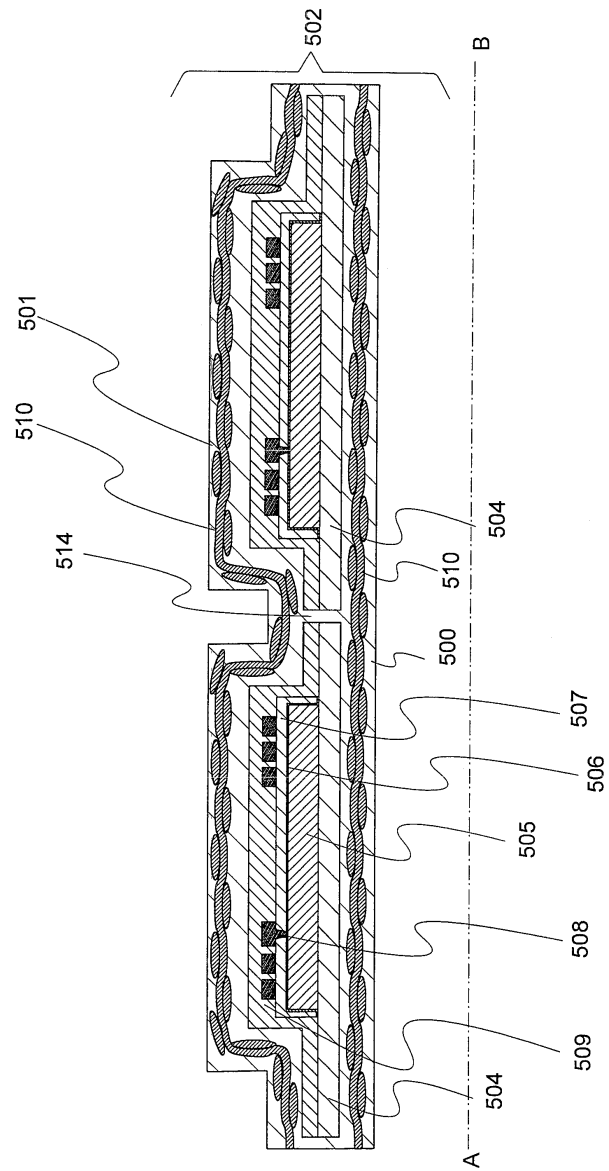
도면11



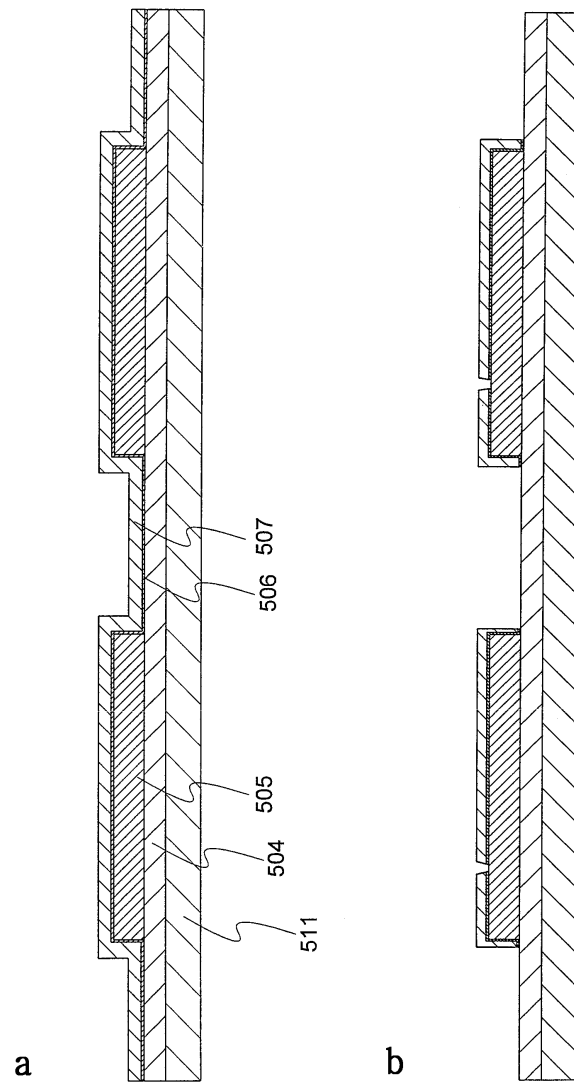
도면12



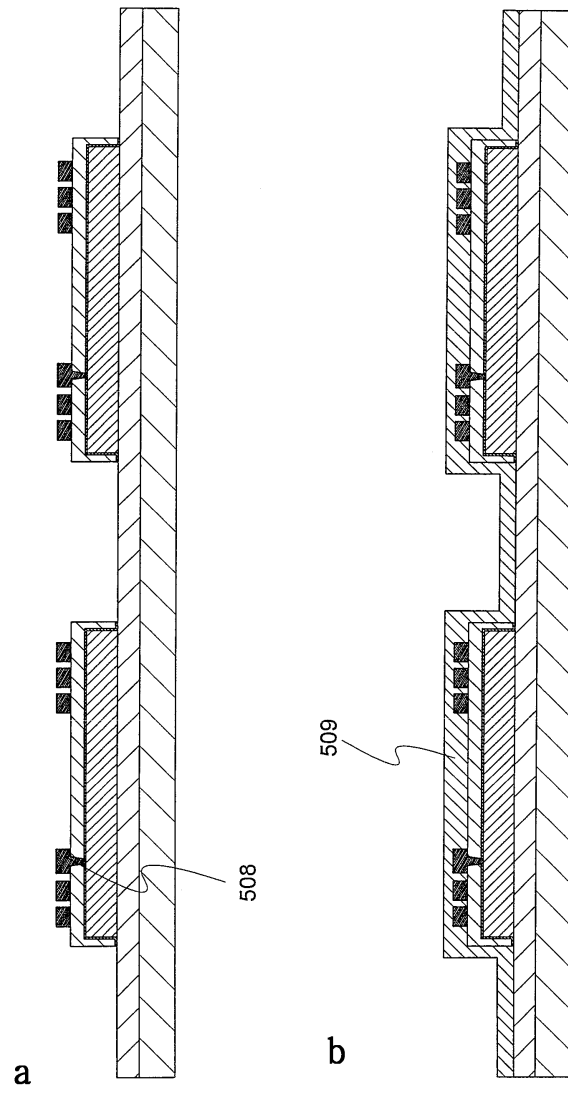
도면13



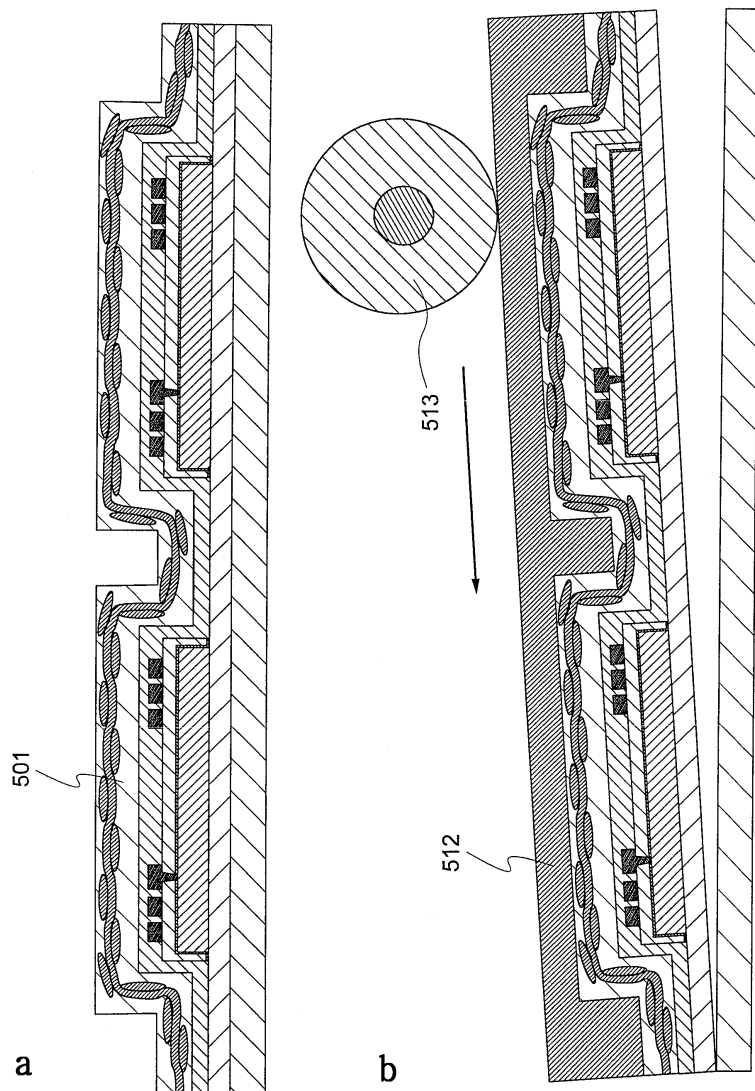
도면14



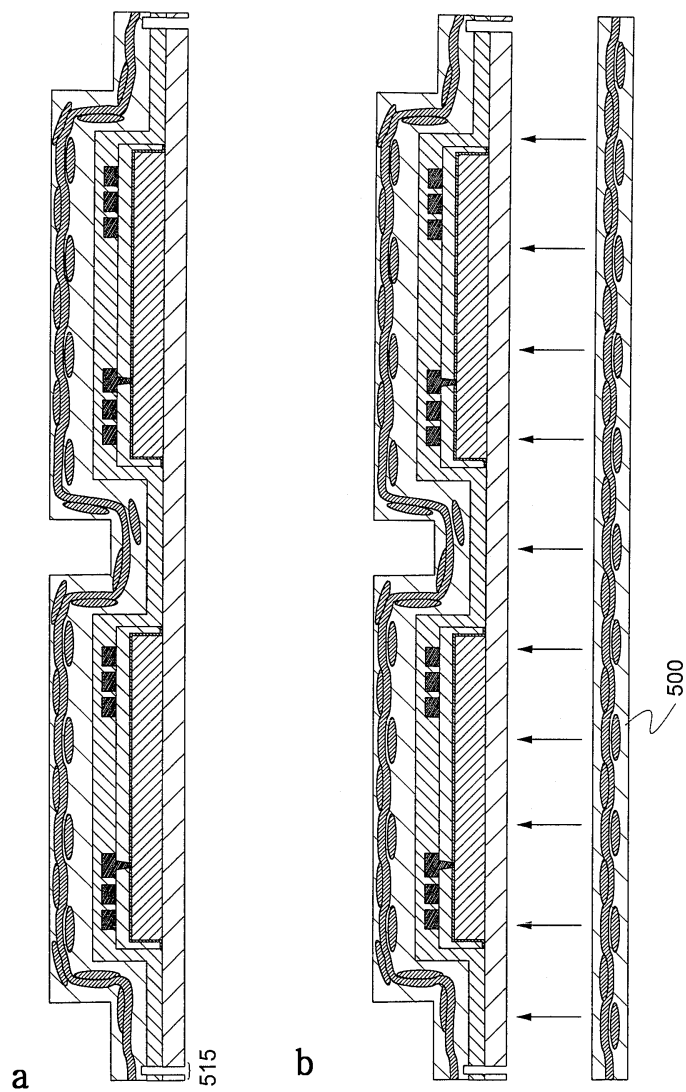
도면15



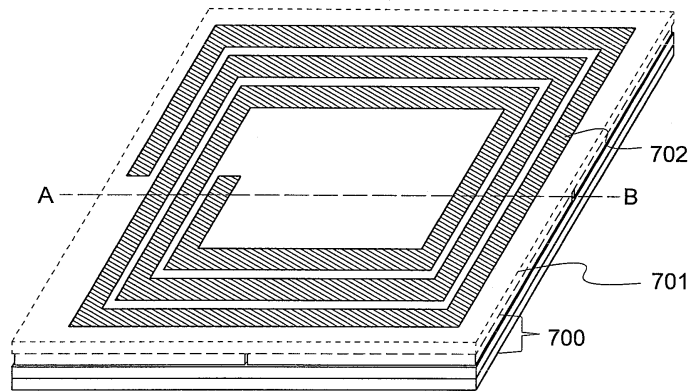
도면16



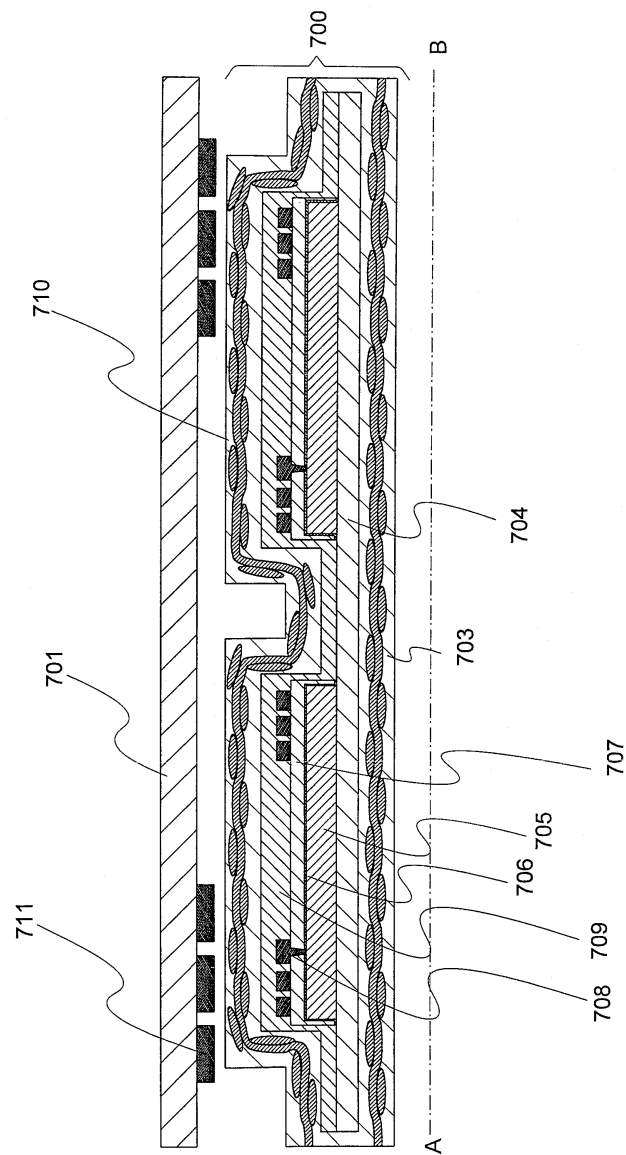
도면17



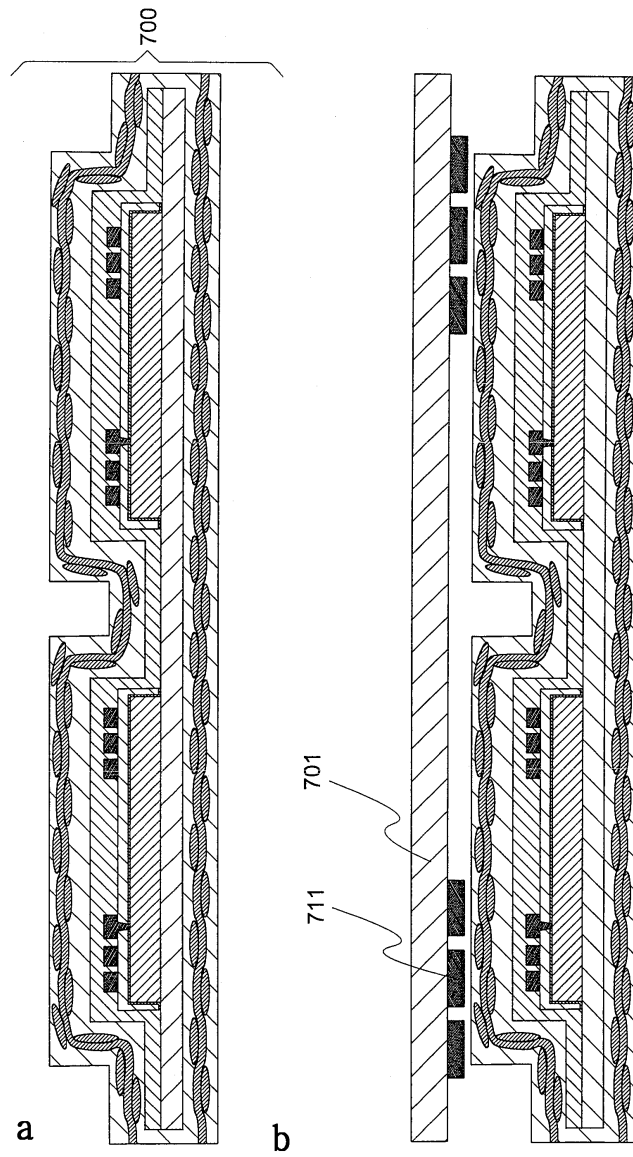
도면18



도면19



도면20



도면21

