

公告本

申請日期	83.12.20
案號	83111963
類別	H04L 27/02 H04N 1/06

311311

Int. Cl⁶

A4
C4

(以上各欄由本局填註)

發明專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明名稱	中文	迴旋交插器及解交插器
	英文	Convolutional Interleaver and Deinterleaver
二、發明人	姓名	(1) 馬克·費莫 (2) 史考克 F·哈洛桑 (3) 雷蒙 C·豪格
	籍貫 (國籍)	(1)~(3) 美國
	住、居所	(1) 美國伊利諾州霍夫曼艾斯泰特·康柯德巷1020號 (2) 美國伊利諾州德普蘭斯市橡園路379號 (3) 美國伊利諾州叢林市狐河·加登爾路9011號
三、申請人	姓名 (名稱)	美商·增你智電子公司
	籍貫 (國籍)	美國
	住、居所 (事務所)	美國伊利諾州格蘭維市米爾伍基街1000號增你智中心
	代表人 姓名	大衛 S·李文

311311

(由本局填寫)

承辦人代碼：

大類：

IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

美

1993.12.29.

08/175,325

美

1994.09.29.

08/315,153

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

本發明大致上係有關於數位傳輸系統，且特別地，係針對具有被選擇來促進諸如符號對位元組轉換、交插暨解交插、與順向改誤等操作之一資料訊框結構與電路配置的一種數位資料傳輸系統。此種系統亦可促進與用於增強系統容量之傳輸環境的信號雜訊比（ S/N 比）相關之一資料率的使用。

美國專利第5,087,975號揭露用以透過一個標準6MHz電視頻道以連續多個M準位符號之形式傳輸電視信號的一種殘邊帶（VSB）系統；其電視信號例如可包含一個或兩個經壓縮之寬帶HDTV信號或多個經壓縮之NTSC信號。雖然表現諸符號之準位M的數目可能視情況而變，但符號率則較宜固定，諸如固定於684H（約10.76百萬符號／秒）的符號率，其中H為NTSC水平掃描頻率。用於任何特定狀況中之符號準位數目大半依為傳輸媒體特色所在之 S/N 比而定，於 S/N 比偏低之情況下即用較少數目之符號準位。一般相信，能容納24、16、8、4、與2個符號準位的能力，便可提供足以滿足大部份系統中之各種狀況的合適彈性。將可體會到的是，一些較低的M值可在降低傳輸位元率之代價下提供改善的 S/N 比性能。例如，假定有10.76百萬符號／秒的一個符號率，則一個2準位VSB信號（每一符號一個位元）便提供10.76百萬位元／秒的傳輸位元率，而一個4準位VSB信號（每一符號兩個位元）便提供21.52百萬位元／秒的傳輸位元率，諸如此類可推至一個24準位VSB信號提供約48.43

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

百萬位元／秒之傳輸位元率。

一般所知的是，有線電視(CATV)系統之 S/N 比性能係隨信號(頻道)頻率的提高而降低。一個 M 準位 VSB 傳輸系統之前述屬性，亦即隨 M 降低而改善之 S/N 比性能，在本發明之一個概念中即被用來補償 $CATV$ 配送系統之諸較高頻率頻道中的 S/N 比衰減現象；亦即，依據本發明的此一概念， VSB 傳輸動作在一個 $CATV$ 系統中進行，而其中較低頻率頻道係用一些較大的 M 值來傳送。因此即使諸較高頻率頻道之位元率會因而減低，但其被接收信號卻因而可以用與諸較低頻率頻道之 S/N 比相當的 S/N 比來予以重現。

再者，依據本發明之其它概念，系統效率，特別是與諸如資料交插暨解交插、符號對位元組轉換、及順向改誤等等接收機操作動作有關者，可以藉著選用能於被傳輸信號之可變 M 準位 VSB 字符束縛下促進此等操作動作的一種資料訊框結構，而予以大大地增強。

於是，本發明之一個主要目的係欲提供一種新創之迴旋交插器及／或解交插器。

本發明之另一層面是要提供用以將由一個符號對位元組轉換器所供應之經迴旋交插處理之諸資料位元組加以解交插的一種電路。

本發明之進一步特徵與優點將可在配合後附之圖式閱讀以下所作的本發明諸較佳實施例之詳細說明時更為明瞭；其中：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

第 1 圖繪示出本發明之該創新資料訊框結構；

第 2 圖係顯示資料組體規模大小對本發明之其它參數之關係的一幅圖表；

第 3 圖係依據本發明構成之一發射器的一幅簡化方塊圖；

第 3 A 圖係例示在第 3 圖之該發射器中位元組對符號轉換器之一種實施型態的一幅圖表；

第 3 B 圖係例示在一有線設備中 S/N 比隨頻率而生之變異以及欲使有線設備運作最佳化之 V S B 模式指派狀況的一幅圖表；

第 4 圖係依據本發明構成之一接收器的一幅簡化方塊圖；

第 5 圖係第 4 圖之該接收器中之資料處理部段的一幅較詳細方塊圖；

第 6 圖係第 5 圖之該資料處理機中之符號對位元組轉換器的一幅較詳細方塊圖；

第 7 圖係用以依據本發明將一份經迴旋交插之資料流加以解交插之一組例示用位址信號矩陣的一幅圖表；

第 8 圖係為可操作用以依據本發明產生包括第 7 圖中所示者之記憶體位址信號的一組一般化電路圖；

第 9 圖係適用於本發明之一實際實施例中的一種解交插位址信號矩陣；

第 10 圖係適用於本發明之一實施例中的另一種解交插位址信號矩陣；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

第11圖係第8圖之該電路的一種可規劃實施例；

第12圖為第8圖之該組ROM或第11圖之該組RAM的一組替換電路；

第13圖係示出依據本發明構成之一迴旋解交插器之一替換實施例的一幅方塊圖；

第14、15及16圖係為適於依據本發明使用之個別迴旋交插位址信號矩陣的示意圖；以及

第17圖係示出依據本發明構成之一迴旋交插器之一替換實施例的一幅方塊圖。

本發明之該創新資料訊框的結構係繪示於第1圖中。此資料訊框大致以參考號碼10來標示，其包含有編為DS0-DS312的313個資料節段(DS)。每一節段包括832個資料用符號以及定義一資料節段同步字符11的4個符號。每一資料節段同步字符11包含有四個2準位符號，而此等2準位符號最好採取尚在審查中之繫屬中之美國專利申請案第894,388號中所揭示之型式。第一個資料節段DS0只包含數個2準位符號；此等2準位符號代表一個假隨機序列訊框同步碼、以及辨識資料訊框其餘312個資料節段之資料欄位之諸符號之準位M(例如24、16、8、4、或2)的一個八符號VSB模式或控制信號。此八位元VSB模式控制位元組之頭三個位元辨識VSB模式，而其餘五個位元包含可被接收器用來作錯誤檢測(檢誤)之同位位元。在先前述及之CATV配送系統中，例如，VSB模式信號將針對一些低頻頻道辨識一個相當大的M值，而針對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

較高頻率頻道辨識一個較小之 M 。而在一個地面廣播環境中， VSB 模式大部分可能為 $M = 2$ 、 4 、或 8 。

參照第 2 圖之圖表，一個資料節段 DS1-DS312 之各個資料符號表示 4.5 位元 ($M = 24$)、4 位元 ($M = 16$)、3 位元 ($M = 8$)、2 位元 ($M = 4$)、或 1 位元 ($M = 2$)。由於每一訊框有固定數目之資料符號 ($312 \times 828 = 258,336$)，故每一訊框之資料位元組數將會如所示地變化。亦即，對於 VSB 模式 $M = 24$ 之狀況，每一訊框包含 145,314 個資料位元組；對於 VSB 模式 $M = 16$ 之狀況，129,168 個資料位元組；對於 VSB 模式 $M = 8$ 之狀況，包含 96,876 個資料位元組；對於 VSB 模式 $M = 4$ 之狀況，包含 64,584 個資料位元組；而對於 VSB 模式 $M = 2$ 之狀況，包含 32,292 個資料位元組。然而，雖然每一訊框之資料位元組數目隨 VSB 模式 M 而變，但可看出，對於任何特定之 M 值，在每一訊框中係提供整數數目之位元組。訊框 10 之結構的此一特性大大簡化了接收器之設計，使得訊框同步化得以用與資料位元組之整數數目相對應之速率而不管 VSB 模式（亦即 24、16、8、4、或 2 準位符號）地予以實現。如同下文將進一步予以詳細闡明地，接收器順向改誤電路、接收器符號對位元組轉換器、及接收器解交插器最好係與被發射信號成訊框同步化關係；只要對於各個 VSB 模式在每一資料訊框中有整數個位元組，順向改誤塊組、及交插塊組，訊框同步信號即可直接用於該等目的。

五、發明說明()

於本發明中係使用荷德－所羅門 (Reed-Solomon, "RS") 順向改誤法；有一種 187 個位元組的標準傳送封包大小已由 M P E G (動畫專家小組) 委員會訂定；在每一個這種傳送封包加上 20 個同位位元組，即產生 207 個資料位元組之一個 R S 塊組大小，而可允許對每一個 R S 塊組有 10 個位元組之錯誤改正。由第 2 圖可見，207 個位元組之一個 R S 塊組大小有利地對所有被選擇之 V S B 模式形成每一訊框有整數個 R S 塊組，而容許接收器 R S 解碼器可被訊框同步信號予以同步化。一個迴旋交插群組大小 (B) 依據本發明而被定義為包含有 26 或 52 個資料位元組 (亦可採用它種數值)，此亦連帶造成不管被選擇之 V S B 模式如何 (除了 $M = 24$ 且 $B = 52$ 以外)，每一訊框均有整數個交插群組，如第 2 圖所示；此亦容許訊框同步信號可被用來定期將接收器解交插器同步化，而得以簡化其設計。

第 3 圖係依據本發明構成之一部發射器的一幅簡化方塊圖。一個電視信號源 12 被耦接於一個迴旋交插器 13，後者則供應經交插處理之資料位元組給一個位元組對符號轉換器暨對映器 14。應知，信號源 12 可包含一種經壓縮處理之 H D T V 信號 (或視 V S B 模式而定之二種經壓縮處理之 H D T V 信號)、或是多種經壓縮處理之 N T S C 信號。轉換器 (暨對映器) 14 之符號輸出被供應至一個訊框格式化器 15，此訊框格式化器 15 具有資料、資料節段同步及訊框同步輸入且連同轉換器 14 一起受 V S B 模式控制信號所控制，遵循先前針對第 1 與 2 圖所述配置的經格式化之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

諸訊框，被供應至一個數位至類比 (D/A) 轉換器 16，及接著被供應至一個 V S B 發射器 17 以供經由一個 6 MHz 電視頻道傳輸發射出去。其傳輸媒體可包含一種有線電視設備或一種地面無線廣播環境；在任一種狀況下，對於每一個被傳輸之 6 MHz 頻道均須有這麼一個發射器。

第 3 A 圖係為例示出實現該位元組對符號轉換器之一種方法的圖表。此圖表包含四個直行，每一種 V S B 模式 $M = 16$ 、 $M = 8$ 、 $M = 4$ 、及 $M = 2$ 各用一直行。轉換器 14 係響應於所施加之 V S B 模式控制信號而作動，以利用第 3 A 圖之圖表中被確認之直行，來將所有輸入資料位元組轉換成一些輸入資料符號。例如，對於 V S B 模式 $M = 16$ 而言，輸入資料位元組 11010101 會被轉換為具有 +88 與 -40 之相對幅度的兩個連續資料符號；對於 V S B 模式 $M = 8$ 而言，此輸入資料位元組會被轉換為具有 +80、+48 與 -16 (假定下一組資料位元組之第一個位元為 1) 或 +80、+48 與 -48 (假定下一組資料位元組之第一個位元為 0) 之相對幅度的三個連續資料符號；對於 V S B 模式 $M = 4$ 而言，此組輸入資料位元組會被轉換為具有 +96、-32、-32 與 -32 之相對幅度的四個連續資料符號；而最後對於 V S B 模式 $M = 2$ 而言，則會有八個輸出符號以 +64、+64、-64、+64、-64、+64、-64 與 +64 之相對幅度被提供出來。在 V S B 模式 $M = 24$ 之狀況中，轉換器暨對映器 14 係包括有適當記憶體及詢查表，供將連續的多組 9 位元輸入資料位元組對映成兩個連續的 24 準位輸出符號；依此方式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

，每一個符號可被視為代表4.5 個位元（亦即9 個位元／2 個符號）

針對前述，將可看出各個V S B 模式之諸符號的相對準位係均勻間隔且落在所有較高V S B 模式之諸被選定符號之相對準位中間。例如，V S B 模式M = 8 之相對準位+112落在V S B 模式M = 16之相對準位+120與+104中間，而V S B 模式M = 4 之相對準位+96 落在V S B 模式M = 8 之相對準位+112與+80 中間及落在V S B 模式M = 16之相對準位+104與 +88中間，V S B 模式M = 2 之相對準位+64 落在V S B 模式M = 4 之相對準位+96 與+32 。V S B 模式M = 8 之相對準位+80 與+48 。以及V S B 模式M = 16之相對準位 +72與+56 中間，諸如此類。較佳地，諸符號準位在傳輸之前係自所顯示之諸數值被偏移某一預定量（例如+20），俾提供一個小引示作用來促進接收器中之載波獲取動作。另將可看出，為各個V S B 模式特有之資料率相對於緊接著的低一級V S B 模式，每一個符號增加一個位元，而其S / N 比性能則降低一半。

以上所述係本發明目前以晶片型式實施之型態下的情況，其中之16V S B 為最高模式。然熟於本項技藝者應可明顯知道，24V S B 模式實施型態將如本發明所教示地需要一些不同之相對準位。處理24V S B 模式信號所需的技術與裝置會在下文中說明，且係於另一繫屬中之美國專利申請案第178,085 號案中加以界定請求。

第3 B 圖繪示出一個有線設備隨頻率提高而掉落之一

五、發明說明 ()

般 S/N 比。如同本發明中所指定者，針對較低頻率信號的較高 S/N 比傳輸特性可被用來有利地針對類似之性能運用較高之 VSB 傳輸（及較高之資料率）。頻譜中之“較多雜訊”部分（低 S/N 比）可供較低 VSB 模式之信號使用。明顯可見的是，此一技術安排可讓有線設備之利用率達到最佳化。

第4圖係為依據本發明所建構成之一個接收器的一幅簡化方塊圖。從第3圖之該發射器所接收到之 RF 電視信號包含具有第1圖之訊框格式的一種 M 準位 VSB 信號。所接收之信號由一個調諧器20予以轉換成 IF 頻率，並被施加至一個 VSB 解調器22。此 VSB 解調器22產生一個類比基帶輸出信號，而此一類比基帶輸出信號包含具大約 10.76 百萬符號／秒之速率之多個 M 準位符號。此類比信號由一個類比至數位（ A/D ）轉換器24予以取樣，此轉換器24把諸符號轉換成二進位形式，且將它們施加至一個資料處理機26。此資料處理機26提供一個同授信號供控制 A/D 轉換器24，以確保該類比基帶信號於適當的符號時間被取樣（參見前述繫屬中之美國專利申請案第 394,388 號）。資料處理機26把成對應於第3圖中之電視信號源12之輸出之諸資料位元組的形式之經處理之二進位資料施加至一個解多工器28，此一解多工器28將所接收資料配送至各包括合適之解壓縮電路的一個視頻處理機30與一個音頻處理機32。

資料處理機26於第5圖中更詳細地顯示出來。來自該

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

A / D 24之諸二進位符號被施加至一個資料獲取電路34，此資料獲取電路34執行多項功能，包括產生控制 A / D 24 用之同授信號、產生一個符號時鐘信號、產生一個訊框同步信號 (F S Y N C)、及產生一個八倍符號時鐘信號。該符號時鐘信號具有針對除了 V S B 模式 $M = 24$ 以外之所有 V S B 模式均大約為 10.76MHz 之一個頻率；而在 V S B 模式 $M = 24$ 之情況下，如同以下將會解說地，其頻率則降低一半而至大約 5.38 MHz。本較佳實施例中所用之 FSYNC 約為 41Hz。資料節段 DS0 之訊框同步碼使該 F S Y N C 信號得以被導出，而該 F S Y N C 信號之導出乃與各個資料訊框 10 之資料節段 DS1 之第一個資料符號在時間上一致。

來自 A / D 24 之諸二進位符號（代表來自 V S B 解調器 22 之被取樣類比信號之幅度）被資料獲取電路 34 施加至一個多準位切分器 36，此切分器 36 把所接收之諸符號依據第 3 A 圖之該圖表轉換成一些位元。在發射器之狀況中，針對 V S B 模式 $M = 24$ 而言，切分器 36 包括有合適之記憶體以及用以把各對連續被接收之符號對映到 9 位元之輸出資料的詢查表。切分器 36 將各訊框之資料節段 DS0 之 V S B 模式控制位元組（八個 2 準位符號）的被切分值耦接至一個 V S B 模式解碼器 37，此 V S B 模式解碼器 37 檢出該模式控制位元組之前三個位元，並發展出一個 3 位元 V S B 模式選擇信號；此信號辨識被接收之諸符號的 V S B 模式（ $M = 24$ 、16、8、4、或 2），以供於各個訊框其餘部分之期間內控制資料獲取電路 34、切分器 36、及一個符

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

號對位元組轉換器38。模式控制位元組之剩餘五個位元係被V S B模式解碼器37用於檢誤之用。包括有一組九線輸出匯流排的切分器36係響應於V S B模式選擇信號，供將代表諸符號幅度之二進位信號轉換成它們的對應位元值。因此，在 $M = 2$ 之V S B模式下，各個二進位符號幅度信號係被轉換為在該等九條輸出線中之一條輸出線上的對應1位元信號；在 $M = 4$ 之V S B模式下，係被轉換為在該等輸出線中之二條輸出線上的對應2位元信號；在 $M = 8$ 之V S B模式下，係被轉換為在該等輸出線中之三條輸出線上的對應3位元信號；以及在 $M = 16$ 之V S B模式下，係被轉換為在該等輸出線中之四條輸出線上的對應4位元信號。而在 $M = 24$ 之V S B模式下，兩個連續符號係以符號時鐘速率的一半速率被轉換為（在所有九條輸出線上的）對應9位元信號。

切分器36之九條線輸出，連同來自解碼器37之3位元V S B模式選擇信號以及來自資料獲取電路34之時序信號，一起被耦接至符號對位元組轉換器38，此符號對位元組轉換器38之輸出供應至一個解交插器40，而後者之輸出則供應至一個R S解碼器42。符號對位元組轉換器38將代表被接收之諸符號的輸入位元轉換成相對於各個V S B模式的一連串8位元資料位元組。解交插器40把由轉換器38供應之經迴旋交插處理之諸資料位元組加以解交插，而R S解碼器42則對經解交插處理之諸資料位元組執行改誤處理。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

符號對位元組轉換器38係在第6圖中更詳細地顯示出來。來自切分器36之九線資料符號匯流排與來自資料獲取電路34之符號時鐘信號被施加至一個 1×9 並入串出暫存器44。3位元V S B模式信號、符號時鐘信號、與八倍符號時鐘信號被施加至一個可變脈衝產生器46之輸入端。此產生器46響應於被接收之各個符號時鐘而以八倍符號時鐘速率產生一系列脈衝(位元時鐘)。此系列脈衝包括有供V S B模式 $M=2$ 用之一個脈衝、供V S B模式 $M=4$ 用之二個脈衝、供V S B模式 $M=8$ 用之三個脈衝、以及供V S B模式 $M=16$ 用之四個脈衝。而一系列之九個脈衝則針對V S B模式 $M=24$ 而被送出，惟其符號時鐘只產一半。

例如假定於V S B模式 $M=8$ 之狀況下，來自切分器36之三個位元(代表一個被接收符號)係響應於一個符號時鐘同時被寫入暫存器44之頂部三個位置內；於此同時，符號時鐘令脈衝產生器46啟動，使脈衝產生器46產生3位元時鐘(以八倍之符號時鐘速率)，此等3位元時鐘被施加至暫存器44之讀取(RD)輸入端、施加至一個 1×8 串入並出暫存器48之寫入(WR)輸入端、及施加至一個除以8電路除法器50之輸入端。除法器50於各個資料訊框10之開端被F S Y N C復置重新設定，俾使轉換器38與被接收之資料同步化，因為F S Y N C總是表示一個位元組邊界。先前被載入暫存器44中之三個位元響應於該等3位元時鐘脈衝而自暫存器44中串列式地被讀出，並被寫入暫

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

存器48內；來自切分器36之下一個3位元符號亦以同樣方式被處理，以致有六個位元被儲存於暫存器48中。於下一個（亦即第三個）3位元符號之頭兩個位元自暫存器44被寫入暫存器48內之後，除法器50一個輸出（位元組時鐘），使儲存於暫存器48中之被累加之3位元資料位元組被讀出（並列式地）。第三個符號之剩餘單一個位元則留存於暫存器48中，並隨同後續3位元符號的接下來之7個位元被讀出，作為下一個資料位元組。依此方式，轉換器38使把被輸入之諸3位元符號（對 $M=8$ 而言）排列配置成一系列連續之8位元輸出資料位元組，而此等輸出資料位元組係以位元組時鐘之速率被供應至解交插器40。

大致類似之程序亦針對V S B模式 $M=2$ 、4、與16施行，只是視V S B模式而定，會花費較長或較短之時間來結構出諸資料位元組。例如，在V S B模式 $M=2$ 與4之狀況下，由脈衝產生器46響應於各個符號時鐘信號而產生之位元時鐘分別包含一個及兩個脈衝，使得其各需8及4個符號時鐘信號來產生各自之資料位元組（相對於V S B模式 $M=8$ 之狀況下的 $2-2/3$ ）。

對於V S B模式 $M=24$ 而言，切分器36以一半的符號時鐘速率結合兩個4.5位元符號成為9個位元，並將此等信號施加至轉換器38。因此，響應於各個符號時鐘，來自切分器36之9個位元即被載入暫存器44；接著，此等9個位元串列式地自暫存器44被讀出，並被寫入暫存器48；然而，在第八個此等位元已被寫入暫存器之後，一個位元組

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

時鐘輸出即被除法器50產生，而把這八個位元自暫存器48讀出作為一個資料位元組；而剩下之該一位元將在兩個符號時間之後，隨著下一個符號之前七個位元自暫存器48被讀出作為下一個資料位元組。

轉換器38更包括一個除法器52，此除法器52亦由F S Y N C予以復置重新設定，以使其操作與每一個資料訊框10之起點同步。特別是，除法器52係為一個除以207計數器，其係由除法器50所產生之位元組時鐘予以計時，以產生一個開始R S塊組信號，供與各資料訊框之第一個資料位元組同步地辨識每一塊207個資料位元組之起點。如同下文將會解說地，此信號乃用於使R S解碼器42之操作同步化。除法器52包括響應於符號與位元組時鐘而供將一個符號寬之輸入F S Y N C轉換成一個位元組寬之輸出F S Y N C的裝置。

如同先前所述，轉換器38之輸出係被施加至解交插器40。又如同下文將會進一步詳細描述地，解交插器40利用最少量之記憶體把接收自轉換器38之經迴旋交插處理之諸資料位元組加以解交插。

如同一般所週知地，交插處理係在發射器（參見第3圖之交插器13）內進行，將接續的諸資料位元組彼此展佈分開，俾讓被發射傳送之資料免遭叢訊雜訊所擾。而在接收器中，經交插處理之諸位元組必須在施行順向改誤處理之前被解交插，以重建它們的原始關係；職是之故，某些給定時間期間之叢訊雜訊將只會據雜章改在經解交插處理

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

之資料之一 R S 塊組內有限數目的位元組而已，且遭擾雜竄改之諸位元組可由 R S 解碼器予以改正。所用之交插處理演繹法則係依在最快的位元組時鐘速率（亦即對應於 V S B 模式 $M = 24$ ）下有最大的預期叢訊雜訊期間之期望來選擇，以確保 R S 解碼器可將被擾雜竄改之經解交插處理的諸資料位元組加以改誤。因此，當最大的預期叢訊雜訊期間增加時，此交插處理演繹法則須把諸連續之資料位元組展佈分開得更大程度。或者，可以運用一個更為有力之 R S 碼，惟此方式有著會用到較多普通花費的缺點，亦即其需要較多位元組供改誤之用。而且，把此系統與最高位元組時鐘速率（對應於 24 V S B）扯上關係，則由於交插處理型樣係不管 V S B 模式如何地對一給定數量之位元組施行，故當 V S B 模式與相對應之位元組速率降低時，將提供增強的叢訊錯誤保護效果。

迴旋交插處理演繹法則一般係被用來使被發射傳送資料免受叢訊雜訊所擾。此等演繹法則把連續之多群位元組之各個位元組延遲不同數量（有時稱為交插深度），而使諸位元組有效地分散在資料訊框之一部分或整個資料訊框上。而解交插處理則係藉著把所接收之諸位元組延遲相反的数量來進行。於實現此一系統時，有三項參數特別值得注意：預期之最大叢訊長度 B L、R S 解碼器可改正之位元組錯誤數目 T、以及 R S 塊組大小。如同先前所提，在資料訊框中最好有整數個 R S 塊組，使得 R S 解碼器可由訊框同步信號 F S Y N C 予以同步化。藉著選擇等於參數

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

$B = B L / T$ 之一個交插群組大小 (其最好在每一訊框中有整數個)，及選擇不同延遲為等於或大於 $R S$ 塊組大小之一個參數 N 之整數倍，則 $R S$ 解碼器將可針對高達 $B L$ 位元組時鐘之最大預期期間的叢訊雜訊，來改正經解交插處理之資料。

考慮一個簡化的系統實例，其中最大預期叢訊長度為 4 個資料位元組時鐘，且 $R S$ 解碼器可以在每一組 8 資料位元組 $R S$ 塊組中改正一個資料位元組錯誤 (亦即 $B L = 4$ ， $T = 1$ ， $N = 8$)；運用此等參數，則交插處理群組大小 $B = B L / T = 4 / 1 = 4$ 。迴旋交插處理係運用此等參數執行，而使得對於每一群 $B = 4$ 個資料位元組，第一個資料位元組遭受 0 延遲，第二個資料位元組遭受 $1 N = 8$ 個資料位元組時鐘之延遲，第三個資料位元組遭受 $2 N = 16$ 個資料位元組時鐘之延遲，而第四個資料位元組則遭受 $3 N = 24$ 個資料位元組時鐘之延遲。解交插處理係藉著將該等延遲顛倒過來而施行，使得對於每一群 $B = 4$ 個被接收之經交插處理的資料位元組而言，第一個被延遲了 $3 N = 24$ 個資料位元組時鐘，第二個被延遲 $2 N = 16$ 個資料位元組時鐘，第三個被延遲 $1 N = 8$ 個資料位元組時鐘，而第四個被延遲 0 個資料位元組時鐘。

實現上述演繹法則的傳統式迴旋解交插器包含有具有 $(B - 1) N / 2$ 個記憶體位置的一組記憶體。就通常遠較上述簡化實例中所用數值為大的實際之 B 與 N 之值而言，這會導致一種極為複雜的架構，因為其需有大量的移位

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

暫存器；尚可採用的一種替換性架構則使用一種標準的線性記憶體陣列，但對於此種陣列，卻須在硬體上維持有大量的先進先出訊頭與訊尾指位器；這可是一項極其複雜之工作，且因而極不合吾人所願。

此等問題依據本發明乃藉著採用附有一個位址產生器的一個線性記憶體陣列予以解決，此位址產生器係用以產生一組重覆循環序列之讀寫位址，而此等位址引致被接收資料可正確地受解交插處理。此記憶體陣列係具相當小之規模大小，其係使用比欲在各群之各個資料位元組上施予不同延遲所需之數量只多了一個記憶體位置的規模大小。此發明將在下文參照簡化實例予以描述，並會擴延到使用較合於實際之參數的一些實施態樣。

詳言之，吾人已發覺，具有 $1((B-1)N/2)+1$ 個記憶體位置之一組線性記憶體陣列，可由一特定序列之讀寫位址予以定址，以正確將一串經迴旋交插處理之資料流加以解交插。此序列位址係藉著首先寫下以 0 開始之一行 $1((B-1)N/2)+1$ 個連續整數而生成；此係由第 7 圖所示定址矩陣之第一直行來代表，而該圖所示定址矩陣係針對 $B=4$ 及 $N=8$ 之簡化實例而來。接著，第二行亦以與第一行相同之方式寫成，只是其係被向下輪轉 $(B-1)N/B=(3 \times 2)=6$ 列；此即為第 7 圖之矩陣中的第二直行。第三行係藉著將第二行向下輪轉 $(B-2)N/B=(2 \times 2)=4$ 列而生成，且最後，第四行也就是最後一行係藉著將第三行向下輪轉 $(B-3)N/B=(1 \times 2)=2$ 列而生成。此矩陣擁有 $B=4$ 行及 $1((B-1)N/2)+$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

11 = 13列的規模大小，此列數係為解交插線性記憶體陣列所需之大小。若此矩陣中之諸數目一次一列地被讀出，它們可被用作為供應用於解交插記憶體之諸讀寫位址，俾連續地將所接收資料解交插，亦即，讀出位於被定址之記憶體位置的舊資料，及在同一位置寫入新資料。

用以產生第7圖之該位址矩陣的一種電路已繪示於第8圖中。由FSYNC負責予以復置重新設定為0的一個除以B向上計數器60會響應於來自轉換器38之位元組時鐘，而施加自一個最小數字至一個最大數字（例如由0至 $(B-1)$ ）之一組重複循環序列之計數總數，而供以位元組時鐘速率來對一個B字元ROM 62定址。ROM 62把包含該位址矩陣之第一列的B字元儲存起來。除法器60之進位輸出係用於以位元組時鐘/B之較慢速率來對一個第二除法器64計時，而除法器64之除法比例為 $((B-1)N/2)+1$ 。除法器64與該ROM 62之輸出在一個加法器66中相加，再經由一個滿 $1((B-1)N/2)+1$ 轉換器68施加而供定址具有 $((B-1)N/2)+1$ 個記憶體位置之一組線性解交插記憶體陣列70。轉換器68最好包含一組電路來將其輸入信號耦合至其輸出端，或是若該輸入大於 $((B-1)N/2)+1$ ，即在把輸入信號耦合至其輸出端之前把輸入信號減去此值。

就上述簡化實例而言，亦即 $B = 4$ 及 $N = 8$ ，除法器60（÷4）反覆地產生輸出計數序列0、1、2、3，用於以位元組時鐘速率定址及讀出儲存於ROM 62中之四個字元0、7、3、1。除法器64（÷13）則以四分之一倍

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

位元組時鐘速率產生輸出序列 0、1、2、……、12。結果，對於每一群四個連續位元組時鐘，自 R O M 62 讀出之四個字元 0、7、3、1 即在加法器 66 中各被加到除法器 64 之輸出中，而於經滿 13 轉換器 68 處理之後，產生第 7 圖之該位址矩陣中之一列。例如，該位址矩陣之第一列 0、7、3、1 乃於頭四個位元組時鐘期間產生，其中，（來自除法器 64 之）0 被加至 R O M 62 之輸出 0、7、3、1；而於接著的四個位元組時鐘期間，（來自除法器 64 之）數值 1 被加至由 R O M 62 所產生之字元 0、7、3、1，而得到該位址矩陣之第二列 1、8、4、2；餘此類推，直到最後，最後一列藉著將 12 加至該等四個字元 0、7、3、1 中之每一個字元而形成，以產生最後一列 12、6（ $=19$ 滿 13）、2（ $=15$ 滿 13）、0（ $=0$ 滿 13）為止。

於滿 13 轉換器 68 之輸出端產生之各個位址信號啟動 R A M 70 之讀寫操作；亦即，各個位址首先使儲存於被定址之記憶體位置的資料位元組在匯流排 72 上被讀出，且接著使新的經交插處理之資料位元組被寫入同一記憶體位置。藉著遵循本文所揭示之定址體系，則自 R A M 70 讀出之諸資料位元組即會呈正確的經解交插之格式。細密審視第 7 圖之該矩陣，便可看出諸輸入資料位元組被正確地解交插的事實；特別是，應回想起，迴旋交插處理係針對每一群四個資料位元組，藉著把第一個資料位元組延遲 0 個位元組時鐘、把第二個資料位元組延遲 3 個位元組時鐘、把第三個資料位元組延遲 10 個位元組時鐘、及把第四個資料

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

位元組延遲24個位元組時鐘而完成；理論上，接下來的解交插處理即是藉著把第一個被接收之資料位元組延遲24個位元組時鐘、把第二個被接收之資料位元組延遲16個位元組時鐘、把第三個被接收之資料位元組延遲8個位元組時鐘，及把第四個被接收之資料位元組延遲0個位元組時鐘而完成；對每一個被接收之資料位元組再加上一個一位元組時鐘之延遲，並不會影響解交插作用，而使得25、17、9、1個資料時鐘之延遲的作用與使用24、16、8、0個資料時鐘之解交插延遲的作用等效。參照第7圖之該矩陣，第一個被接收之資料位元組被寫入RAM 70之記憶體位置0，且於25個位元組時鐘之後（亦即於25個位元組時鐘之延遲之後）在行2列7處被讀出；第二個被接收之資料位元組被寫入記憶體位置7，且於17個位元組時鐘之後（亦即於17個位元組時鐘之延遲之後）在行3列5處被讀出；第三個被接收之資料位元組被寫入記憶體位置3，且於9個位元組時鐘之後（亦即於9個位元組時鐘之延遲之後）在行4列3處被讀出；而第四個被接收之資料位元組被寫入記憶體位置1，且於1個位元組時鐘之後（亦即於1個位元組時鐘之延遲之後）在行1列2處被讀出。由此一分析可清楚瞭解到，解交插演繹法則的確能正確地被執行。

於本發明實際被組構供用於一個有線電視系統中的一組實施例中，選用了下列參數： $BL = 260$ 個位元組， $T = 10$ ，且 $N = 208$ 。因此， $B = BL / T = 26$ 個位元組，此

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

係整個地與供所有 V S B 模式用之訊框大小相關。針對此狀況，在第 8 圖之電路中的除法器 60 成為一個除以 26 除法器（由 F S Y N C 週期性地加以復置重新設定），其連續地定址 R O M 62 之該等 26 個字元，包含第 9 圖中所示位址矩陣之第一列（0、2401、……、1）。除法器 64 為一個除以 2601 除法器，而轉換器 68 為一個滿 2601 轉換器。此電路之此實施例的操作完全同於前文針對該簡化實例所描述者。

如前文曾述及地，諸系統參數亦可具有與上文所列者不同的其它數值。例如，在一種地面廣播應用型態中，吾人可能希望增加交插深度 B，因為一個較大的最大叢訊雜訊長度是為人所期待的。因此，在一個地面廣播應用型態中，可採用下列參數：B L = 520 個位元組，T = 10，且 N = 208；因此， $B L / T = 52$ 。相對於此等參數（B = 52 及 N = 208）的位址矩陣係繪示於第 10 圖中。第 8 圖之電路亦可用於藉著替換各個電路元件中之 B 與 N 的適當值，而產生第 10 圖之位址矩陣。

吾人亦可希望以一種可規劃之型式提供第 8 圖之電路，供產生第 9 圖之位址矩陣或第 10 圖之位址矩陣。此一型式之電路係繪示於第 11 圖中；其中，一個微處理機 74 被用來在初始化啟動時以適當之 B 與 N 值規劃計數器 60 與 64 以及滿轉換器 68；而且，微處理機 74 亦藉著把來自第 9 圖或第 10 圖之矩陣的第一列位址載入，而將記憶體 62 初始化。因此，此一電路可藉著把數值 26 載入計數器 60 內，把數值

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明()

2601載入計數器64與滿轉換器68內，及把來自第9圖之矩陣的第一列位址寫入記憶體62內，而使之選擇性地以一種第一模式（ $B = 26$ ， $N = 208$ ）操作。而藉著把數值52載入計數器60內，把數值5305載入計數器64與滿轉換器68內，及把來自第10圖之矩陣的第一列位址寫入記憶體62內，則可使此電路以一種第二模式操作，以提供較大之交插深度（ $B = 52$ ， $N = 208$ ）。應知，一旦被規劃完畢，此電路即會如同先前針對第8圖所解說地操作。

將可注意到的是，第8圖與第11圖之電路會自動針對不同的被接收之諸V S B模式加以調適。隨著V S B模式改變，此等電路會響應於位元組時鐘而予以增快或減慢之速率操作。在匯流排72上之經解交插處理的資料，連同來自轉換器38之F S Y N C與開始R S塊組信號，均被施加至R S解碼器42，而由後者對經解交插處理之諸資料位元組施以改誤處理。此R S解碼器42之操作動作係藉著於各資料訊框起點處以F S Y N C加以同步化，及藉著如同先前所解說地在不管V S B模式之情形下在每一個訊框提供整數個R S塊組，而加以促進。

第12圖顯示出可用以取代第8或11圖之記憶體62以產生第一列矩陣位址的一組電路。此一電路係實現下列式子俾產生第一列位址C(X)：

$$C(0) = 0$$

$$C(X) = [C(X-1) - (B-X)N/B] \text{ 滿 } [((B-1)N/2)+1],$$

$$\text{其中，} X = 1, \dots, (B-1).$$

五、發明說明 ()

就該簡化實例（亦即 $B = 4$ 及 $N = 8$ ）而言，項 $C(X)$ 變成 $C(X) = [C(X-1) - (4-X)2] \text{ 滿 } 13$ 。因此，例如，假如 $X = 1$ ， $C(X) = (0-6) \text{ 滿 } 13 = -6 \text{ 滿 } 13 = 7$ ；類似地，就 $X = 2$ 而言， $C(X) = (7-4) \text{ 滿 } 13 = 3$ ；以及最後，就 $X = 3$ 而言， $C(X) = (3-2) \text{ 滿 } 13 = 1$ 。第9與10圖之更大矩陣所需的第一列可運用此等關係而予以同樣地推導出。參照第12圖，此電路包含由FSYNC予以復置重新設定且由位元組時鐘予以計時之一個輸入除以B向下計數除法器80。響應於被復置重新設定之動作，除法器80之輸出會清除一個門鎖器82之內容。除法器80之輸出係以倒數順序（ $B-1, B-2, \dots, 0$ ）提供，使得當它在加法器84中被加1時，其結果為 $(B-X)$ 。此變數 $(B-X)$ 於乘法器86中被乘以 N/B ，而得到式子 $(B-X)N/B$ 。乘法器86可包含一種相當簡單之位元移位電路，因為在二實施例中，因子 N/B 係為2的一個乘冪數（亦即 $208/52 = 4$ 以及 $208/26 = 8$ ）。前述式子 $(B-X)N/B$ 接著在減法器88中從門鎖器82之輸出 $C(X-1)$ 減去，得到 $C(X-1) - (B-X)N/B$ 。最後，減法器之輸出被一個滿 $[(B-1)N/2]+1$ 電路90耦接供響應於一個位元組時鐘而暫時儲存於門鎖器82內。如同前一狀況中的情形，此電路可藉著設置一個微處理機76或其它適當控制器供於初始化啟動之際把除法器80中之合適除數，即把數值 N/B 載入乘法器86內以及把數值 $[(B-1)N/2]+1$ 載入滿轉換器90內，而予以安排成可規劃型式。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

第13圖繪示出第8與11圖之該解交插器電路的一種替換實施例。於此實施例中，一個除以B向下計數器100由FSYNC予以復置重新設定為零，並由位元組時鐘予以計時。計數器100之輸出供應至一個乘法器102之一個輸入，而此乘法器102之另一個輸入則被供以數值 N/B 。如同第12圖之乘法器86的狀況一般，此乘法器102較宜包含一個位元移位器，因為對於 $B=26$ 及 $B=52$ 這兩種模式而言，數值 N/B 均包含2的一個乘冪數。乘法器102之輸出被施加至一個減法電路104之負輸入端，此減法電路104之輸出被一個門鎖器106施加至一個滿 $[(B-1)N/2]+1$ 轉換器108之輸入端。而代表被施加至記憶體70之諸位址信號序列（參見第8圖）的轉換器108之輸出，係被耦接回到減法器電路104之正輸入端。如同先前之諸實施例的狀況，一個 $B=26$ 或 $B=52$ 模式控制信號可被施加至計數器100、乘法器102及轉換器108，以供施行各該模式下之操作動作。

考慮 $B=4$ 、 $N=8$ 的簡化實例，並假定計數器100適已被復置重新設定為零，且轉換器108目前之輸出為零；結果，一個零值即會在乘法器102與減法器電路104二者之輸出處被生成，並被門鎖器106施加供在轉換器108之輸出端上生成；計數器100之輸出接著增量變成3之數值，使乘法器102之輸出成為6，而減法器電路104之輸出成為-6；此數值-6又被門鎖器106耦接至該轉換器108，而於該處被轉換成數值7。計數器100之輸出隨後

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

增量變成 2 之數值，使轉換器 108 之輸出成為數值 $17 - (2 \times 2) = 13$ ；下一個位元組時鐘使計數器 100 之輸出增量變成 1 之數值，而令轉換器 108 之輸出成為數值 $13 - (2 \times 1) = 11$ 。參照第 7 圖，將可看出此等四個連續輸出構成了該位址信號矩陣之第一列的內容。應知，該位址信號矩陣接下去之諸列係以類似方式產生，且在用以如先前所述地對該線性記憶體 70 定址時，會把所接收到之經過迴旋交插處理的資料位元組加以適當地解交插。

儘管以上之論述大部份係集中於依據本發明構成之諸迴旋解交插器的實施狀態上，惟應知，基本上，相同之技術亦可應用於一些迴旋交插器的設計與組構上；詳言之，為依據本發明設置一個迴旋交插器，只須把第 7、9 與 10 圖之諸矩陣所呈現的位址信號序列之順序顛倒過來，再施以某些相對上較次要之電路變更即可。針對 $B = 4$ 且 $N = 8$ 之該簡化實例的顛倒順序定址矩陣，已繪示於第 14 圖中。此矩陣之第一行係藉著把以 12 開始而以 0 結尾之一行 $[(B-1)N/2] + 1 = 13$ 個連續整數寫入而生成；第二行包含把第一行向下旋轉 $(B-3)N/B = (1 \times 2) = 2$ 列而得之內容；第三行包含把第二行向下旋轉 $(B-2)N/B = (2 \times 2) = 4$ 列而得之內容；而第四行則包含把第三行向下旋轉 $(B-1)N/B = (3 \times 2) = 6$ 列而得之內容。準此，便可針對 $B = 26$ 、 $N = 208$ 以及 $B = 52$ 、 $N = 208$ 之狀況生成類似的交插位址信號矩陣，而此等矩陣已分別繪示於第 15 與 16 圖中。

第 8 與 11 圖之電路可藉著把計數器 60 組配成一個向下

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

計數器，及藉著把第14、15、或16圖之個別位址信號矩陣的最後一列儲存入記憶體62內，而使之以一種交插模式操作。經由此等變更，記憶體70之輸出72將包含所期望之經迴旋交插的資料流。

類似於第13圖之該解交插器實施例的一種替換性交插器實施例已繪示於第17圖中。於此實施例中，一個除以B向上計數器110由FSYNC予以復置重新設定為零，並由位元組時鐘予以計時。計數器110之輸出供應至一個乘法器112之一個輸入，而此乘法器112之另一個輸入則被供以數值 N/B 。如同先前之諸實施例的狀況一般，此乘法器112較宜包含一個位元移位器，因為對於 $B=26$ 及 $B=52$ 這兩種模式而言， N/B 之值均包含2的一個乘冪數（亦即 $208/26=8$ ，及 $208/52=4$ ）。乘法器112之輸出被施加至一個加法器114之一個輸入端，此加法器114之輸出被一個門鎖器116施加至一個滿 $\lfloor(B-1)N/2\rfloor+1$ 轉換器118之輸入端。而代表被施加至記憶體70之諸位址信號序列的轉換器118之輸出，係被耦接回到加法器114之第二個輸入端。一個 $B=26$ 或 $B=52$ 模式控制信號可被施加至計數器110、乘法器112及轉換器118，以供施行各該模式下之操作動作。

再次考慮 $B=4$ 、 $N=8$ 之簡化實例，且採取轉換器118目前之輸出為0的狀態，則第14圖之位址信號矩陣係由第17圖之該電路依如下型式予以產生：計數器110會響應於位元組時鐘產生0、1、2、3、0、1、2、3…

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 ()

……之連續輸出；乘法器112會因而產生對應的輸出0、2、4、6、0、2、4、6……；加法器114與門鎖器116之對應輸出因而為0(0+0)、2(2+0)、6(4+2)、12(6+6)、12(0+12)、14(2+12)、5(4+1)、11(6+5)、……，且轉換器118之輸出為0、2、6、12、1、1(14滿13)、5、11、……由上應可看出，較靠後面的輸出分別構成第14圖之該位址信號矩陣的最後一列與第一列；且其餘各列可用相同方式產生。轉換器118之輸出，當在被用於定址諸如線性記憶體70的一個記憶體時，因而即會把諸資料位元組在傳輸之前先適當地施以交插處理。

應知，本發明係只欲由申請專利範圍各請求項中所界定者來限制之。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明()

專 有 名 詞 列 表

- 10 資料訊框
- DS0-DS312 資料節段
- 11 資料節段同步字符
- 12 電視信號源
- 13 迴旋交插器
- 14 位元組對符號轉換器暨對映器
- 15 訊框格式化器
- 16 數位至類比轉換器
- 17 V S B 發射器
- 20 調諧器
- 22 V S B 解調器
- 24 類比至數位轉換器
- 26 資料處理機
- 28 解多工器
- 30 視頻處理機
- 32 聲頻處理機
- 34 資料獲取電路
- 36 多準位切分器
- 37 V S B 模式解碼器
- 38 符號對位元組轉換器
- 40 解交插器
- 42 R S 解碼器
- 44 並入串出暫存器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 ()

- 46 可變脈衝產生器
- 48 串入並出暫存器
- 50、52、80 除法器
- 60 可規劃之除以B向上計數器／除法器
- 62 B字元ROM／RAM
- 64 除法器／可規劃計數器
- 66、84、114 加法器
- 68、108、118 滿 $1((B-1)N/2)+1$ 轉換器
- 70 RAM
- 72 匯流排／記憶體70之輸出
- 74、76 微處理機
- 82、106、116 門鎖器
- 86、102、112 乘法器
- 88 減法器
- 90 滿2601電路
- 100 除以B向下計數器
- 104 減法電路
- 110 除以B向上計數器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

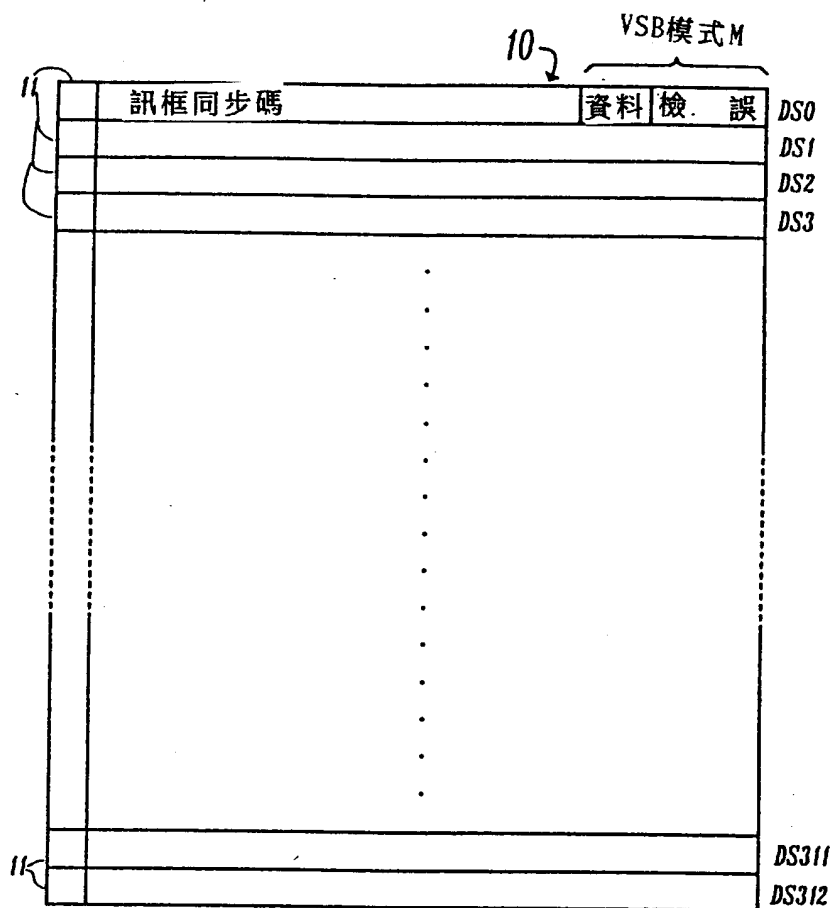
線

四、中文發明摘要 (發明之名稱：迴旋交插器及解交插器)

一種迴旋交插器或解交插器，包含有用以反覆地產生 $[(B-1)N/2]+1$ 個序列之位址信號的一個位址信號產生器，其中 B 為一個預期交插深度，而 N 為等於或大於在一個 $R-S$ 塊組之資料流中之資料位元組數目的一個數值。諸序列中之每一序列各對應於一組 B 行矩陣之一個別列，而此 B 行矩陣之第一行包含 $[(B-1)N/2]+1$ 個連續編號之數值；剩下之每一行則包含其個自之前一行旋轉 N/B 之整數倍而得之數值。諸位址信號被施加至具有 $[(B-1)N/2]+1$ 個儲存位置的一組記憶體，供讀取儲存於各位址記憶體位置之資料，及接著將當時之資料位元組寫入同一記憶體位置。

英文發明摘要 (發明之名稱：Convolutional Interleaver and Deinterleaver)

A convolutional interleaver or deinterleaver comprises an address signal generator for repeatedly generating $[(B-1)N/2]+1$ sequences of address signals, where B is a desired interleave depth and N is a value equal to or greater than the number of data bytes in a $R-S$ block of the data stream. Each of the sequences corresponds to a respective row of a B column matrix, the first column of which comprises $[(B-1)N/2]+1$ consecutively numbered values. Each remaining column comprises the preceding column rotated by an integer multiple of N/B . The address signals are applied to a memory having $[(B-1)N/2]+1$ storage locations for reading the data stored at the address memory location and then writing the current data byte to the same memory location.

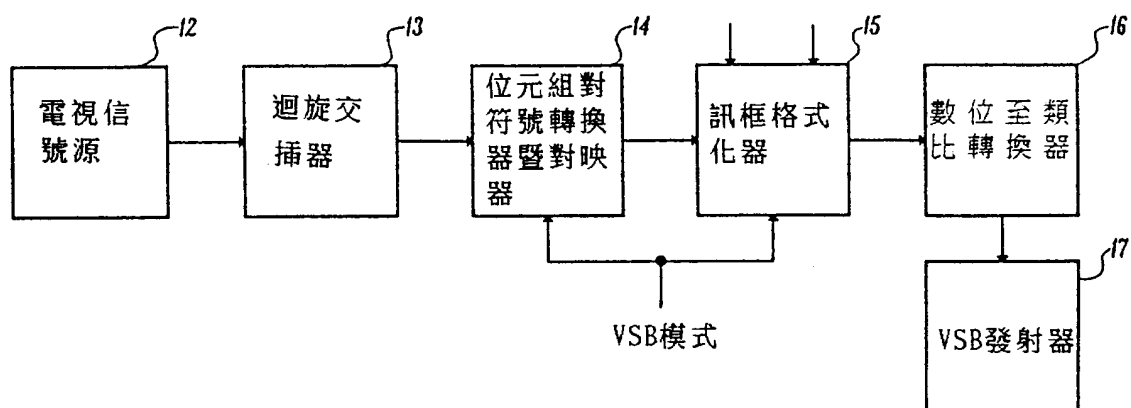


第 1 圖

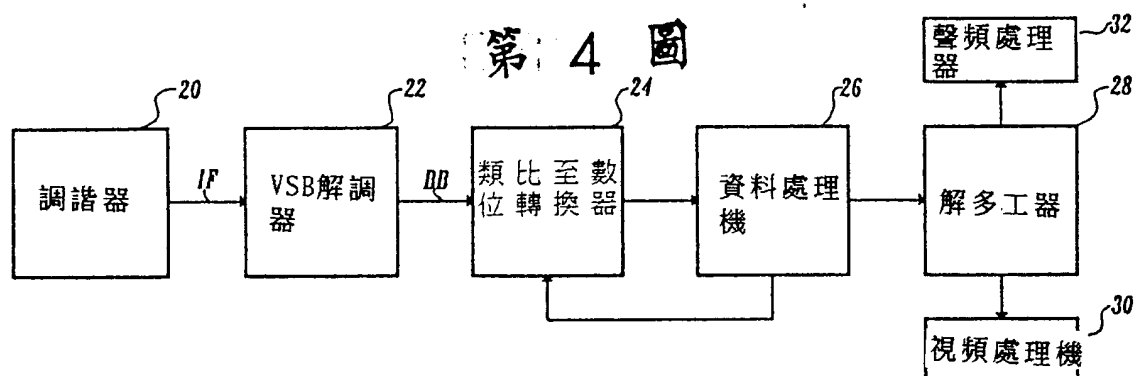
第 2 圖

VSB模 式 M	每一訊 框之資 料符號 數	每一符 號之位 元數	每一訊 框之資 料位元 組數	每一訊 框之RS 塊組數	每一訊 框之交 插塊組數 (B=26)	每一訊 框之插 群組數 (B=52)
24	258,336	4.5	145,314	702	5589	-
16	258,336	4	129,168	624	4968	2484
8	258,336	3	96,876	468	3726	1863
4	258,336	2	64,584	312	2484	1242
2	258,336	1	32,292	156	1242	621

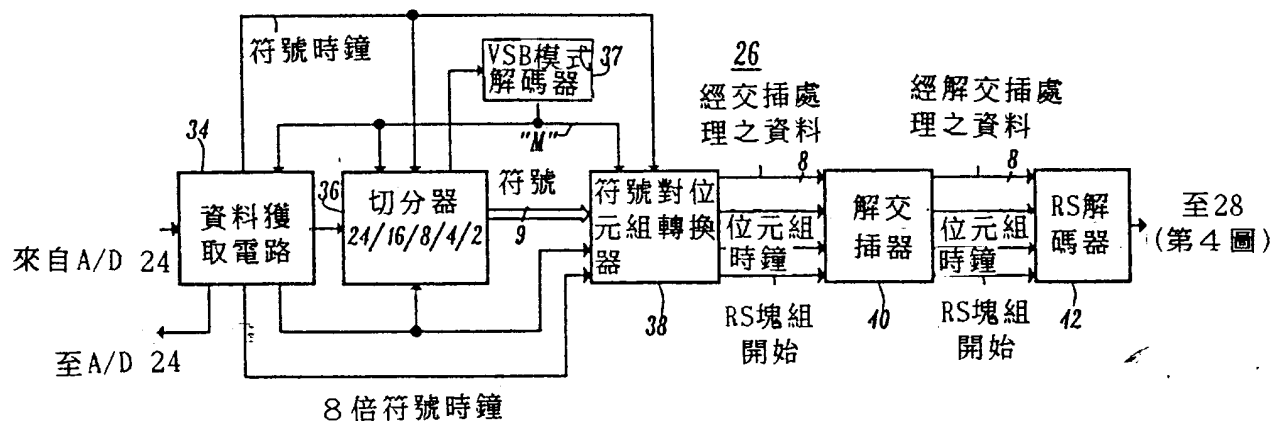
第 3 圖



第 4 圖



第 5 圖



VSF模式M=16

VSF模式M=8

VSF模式M=4

VSF模式M=2

1111 +120

1110 +104

1101 +88

1100 +72

1011 +56

1010 +40

1001 +24

1000 +8

0111 -8

0110 -24

0101 -40

0100 -56

0011 -72

0010 -88

0001 -104

0000 -120

111 +112

110 +80

101 +48

100 +16

011 -16

010 -48

001 -80

000 -112

11 +96

10 +32

01 -32

00 -96

1 +64

0 -64

第 38 圖

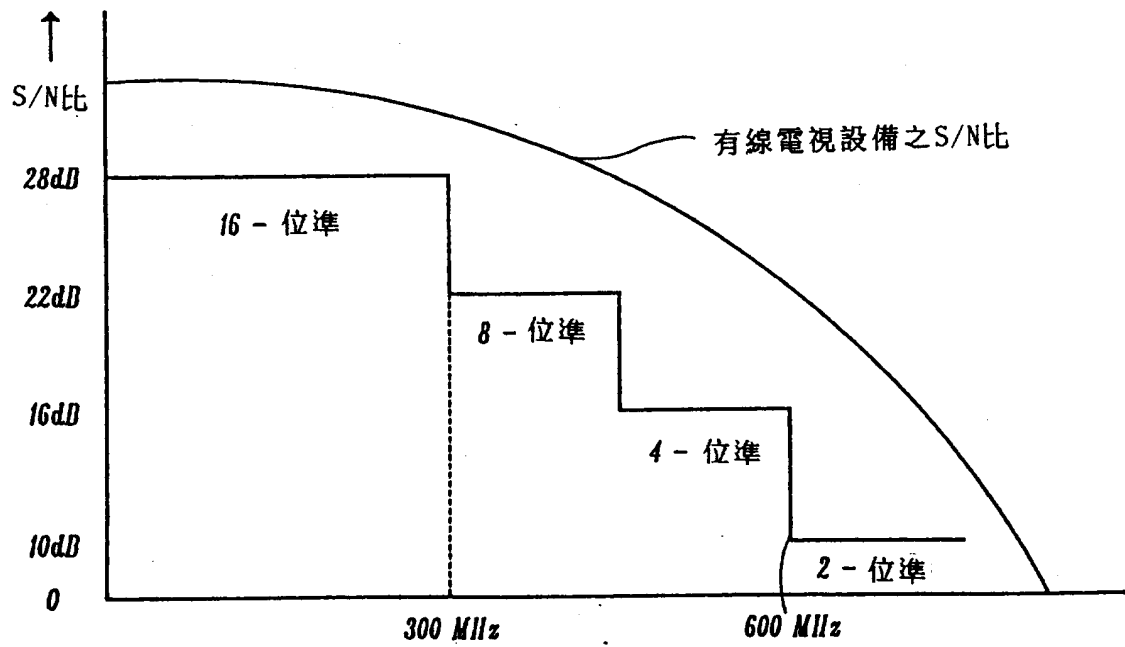
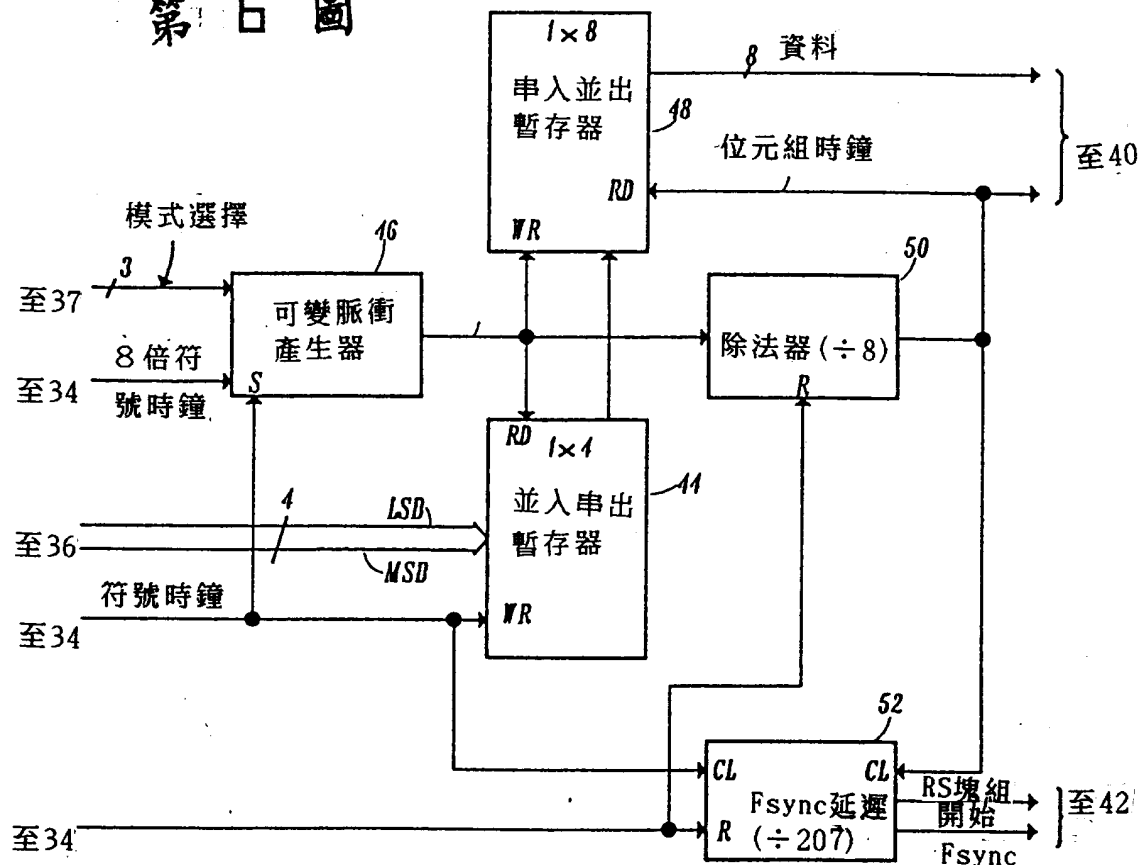


圖 6 第



$B=26, N=208$

	1	2	3	4
1	0	7	3	1
2	1	8	4	2
3	2	9	5	3
4	3	10	6	4
5	4	11	7	5
6	5	12	8	6
7	6	0	9	7
8	7	1	10	8
9	8	2	11	9
10	9	3	12	10
11	10	4	0	11
12	11	5	1	12
13	12	6	2	0

第 7 圖

[illegible]

圖 9 第

圖 12

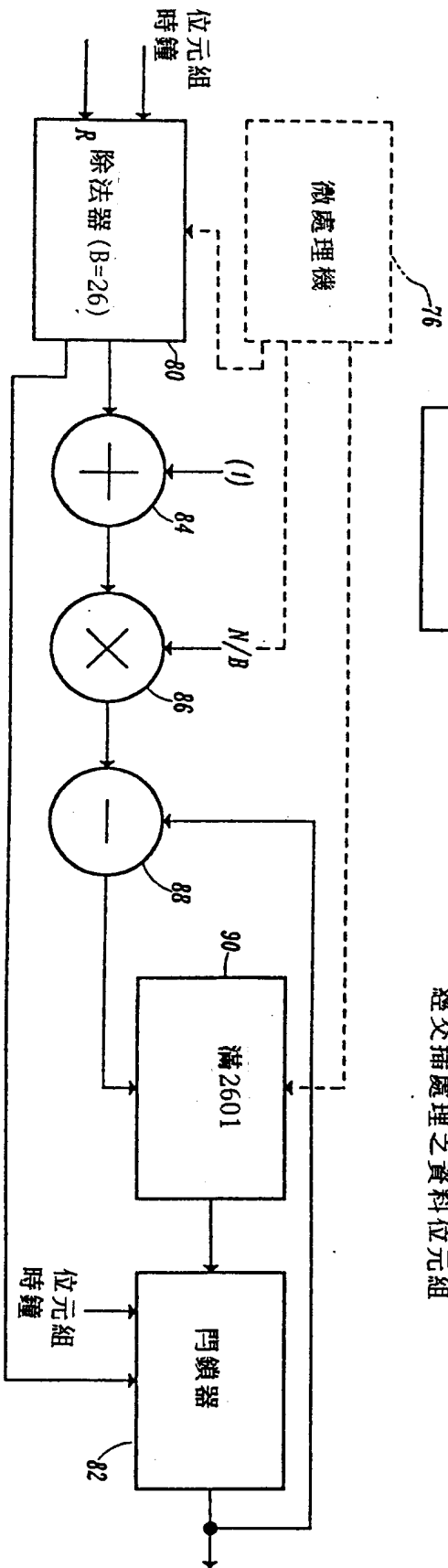
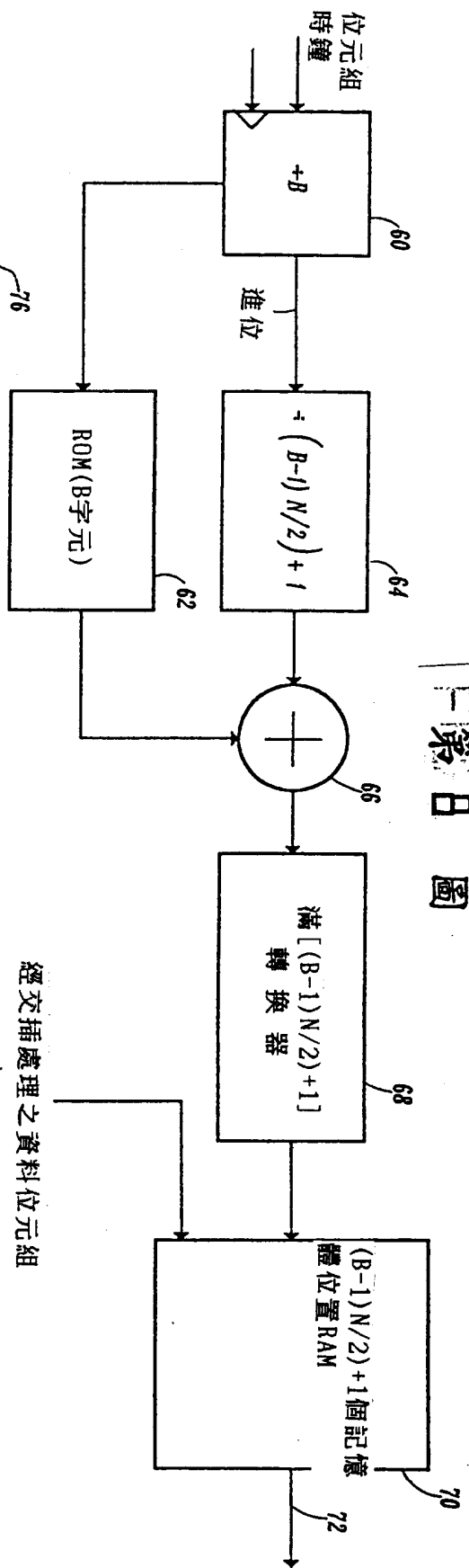


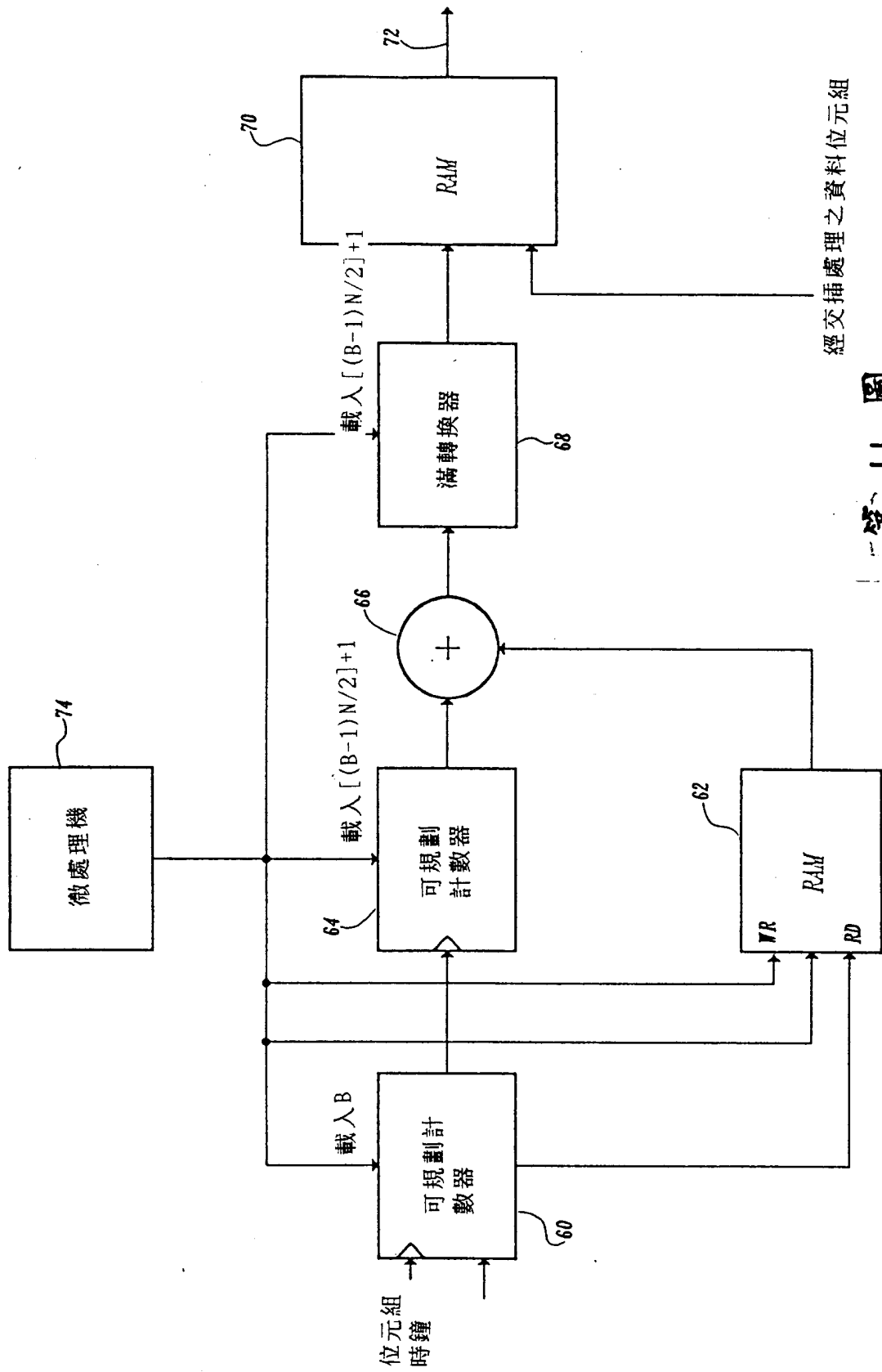
圖 13

311311

$D=52, N=208$

0	5101	-	-	-	-	-	-	-	-	-	1
1	5102	-	-	-	-	-	-	-	-	-	2
2	5103	-	-	-	-	-	-	-	-	-	3
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
,	,										,
5304	,										5304
											0

圖 10 第



經交插處理之資料位元組

311311

$D=26, N=208$

[illegible]

第 15 圖

 $B=4, N=8$

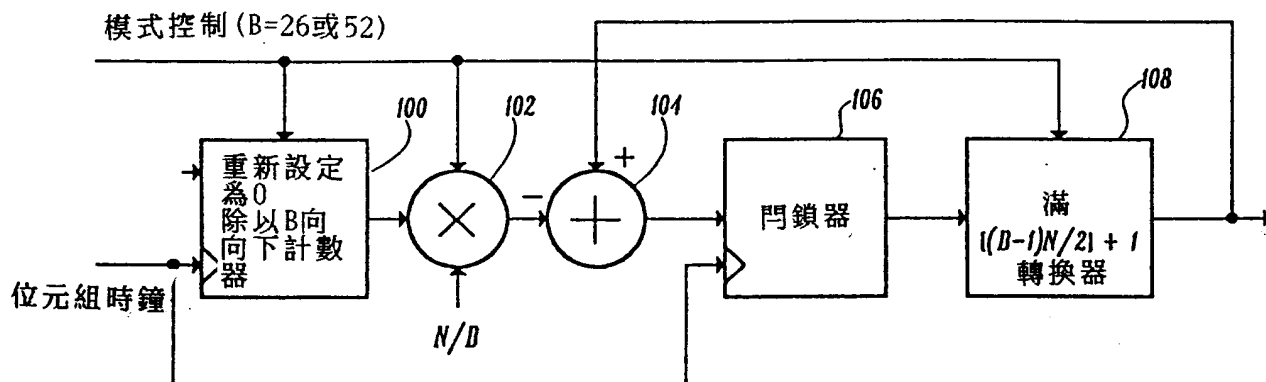
12	1	5	11
11	0	4	10
10	12	3	9
9	11	2	8
8	10	1	7
7	9	0	6
6	8	12	5
5	7	11	4
4	6	10	3
3	5	9	2
2	4	8	1
1	3	7	0
0	2	6	12

第 14 圖

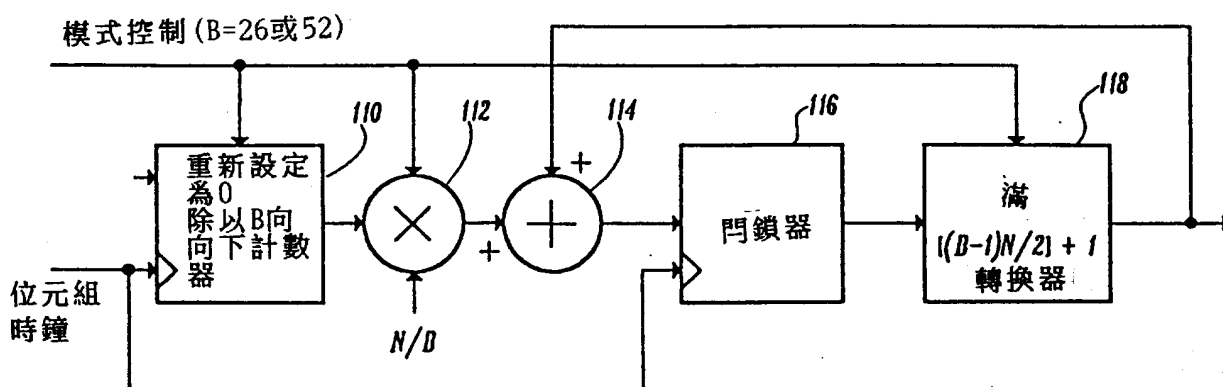
$B=52, N=208$

[illegible]

第 16 圖



第 13 圖



第 17 圖

六、申請專利範圍

第83111963號申請案申請專利範圍修正本 84.09.08.

1. 一種用以將一資料信號加以迴旋交插或解交插的裝置，該裝置包括有：用以產生 $[(B-1)N/2]+1$ 個序列之位址信號的裝置，該等序列中之每一序列各對應於一組 B 行矩陣之一個別列，而該矩陣之第一行包含 $[(B-1)N/2]+1$ 個連續編號之數值，剩餘之每一行則包含將其個自之前一行旋轉一選定數量而得之數值，其中之 B 與 N 係為分別與該資料信號之一選定的交插深度及一選定之錯誤校正塊組大小相關之數值 預定值；具有 $[(B-1)N/2]+1$ 個儲存位置的記憶體裝置；以及用以將該等位址信號中之每一位址信號施加至該記憶體裝置的裝置，俾供於初始時讀取儲存於被定址之記憶體位置之資料，及接著把來自該資料信號之當時資料寫入該被定址之記憶體位置。
2. 如申請專利範圍第 1 項所述之裝置，其中該資料信號包含多數個連續資料訊框，各該資料訊框包含以預定數目之資料位元組為特色的整數個 R - S 塊組，該數值 N 係被選擇為具有等於或大於該預定數目的一個數值。
3. 如申請專利範圍第 2 項所述之裝置，其中該產生裝置包含用以使該等位址信號序列之產生動作與該等資料訊框同步地初始化啟動的裝置。
4. 如申請專利範圍第 1、2、或 3 項所述之裝置，其中該矩陣之該第一行係以一個零值開始或結束。

六、申請專利範圍

- 5.如申請專利範圍第2或項所述之裝置，其中該預定數目等於207，而N等於208。
- 6.如申請專利範圍第5項所述之裝置，其中B等於26或52。
- 7.如申請專利範圍第1、2、或3項所述之裝置，其中該產生裝置包含用以產生該等序列之諸位址信號而使得該矩陣之該等剩餘各行各包含將其各自之前一行旋轉一個因數 $(B-I)N/B$ 而得之內容的裝置，其中，I係為相對於該等剩餘行中之各連續行，自一個數值1逐一增加至一個數值 $(B-1)$ 或是自一個數值 $(B-1)$ 逐一增加至一個數值1的一個指數值。
- 8.如申請專利範圍第7項所述之裝置，其中 $N = 208$ 而 $B = 26$ 或52。
- 9.一種用以將一資料流加以迴旋交插或解交插的電路，該資料流包含多個連續之相等長度的經R-S編碼之資料位元組塊組，該電路包括：響應於一個位元組時鐘信號而用以產生一個輸出總數的一個除以B計數器，其中B係為一個經選定之交插深度；用以將該輸出總數乘以因數 N/B 的裝置，其中N為等於或大於構成該等R-S塊組之資料位元組數目的一個數值；一個滿 $[(B-1)N/2]+1$ 轉換器；以及一個結合電路，用以將該乘法裝置之輸出與該滿轉換器之輸出結合起來並將該經結合之信號施加至該滿轉換器之輸入端。
- 10.一種用以將一串資料位元組流加以迴旋交插或解交插

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

的方法，該方法包括下列步驟：反覆地生成一第一預定序列之多個數值；以一個較慢之速率生成一第二序列之多個數值；自一第一數值擴延至一第二數值；將該第二序列數值中之每一數值與該第一序列數值中之每一數值結合起來，以產生一序列多個位址，供對多個記憶體位置定址；讀出儲存於各個被定址記憶體位置之資料位元組；以及將一個新資料位元組寫入同一個被定址記憶體位置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線