

# 公告

416111

88年(月) / 修正 / 更正 / 補充

|      |                                     |
|------|-------------------------------------|
| 申請日期 | 88.1.14                             |
| 案 號  | 87104982                            |
| 類 別  | 1401L <sup>21</sup> / <sub>41</sub> |

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

416111

|        |               |                                                                                                                   |
|--------|---------------|-------------------------------------------------------------------------------------------------------------------|
| 一、發明名稱 | 中 文           | 半導體元件擴散障壁層製造方法                                                                                                    |
|        | 英 文           | FABRICATION METHOD OF DIFFUSION BARRIER LAYER OF SEMICONDUCTOR DEVICE                                             |
| 二、發明人  | 姓 名           | (1) 河在禧<br>(2) 白弘九<br>(3) 李聖滿                                                                                     |
|        | 國 籍           | 韓 國                                                                                                               |
| 三、申請人  | 住、居所          | (1) 大韓民國忠清北道清州市上堂區龍岩洞2089現代公寓1108-902<br>(2) 大韓民國漢城特別市江南區狎鷗亭洞481番地現代公寓95-206<br>(3) 大韓民國江原道春川市退溪洞916番地綠鎮公寓108-201 |
|        | 姓 名<br>(名稱)   | 韓商・LG半導體股份有限公司                                                                                                    |
| 三、申請人  | 國 籍           | 韓 國                                                                                                               |
|        | 住、居所<br>(事務所) | 大韓民國忠清北道清州市興德區香亭洞1                                                                                                |
| 三、申請人  | 代 表 人<br>姓 名  | 具本俊                                                                                                               |

裝

訂

線

# 公告本

416111

88年(月) / 修正 / 更正 / 補充

|      |                                     |
|------|-------------------------------------|
| 申請日期 | 88.1.14                             |
| 案 號  | 87104982                            |
| 類 別  | 1401L <sup>21</sup> / <sub>41</sub> |

A4  
C4

(以上各欄由本局填註)

## 發明專利說明書

416111

|               |                                                                                                                                                                                                                                                             |
|---------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <p>一、發明名稱</p> | <p>中 文 半導體元件擴散障壁層製造方法</p> <p>英 文 FABRICATION METHOD OF DIFFUSION BARRIER LAYER OF SEMICONDUCTOR DEVICE</p>                                                                                                                                                  |
| <p>二、發明人</p>  | <p>姓 名 <sup>(1)</sup> 河在禧<br/><sup>(2)</sup> 白弘九<br/><sup>(3)</sup> 李聖滿</p> <p>國 籍 韓 國</p> <p>住、居所 <sup>(1)</sup> 大韓民國忠清北道清州市上堂區龍岩洞2089現代公寓1108-902<br/><sup>(2)</sup> 大韓民國漢城特別市江南區狎鷗亭洞481番地現代公寓95-206<br/><sup>(3)</sup> 大韓民國江原道春川市退溪洞916番地綠鎮公寓108-201</p> |
| <p>三、申請人</p>  | <p>姓 名 韓商・LG半導體股份有限公司<br/>(名稱)</p> <p>國 籍 韓 國</p> <p>住、居所 (事務所) 大韓民國忠清北道清州市興德區香亭洞1</p> <p>代 表 人 具本俊<br/>姓 名</p>                                                                                                                                             |

裝

訂

線

416111

(由本局填寫)

|          |
|----------|
| 承辦人代碼：   |
| 大類：      |
| I P C分類： |

A6  
B6

本案已向：

韓 國 ( 地區 ) 申請專利，申請日期： 案號： ， ☐有 ☒無主張優先權  
1998, 1, 20 1544/1998

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

本發明之領域

本發明係關於一半導體元件，且更特別地關於一種能夠藉著以各種方法將一絕緣材料加入耐火性金屬而獲得在高溫是穩定的一半導體元件的一擴散障壁層的半導體擴散障壁層之製造方法。

背景之討論

為了改善半導體元件之可靠性，處在高穩定性的一擴散障壁層已被需求；當通過晶粒邊界的擴散在一熱力端係困難時在一互相連接材料和一基體材料間形成的擴散障壁層變成一被動障壁，且相反的，當容易通過晶粒邊界被擴散時其變成一非障壁，並且當在熱力端中不穩定時其變成一犧牲的障壁；亦即，該擴散障壁層與該互相連接材料或該基體材料反應，因此防止該等材料之擴散，然而因該反應而該擴散障壁層逐漸被耗盡，且最後可預期該擴散障壁層之破壞。

在一多結晶薄膜中，因為通過晶粒邊界的擴散較通過晶格容易，故防止通過晶粒邊界的擴散是很重要的。

據此，為了防止通過晶粒邊界的擴散，使用不具晶粒邊界作為擴散障壁層的單矽或非結晶矽之方法，與隔離晶格的填塞方法已被使用；在填塞方法中最通常方法的氮填塞和氧填塞具有一不利處即氮或氧微弱地以金屬材料之矩陣束縛，因此因在高溫下一長時間的熱處理中的快速擴散使擴散障壁層不能用作一防止膜。

以參考所伴隨圖式，一種半導體元件擴散障壁層之習

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(2)

用製造方法將被描述。

在第一 A 圖中，一絕緣層 2 在具有一雜質區（未示）的一半導體基體 1 上形成，且暴露半導體基體 1 之該雜質區的一接觸孔 3 在絕緣層 2 中形成。

在第一 B 圖中，含有一金屬材料的第一擴散障壁層 4 在包括接觸孔 3 的絕緣層 2 上形成。

如在第一 B 和一 C 圖中顯示的，一氬電漿處理被施加於第一擴散障壁層 4，因此一第二擴散障壁層 5 被形成且熱處理被施加於它；根據該氬電漿處理，氬通過該金屬之晶粒邊界被擴散，因此獲得一填塞效果；其次，一金屬層 6 在具有已被 CVD 電漿處理的第二擴散障壁層 5 上形成，且然後熱處理被施加於它，因此完成用於該半導體元件的擴散障壁層之該習用製造方法；在此，金屬層 6 係以 Al、Al 合金、銅、及銅合金形成。

被該習用方法製造的擴散障壁層具有數個不利點；第一，因為擴散障壁層係以非結晶矽形成，故熱力穩定性掉落；第二，當施用氬填塞或氬填塞時，氬或氬係微弱地與該材料束縛，因此因在高溫下的一長時間處理中的快速擴散該擴散障壁層不能作為防止膜；第三，當填塞氬或氬時，因高離子能量該薄膜可能具有缺損。

#### 本發明之概要

據此，本發明被指向於一種半導體元件擴散障壁層的製造方法，其除去根據相關技藝的問題。

本發明之一目的係提供在一高溫回火處理中具有高穩

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(3)

定性的半導體元件擴散障壁層之一種製造方法。

本發明之額外特徵和利益將在隨後的描述中被說明，並且從該描述將會清楚，或可藉本發明之施用而認知的；本發明之目標和其它利益將被在書寫描述和其之申請專利範圍以及所附圖式中特別指出的結構而被認知和獲得。

為了達成這些和其它利益並根據本發明之目的，如被物化和廣泛地被描述的，一種半導體元件擴散障壁層之製造方法包括下列步驟：形成一絕緣層，其中暴露一半導體基體之一雜質區的一接觸孔被設在該半導體基體上；形成並施加一回火處理於含有在包括該接觸孔的該絕緣層上之一耐火性金屬材料和一絕緣材料的一擴散障壁層；及形成並施加一回火處理於在該擴散障壁層上的一互相連接層。

請瞭解到，前述一般描述和下面詳細描述係例示性和說明性的並企圖提供如申請專利範圍的本發明之進一步說明。

#### 圖式之簡單說明

被包括以提供本發明之一更瞭解且被併入和構成此說明書之一部分的所伴隨圖式說明本發明之實施例並與說明一起用作解釋本發明之原理。

在圖式中：

第一 A 至一 C 圖係垂直截面圖連續地說明一種半導體元件擴散障壁層之習用製造方法；

第二 A 至二 C 圖係根據本發明的垂直截面圖連續地說明一種半導體元件擴散障壁層之製造方法；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(4)

第三圖係一圖說明在藉一濺鍍方法將Ta沉積在具有在第二B圖中一接觸孔的一絕緣層上之Ta 4f XPS頻譜；

第四圖係一圖說明根據本發明擴散障壁層之一實施例以在真空中各種CeO<sub>2</sub>電力條件的500和800℃間回火的Ta+CeO<sub>2</sub>/Si系統之薄片阻抗；

第五圖係一圖顯示根據本發明擴散障壁層之該實施例的Ta+CeO<sub>2</sub>(150W)層之Ta 4f XPS頻譜；

第六圖係一圖顯示根據本發明擴散障壁層之該實施例在Ta+CeO<sub>2</sub>(150W)層被在800℃回火後之Ta 4f XPS頻譜；

第七圖係一圖說明在Ta+CeO<sub>2</sub>層被沉積在一Si基體上並在各種溫度被回火30分鐘後Ta+CeO<sub>2</sub>(170W)層之乍見XRD圖型；及

第八圖係一圖說明在Ta+CeO<sub>2</sub>層被沉積在一Si基體上並在各種溫度被回火30分鐘後Ta+CeO<sub>2</sub>(150W)層之乍見XRD圖型。

本發明之詳細說明

現在將詳細地參考本發明之較佳實施例，其之例子在所伴隨圖式中被說明。

第二A至二C圖係根據本發明的垂直截面圖連續地說明一種半導體元件擴散障壁層之製造方法。

在第二A圖中，一絕緣層20在具有一雜質區（未示）的一半導體基體10上形成，且暴露該雜質區的一接觸孔30在絕緣層20中形成。

在第二B圖中，一擴散障壁層40在包含接觸孔30的絕

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(5)

緣層 20 上形成，且然後一回火處理被施於它；在此，有三種方法可形成擴散障壁層 40。

第一，在濺鍍設備中使用包含一耐火性金屬材料的一第一靶標及含有一絕緣材料的一第二靶標的一種共濺鍍沉積方法。

第二，在濺鍍設備中使用包含該耐火性金屬材料和該絕緣材料的一靶標或一板台之一種濺鍍沉積方法。

第三，在 CVD 設備中使用包含該耐火性金屬材料和該絕緣材料的一組合物之一種化學氣相沉積方法。

在此，作為該耐火性金屬材料，Ti、Ta、Mo、及 W 之至少一個被使用，且作為該絕緣材料微結晶氧化物、氮化物、微結晶氮化物、及氮化物之至少一個被使用。

如上所述的，根據本發明的擴散障壁層可以化學氣相沉積方法及濺鍍沉積方法來製造。

在第二圖中，一金屬層 50 被形成在擴散障壁層 40 上且該回火處理被施於它；金屬層 50 以 Al、Al 合金、Cu、及 Cu 合金之至少一個形成。

第三至八圖係說明對應於根據本發明的半導體元件擴散障壁層之一實施例的一 Ta+CeO<sub>2</sub> 層之實驗資料的圖。

第三圖顯示當 Ta 只被一濺鍍方法沉積在具有在第二 A 圖中的接觸孔之絕緣層上時的 Ta 4f XPS (X 射線光電示波器) 頻譜；各中心峰值係分別在 22.399eV、24.327eV 及 33.470eV；這些結果顯示並不組合於氧的 Ta 4f 特定 XPS 頻譜。

第四圖說明根據本發明的擴散障壁層之一實施例的當

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(6)

一  $Ta+CeO_2$  層 被沉積在具有在第二 B 圖中的接觸孔的絕緣層上並在真空中以各種  $CeO_2$  電力條件在 500 和 800℃ 間回火時在  $Ta+CeO_2/Si$  系統之薄片阻抗和溫度間的關係；如其中所示的，隨著回火溫度增大， $Ta+CeO_2$  之結晶並無改變且當加入  $CeO_2$  時其與  $Si$  之介面可穩定化高至 800℃；130W、150W 及 170W 分別顯示高頻電力源。

第五圖顯示當  $Ta+CeO_2$  (150W) 層被沉積在具有在第二 B 圖中的接觸孔之絕緣層上時的  $Ta\ 4f$  XPS 頻譜 ( $Al\ K\ \alpha$  激發)；如其中所示的，特定峰值被示於 26eV、28eV，除了  $Ta4f$  之特定峰值 22eV、24eV、及 34eV 外；此係緣於  $Ta-O$  鍵結，而顯示當  $Ta$  和  $CeO_2$  被一共同濺鍍方法沉積時，從  $CeO_2$  靶標分解的部分之氧在一電漿情況中與  $Ta$  組合。

第六圖顯示當  $Ta+CeO_2$  (150W) 層被沉積在具有在第二 B 圖中的接觸孔之絕緣層上時的  $Ta\ 4f$  XPS 頻譜 ( $Al\ K\ \alpha$  激發)，並在 800℃ 回火；如其中所示的， $Ta-O$  之鍵結能量在第四圖中在 26eV、28eV 之特定峰值被在 800℃ 之回火處理大大地增加；上述結果指出隨著回火溫度之增大在  $Ta+CeO_2$  層中的  $Ta-O$  鍵結被強化。

第七圖說明在  $Ta+CeO_2$  層 被沉積在一  $Si$  基體上並以各種溫度回火三十分鐘後  $Ta+CeO_2$  (170W, 100nm)/ $Si$  系統之乍見 XRD (X 射線繞射) 圖型；如其中所示的，只出現在 37 ( $2\theta$ ) 一個峰值，顯示該  $Ta+CeO_2$  層係在一非結晶或一微結晶型式，且即使回火溫度增加到 750℃ 結晶化也無改變；亦即，即使以回火溫度之增大，該  $Ta+CeO_2$  層 仍為非結

(請先閱讀背面之注意事項再填寫本頁)

張

訂

## 五、發明說明(7)

晶或微結晶型式，且矽化Ta並不被Ta和Si基體之反應而形成。

第八圖說明在Ta+CeO<sub>2</sub>層被沉積在一Si基體上並以各種溫度回火三十分鐘後Ta+CeO<sub>2</sub> (150W, 100nm)/Si系統之作見XRD圖型；如其中所示的，在150 W之電力情況中沉積的該Ta+CeO<sub>2</sub>層在高至750℃之回火溫度仍為一非結晶或一微結晶型式；但是，當回火溫度達到800℃時，一峰值在35至38 (2θ) 間分離，顯示Ta變的結晶化。

如上所述的，根據本發明的半導體元件擴散障壁層之製造方法具有數個優點：由將微結晶氧化物、氮化物、微結晶氮化物及氮化物中之至少一種加入耐火性金屬材料而形成的擴散障壁層——會維持微結晶或非結晶情況，因此在長期熱處理中具有強穩定性；同時，本發明可避開因當以電漿方法或植入的填塞氣和氮時所觀測的高離子能量所導致的薄膜缺損，另外，擴散障壁層和矽之反應可藉適當選取耐火性金屬和絕緣膜而被避免，因此改善該半導體元件之可靠性。

對於熟於此技術者是清楚的，在本發明之半導體元件擴散障壁層之製造方法中可作各種修正與變化而不偏離本發明之精神或範疇；因此只要是在所附申請專利範圍和它們之等效者之內本發明涵蓋本發明之該等修正和變化。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( 8 )

元件編號對照表

1、10 基體

4、5、40 擴散障壁層

2、20 絕緣層

6、50 金屬層

3、30 接觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 四、中文發明摘要(發明之名稱:半導體元件擴散障壁層製造方法)

本發明係關於一種半導體元件擴散障壁層之製造方法；根據本發明的擴散障壁層係由屬絕緣材料的微晶氧化物、氧化物、微晶氮化物、及氮化物中之至少一種根據一濺鍍沉積方法或一化學氣相沉積方法被加入一耐火性金屬材料中而形成；因被加入該耐火性金屬材料的該絕緣材料被填塞入該耐火性金屬材料之基質，並因此與該耐火性金屬材料結合，因此形成呈微晶或非結晶狀態之擴散障壁層，故根據本發明的擴散障壁層即使在高溫下仍顯示高穩定性。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 英文發明摘要(發明之名稱: FABRICATION METHOD OF DIFFUSION BARRIER LAYER OF SEMICONDUCTOR DEVICE)

The present invention relates to a fabrication method of a diffusion barrier layer of a semiconductor device. The diffusion barrier layer according to the present invention is formed by which at least one of microcrystalline oxide, oxide, microcrystalline nitride, and nitride which are insulating materials is added into a refractory metal material according to a sputtering deposition method or a chemical vapor deposition method. The diffusion barrier layer according to the present invention shows high stability even at high temperature since the insulating material added into the refractory metal material is stuffed into matrix of the refractory metal material, and thus bound with the refractory metal material, thus forming the diffusion barrier layer in microcrystalline or amorphous condition.

## 六、申請專利範圍

1. 一種半導體元件擴散障壁層製造方法，其包含下列步驟：

形成一絕緣層，其中暴露一半導體基體之一雜質區的一接觸孔被設置在該半導體基體上；

在包括該接觸孔的該絕緣層上形成含有一耐火性金屬材料和一絕緣材料的一擴散障壁層，並對它施加一回火處理；及

在該擴散障壁層上形成一互相連接層並對它施加一回火處理。

2. 依據申請專利範圍第1項之製造方法，其中形成該擴散障壁層之該步驟施用使用包含該耐火性金屬材料的一第一靶標及含有該絕緣材料的一第二靶標的一種共濺鍍沉積方法。
3. 依據申請專利範圍第1項之製造方法，其中形成該擴散障壁層之該步驟施用包含該耐火性金屬材料和該絕緣材料的一靶標或一板台。
4. 依據申請專利範圍第1項之製造方法，其中形成該擴散障壁層之該步驟施用使用包含該耐火性金屬材料和該絕緣材料之一化合物的一化學氣相沉積方法。
5. 依據申請專利範圍第1項之製造方法，其中該耐火性金屬材料係以Ti、Ta、Mo、及W中之至少一種形成，且該絕緣材料係以微結晶氧化物、氧化物、微結晶氮化物、及氮化物中之至少一種形成。
6. 依據申請專利範圍第1項之製造方法，其中該互相連

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

接層係以 Al、Al 合金、Cu、及 Cu 合金中之至少一種形成。

7. 一種半導體元件擴散障壁層製造方法，其包含：

在一半導體基體上形成一絕緣層並在該半導體基體之一預定部分中形成一接觸孔的一第一步驟；

在包括該接觸孔的該絕緣層上形成含有一耐火性金屬材料和一絕緣材料的一擴散障壁層的一第二步驟；

在該擴散障壁層上形成一互相連接層的一第三步驟；及

將該互相連接層和該擴散障壁層圖型化的一第四步驟。

8. 依據申請專利範圍第 7 項之製造方法，其中該半導體基體之該預定部分係一雜質區。

9. 依據申請專利範圍第 7 項之製造方法，其中該第二步驟之該金屬材料包含耐火性金屬。

10. 依據申請專利範圍第 9 項之製造方法，其中該耐火性金屬係以 Ti、Ta、Mo、及 W 中之至少一種形成。

11. 依據申請專利範圍第 7 項之製造方法，其中該絕緣材料係以微結晶氧化物、氮化物、微結晶氮化物、及氮化物中之至少一種形成。

12. 依據申請專利範圍第 7 項之製造方法，其中該第二步驟施用使用包含該金屬材料的一第一靶標及含有該絕緣材料的一第二靶標的一共濺鍍沉積方法。

13. 依據申請專利範圍第 7 項之製造方法，其中該第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

驟施用使用包含該金屬材料和該絕緣材料的一化合物  
靶標的一濺鍍沉積方法。

14. 依據申請專利範圍第7項之製造方法，其中該第二步驟施用使用包含該金屬材料和該絕緣材料的一板台的一濺鍍沉積方法。

15. 依據申請專利範圍第7項之製造方法，其中該第二步驟施用使用包含該金屬材料和該絕緣材料的一化合物的一化學氣相沉積方法。

16. 依據申請專利範圍第7項之製造方法，其中各在該等第二和第三步驟後，一回火處理被施用。

17. 依據申請專利範圍第7項之製造方法，其中該互相連接層係以Al、Al合金、Cu、及Cu合金中之至少一種形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

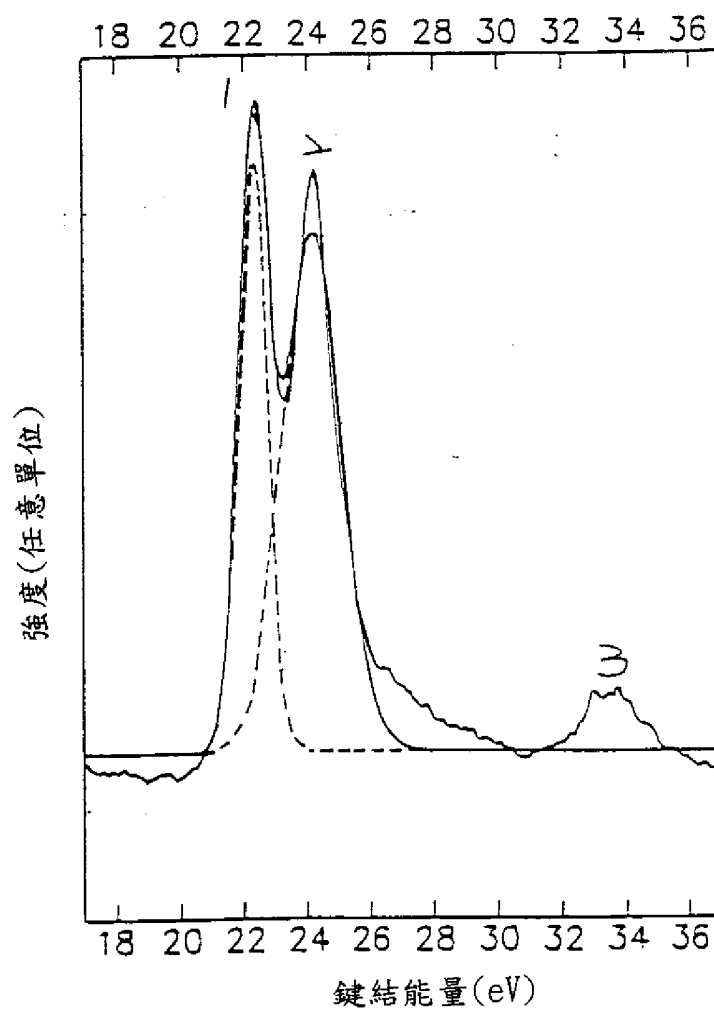
訂

號

416111

8年8月21日 修正  
補充

第 3 圖



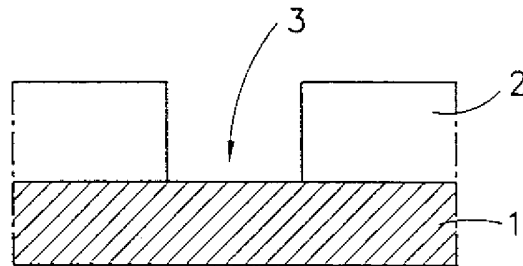
—— : Ta4f

| 峰值區 |        | 中心     | 寬度     | 高度     |
|-----|--------|--------|--------|--------|
| 1   | 46.420 | 22.399 | 0.9354 | 41.256 |
| 2   | 54.488 | 24.327 | 1.8387 | 36.663 |
| 3   | 7.9909 | 33.470 | 1.4322 | 4.4510 |

偏移 = 1.20613

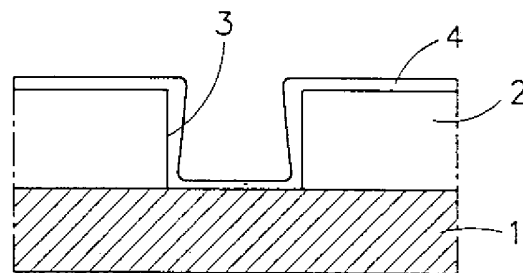
第1A圖

習用技藝



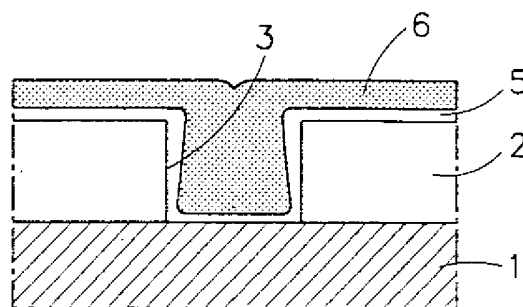
第1B圖

習用技藝

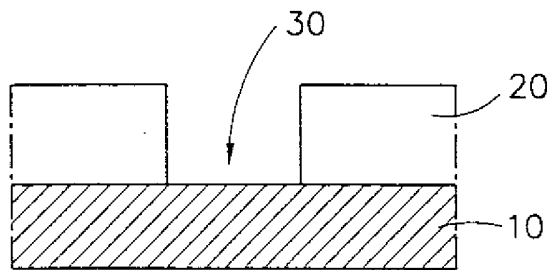


第1C圖

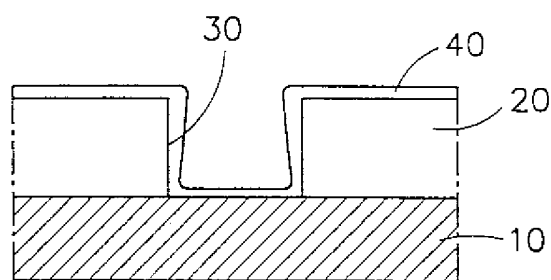
習用技藝



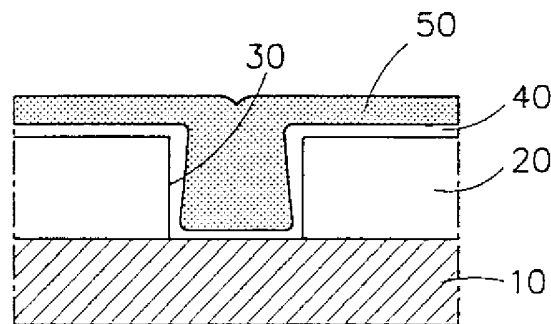
第2A圖



第2B圖



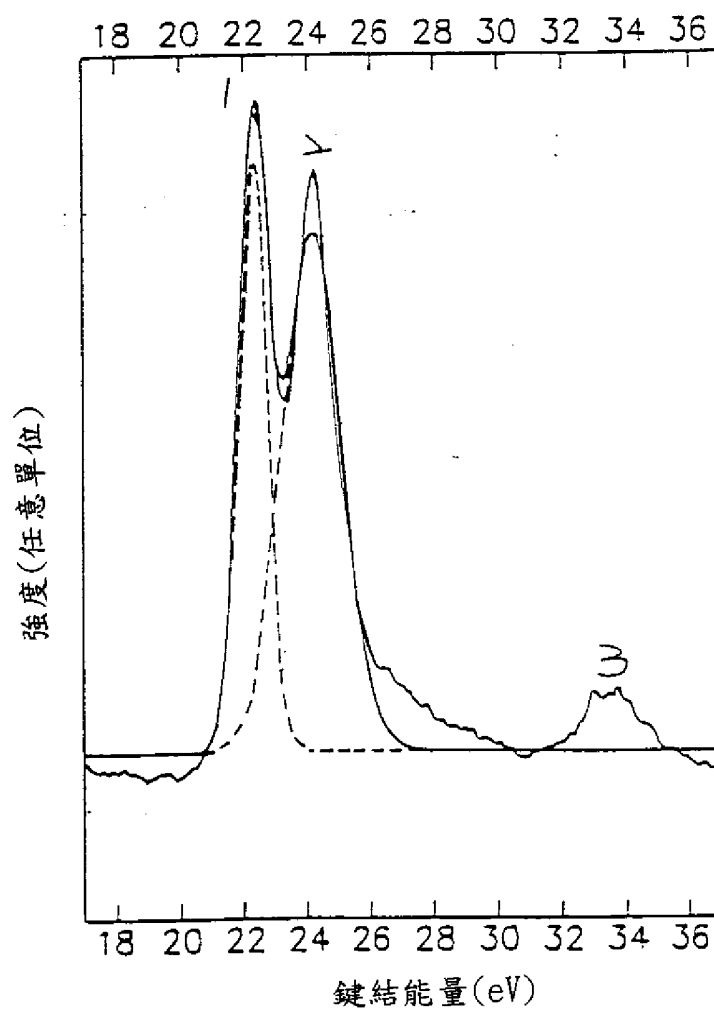
第2C圖



416111

8年8月21日 修正  
補充

第 3 圖

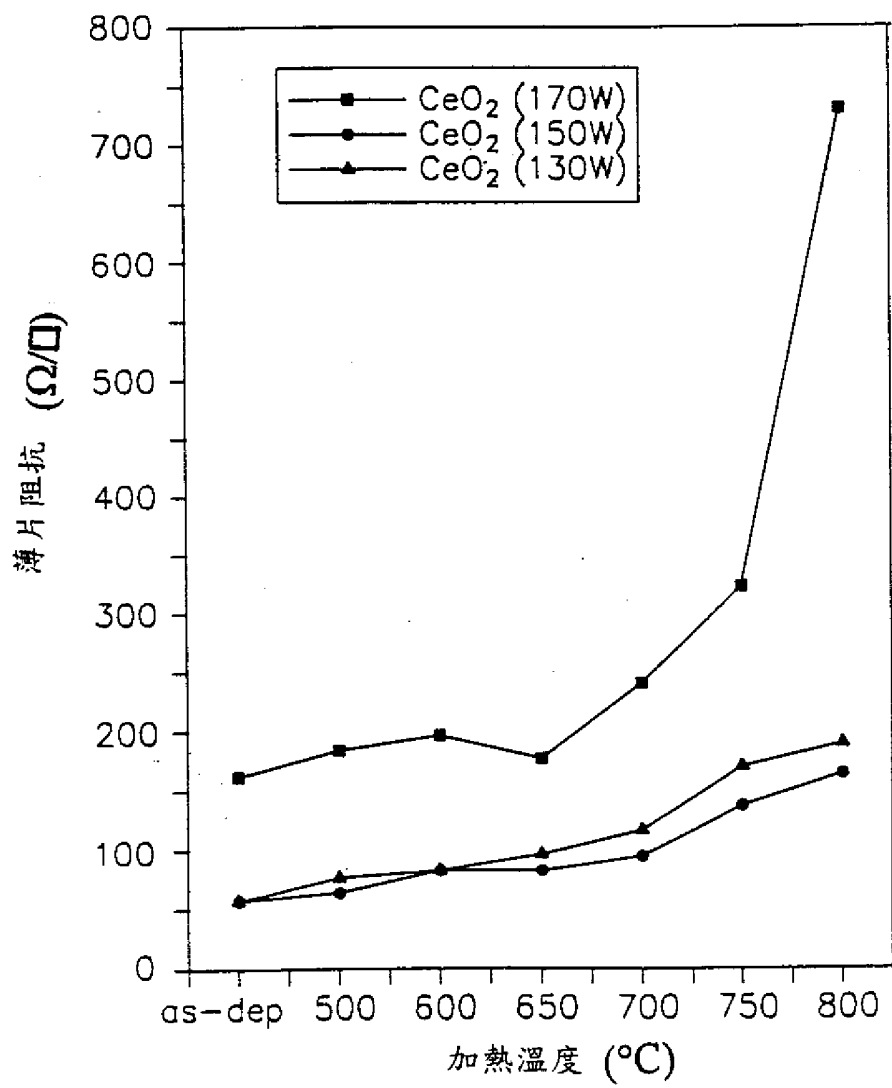


—— : Ta4f

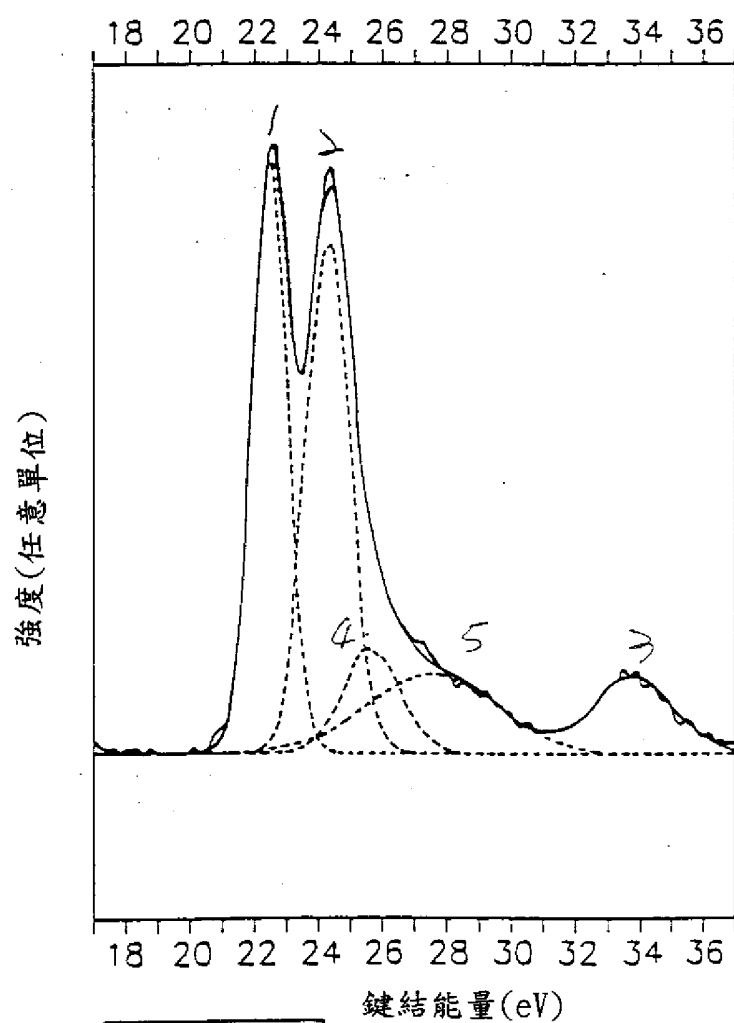
| 峰值區 |        | 中心     | 寬度     | 高度     |
|-----|--------|--------|--------|--------|
| 1   | 46.420 | 22.399 | 0.9354 | 41.256 |
| 2   | 54.488 | 24.327 | 1.8387 | 36.663 |
| 3   | 7.9909 | 33.470 | 1.4322 | 4.4510 |

偏移 = 1.20613

第 4 圖

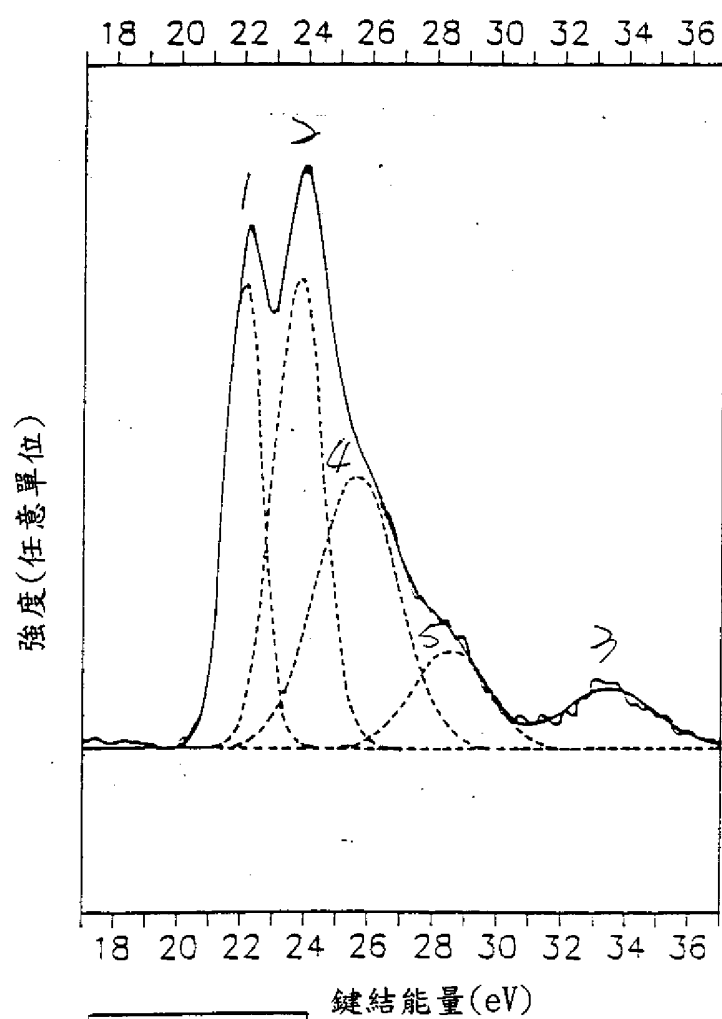


第 5 圖



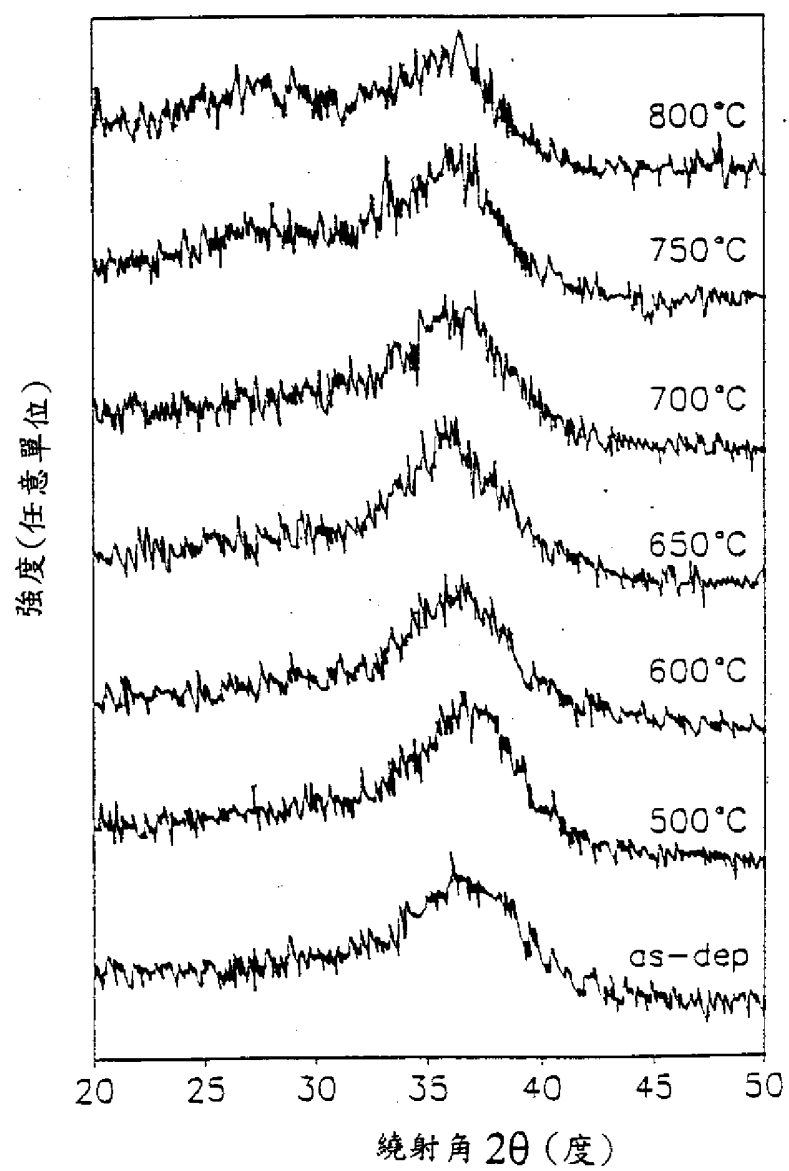
| 峰值區 |        | 中心     | 寬度     | 高度     |
|-----|--------|--------|--------|--------|
| 1   | 48.500 | 22.535 | 1.1102 | 34.855 |
| 2   | 50.693 | 24.346 | 1.3492 | 29.978 |
| 3   | 13.301 | 25.679 | 1.8064 | 5.8750 |
| 4   | 22.700 | 27.536 | 3.9333 | 4.6049 |
| 5   | 13.440 | 33.764 | 2.4580 | 4.3626 |

## 第 6 圖



| 峰值區 |        | 中心     | 寬度     | 高度     |
|-----|--------|--------|--------|--------|
| 1   | 29.666 | 22.126 | 1.1419 | 20.729 |
| 2   | 40.654 | 23.834 | 1.5412 | 21.047 |
| 3   | 38.447 | 25.671 | 2.5172 | 12.187 |
| 4   | 12.358 | 28.536 | 2.2343 | 4.4133 |
| 5   | 9.7496 | 33.361 | 2.8743 | 2.7064 |

第 7 圖



第 8 圖

