



(12) 发明专利申请

(10) 申请公布号 CN 118974699 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202380031691.9

(22) 申请日 2023.03.13

(30) 优先权数据

2205110.6 2022.04.07 GB

(85) PCT国际申请进入国家阶段日

2024.09.29

(86) PCT国际申请的申请数据

PCT/GB2023/050589 2023.03.13

(87) PCT国际申请的公布数据

W02023/194702 EN 2023.10.12

(71) 申请人 ARM有限公司

地址 英国剑桥

(72) 发明人 西蒙·约翰·克拉斯克

雅各·埃本

(74) 专利代理机构 北京东方亿思知识产权代理

有限责任公司 11258

专利代理师 杨佳婧

(51) Int.Cl.

G06F 9/30 (2006.01)

G06F 9/38 (2006.01)

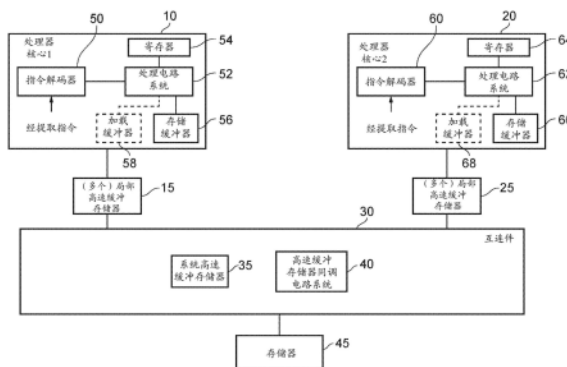
权利要求书3页 说明书12页 附图8页

(54) 发明名称

用于处理排序受限制存取操作的技术

(57) 摘要

提供处理电路系统以执行操作,并提供指令解码器电路系统以解码指令,从而控制该处理电路系统执行由该指令指定的该操作。使用一组寄存器以保持用于由该处理电路系统存取的数据值。该指令解码器电路系统响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而控制该处理电路系统执行存取操作序列,其中各存取操作导致来自该多个数据值中的数据值在从该寄存器指示信息确定的关联寄存器与从该存储器地址信息确定的关联存储器地址之间移动。另外,排序指示是从该排序受限制存取指令导出且用以确定在执行该存取操作序列时待以其存取该多个数据值的顺序,以从而确保符合在实施该排序受限制存取指令时所要求的可观察性条件。



1. 一种设备,包括:
处理电路系统,所述处理电路系统用以执行操作;
指令解码器电路系统,所述指令解码器电路系统用以解码指令,以控制所述处理电路系统执行由所述指令指定的所述操作;和
一组寄存器,所述一组寄存器用以保持用于由所述处理电路系统存取的数据值;
其中所述指令解码器电路系统响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而控制所述处理电路系统执行存取操作序列,其中各存取操作导致来自所述多个数据值中的数据值在从所述寄存器指示信息确定的关联寄存器与从所述存储器地址信息确定的关联存储器地址之间移动;并且
其中排序指示是从所述排序受限制存取指令导出且用以确定在执行所述存取操作序列时待以其存取所述多个数据值的顺序。
2. 根据权利要求1所述的设备,其中所述排序指示是用以标识待以其存取与所述多个数据值关联的所述存储器地址的顺序,以从而确定待以其存取所述多个数据值的所述顺序。
3. 根据权利要求1或权利要求2所述的设备,其中所述指令解码器电路系统被布置成控制所述处理电路系统以对耦合至所述设备且能够观察由所述处理电路系统执行的所述存取操作的观察电路系统确保在所述存取操作序列中的给定存取操作之后的任何后续存取操作的执行能够由所述观察电路系统观察之前,所述存取操作序列中的所述给定存取操作能够由所述观察电路系统观察为已完成。
4. 根据权利要求3所述的设备,其中:
各数据值包括多个数据元素;
所述处理电路系统被布置成当所述给定存取操作的执行需要执行多个存取以存取关联数据值的所述多个数据元素时,确保在所述存取操作序列中的所述给定存取操作之后的任何后续存取操作的执行能够由所述观察电路系统观察之前,形成所述给定存取操作的所述多个存取全部能够由所述观察电路系统观察为已完成。
5. 根据任一前述权利要求所述的设备,其中所述排序指示是从经编码成所述排序受限制存取指令的其它信息导出。
6. 根据权利要求5所述的设备,其中所述排序受限制存取指令指定用以从所述存储器地址信息确定所述多个数据值的所述存储器地址的寻址模式,并且所述排序指示是取决于所述寻址模式而导出。
7. 根据权利要求6所述的设备,其中所述存储器地址信息被布置成提供用以确定一个存储器地址的存储器地址指示,所述寻址模式标识至少在各其它存储器地址的确定期间使用的调整方向,并且所述排序指示是取决于所述调整方向而确定。
8. 根据权利要求5至7中任一项所述的设备,其中所述排序指示是取决于所述排序受限制存取指令的指令类型而导出。
9. 根据权利要求8所述的设备,其中所述指令类型被布置成标识所述排序受限制存取指令是寻求将所述多个数据值从存储器加载至多个所述寄存器中的加载指令,或是寻求将所述多个数据值从所述多个寄存器存储至存储器的存储指令。
10. 根据权利要求5至9中任一项所述的设备,其中所述排序指示是从经编码成所述排

序受限制存取指令的标识所述排序受限制存取指令待用以执行堆叠类型存取操作或待用以执行非堆叠类型存取操作的信息导出。

11. 根据任一前述权利要求所述的设备,其中所述排序受限制存取指令被布置成存取一对数据值,并且提供足以标识与所述一对数据值中的各数据值关联的寄存器的寄存器指示信息。

12. 根据权利要求11所述的设备,其中所述存储器地址信息被布置成提供用以确定与所述一对数据值中的所述数据值中的一者关联的一个存储器地址的存储器地址指示,并且与所述对中的所述数据值中的另一者关联的另外存储器地址是从所述一个存储器地址导出。

13. 根据任一前述权利要求所述的设备,其中所述排序受限制存取指令是用以将多个数据值存储至存储器的存储释放指令,并且所述指令解码器电路系统被布置成在解码所述存储释放指令时控制所述处理电路系统以确保:

- 在所述存储释放指令经观察为被执行之前经观察为已完成执行的任何存取指令将是在程序顺序上出现在所述存储释放指令之前的存取指令;以及

- 在存储操作序列中的给定存储操作之后的任何后续存储操作的执行能够观察之前,在所述存储释放指令的执行期间用以将所述多个数据值存储至存储器的所述存储操作序列中的所述给定存储操作能够观察为已完成。

14. 根据权利要求1至12中任一项所述的设备,其中所述排序受限制存取指令是用以将多个数据值加载至所述一组寄存器中的关联寄存器中的加载取得指令,并且所述指令解码器电路系统被布置成在解码所述加载取得指令时控制所述处理电路系统以确保:

- 在加载操作序列中的给定加载操作之后的任何后续加载操作的执行能够观察之前,在所述加载取得指令的执行期间用以将所述多个数据值加载至所述关联寄存器的所述加载操作序列中的所述给定加载操作能够观察为已完成;以及

- 在程序顺序上出现在所述加载取得指令之后的任何存取指令将仅在所述加载取得指令的执行已完成之后经观察为被执行。

15. 根据任一前述权利要求所述的设备,其中:

所述指令解码器电路系统被布置成将用以存取多个数据值的所述排序受限制存取指令分解成单一存取排序受限制存取指令序列,其中各单一存取排序受限制存取指令被布置成存取所述多个数据值中的所述数据值中的一者;并且

所述指令解码器电路系统被布置成取决于所述排序指示而确定以其控制所述处理电路系统执行所述序列中的各单一存取排序受限制存取指令的所述顺序。

16. 一种在具有处理电路系统以执行操作的设备中处理排序受限制存取操作的方法,所述方法包括:

- 利用指令解码器电路系统解码指令,以控制所述处理电路系统执行由所述指令指定的所述操作;

- 利用一组寄存器保持用于由所述处理电路系统存取的数据值;

- 响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而导致所述指令解码器电路系统控制所述处理电路系统执行存取操作序列,其中各存取操作导致来自所述多个数据值中的数据值在从所述寄存器指示信息确定的关联

寄存器与从所述存储器地址信息确定的关联存储器地址之间移动;以及

响应于从所述排序受限制存取指令导出的排序指示而确定在执行所述存取操作序列时待以其存取所述多个数据值的顺序。

17. 一种计算机程序,所述计算机程序用于控制主机数据处理设备以提供指令执行环境,所述计算机程序包括:

处理程序逻辑,所述处理程序逻辑用以执行操作;

指令解码程序逻辑,所述指令解码程序逻辑用以解码指令,以控制所述处理程序逻辑执行由所述指令指定的所述操作;和

寄存器仿真程序逻辑,所述寄存器仿真程序逻辑用以仿真一组寄存器以保持用于由所述处理程序逻辑存取的数据值;

其中所述指令解码程序逻辑响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而控制所述处理程序逻辑执行存取操作序列,其中各存取操作导致来自所述多个数据值中的数据值在从所述寄存器指示信息确定的关联寄存器与从所述存储器地址信息确定的关联存储器地址之间移动;并且

其中排序指示是从所述排序受限制存取指令导出且用以确定在执行所述存取操作序列时待以其存取所述多个数据值的顺序。

用于处理排序受限制存取操作的技术

背景技术

[0001] 本技术涉及排序受限制存取操作的处理。

[0002] 在现代数据处理系统内,存在各种类型的可在执行对存储器的存取时采用的一致性模型。一种常见方法是采用相对弱的一致性模型,其中由系统中的给定处理元件执行的一系列对存储器的存取可能不必然由系统中的观察该存取的其它处理元件观察为以相同顺序发生(即,一个观察处理元件可观察到与另一观察处理元件不同的顺序)。以增加性能为目的,此方法可在各种存取如何由个别处理元件重新排序上提供大量灵活性。

[0003] 然而,在一些情况中,可能需要采用确保各观察处理元件将另一处理元件的存取观察为已以相同顺序发生的较严格的一致性模型。此类较严格一致性模型的两个示例可称为总存储顺序(total store order,TSO)和释放一致性、处理器一致性(release consistency,processor consistent,RCpc)。

[0004] 通过使用单一存取排序受限制存取指令(诸如加载取得和存储释放指令),可能在支持较弱一致性模式的系统中仿真此类较严格一致性模型的要求。当此加载取得或存储释放指令是由给定处理元件执行时,该处理元件在执行所需的加载或存储操作时受到限制,以确保符合由较严格一致性模型所指定的对存取操作的排序的可观察性要求。

[0005] 然而,改善代码密度以寻求增加性能在数据处理系统内常是所期望的,并且这在使用此类排序受限制存取指令时可能是有问题的。

发明内容

[0006] 在一个示例布置中,提供一种设备,包括:处理电路系统,该处理电路系统用以执行操作;指令解码器电路系统,该指令解码器电路系统用以解码指令,以控制该处理电路系统执行由该指令指定的该操作;和一组寄存器,该一组寄存器用以保持用于由该处理电路系统存取的数据值;其中该指令解码器电路系统响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而控制该处理电路系统执行存取操作序列,其中各存取操作导致来自该多个数据值中的数据值在从该寄存器指示信息确定的关联寄存器与从该存储器地址信息确定的关联存储器地址之间移动;并且其中排序指示是从该排序受限制存取指令导出且用以确定在执行该存取操作序列时待以其存取该多个数据值的顺序。

[0007] 在另一示例布置中,提供一种在具有处理电路系统以执行操作的设备中处理排序受限制存取操作的方法,该方法包括:利用指令解码器电路系统解码指令,以控制该处理电路系统执行由该指令指定的该操作;利用一组寄存器保持用于由该处理电路系统存取的数据值;响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而导致该指令解码器电路系统控制该处理电路系统执行存取操作序列,其中各存取操作导致来自该多个数据值中的数据值在从该寄存器指示信息确定的关联寄存器与从该存储器地址信息确定的关联存储器地址之间移动;以及响应于从该排序受限制存取指令导出的排序指示而确定在执行该存取操作序列时待以其存取该多个数据值的顺序。

[0008] 在另外其它示例布置中,提供一种计算机程序,其用于控制主机数据处理设备以提供指令执行环境,该计算机程序包括:处理程序逻辑,该处理程序逻辑用以执行操作;指令解码程序逻辑,该指令解码程序逻辑用以解码指令,以控制该处理程序逻辑执行由该指令指定的该操作;和寄存器仿真程序逻辑,该寄存器仿真程序逻辑用以仿真一组寄存器以保持用于由该处理程序逻辑存取的数据值;其中该指令解码程序逻辑响应于用以存取多个数据值以及提供寄存器指示信息和存储器地址信息的排序受限制存取指令而控制该处理程序逻辑执行存取操作序列,其中各存取操作导致来自该多个数据值中的数据值在从该寄存器指示信息确定的关联寄存器与从该存储器地址信息确定的关联存储器地址之间移动;并且其中排序指示是从该排序受限制存取指令导出且用以确定在执行该存取操作序列时待以其存取该多个数据值的顺序。

附图说明

[0009] 本技术将仅通过图示、参照如附图中所示出的其示例来进一步描述,其中:

[0010] 图1是根据一个示例具体实施的合并设备的系统的框图;

[0011] 图2A和图2B是根据一个示例具体实施的示意性地示出提供在用以存取多个数据值的排序受限制存取指令内的字段的图;

[0012] 图3是根据一个示例具体实施的示出如何处理用以存取多个数据值的排序受限制存取指令的流程图;

[0013] 图4A和图4B是根据一个示例具体实施的示意性地示出如何在处理用以存取多个数据值的排序受限制存取指令时符合可观察性要求的图;

[0014] 图5是根据一个示例具体实施的示出如何导出排序指示的流程图;

[0015] 图6是示出解码器电路系统将用以存取多个数据值的排序受限制存取指令分解成单一存取排序受限制存取指令序列的一个示例具体实施的流程图;并且

[0016] 图7示出可使用的示例模拟器具体实施。

具体实施方式

[0017] 在一个示例具体实施中,提供一种设备,该设备具有:处理电路系统,该处理电路系统用于执行操作;和指令解码器电路系统,该指令解码器电路系统用以解码指令,以控制该处理电路系统执行由该指令指定的该操作。提供一组寄存器,其中各寄存器可用以保持用于由该处理电路系统存取的数据值。应注意,数据值可包括一个或多个数据元素,并且本文中使用的用语“数据值(data value)”是用以指可保持在单一寄存器内的数据块。

[0018] 如早先提及的,在寻求采用某些一致性模型时,已知提供单一存取排序受限制存取指令,诸如加载取得指令或存储释放指令。当执行此单一存取排序受限制存取指令时,将存取单一寄存器(作为存储操作的来源或作为加载操作的目的地)。另外,处理电路系统将确保符合排序限制以符合某些可观察性要求。例如,对于加载取得指令,该处理电路系统将确保在程序顺序上出现在该加载取得指令之后的任何存取指令(加载或存储任一者)将仅在该加载取得指令的执行已完成之后经观察(例如,通过系统中的任何其它处理元件)为被执行。换句话说,与加载取得指令关联的加载操作将排序在程序顺序上出现在加载取得指令之后的另一存取指令关联的任何存取操作之前。

[0019] 类似地,对于存储释放指令,该处理电路系统将确保在该存储释放指令经观察为被执行之前经观察为已完成执行的任何存取指令将是在程序顺序上出现在该存储释放指令之前的存取指令。换句话说,在程序顺序上出现在存储释放指令之前的任何存取指令将使其的关联存取操作排序在与存储释放指令关联的存储操作之前。

[0020] 当寻求改善代码密度时,常是所期望的是在可行的情况下以单一指令取代两个或更多个指令,这是因为这常可促成显著的性能改善。然而,在考虑上述单一存取排序受限制存取指令时,归因于在执行关联存取操作时需要符合的可观察性要求,这是有问题的。

[0021] 然而,根据本文描述的技术,此问题已经由提供可处理以将此类可观察性要求列入考量的新指令解决。具体来说,提供一种用以存取多个数据值的排序受限制存取指令,并且该指令解码器电路系统响应于此指令而控制该处理电路系统执行该存取操作序列。各存取操作导致来自该多个数据值中的数据值在关联寄存器(从该指令提供的寄存器指示信息确定)与关联存储器地址(从该指令提供的存储器地址信息确定)之间移动。额外地,排序指示是从该排序受限制存取指令导出且是用以确定在执行该存取操作序列时待以其存取该多个数据值的顺序。通过使用此排序指示,可能确保个别存取在所需顺序上是外部可观察的,并且具体来说可符合其将符合而使多个单一存取排序受限制存取指令经执行的可观察性要求,而非用以存取多个数据值的新的排序受限制存取指令。

[0022] 具体来说,将理解,如果提供各标识单一数据值且用以在关联寄存器和其在存储器中的地址之间移动该数据值的一系列单一存取排序受限制存取指令,则系统中的任何观察实体将观察由该系列的指令以特定顺序(即,该单一存取排序受限制存取指令在程序顺序上出现的顺序)执行的存取。然而,当寻求以一个指令置换此系列的单一存取排序受限制存取指令时,重要的是维持存取的可观察性的原始顺序。这是通过提供上文提及的从排序受限制存取指令导出的排序信息而实现,从而确保继续符合所需的可观察性限制。

[0023] 当解码排序受限制存取指令时,排序指示在一个示例具体实施中可通过指令解码器电路系统确定。然而,在替代具体实施中,排序指示可由处理电路系统基于由指令解码器电路系统提供给其的信息确定。

[0024] 排序指示可采取各种形式。在一个示例具体实施中,该排序指示是用以标识待以其存取与该多个数据值关联的该存储器地址的顺序,从而确定待以其存取该多个数据值的该顺序。举示例来说,排序指示可标识应先存取最低存储器地址或应先存取最高存储器地址。通过提供此排序指示,因为其可允许使用上文提及的用于存取多个数据值的排序受限制存取指令而非一系列单一存取排序受限制存取指令,而与该系统将已导致先存取最低存储器地址或先存取最高存储器地址无关,这可提供显著灵活性,这是因为两个选项皆可由该指令适应。

[0025] 在一个示例具体实施中,该指令解码器电路系统被布置成控制该处理电路系统以对于耦合至该设备且能够观察由该处理电路系统执行的该存取操作的观察电路系统确保在执行该排序受限制存取指令时执行的该存取操作序列中的给定存取操作之后的任何后续存取操作的执行可由该观察电路系统观察之前,该存取操作序列中的该给定存取操作可由该观察电路系统观察为已完成。因此,举示例来说,如果存取操作序列包括存取操作A和之后的存取操作B,则如果观察器可观察到存取操作B的任何部分,上述要求将确保其也能够观察到全部的存取操作A。值得注意的是,这也意指反向观察条件,即,如果观察器无法观

察到全部的存取操作A,则其将无法观察到存取操作B的任何部分。

[0026] 在一个示例具体实施中,各数据值可包括多个数据元素。在此情境中,如果该给定存取操作的执行需要执行多个存取以存取该关联数据值的该多个数据元素时,该处理电路系统可被布置成确保在该存取操作序列中的该给定存取操作之后的任何后续存取操作的执行可由该观察电路系统观察之前,形成该给定存取操作的该多个存取全部可由该观察电路系统观察为已完成。因此,即使在给定存取操作的执行需要通过多个存取实施,并且因此给定存取操作本身不是原子操作的情况下,仍可坚持确保任何后续存取操作在给定存取操作已完成之前是不可观察的以上要求。存在各种给定存取操作可能需要通过多个存取执行的原因,但一个具体示例是在数据横跨高速缓冲存储器线边界存取的情况下,并且因此可能需要对多条高速缓冲存储器线的分开存取。

[0027] 在一个示例具体实施中,排序指示可直接编码在排序受限制存取指令的字段内,并且因此排序指示可从该字段的分析确定。然而,在替代具体实施中,可能不需要为排序指示提供分开字段,而替代地,排序指示可从编码成排序受限制存取指令的其它信息导出。

[0028] 例如,在一个示例具体实施中,该排序受限制存取指令被布置成指定用以从该存储器地址信息确定该多个数据值的该存储器地址的寻址模式,并且该排序指示可取决于该寻址模式而导出。

[0029] 举例来说,该存储器地址信息可被布置成提供用以确定一个存储器地址(这可例如是(但不需要是)待根据排序指示存取的第一存储器地址)的存储器地址指示,该寻址模式可标识至少在各其它存储器地址的确定期间使用的调整方向,并且该排序指示可取决于该调整方向而确定。

[0030] 在一些具体实施中,寻址模式将不仅标识调整方向,并且还可提供实现调整量的确定的信息。调整方向和调整量信息接着可用以确定序列中的各存储器地址。例如,基于此类寻址模式信息,构造各以调整量彼此分开的递增或递减存储器地址的序列可能是可行的。在一些具体实施中,调整方向和调整量还可在确定是从存储器地址指示确定的一个存储器地址时使用,例如,当寻址模式标识导致存储器地址通过以调整量递减从存储器地址指示确定的存储器地址而确定的预递减机制时。

[0031] 虽然在一些具体实施中,可能是待以其存取存储器地址以符合可观察性限制的顺序可与基于寻址模式以其确定地址序列的方式不同的情形,已发现常是在需要符合可观察性限制的存取排序与由寻址模式提供的调整方向之间存在固有链接的情形,并且因此常是寻址模式信息可通过自身或与由指令提供的其它信息结合而再使用以确定排序指示的情形。

[0032] 作为由排序受限制存取指令提供的也可在确定排序指示时使用的信息的另一示例,在一个示例具体实施中,排序指示可取决于排序受限制存取指令的指令类型而导出。在一个特定示例具体实施中,此指令类型信息可与早先提及的寻址模式信息结合使用。

[0033] 在一个示例具体实施中,该指令类型被布置成标识该排序受限制存取指令是寻求将该多个数据值从存储器加载至多个该寄存器中的加载指令,或是寻求将该多个数据值从该多个寄存器存储至存储器的存储指令。

[0034] 在一个示例具体实施中,该排序指示是从经编码成该排序受限制存取指令的标识该排序受限制存取指令待用以执行堆叠类型存取操作或待用以执行非堆叠类型存取操作

的信息导出。这可在指令内明确地标识,例如,通过标识排序受限制存取指令正使用堆叠指针以标识所需的存储器地址,或替代地,排序受限制存取指令正用以执行堆叠类型存取操作的事实可从指令内的其它信息推断,例如,其中在特定寻址模式经保留以在执行堆叠类型存取操作时使用。例如,在一个特定具体实施中,预递减寻址模式可经保留以在执行堆叠类型存取操作时使用,并且因此排序指示可基于排序受限制存取指令是否正在执行存储操作以及该存储操作是否为堆叠类型操作而确定。如果是该情形,则可确定一种形式的排序指示,然而如果不是该情形,则可确定相反的排序指示。

[0035] 虽然上述技术可用以允许排序受限制存取指令用以存取任何数目的多个数据值,但在一个特定示例具体实施中,该排序受限制存取指令被布置成存取一对数据值,并且提供足以标识与该对数据值中的各数据值关联的寄存器的寄存器指示信息。具体来说,已发现存在将两个寄存器的内容存储至存储器中的(一般是连续的)地址或将数据从存储器中的(一般是连续的)地址加载至一对寄存器是所期望的许多实例,并且本文所定义的排序受限制存取指令的提供通过执行单一指令而非必须执行早先提及的单一存取排序受限制存取指令的两个实例而使这能够实现。

[0036] 在该排序受限制存取指令待用以存取一对数据值的情况中,该存储器地址信息可被布置成提供用以确定与该对数据值中的该数据值中的一者关联的一个存储器地址的存储器地址指示,并且接着与该对中的该数据值中的另一者关联的另外存储器地址可从该一个存储器地址导出。例如,一旦该一个存储器地址已确定,该另外存储器地址就可基于该地址模式信息推断。

[0037] 用于存取多个数据值的排序受限制存取指令可采取多种形式。在一个示例具体实施中,该排序受限制存取指令是用以将多个数据值存储至存储器的存储释放指令,并且该指令解码器电路系统被布置成在解码该存储释放指令时控制该处理电路系统以确保:

[0038] - 在该存储释放指令经观察为被执行之前经观察为已完成执行的任何存取指令将是在程序顺序上出现在该存储释放指令之前的存取指令;以及

[0039] - 在存储操作序列中的给定存储操作之后的任何后续存储操作的执行可观察之前,在该存储释放指令的执行期间用以将该多个数据值存储至存储器的该存储操作序列中的该给定存储操作可观察为已完成。

[0040] 因此,在出现在程序中的其它存取指令方面且在经执行以执行存储释放指令的个别存储操作方面皆符合存储释放行为的要求。

[0041] 作为另一示例,该排序受限制存取指令可能是用以将多个数据值加载至该组寄存器中的关联寄存器中的加载取得指令,并且该指令解码器电路系统可被布置成在解码该加载取得指令时控制该处理电路系统以确保:

[0042] - 在加载操作序列中的给定加载操作之后的任何后续加载操作的执行可观察之前,在该加载取得指令的执行期间用以将该多个数据值加载至该关联寄存器的该加载操作序列中的该给定加载操作可观察为已完成;以及

[0043] - 在程序顺序上出现在该加载取得指令之后的任何存取指令将仅在该加载取得指令的执行已完成之后经观察为被执行。

[0044] 因此,在出现在程序中的其它存取指令方面且在经执行以执行加载取得指令的个别加载操作方面皆符合加载取得行为的要求。

[0045] 存在指令解码器电路系统可以其处理排序受限制存取指令以适当地控制处理电路系统执行指定存取操作,同时符合所需可观察性条件的各种方式。在一个特定示例具体实施中,该指令解码器电路系统被布置成将用以存取多个数据值的该排序受限制存取指令分解成单一存取排序受限制存取指令序列。其中各单一存取排序受限制存取指令被布置成存取该多个数据值中的该数据值中的一者。根据此方法,该指令解码器电路系统被布置成取决于该排序指示而确定以其控制该处理电路系统执行该序列中的各单一存取排序受限制存取指令的该顺序。因此,其可将排序受限制存取指令分解成一系列单一存取排序受限制存取指令,并且接着取决于从排序受限制存取指令确定的排序指示,导致处理电路系统以默认顺序或以相反顺序执行该序列。

[0046] 现将参照附图讨论特定的示例具体实施。

[0047] 图1是根据一个示例具体实施的合并设备的系统的框图。该设备在图1的示例中可采取处理器核心10或处理器核心20中任一者的形式,并且这些处理器核心两者均可以相同方式构造从图1中将是显而易见的。针对以下讨论的目的,将假设处理器核心10正在执行包括早先讨论的用以存取多个数据值的排序受限制存取指令的一个或多个实例的指令序列,并且处理器核心20是该存取的观察实体。然而,将理解,还可能是处理器核心20正在执行此类指令,并且处理器核心10是观察器的情形,并且实际上两种情况皆可在相同系统内发生。另外,虽然为简明起见只显示两个处理器核心10、20,但将理解,还可将若干个额外处理元件提供在该系统中,该处理元件可操作以执行此类指令,和/或是由其它处理元件所产生的存取的观察器。

[0048] 处理器核心10、20耦合至它们经由其共享对存储器45的存取的互连件30。互连件可采取各种形式,但在所示的示例中是同调互连件,该同调互连件可包括可为处理器核心10、20两者存取的系统高速缓冲存储器35和确保处理器核心中的每一者同调地看到存储于系统的高速缓冲存储器内的数据的关联高速缓冲存储器同调电路系统40。如图1所示,除了系统高速缓冲存储器35外,可存在一个或多个其它层级的高速缓冲存储器,例如可为相应处理器核心10、20存取的一层级或多层级局部高速缓冲存储器15、25。如所属领域的技术人员将了解的,高速缓冲存储器同调电路系统40可采用若干种已知高速缓冲存储器同调方案中的任一者,以响应于发布存取该数据的请求而确保各处理器核心10、20将存取高速缓冲存储在系统内的数据的最新版本。

[0049] 如图1所示,处理器核心10可包括用于解码从存储器或高速缓冲存储器中的一者提取的指令的指令解码器50,以产生接着用以控制处理电路系统52执行由该指令所需求的操作的控制信号。在此类操作的执行期间,处理电路系统52具有对可将待使用为操作的输入的数据值存储于其中且可将由该操作产生的输出结果存储于其中的一组寄存器54的存取。

[0050] 由处理器核心10执行的指令的一些可导致存取操作由处理电路系统52执行以将数据值从存储器/高速缓冲存储器加载至寄存器54中(在此实例中,存取操作是加载操作)和/或将数据值从寄存器54存储至存储器/高速缓冲存储器(在此实例中,存取操作是存储操作)。当存储操作待执行时,它们可暂时缓冲在存储缓冲器56内,并且处理器核心10可能能够对保持在存储缓冲器内的存储操作执行一些重排序以寻求改善性能。也如图1所示,在一些实例中,可提供加载缓冲器58以暂时缓冲待由处理器核心执行的加载操作。在乱序处

理器中,在地址计算时间可在不同的加载指令中变化的情况中重排序某些加载操作可能是可行的,并且在此类情形中,加载缓冲器58的存在可能是有用的。

[0051] 在图1的示例中,假设处理器核心20是以与处理器核心10相同的方式构造,并且因此包括指令解码器60、处理电路系统62、一组寄存器64、存储缓冲器66、和可选地为加载缓冲器68。

[0052] 除了早先提及的用以确保处理器中的每一者同调地看到可在系统内高速缓冲存储的数据的高速缓冲存储器同调机制外,该系统一般还将利用关于存储器的存储器同调模型,以确保读取、写入、或更新存储器的结果将是可预测的。一些系统可采用相对弱的一致性模型以在对存储器的存取可以其通过系统内的特定处理元件重排序的方式上允许灵活性,但在一些实例中,可能是所期望的是仿真比系统所固有地支持者更强的一致性模型的行为。如早先提及的,寻求实现此的一种方式是通过使用加载取得和存储释放指令而非标准的加载和存储指令,并且尤其在处理元件执行加载取得指令或存储释放指令时,确保某些可观察性限制使得即使一些区域重排序是由给定处理元件所执行,系统中的观察由给定处理元件执行的存取的另一处理元件将该存取观察为已以特定程序顺序发生。

[0053] 根据本文描述的技术,为了改善代码密度,提供能够指定待存取的多个数据值的新形式的加载取得和存储释放指令(在本文中是指用于存取多个数据值的排序受限制存取指令),并且尤其在其执行时,将导致执行一系列相关于多个寄存器的存取操作,各存取操作导致来自多个数据值中的数据值在关联寄存器与关联存储器地址之间移动(在存储释放指令的事件中从寄存器至存储器,并且在加载取得指令的事件中从存储器至寄存器)。根据本文讨论的技术,排序指示是从排序受限制存取指令导出且用以确定在执行该系列存取操作时待以其存取该多个数据值的顺序。通过使用此排序指示,可能确保个别存取在所需顺序上是外部可观察的,并且具体来说其将符合而使多个单一存取排序受限制存取指令(即,一系列各存取一个数据值的传统加载取得或存储释放指令)经执行的可观察性要求,而非用以存取多个数据值的新的排序受限制存取指令。

[0054] 图2A是根据一个示例具体实施的示意性地示出可提供在用以存取多个数据值的该类型的排序受限制存取指令100内的字段的图。第一字段105是用于指定指令类型,并且因此可例如标识指令是加载或存储指令。其还可能可选地指定额外信息,诸如指令是在存储器中的堆叠上操作或替代地在存储器的非堆叠区域上操作。

[0055] 另外字段110提供寻址模式,并与存储器地址字段125中的存储器地址信息结合使用以确定与待存取的数据值中的每一者关联的存储器地址。字段125中的存储器地址信息可例如给出充分信息,以使地址中的一者能够确定,例如,通过提供用以标识堆叠指针的堆叠指针指示,或通过标识其内容可用于确定存储器地址的寄存器。在此后一情形中,可能是例如将该经标识寄存器中的数据值使用为加至某个基址的偏移以确定存储器地址的情形。

[0056] 寻址模式信息接着可用于计算所需的其它地址中的每一者,并且实际上,在一些实例中,还可在从字段125中的存储器地址信息计算第一存储器地址时将其列入考量。寻址模式可例如指示调整方向,诸如各后续地址将通过递增先前确定的地址或通过递减先前确定的地址而确定。该寻址模式还可在一些具体实施中提供调整量,以允许关于调整量待于计算各后续地址时产生的可配置性。

[0057] 还提供寄存器指示字段120以存储寄存器指示信息。此信息可用于确定待于执行

排序受限制存取指令时存取的各寄存器的寄存器标识符。在一个示例具体实施中,各寄存器可在寄存器指示字段120内明确地标识。然而,在替代具体实施中,例如,在指令相关于一系列相邻寄存器或以预定量分开的寄存器操作的情况中,可标识一个寄存器,并且可推断各额外寄存器。

[0058] 如图2A所示,根据此第一示例具体实施,将排序指示字段115提供为明确字段,可将排序指示信息存储于其中以标识执行排序受限制存取指令所需的存取操作中的每一者待以其执行的顺序。由于其在确保符合个别存取操作之间的可观察性要求的同时,实现用以存取多个数据值的排序受限制存取指令的使用,而非使用各在单一数据值上操作(即,在一个寄存器与存储器中的地址之间的任一方向上移动数据)的标准排序受限制存取指令序列或置换该标准排序受限制存取指令序列,这提供大量灵活性。

[0059] 虽然在图2A的示例中使用明确排序指示字段,但在替代示例具体实施中,如图2B所示出的,可能不需要明确排序指示字段,并且替代地,从提供在该指令内的其它信息导出排序指示可能是可行的。具体来说,在图2B的示例中,用以存取多个数据值的排序受限制存取指令130包括早先描述的字段105、110、120、125,但不包括明确排序指示字段115。替代地,在此替代具体实施中从指令中的其它信息推断排序指示可能是可行的,并且具体来说,在一个示例具体实施中,这是参考字段105中的指令类型信息和字段110中的寻址模式信息两者而实现。

[0060] 图3是根据一个示例具体实施的示出排序受限制存取指令可如何处理的流程图。在步骤200,当确定已遭遇用于存取多个数据值的排序受限制存取指令时,接着在步骤205,确定将执行何种类型的指令,例如,指令是加载取得指令或存储释放指令。

[0061] 在步骤210,确定排序指示,并且如早先讨论的,这可参考该指令内的明确字段确定,或替代地可从其它信息(例如,从寻址模式和/或指令类型的指示)导出。

[0062] 在步骤215,使用字段125中的存储器地址信息和寻址模式字段110中的寻址模式信息确定各数据值的存储器地址。额外地,在步骤220,使用寄存器指示字段120中的信息确定与各数据值关联的寄存器。

[0063] 一旦所有上述信息皆已确定,则在步骤225,可限制处理电路系统以由排序指示所指示的顺序执行对各数据值的存取。通过此方法,可能不仅在由处理器核心执行的其它存取指令(如已知的加载取得和存储释放指令所需的)方面,并且还在实施排序受限制存取指令所需的个别存取操作方面符合可观察性要求。

[0064] 例如,指令解码器50可被布置成当所执行的排序受限制存取指令是用以将多个数据值存储至存储器的存储释放指令时,在解码该存储释放指令时控制处理电路系统52以确保:

[0065] -在该存储释放指令经观察为被执行之前经观察为已完成执行的任何存取指令将是在程序顺序上出现在该存储释放指令之前的存取指令;以及

[0066] -在该存储操作序列中的给定存储操作之后的任何后续存储操作的执行可观察之前,在该存储释放指令的执行期间用以将该多个数据值存储至存储器的该存储操作序列中的该给定存储操作可观察为已完成。

[0067] 类似地,指令解码器50可被布置成当排序受限制存取指令是用以将多个数据值加载至该组寄存器中的关联寄存器中的加载取得指令时,在解码加载取得指令时控制处理电

路系统52以确保:

[0068] -在加载操作序列中的给定加载操作之后的任何后续加载操作的执行可观察之前,在该加载取得指令的执行期间用以将该多个数据值加载至该关联寄存器的该加载操作序列中的该给定加载操作可观察为已完成;以及

[0069] -在程序顺序上出现在该加载取得指令之后的任何存取指令将仅在该加载取得指令的执行已完成之后经观察为被执行。

[0070] 虽然步骤205、210、215和220在图3中循序地显示,但将理解,这些步骤中的一者或多者可取决于具体实施并行地执行。额外地,哪些步骤由解码器执行以及哪些步骤由处理电路系统执行也可取决于具体实施而变化。在一个特定示例具体实施中,解码器可被布置成确定待使用哪些寄存器操作数以及确定寻址模式。处理电路系统接着可被布置成实施寻址模式以在强制执行从排序指示确定的所需排序的同时执行所需的存取操作。

[0071] 图4A和图4B是示出如何在执行上文描述的排序受限制存取指令所需的个别存取操作之间符合可观察性要求的图。在两种情形中,假设排序受限制存取指令导致存取一对数据值,其中该数据值在加载取得指令的事件中从存储器移动至一对寄存器中,或其中该数据值在存储释放指令的事件中从一对寄存器移动至存储器。存取该对数据值中的各数据值所需的两个存取操作在图4A和图4B中称为存取操作1和2。

[0072] 如图4A所示,当各存取操作可原子地执行时,则将处理电路系统限制成处理这两个存取操作,使得如果系统内的任何观察实体可观察到存取操作2的结果的任何部分,保证该观察实体也将能够观察存取操作1的结果的所有部分。换句话说,这也意味着如果观察器无法观察到全部的存取操作1,则其将不能够观察到存取操作2的任何部分。

[0073] 图4B示出需要将存取操作1拆解成多个单独存取的情境,在此示例中,具体来说,第一存取和第二存取。存在这为何可发生的各种原因,但在图4B的示例中,假设待存取的所需数据值横跨两条高速缓冲存储器线散布,并且因此需要对该高速缓冲存储器线中的每一者的分开存取。这意味着存取操作1的执行本身不是原子的。尽管如此,即使在该情境中,将处理电路系统限制成确保符合存取操作1与存取操作2之间的上述可观察性限制。

[0074] 图5是示出用以从存在于排序受限制存取指令内的其它信息确定排序指示的特定示例具体实施的流程图。在步骤300,假设已遭遇用以存取多个数据值的排序受限制存取指令,并且确定该指令是否为存储释放指令。在此示例具体实施中,如果指令不是存储释放指令,则过程直接进行至确定排序指示以标识应先存取最低存储器地址的步骤315。

[0075] 然而,如果在步骤300,确定指令是存储释放指令,则在步骤305,确定指令是否正在执行堆叠类型操作。这可以各种方式确定。例如,可明确地在指令内标识,例如,通过标识存储释放指令正使用堆叠指针标识所需存储器地址。替代地,从提供在指令内的其它信息推断此信息可能是可行的。例如,如果特定寻址模式经保留以在执行堆叠类型存储操作时使用,则在步骤305,该寻址模式的存在可用以确定该指令意图执行堆叠类型操作。

[0076] 如果指令经确定不用以执行堆叠类型操作,则过程再次继续进行至确定排序指示以标识应先存取最低存储器地址的步骤315。

[0077] 如果在步骤305确定指令是用于执行堆叠类型操作,则在一个示例具体实施中,过程可直接继续进行至确定排序指示以标识应先存取最高存储器地址的步骤320。然而,如虚线方框310所指示的,在可使用多于一个的寻址模式执行堆叠类型操作的具体实施中,接着

在步骤310,可首先确定寻址模式是否为预递减寻址模式。如果为否,过程可继续进行至确定排序指示以标识待先存取最低存储器地址的步骤315,但如果寻址模式是预递减的,则过程继续进行至确定排序指示以标识应先存取最高存储器地址的步骤320。

[0078] 通过使用本文描述的技术,可能通过允许使用单一指令是先前需要多个单独指令而显著降低代码密度。例如,考虑现有的存储释放指令,则先前可能已要求多个存储释放指令,诸如以下的指令对:

[0079] STLR X1[SP, -8]!

[0080] STLR X0[SP, -8]!

[0081] 第一存储释放指令的执行将导致寄存器X1中的数据存储至存储器中的堆叠中的通过以八个字节预递减所提供的堆叠指针值以产生新的堆叠指针值而确定的位置。第二存储释放指令的执行接着将导致寄存器X0中的数据存储至存储器中的堆叠中的通过再次以八个字节预递减通过第一STLR指令的执行产生的堆叠指针值以产生经更新堆叠指针值而确定的位置。

[0082] 根据本文描述的技术,这些两个存储释放指令可由以下形式的单一新指令置换:

[0083] STLP X0, X1, [SP, -16]!

[0084] 具体来说,“P”指示存储释放指令将在一对寄存器(即,经标识寄存器X0和X1)上执行,并且从指令导出的排序指示标识应先存取最高存储器地址(在一个实施方案中,这可从是存储释放指令的指令与正使用的预递减寻址模式的结合确定)。在此情形中,预递减量是16个字节,并且因此堆叠指针以16个字节预递减,以使来自寄存器X0的数据的前八个字节能够存储至该堆叠,之后存储来自寄存器X1的数据的第二个八个字节。然而,为了符合所需的可观察性排序,将处理该存储,使得X1的存储经排序在X0的存储之前。可执行两个单独的存储操作以实施此指令的执行,并且将使处理电路系统限制成确保符合早先提及的在个别存储操作之间的可观察性要求。

[0085] 虽然上文是排序指示将指示最高存储器地址优先的情况的示例,但以下示例是新形式的存储释放指令可被布置成指定指示应先存取最低存储器地址的排序指示的情况。具体来说,以下两个标准存储释放指令:

[0086] STLR X0, [X2]

[0087] STLR X1, [X2, 8]

[0088] 可由以下形式的单一新存储释放指令所置换:

[0089] STLP X0, X1, [X2]

[0090] 在此实例中,寻址模式可标识以8个字节对该地址的后递增改变,其中第一存储存取操作是用以将寄存器X0中的数据存储至从寄存器X2的内容确定的存储器地址,并且第二存储存取操作是用以将寄存器X1中的数据存储至通过以8个字节递增针对第一存取操作确定的该地址而确定的存储器地址。如同早先的示例,排序指示在一个实施方案中可从寻址模式导出,并且可指示存取应先对最低存储器地址执行。如同早先的示例,当执行此新形式的存储释放指令时,将使处理电路系统限制成确保符合早先提及的在个别存储操作之间的可观察性要求。

[0091] 存在指令解码器50可以其处理上述类型的排序受限制存取指令以适当地控制处理电路系统执行指定存取操作,同时符合所需可观察性条件的若干种方式。在一个特定示

例具体实施中,如图6所示,在步骤400,解码器可被布置成将用以存取多个数据值的排序受限制存取指令分解成单一存取排序受限制存取指令序列,该单一存取排序受限制存取指令中的每一者是用以存取该数据值中的一者。因此,在此具体实施中,可将用以存取多个数据值的新形式的加载取得或存储释放指令分解成一系列现有加载取得或存储释放指令,该现有加载取得或存储释放指令中的每一者执行相关于与单一寄存器关联的该数据值的存取。

[0092] 接着,在步骤405,排序指示可使用早先讨论的技术中的任一者确定。基于所确定的排序指示,接着在步骤410,解码器可确定以其控制处理电路系统执行单一存取排序受限制存取指令中的每一者的顺序。因此,在一个示例具体实施中,该系列可以最初确定的经分解顺序执行,例如,如果排序指示指示应先存取最低存储器地址,但如果替代地排序指示指示应先存取最高存储器地址,解码器可以反转以其执行单一存取排序受限制存取指令的顺序。这提供用于实施这些新加载取得和存储释放指令的处理的特别简单且有效率的机制。

[0093] 图7示出可使用的模拟器具体实施。虽然先前所述的示例以用于操作支持所关注技术的特定处理硬件的设备和方法来实施本发明,但还可能根据本文所述的示例提供指令执行环境,其是通过使用计算机程序实施。此类计算机程序常称为模拟器,因为它们提供硬件架构的基于软件的具体实施。模拟器计算机程序的种类包括仿真器、虚拟机、模型、和二进制转换器(包括动态二进制转换器)。一般来说,模拟器具体实施可在可选地运行主机操作系统510、支持模拟器程序505的主机处理器515上运行。在一些布置中,在硬件与所提供的指令执行环境和/或相同的主机处理器上提供的多个相异指令执行环境之间可有多层模拟。历史上,已需要强大的处理器来提供模拟器具体实施,其以合理速度执行,但此种方法在某些情况下可能是有正当理由的,诸如当因为兼容性或再使用原因因此需要执行另一处理器原生的代码时。例如,模拟器具体实施可提供具有不为主机处理器硬件所支持的额外功能性的指令执行环境,或提供一般与不同的硬件架构关联的指令执行环境。模拟的综述是在“一些有效架构模拟技术(Some Efficient Architecture Simulation Techniques)”(Robert Bedichek, Winter 1990USENIX Conference, 第53至63页)中给出。

[0094] 在先前已参照特定硬件构造或特征描述实施的情况下,在模拟具体实施中,等效功能性可通过合适的软件构造或特征提供。例如,可在模拟具体实施中将特定电路系统提供作为计算机程序逻辑。类似地,存储器硬件(诸如寄存器或高速缓冲存储器)可在模拟具体实施中提供作为软件数据结构。再者,可将用于存取硬件设备中的存储器的物理地址空间仿真为通过模拟器505映射至由主机操作系统510使用的虚拟地址空间的模拟地址空间。在先前描述的示例中提及的硬件元件中的一者或多者存在于主机硬件(例如,主机处理器515)上的布置中,一些模拟具体实施可(在适当处)利用主机硬件。

[0095] 模拟器程序505可存储在计算机可读存储介质(其可以是非暂时性介质)上,并提供虚拟硬件接口(指令执行环境)给目标代码500(其可包括应用程序、操作系统、和超管理器),该硬件接口与通过模拟器程序505建模的硬件架构的硬件接口相同。因此,目标代码500的程序指令可在指令执行环境内使用模拟器程序505执行,使得实际上不具有上文讨论的设备的硬件特征的主机计算机515可仿真该特征。模拟器程序可包括:处理程序逻辑520,该处理程序逻辑用以仿真处理电路系统52、62的行为;指令解码程序逻辑525,该指令解码程序逻辑用以仿真指令解码器50、60的行为;和寄存器仿真程序逻辑522,该寄存器仿真程序逻辑用以维持数据结构以仿真该组寄存器54、64。因此,本文描述的用于处理排序受限制

存取操作的技术在图7的示例中可通过模拟器程序505以软件执行。

[0096] 将从以上描述理解本文描述的技术提供用于处理排序受限制存取操作(诸如加载取得和存储释放操作)、通过实现指定导致存取与多个寄存器关联的数据值的个别加载取得或存储释放指令而促成代码密度改善且因此促成性能改善,同时确保符合实施加载取得或存储释放指令所需的个别存取操作之间的所需求的可观察性行为的特别有效率机制。

[0097] 在本申请中,用语“被配置成……”是用以意指设备的元件具有能够实行经定义的操作的配置。在此上下文中,“配置”意指硬件或软件的互连的布置或方式。例如,该设备可具有专用硬件,其提供经定义的操作,或者处理器或其它处理装置可经编程以执行该功能。“被配置成”并不意味着设备元件需要以任何方式改变以提供经定义的操作。

[0098] 虽然本文中已参照附图详细描述本发明的说明性实施方案,但应了解,本发明不限于该精确实施方案,并且所属领域的技术人员可在其中实行各种变化、添加和修改而不脱离如随附权利要求书所定义的本发明的范围和实质。例如,可用独立权利要求的特征在不脱离本发明的范围的情况下作出与附属权利要求的特征的各种组合。

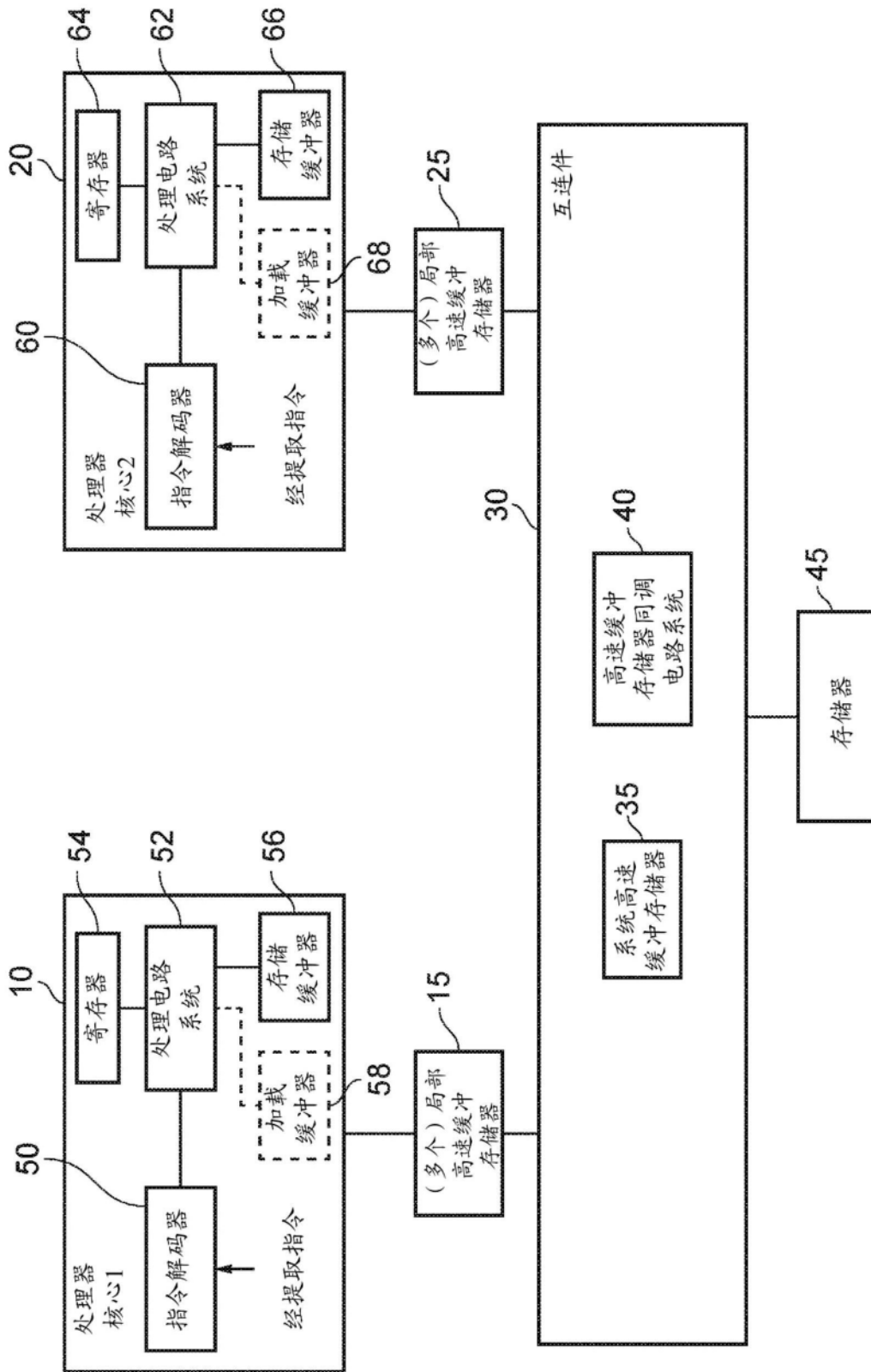


图1

用以存取多个数据值的
排序受限存取指令
(选项1)

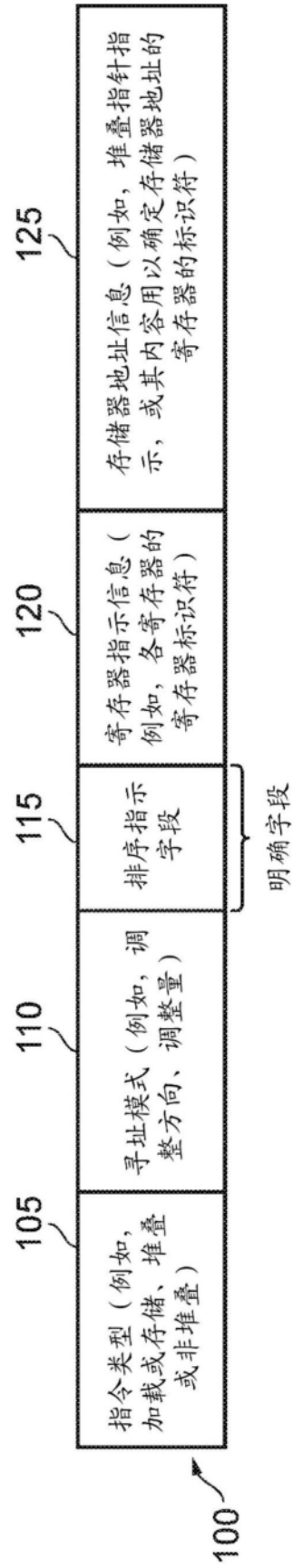
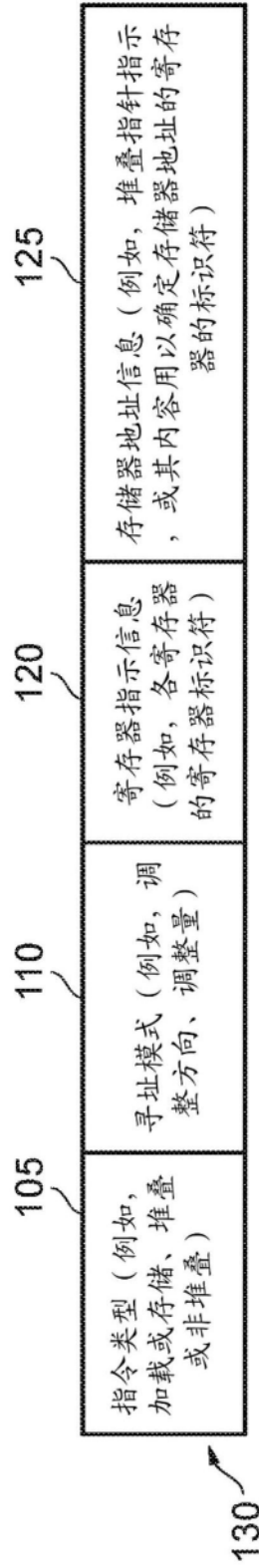


图2A

用以存取多个数据值的排
序受限存取指令
(选项2)



无明确排序指示字段-从指令中的其它信息导出排序指示

图2B

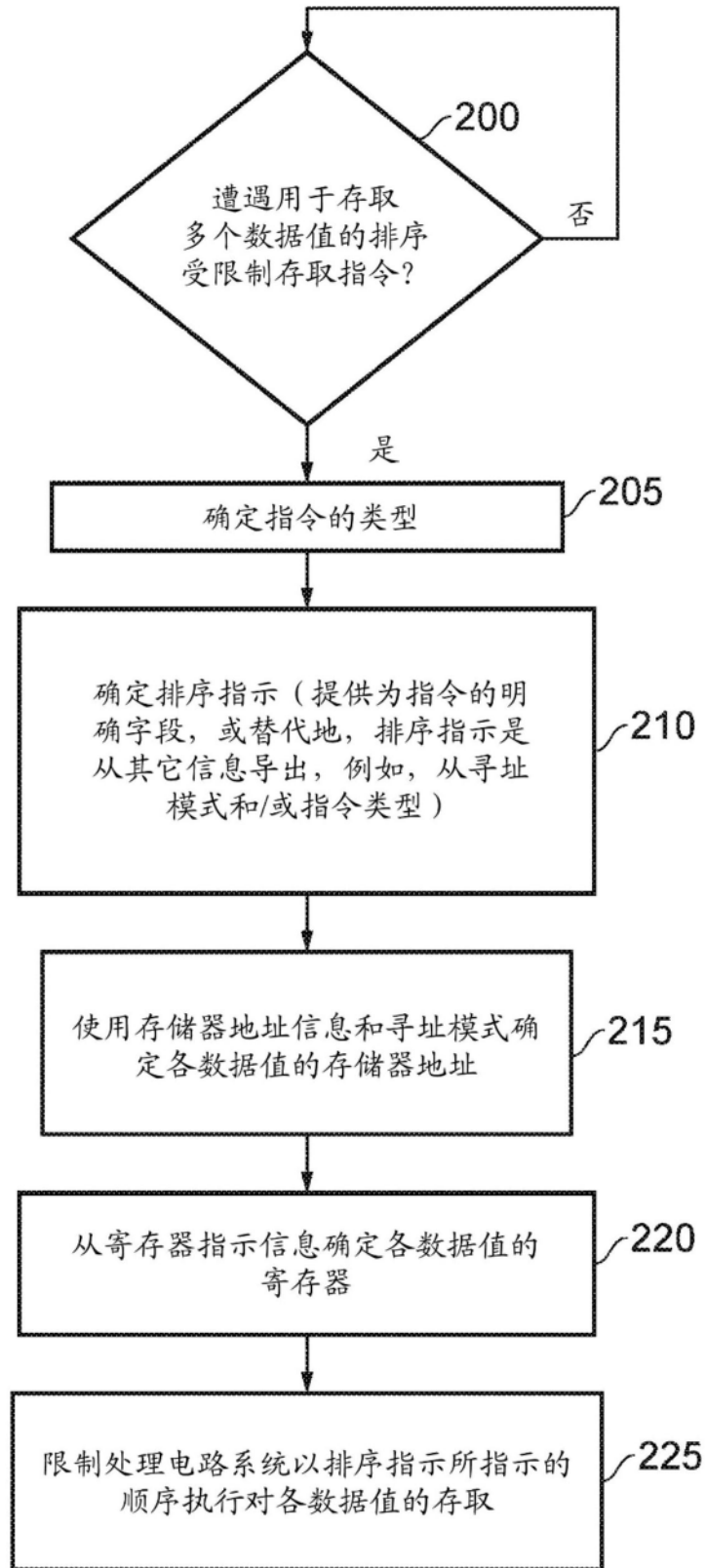


图3

处理电路系统

观察电路系统

存取操作1

存取操作2

← 处理电路系统处理该两个存取操作，使得如果观察电路系统可观察存取操作2的结果的任何部分，则保证观察电路系统可观察存取操作1的结果的所有部分

图4A

处理电路系统

观察电路系统

存取操作1

第一存取（第一高速缓冲存储器线的部分）

第二存取（下一高速缓冲存储器线的部分）

存取操作2

← 虽然存取操作1被分割成两个部分（且因此自身不是原子的），但处理电路系统仍确保上述可观察性限制（即，除非存取操作1的结果的所有部分皆可观察，否则无法观察存取操作2的结果的任何部分）

图4B

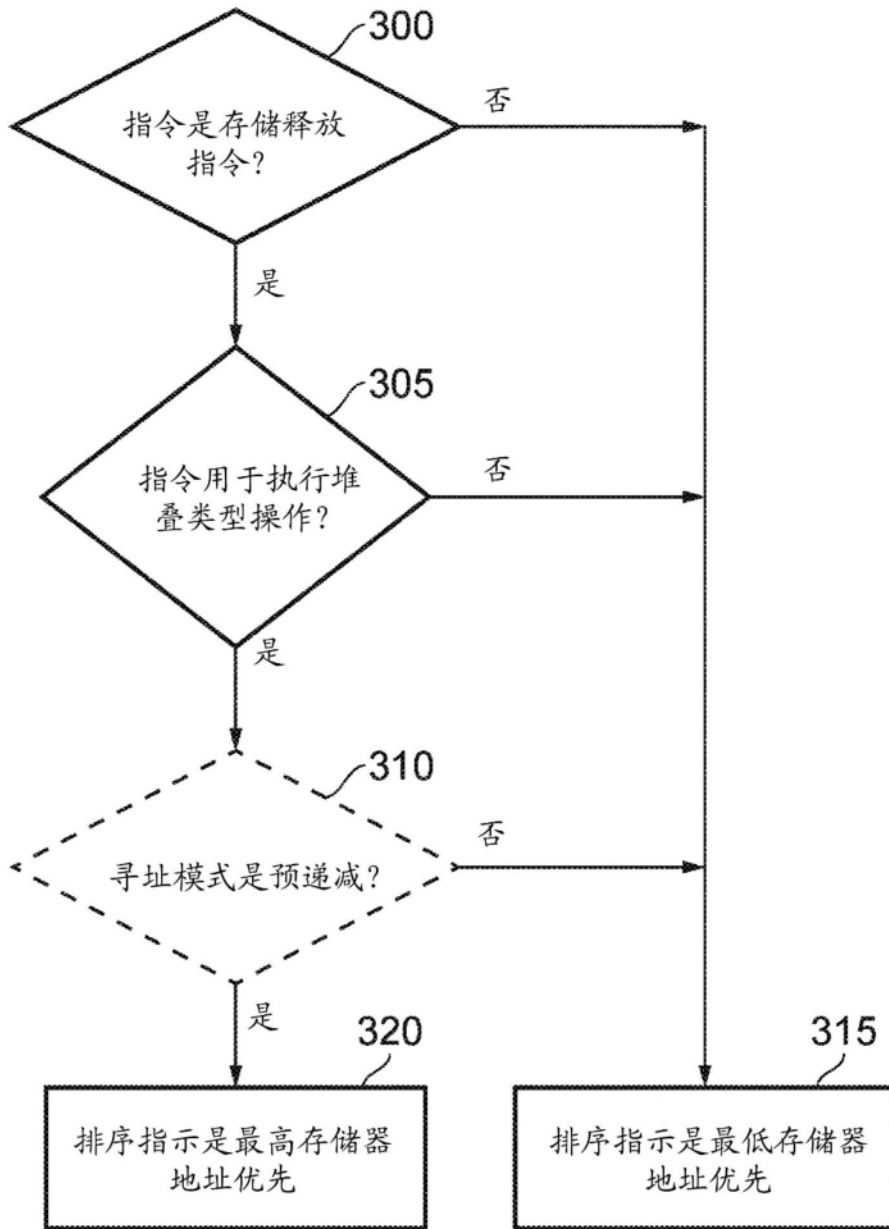


图5

在解码器处

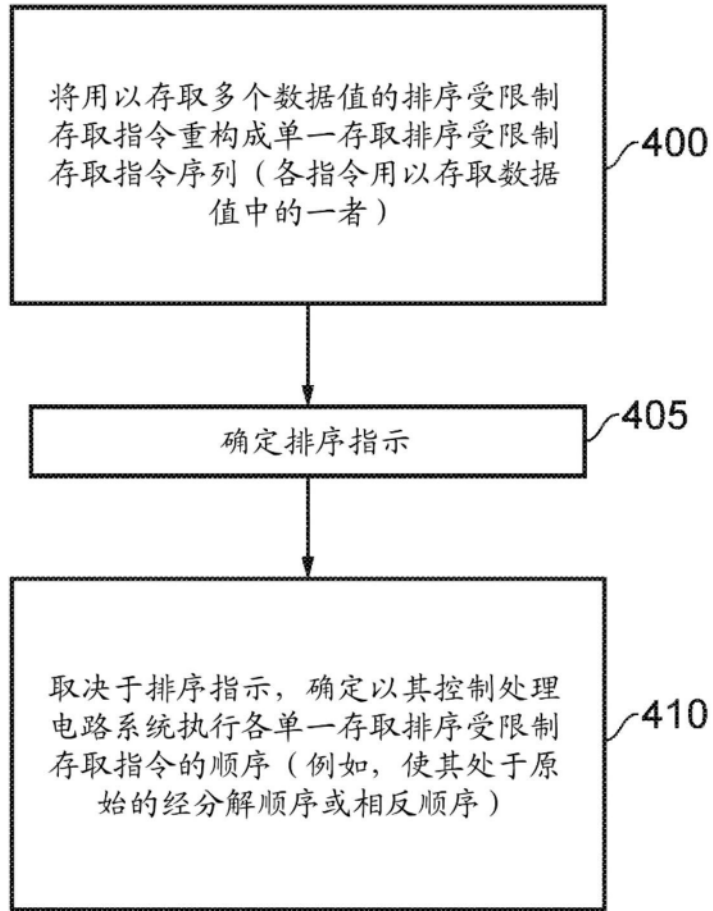


图6

模拟器具体实施

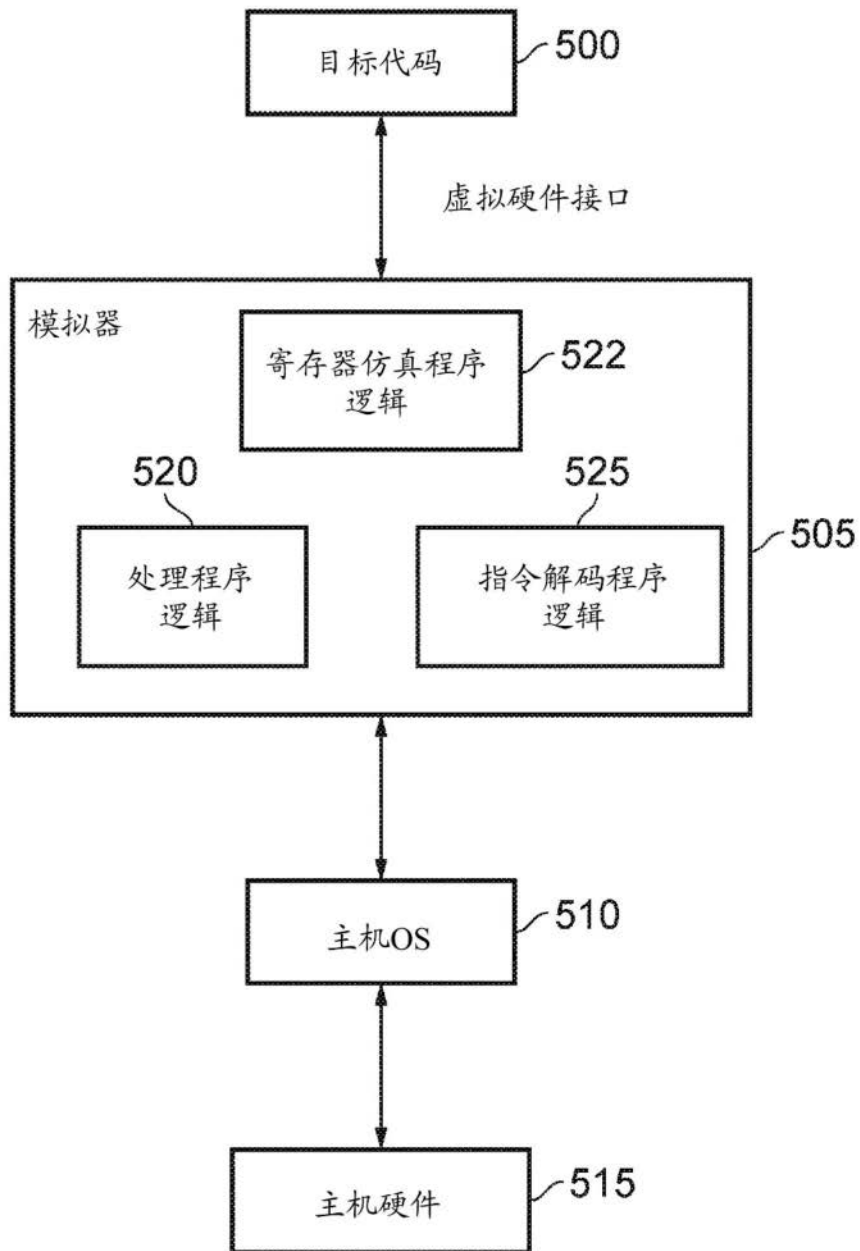


图7