

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年2月21日 (21.02.2019)



(10) 国际公布号
WO 2019/033549 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2017/107543

(22) 国际申请日: 2017年10月24日 (24.10.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710702450.9 2017年8月16日 (16.08.2017) CN

(71) 申请人: 深圳市华星光电半导体显示技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(72) 发明人: 石龙强 (SHI, Longqiang); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。 陈书志 (CHEN, Shu Jihui); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518132 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (SCIHEAD IP LAW FIRM); 中国广东省广州市越秀区先烈中路80号汇华商贸大厦1508室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: GOA CIRCUIT AND LIQUID CRYSTAL DISPLAY DEVICE

(54) 发明名称: 一种GOA电路及液晶显示装置

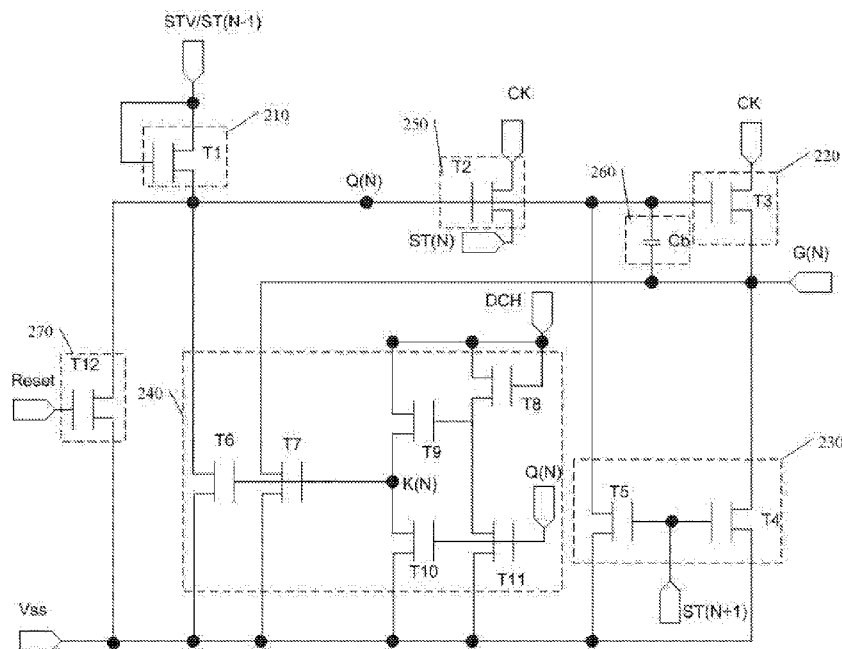


图 4

(57) Abstract: Disclosed is a GOA driving circuit. The GOA driving circuit comprises a plurality of cascaded GOA units. A gate electrode driving signal is output to an N^{th} -stage horizontal scanning line $G(N)$ of a display area according to an N^{th} -stage GOA unit. The N^{th} -stage GOA unit comprises a pull-up unit (220), a pull-up control unit (210), a pull-down unit (230), a pull-down maintaining unit (240), a downlink unit (250) and a bootstrap capacitor unit (260). The pull-up unit (220), the pull-down unit (230), the pull-down maintaining unit (240) and the

[见续页]

WO 2019/033549 A1

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

bootstrap capacitor unit (260) are respectively electrically connected to a first node Q(N) and the Nth-stage horizontal scanning line G(N), and the pull-up control unit (210) and the downlink unit (250) are electrically connected to the first node Q(N), where N is a positive integer. The GOA unit also comprises: a forced pull-down unit (270) used for forcing the first node Q(N) to be at a low level when a clock signal (CK) disappears. Also disclosed is a liquid crystal display device. The driving circuit is advantageous in that a potential of a first node can be lowered when a clock signal (CK) fails, thereby preventing a liquid crystal display device from being damaged.

(57) 摘要: 公开了一种GOA驱动电路, 该GOA驱动电路包括多个级联的GOA单元, 按照第N级GOA单元输出栅极驱动信号给显示区域第N级水平扫描线G(N), 该第N级GOA单元包括上拉单元(220)、上拉控制单元(210)、下拉单元(230)、下拉维持单元(240)、下传单元(250)以及自举电容单元(260); 该上拉单元(220)、该下拉单元(230)、该下拉维持单元(240)及该自举电容单元(260)均分别与第一节点Q(N)以及第N级水平扫描线G(N)电连接, 该上拉控制单元(210)以及该下传单元(250)与第一节点Q(N)电连接, 其中N为正整数; 该GOA单元还包括: 强制下拉单元(270), 其用于时钟信号(CK)消失时强迫该第一节点Q(N)为低电平。还公开了一种液晶显示装置。该驱动电路具有当时钟信号(CK)失效时可以拉低第一节点Q(N)的电位, 从而可以防止液晶显示装置损伤的优点。

一种 GOA 电路及液晶显示装置

5 本发明要求 2017 年 8 月 16 日递交的发明名称为“一种 GOA 电路及液晶显示装置”的申请号 CN 201710702450.9 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及液晶显示技术领域，特别是涉及一种 GOA 电路以及液晶显示装置。

背景技术

10 液晶显示装置以其显示品质高、价格低廉、携带方便等优点，成为移动通讯设备、PC、TV 等的显示装置。目前液晶显示装置驱动技术逐渐趋向于采用 GOA 技术，GOA 技术能简化平板显示面板的制作工序，省去水平扫描线方向的接合(bonding)工艺，可提升产能、降低产品成本，同时可以提升显示面板的集成度使之更适合制作窄边框或无边框显示产品，满足现代人们的视觉追求。

15 GOA 技术，即 Gate Driver on Array 技术，也就是利用现有薄膜晶体管液晶显示器 Array 制程将 Gate 行扫描驱动信号电路制作在 Array 基板上，实现对 Gate 逐行扫描的驱动方式。现有的 GOA 电路包括多个级联的 GOA 单元，图 1 是现有的第 N 级 GOA 单元的电路图，图 2 是本发明各个节点或者各个输出端的波形，请参照图 1 和图 2，第 N 级的 GOA 单元包括上拉控制单元 110、上拉单元 120、下拉单元 130、下拉维持单元 140、下传单元 150 和自举电容单元 160。

25 上拉单元 120 主要负责将时钟信号 CK 输出给显示区域第 N 级水平扫描线 G(N)，包括第三晶体管 T3。上拉控制单元 110 负责控制上拉单元 120 的打开时间，包括第一晶体管 T1，前一级的下传信号 ST(N-1)或者起始信号 STV 输入到第一晶体管 T1 的栅极和源极，第一晶体管 T1 的漏极连接到第一节点 Q(N)。下拉单元 130 负责将第 N 级水平扫描线 G(N)上的水平扫描信号拉低为低电位，即关闭水平扫描信号，包括晶体管 T4 和 T5，后一级的下传信号 ST(N+1)

输入到晶体管 T4 和 T5 的栅极。下拉维持单元 140 则负责将第 N 级水平扫描线 G(N)上的水平扫描信号和第一节点 Q(N)维持在关闭状态(即负电位)。自举电容单元 160 则负责所述第一节点 Q(N)电位的二次抬升,这样有利于上拉单元 120 的输出。下传单元 150 用于输出本级下传信号 ST(N)。VSS 表示直流低电压。

在日常应用中,由于信号干扰等环境影响,时钟信号 CK 在一个周期中突然消失,时钟信号 CK 的消失导致下一级 GOA 单元的下传信号 ST(N+1)没有输出。因为下一级 GOA 单元的下传信号 ST(N+1)的输出正常的高电位作用是将本级 GOA 单元的第一节点 Q(N)的高电位拉低,而当下一级 GOA 单元的下传信号 ST(N+1)没有输出时,本级的第一节点 Q(N)的高电位会一直维持,请参见图 3,这样会导致大电流,液晶显示装置有可能受到损伤。

发明内容

本发明实施例所要解决的技术问题在于,提供一种 GOA 电路及液晶显示装置。当时钟信号失效时可以拉低第一节点的电位,从而可以防止液晶显示装置损伤。

为了解决上述技术问题,本发明第一方面实施例提供了一种 GOA 电路,该 GOA 驱动电路包括多个级联的 GOA 单元,按照第 N 级 GOA 单元输出栅极驱动信号给显示区域第 N 级水平扫描线,该第 N 级 GOA 单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元、下传单元以及自举电容单元;所述上拉单元、所述下拉单元以、所述下拉维持单元及所述自举电容单元均分别与第一节点以及第 N 级水平扫描线电连接,所述上拉控制单元以及所述下传单元与第一节点电连接,其中 N 为正整数;该 GOA 单元还包括:

强制下拉单元,其用于时钟信号消失时强迫所述第一节点为低电平。

其中,所述强制下拉单元包括第十二薄膜晶体管,所述第十二薄膜晶体管的栅极接入重置信号,其源极与第一节点电连接,其漏极接入第一低电平,所述重置信号在时钟信号消失时由低电平转为高电平。

其中,所述下拉维持单元包括第六薄膜晶体管、第七薄膜晶体管、第八薄

膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管，所述第六薄膜晶体管的源极与第一节点电连接，其漏极接入第一低电平，其栅极与第 N 级第二节点电连接，所述七薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接入第一低电平，其栅极与第 N 级第二节点电连接，所述第八薄膜晶体管的栅极与源极与高电平电连接，其漏极分别与第九薄膜晶体管的栅极和第十一薄膜晶体管的源极电连接，第九薄膜晶体管的源极与高电平电连接，其漏极与第 N 级第二节点电连接，第十薄膜晶体管的源极与第 N 级第二节点电连接，其漏极接入第一低电平，其栅极与第一节点电连接，第十一薄膜晶体管的漏极接入第一低电平，其栅极与第一节点电连接。

10 其中，所述强制下拉单元包括第十三薄膜晶体管，所述第十三薄膜晶体管的栅极接入重置信号，其源极与高电平电连接，其漏极与第 N 级第二节点电连接，所述重置信号在时钟信号消失时由低电平转为高电平。

其中，所述时钟信号包括第一时钟信号和第二时钟信号，所述第一时钟信号和第二时钟信号频率相同，在一个周期除消隐时间以外的时间相位相反；所述强制下拉单元包括第十八薄膜晶体管、第十九薄膜晶体管、第二十薄膜晶体管、第二十一薄膜晶体管，所述第十八薄膜晶体管的源极和栅极与高电平电连接，其漏极分别与第十九薄膜晶体管的栅极、第二十薄膜晶体管的源极、第二十一薄膜晶体管的源极电连接，所述第十九薄膜晶体管的源极与高电平电连接，其漏极与第 N 级第二节点电连接，所述第二十薄膜晶体管的栅极与第一时钟信号电连接，其漏极与第一低电平电连接，所述第二十一薄膜晶体管的栅极与第二时钟信号电连接，其漏极与第一低电平电连接。

25 其中，所述时钟信号包括第一时钟信号和第二时钟信号，所述第一时钟信号和第二时钟信号频率相同，在一个周期除消隐时间以外的时间相位相反；所述强制下拉单元包括第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管，所述第十四薄膜晶体管的源极和栅极与高电平电连接，其漏极分别与第十五薄膜晶体管的栅极、第十六薄膜晶体管的源极、第十七薄膜晶体管的源极电连接，所述第十五薄膜晶体管的源极与第一节点电连接，其漏极与第一低电平电连接，所述第十六薄膜晶体管的栅极与第一时钟信号电连接，其漏极与第一低电平电连接，所述第十七薄膜晶体管的栅极与第二时钟信

号电连接，其漏极与第一低电平电连接。

其中，所述 GOA 驱动电路的一个周期包括消隐时间，所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

5 其中，所述上拉单元包括第三薄膜晶体管，所述第三薄膜晶体管的源极接入第一时钟信号，其栅极与第一节点电连接，其漏极与第 N 级水平扫描线电连接。

10 其中，所述下拉单元包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管的源极与第一节点电连接，其漏极接第一低电平，所述第五薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接第一低电平，所述第四薄膜晶体管的栅极和所述第五薄膜晶体管的栅极用于接第 N+1 级下传信号。

本发明第二方面实施例提供了一种液晶显示装置，包括上述的 GOA 驱动电路。

15

实施本发明实施例，具有如下有益效果：

20 由于所述 GOA 单元包括强制下拉单元，其用于时钟信号消失时强迫所述第一节点为低电平，从而，当由于信号干扰而导致时钟信号在一个周期中突然消失时，强制下拉单元会强迫所述第一节点为低电平，这样不会导致大电流，液晶显示装置也不会受到损伤。

附图说明

25 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 是现有技术第 N 级 GOA 单元的电路图；

图 2 是现有技术第 N 级 GOA 单元的信号时序图；

图 3 是现有技术时钟信号失效时第 N 级 GOA 单元的信号时序图；

图 4 是本发明第一实施例第 N 级 GOA 单元的电路图；

图 5 是本发明第一实施例时钟信号失效时第 N 级 GOA 单元的信号时序图；

图 6 是本发明第二实施例第 N 级 GOA 单元的电路图；

5 图 7 是本发明第二实施例时钟信号失效时第 N 级 GOA 单元的信号时序图；

图 8 是本发明第三实施例第 N 级 GOA 单元的电路图；

图 9 是本发明第四实施例第 N 级 GOA 单元的电路图。

10 具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

15 本申请说明书、权利要求书和附图中出现的术语“包括”和“具有”以及它们任何变形，意图在于覆盖不排他的包含。例如包含了一系列步骤或单元的过程、方法、系统、产品或设备没有限定于已列出的步骤或单元，而是可选地还包括没有列出的步骤或单元，或可选地还包括对于这些过程、方法、产品或设备固有的其它步骤或单元。此外，术语“第一”、“第二”和“第三”等是
20 用于区别不同的对象，而并非用于描述特定的顺序。

第一实施例

本发明实施例提供一种 GOA 驱动电路，所述 GOA 驱动电路包括多个级联的 GOA 单元，例如包括 M 个 GOA 单元，第二级 GOA 单元与第一级 GOA
25 单元电连接，第三级 GOA 单元与第二级 GOA 单元电连接，...，第 M 级 GOA 单元与第 M-1 级 GOA 单元电连接，每个 GOA 单元输出栅极驱动信号给显示区域对应的水平扫描线 G，例如第一级 GOA 单元输出栅极驱动信号给第一级水平扫描线 G(1)，第二级 GOA 单元输出栅极驱动信号给第二级水平扫描线 G(2)，第三级 GOA 单元输出栅极驱动信号给第三级水平扫描线 G(3)，...，第

M 级 GOA 单元输出栅极驱动信号给第 M 级水平扫描线 G(M)。GOA 驱动电路依序输出栅极驱动信号给第一水平扫描线 G(1)、第二水平扫描线 G(2)、第三水平扫描线 G(3)、...、第 M 水平扫描线 G(M)，其后过一段时间，GOA 驱动电路再次依序输出栅极驱动信号给第一水平扫描线 G(1)、第二水平扫描线 G(2)、第三水平扫描线 G(3)、...、第 M 水平扫描线 G(M)，也即 GOA 驱动电路按周期输出栅极驱动信号，所述 GOA 驱动电路的一个周期包括消隐时间，所述消隐时间为第 M 级 GOA 单元输出栅极驱动信号给第 M 级水平扫描线 G(M)之后的时间到下一个周期开始之间的时间间隔，该消隐时间包括同步前沿时间、同步时间和同步后沿时间。其中 M 为正整数。

请参见图 4 和图 5，在本实施例中，第 N 级的 GOA 单元包括上拉控制单元 210、上拉单元 220、下拉单元 230、下拉维持单元 240、下传单元 250、自举电容单元 260，其中 N 为正整数，N 小于或等于 M。所述上拉单元 220、下拉单元 230、下拉维持单元 240 及自举电容单元 260 均分别与第一节点 Q(N) 以及第 N 级水平扫描线 G(N)电连接，所述上拉控制单元 210 以及下传单元 250 与第一节点 Q(N)电连接。

在本实施例中，该 GOA 单元还包括强制下拉单元 270，其用于时钟信号消失时强迫所述第一节点 Q(N)为低电平。具体说来，所述强制下拉单元 270 在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点 Q(N)为低电平。所述第一节点 Q(N)可以为第 N 级 GOA 驱动单元的第一节点 Q(N)，也可以是 GOA 驱动电路共通的第一节点 Q(N)。从而，当由于信号干扰而导致时钟信号在一个周期中突然消失时，强制下拉单元 270 会强迫所述第一节点 Q(N)为低电平，请参见图 5，这样不会导致大电流，液晶显示装置也不会受到损伤。

请继续参见图 4，所述强制下拉单元 270 包括第十二薄膜晶体管 T12，所述第十二薄膜晶体管 T12 的栅极接入重置信号 Reset，其源极与第一节点 Q(N)电连接，其漏极接入第一低电平 Vss，所述第一低电平 Vss 为低压直流电源，电位为-7V，所述重置信号 Reset 在时钟信号消失时由低电平转为高电平。在本实施中，所述时钟信号包括第一时钟信号 CK 和第二时钟信号 XCK，所述第一时钟信号 CK 和第二时钟信号 XCK 频率相同，在一个周期除消隐时间以

外的时间相位相反，在消隐时间所述第一时钟信号 CK 和第二时钟信号 XCK 都为低电平，第一时钟信号 CK 和第二时钟信号 XCK 会同时消失。当由于信号干扰而导致时钟信号在一个周期中突然消失时，会触发重置信号 Reset 由低电平转为高电平，从而第十二薄膜晶体管 T12 导通，从而第一节点 Q(N)被拉低至第一低电平 Vss，请参见图 5 的波形图，这样不会导致大电流，液晶显示装置也不会受到损伤。所述重置信号 Reset 在下一个周期开始时又会转为低电平，也即所述重置信号 Reset 在接到起始信号 STV 转为高电平时又转为低电平。

在本实施例中，所述下拉维持单元 240 包括第六薄膜晶体管 T6、第七薄膜晶体管 T7，所述第六薄膜晶体管 T6 的源极与第一节点 Q(N)电连接，其漏极接入第一低电平 Vss，其栅极与第二节点 K(N)电连接，所述第七薄膜晶体管 T7 的源极与第 N 级水平扫描线 G(N)电连接，其漏极接入第一低电平 Vss，其栅极与第二节点 K(N)电连接。所述下拉维持单元 240 还包括第八薄膜晶体管 T8、第九薄膜晶体管 T9、第十薄膜晶体管 T10、第十一薄膜晶体管 T11，所述第八薄膜晶体管 T8 的栅极与源极与第一高电平 DCH 电连接，所述第一高电平 DCH 为高压直流电源，所述第一高电平 DCH 的电位为 28V，所述第八薄膜晶体管 T8 的漏极分别与第九薄膜晶体管 T9 的栅极和第十一薄膜晶体管 T11 的源极电连接，第九薄膜晶体管 T9 的源极与第一高电平 DCH 电连接，其漏极与第二节点 K(N)电连接，第十薄膜晶体管 T10 的源极与第二节点 K(N)电连接，其漏极接入第一低电平 Vss，其栅极与第一节点 Q(N)电连接，第十一薄膜晶体管 T11 的漏极接入第一低电平 Vss，其栅极与第一节点 Q(N)电连接。

在本实施例中，所述上拉单元 220 包括第三薄膜晶体管 T3，所述第三薄膜晶体管 T3 的源极接入第一时钟信号 CK，其栅极与第一节点 Q(N)电连接，其漏极与第 N 级水平扫描线 G(N)电连接。

在本实施例中，所述下传单元 250 包括第二薄膜晶体管 T2，所述第二薄膜晶体管 T2 的源极接入第一时钟信号 CK，其栅极与第一节点 Q(N)电连接，其漏极用于输出第 N 级下传信号 ST(N)。

在本实施例中，所述下拉单元 230 包括第四薄膜晶体管 T4 和第五薄膜晶体管 T5，所述第四薄膜晶体管 T4 的源极与第一节点 Q(N)电连接，其漏极接第一低电平 Vss，所述第五薄膜晶体管 T5 的源极与第 N 级水平扫描线 G(N)

电连接，其漏极接第一低电平 V_{ss} ，所述第四薄膜晶体管 T4 的栅极和所述第五薄膜晶体管 T5 的栅极用于接第 N+1 级下传信号 ST(N+1)。

在本实施例中，所述上拉控制单元 210 包括第一薄膜晶体管 T1，所述第一薄膜晶体管 T1 的栅极和源极接收第 N-1 级下传信号 ST(N-1) 或者起始信号 STV，其漏极与第一节点 Q(N) 电连接。

在本实施例中，所述自举电容单元 260 包括电容 Cb，所述电容 Cb 的一端与第一节点 Q(N) 电连接，另一端与第 N 级水平扫描线 G(N) 电连接。

另外，本发明实施例还提供一种液晶显示装置，其包括上述的 GOA 驱动电路。

10

第二实施例

图 6 为本发明第二实施例提供的一种第 N 级 GOA 单元的电路图，图 6 的电路与图 4 的电路相似，因此相同的元件符号代表相同的元件，本实施例与第一实施例的主要不同点为强制下拉单元。

在本实施例中，所述时钟信号包括第一时钟信号 CK 和第二时钟信号 XCK，所述第一时钟信号 CK 和第二时钟信号 XCK 频率相同，在一个周期除消隐时间以外的时间相位相反，在消隐时间所述第一时钟信号 CK 和第二时钟信号 XCK 都为低电平。

请参见图 6 和图 7，所述强制下拉单元 370 包括第十四薄膜晶体管 T14、第十五薄膜晶体管 T15、第十六薄膜晶体管 T16、第十七薄膜晶体管 T17，所述第十四薄膜晶体管 T14 的源极和栅极与第一高电平 DCH 电连接，其漏极分别与第十五薄膜晶体管 T15 的栅极、第十六薄膜晶体管 T16 的源极、第十七薄膜晶体管 T17 的源极电连接，所述第十五薄膜晶体管 T15 的源极与第一节点 Q(N) 电连接，其漏极与第一低电平 V_{ss} 电连接，所述第十六薄膜晶体管 T16 的栅极与第一时钟信号 CK 电连接，其漏极与第一低电平 V_{ss} 电连接，所述第十七薄膜晶体管 T17 的栅极与第二时钟信号 XCK 电连接，其漏极与第一低电平 V_{ss} 电连接。当由于信号干扰而导致时钟信号在一个周期中突然消失时，也即第一时钟信号 CK 和第二时钟信号 XCK 突然消失时，此时第十六薄膜晶体管 T16 和第十七薄膜晶体管 T17 截止，第十四薄膜晶体管 T14 导通，从而第

三节点 S(N) 为高电平, 从而第十五薄膜晶体管 T15 导通, 从而将第一节点 Q(N) 被拉低为第一低电平 Vss, 请参见图 7, 这样不会导致大电流, 液晶显示装置也不会受到损伤。

5 第三实施例

图 8 为本发明第二实施例提供的一种第 N 级 GOA 单元的电路图, 图 8 的电路与图 4 的电路相似, 因此相同的元件符号代表相同的元件, 本实施例与第一实施例的主要不同点为强制下拉单元。

请参见图 8, 所述强制下拉单元 470 包括第十三薄膜晶体管 T13, 所述第十三薄膜晶体管 T13 的栅极接入重置信号 Reset, 其源极与第一高电平 DCH 电连接, 其漏极与第 N 级第二节点 K(N) 电连接, 所述重置信号 Reset 在时钟信号消失时由低电平转为高电平。当由于信号干扰而导致时钟信号在一个周期中突然消失时, 重置信号 Reset 由低电平转为高电平, 从而第十三薄膜晶体管 T13 导通, 当第一节点 Q(N) 是高电平时, 所述第八薄膜晶体管 T8、第十薄膜晶体管 T10、第十一薄膜晶体管 T11 导通, 第九薄膜晶体管 T9 截止, 由于第十三薄膜晶体管 T13 导通, 从而第二节点 K(N) 被拉升为高电平, 从而第六薄膜晶体管 T6 导通, 从而第一节点 Q(N) 被拉低为第一低电平 Vss, 这样不会导致大电流, 液晶显示装置也不会受到损伤。

20 第四实施例

图 9 为本发明第四实施例提供的一种第 N 级 GOA 单元的电路图, 图 9 的电路与图 8 的电路相似, 因此相同的元件符号代表相同的元件, 本实施例与第一实施例的主要不同点为强制下拉单元。

在本实施例中, 所述时钟信号包括第一时钟信号 CK 和第二时钟信号 XCK, 所述第一时钟信号 CK 和第二时钟信号 XCK 频率相同, 在一个周期除消隐时间以外的时间相位相反, 在消隐时间所述第一时钟信号 CK 和第二时钟信号 XCK 都为低电平。

请参见图 9, 所述强制下拉单元 570 包括第十八薄膜晶体管 T18、第十九薄膜晶体管 T19、第二十薄膜晶体管、第二十一薄膜晶体管, 所述第十八薄膜

晶体管 T18 的源极和栅极与第一高电平 DCH 电连接，其漏极分别与第十九薄膜晶体管 T19 的栅极、第二十薄膜晶体管的源极、第二十一薄膜晶体管的源极电连接，所述第十九薄膜晶体管 T19 的源极与高电平电连接，其漏极与第 N 级第二节点 K(N) 电连接，所述第二十薄膜晶体管的栅极与第一时钟信号 CK 电连接，其漏极与第一低电平 Vss 电连接，所述第二十一薄膜晶体管的栅极与第二时钟信号 XCK 电连接，其漏极与第一低电平 Vss 电连接。当由于信号干扰而导致时钟信号在一个周期中突然消失时，也即第一时钟信号 CK 和第二时钟信号 XCK 突然消失时，此时第二十薄膜晶体管和第二十一薄膜晶体管截止，第十八薄膜晶体管 T18 导通，从而第三节点 S(N) 为高电平，从而第十九薄膜晶体管 T19 导通，从而第二节点 K(N) 被拉升为高电平，从而第六薄膜晶体管 T6 导通，从而第一节点 Q(N) 被拉低为第一低电平 Vss，这样不会导致大电流，液晶显示装置也不会受到损伤。

需要说明的是，本说明书中的各个实施例均采用递进的方式描述，每个实施例重点说明的都是与其它实施例的不同之处，各个实施例之间相同相似的部分互相参见即可。对于装置实施例而言，由于其与方法实施例基本相似，所以描述的比较简单，相关之处参见方法实施例的部分说明即可。

通过上述实施例的描述，本发明具有以下优点：

由于所述 GOA 单元包括强制下拉单元，其用于时钟信号消失时强迫所述第一节点为低电平，从而，当由于信号干扰而导致时钟信号在一个周期中突然消失时，强制下拉单元会强迫所述第一节点为低电平，这样不会导致大电流，液晶显示装置也不会受到损伤。

以上所揭露的仅为本发明较佳实施例而已，当然不能以此来限定本发明之权利范围，因此依本发明权利要求所作的等同变化，仍属本发明所涵盖的范围。

权 利 要 求

- 1、一种 GOA 驱动电路，其中，该 GOA 驱动电路包括多个级联的 GOA 单元，按照第 N 级 GOA 单元输出栅极驱动信号给显示区域第 N 级水平扫描线，
5 该第 N 级 GOA 单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元、下传单元以及自举电容单元；所述上拉单元、所述下拉单元以、所述下拉维持单元及所述自举电容单元均分别与第一节点以及第 N 级水平扫描线电连接，所述上拉控制单元以及所述下传单元与第一节点电连接，其中 N 为正整数；该 GOA 单元还包括：
- 10 强制下拉单元，其用于时钟信号消失时强迫所述第一节点为低电平。
- 2、如权利要求 1 所述的 GOA 驱动电路，其中，所述强制下拉单元包括第十二薄膜晶体管，所述第十二薄膜晶体管的栅极接入重置信号，其源极与第一节点电连接，其漏极接入第一低电平，所述重置信号在时钟信号消失时由低
15 电平转为高电平。
- 3、如权利要求 1 所述的 GOA 驱动电路，其中，所述下拉维持单元包括第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管，所述第六薄膜晶体管的源极与第一节点电连
20 接，其漏极接入第一低电平，其栅极与第 N 级第二节点电连接，所述七薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接入第一低电平，其栅极与第 N 级第二节点电连接，所述第八薄膜晶体管的栅极与源极与高电平电连接，其漏极分别与第九薄膜晶体管的栅极和第十一薄膜晶体管的源极电连接，第九薄膜晶体管的源极与高电平电连接，其漏极与第 N 级第二节点电连接，
25 第十薄膜晶体管的源极与第 N 级第二节点电连接，其漏极接入第一低电平，其栅极与第一节点电连接，第十一薄膜晶体管的漏极接入第一低电平，其栅极与第一节点电连接。
- 4、如权利要求 3 所述的 GOA 驱动电路，其中，所述强制下拉单元包括

第十三薄膜晶体管,所述第十三薄膜晶体管的栅极接入重置信号,其源极与高电平电连接,其漏极与第 N 级第二节点电连接,所述重置信号在时钟信号消失时由低电平转为高电平。

5 5、如权利要求 3 所述的 GOA 驱动电路,其中,所述时钟信号包括第一时钟信号和第二时钟信号,所述第一时钟信号和第二时钟信号频率相同,在一个周期除消隐时间以外的时间相位相反;所述强制下拉单元包括第十八薄膜晶体管、第十九薄膜晶体管、第二十薄膜晶体管、第二十一薄膜晶体管,所述第十八薄膜晶体管的源极和栅极与高电平电连接,其漏极分别与第十九薄膜晶体管的栅极、第二十薄膜晶体管的源极、第二十一薄膜晶体管的源极电连接,所述第十九薄膜晶体管的源极与高电平电连接,其漏极与第 N 级第二节点电连接,所述第二十薄膜晶体管的栅极与第一时钟信号电连接,其漏极与第一低电平电连接,所述第二十一薄膜晶体管的栅极与第二时钟信号电连接,其漏极与第一低电平电连接。

15

6、如权利要求 1 所述的 GOA 驱动电路,其中,所述时钟信号包括第一时钟信号和第二时钟信号,所述第一时钟信号和第二时钟信号频率相同,在一个周期除消隐时间以外的时间相位相反;所述强制下拉单元包括第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管,所述第十四薄膜晶体管的源极和栅极与高电平电连接,其漏极分别与第十五薄膜晶体管的栅极、第十六薄膜晶体管的源极、第十七薄膜晶体管的源极电连接,所述第十五薄膜晶体管的源极与第一节点电连接,其漏极与第一低电平电连接,所述第十六薄膜晶体管的栅极与第一时钟信号电连接,其漏极与第一低电平电连接,所述第十七薄膜晶体管的栅极与第二时钟信号电连接,其漏极与第一低电

20

25 平电连接。

7、如权利要求 1 所述的 GOA 驱动电路,其中,所述 GOA 驱动电路的一个周期包括消隐时间,所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

8、如权利要求 2 所述的 GOA 驱动电路，其中，所述 GOA 驱动电路的一个周期包括消隐时间，所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

5

9、如权利要求 3 所述的 GOA 驱动电路，其中，所述 GOA 驱动电路的一个周期包括消隐时间，所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

10 10、如权利要求 4 所述的 GOA 驱动电路，其中，所述 GOA 驱动电路的一个周期包括消隐时间，所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

15 11、如权利要求 5 所述的 GOA 驱动电路，其中，所述 GOA 驱动电路的一个周期包括消隐时间，所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

20 12、如权利要求 6 所述的 GOA 驱动电路，其中，所述 GOA 驱动电路的一个周期包括消隐时间，所述强制下拉单元在 GOA 驱动电路的一个周期除消隐时间以外的时间用于时钟信号消失时强迫所述第一节点为低电平。

13、如权利要求 1 所述的 GOA 驱动电路，其中，所述上拉单元包括第三薄膜晶体管，所述第三薄膜晶体管的源极接入第一时钟信号，其栅极与第一节点电连接，其漏极与第 N 级水平扫描线电连接。

25

14、如权利要求 1 所述的 GOA 驱动电路，其中，所述下拉单元包括第四薄膜晶体管和第五薄膜晶体管，所述第四薄膜晶体管的源极与第一节点电连接，其漏极接第一低电平，所述第五薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接第一低电平，所述第四薄膜晶体管的栅极和所述第五薄膜晶

体管的栅极用于接第 N+1 级下传信号。

15、一种液晶显示装置，其中，包括一种 GOA 驱动电路，该 GOA 驱动电路包括多个级联的 GOA 单元，按照第 N 级 GOA 单元输出栅极驱动信号给显示区域第 N 级水平扫描线，该第 N 级 GOA 单元包括上拉单元、上拉控制单元、下拉单元、下拉维持单元、下传单元以及自举电容单元；所述上拉单元、所述下拉单元以、所述下拉维持单元及所述自举电容单元均分别与第一节点以及第 N 级水平扫描线电连接，所述上拉控制单元以及所述下传单元与第一节点电连接，其中 N 为正整数；该 GOA 单元还包括：

强制下拉单元，其用于时钟信号消失时强迫所述第一节点为低电平。

16、如权利要求 15 所述的液晶显示装置，其中，所述强制下拉单元包括第十二薄膜晶体管，所述第十二薄膜晶体管的栅极接入重置信号，其源极与第一节点电连接，其漏极接入第一低电平，所述重置信号在时钟信号消失时由低电平转为高电平。

17、如权利要求 15 所述的液晶显示装置，其中，所述下拉维持单元包括第六薄膜晶体管、第七薄膜晶体管、第八薄膜晶体管、第九薄膜晶体管、第十薄膜晶体管、第十一薄膜晶体管，所述第六薄膜晶体管的源极与第一节点电连接，其漏极接入第一低电平，其栅极与第 N 级第二节点电连接，所述七薄膜晶体管的源极与第 N 级水平扫描线电连接，其漏极接入第一低电平，其栅极与第 N 级第二节点电连接，所述第八薄膜晶体管的栅极与源极与高电平电连接，其漏极分别与第九薄膜晶体管的栅极和第十一薄膜晶体管的源极电连接，第九薄膜晶体管的源极与高电平电连接，其漏极与第 N 级第二节点电连接，第十薄膜晶体管的源极与第 N 级第二节点电连接，其漏极接入第一低电平，其栅极与第一节点电连接，第十一薄膜晶体管的漏极接入第一低电平，其栅极与第一节点电连接。

18、如权利要求 17 所述的液晶显示装置，其中，所述强制下拉单元包括

第十三薄膜晶体管,所述第十三薄膜晶体管的栅极接入重置信号,其源极与高电平电连接,其漏极与第 N 级第二节点电连接,所述重置信号在时钟信号消失时由低电平转为高电平。

5 19、如权利要求 17 所述的液晶显示装置,其中,所述时钟信号包括第一时钟信号和第二时钟信号,所述第一时钟信号和第二时钟信号频率相同,在一个周期除消隐时间以外的时间相位相反;所述强制下拉单元包括第十八薄膜晶体管、第十九薄膜晶体管、第二十薄膜晶体管、第二十一薄膜晶体管,所述第十八薄膜晶体管的源极和栅极与高电平电连接,其漏极分别与第十九薄膜晶体管的栅极、第二十薄膜晶体管的源极、第二十一薄膜晶体管的源极电连接,所述第十九薄膜晶体管的源极与高电平电连接,其漏极与第 N 级第二节点电连接,所述第二十薄膜晶体管的栅极与第一时钟信号电连接,其漏极与第一低电平电连接,所述第二十一薄膜晶体管的栅极与第二时钟信号电连接,其漏极与第一低电平电连接。

15

20、如权利要求 15 所述的液晶显示装置,其中,所述时钟信号包括第一时钟信号和第二时钟信号,所述第一时钟信号和第二时钟信号频率相同,在一个周期除消隐时间以外的时间相位相反;所述强制下拉单元包括第十四薄膜晶体管、第十五薄膜晶体管、第十六薄膜晶体管、第十七薄膜晶体管,所述第十四薄膜晶体管的源极和栅极与高电平电连接,其漏极分别与第十五薄膜晶体管的栅极、第十六薄膜晶体管的源极、第十七薄膜晶体管的源极电连接,所述第十五薄膜晶体管的源极与第一节点电连接,其漏极与第一低电平电连接,所述第十六薄膜晶体管的栅极与第一时钟信号电连接,其漏极与第一低电平电连接,所述第十七薄膜晶体管的栅极与第二时钟信号电连接,其漏极与第一低电

20 平电连接。

25

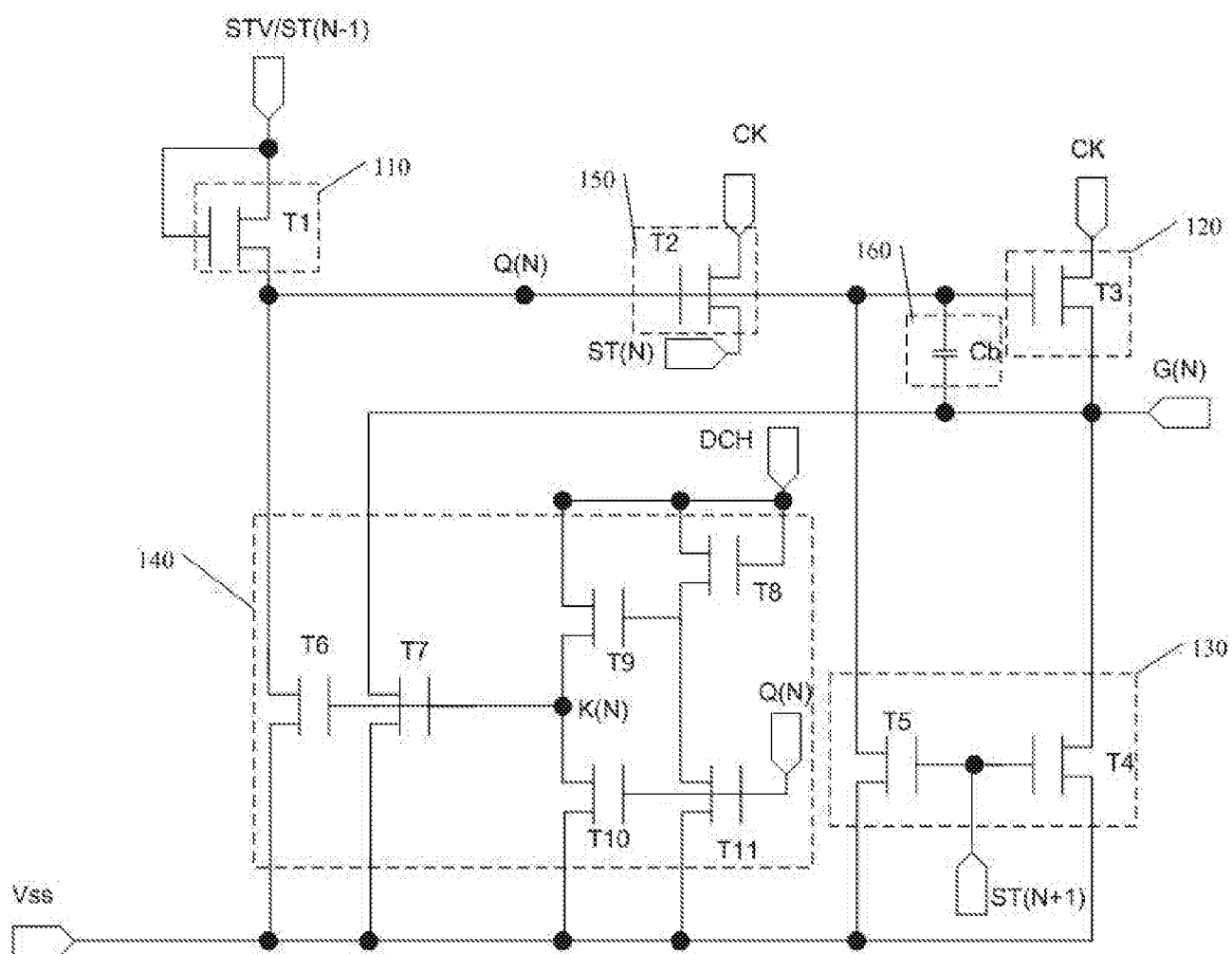


图 1

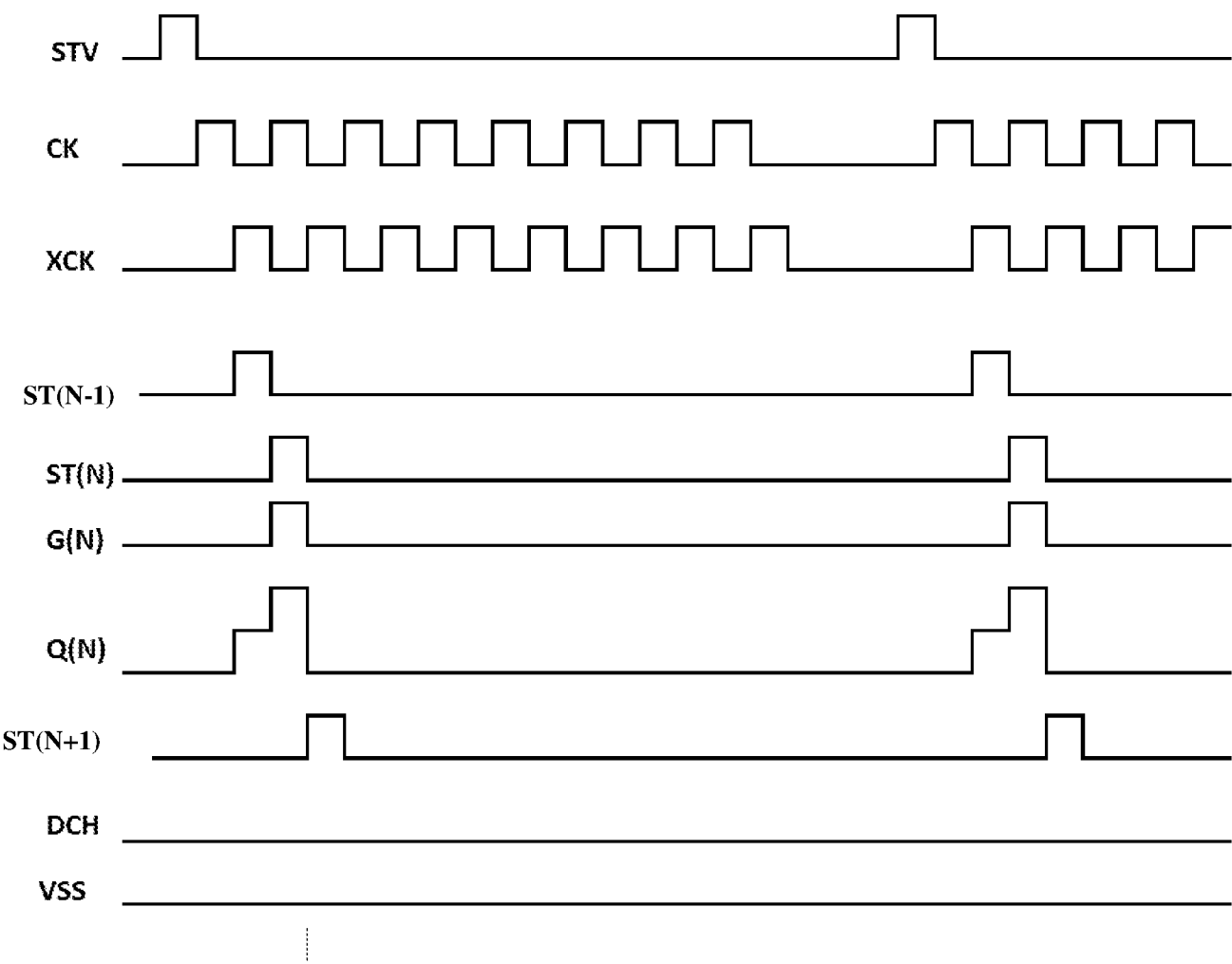


图 2

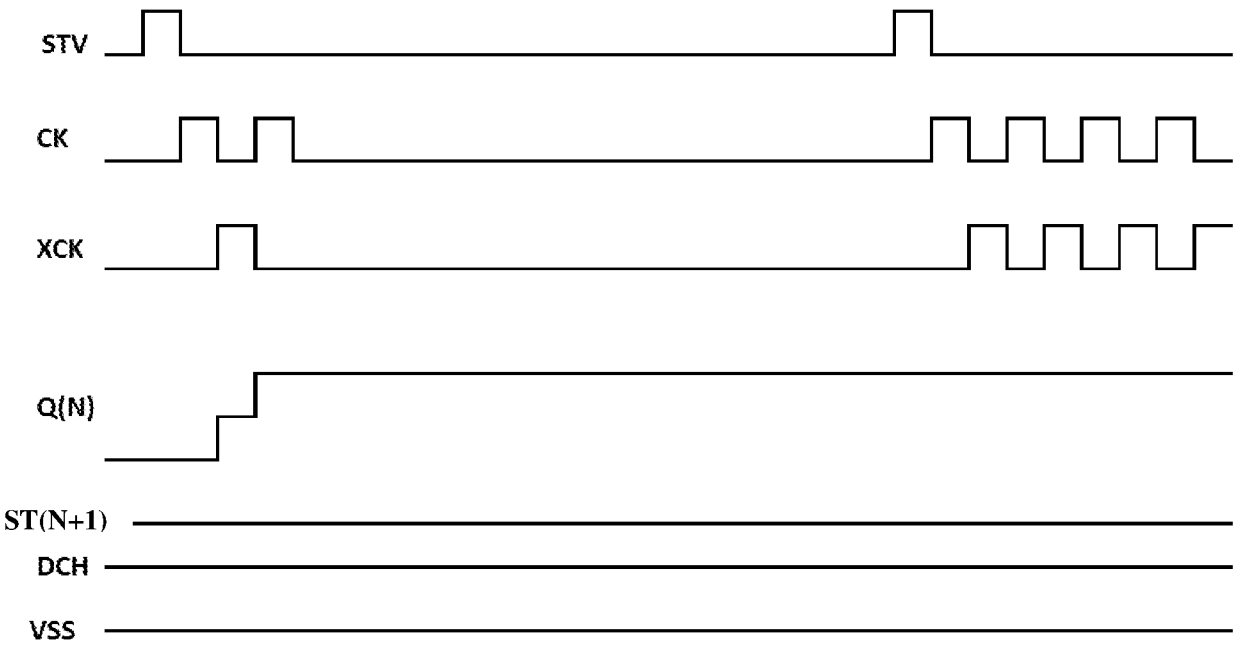


图 3

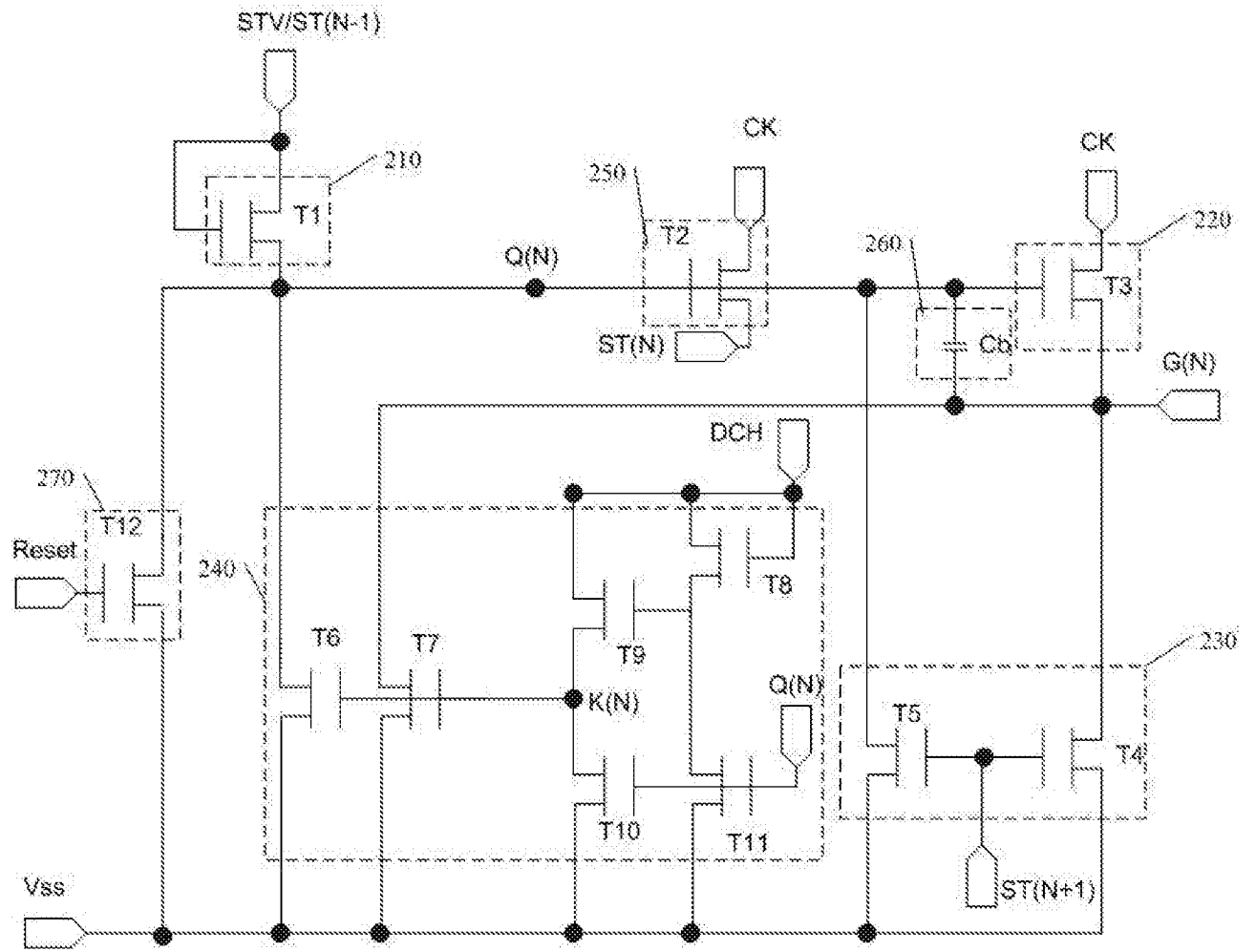


图 4

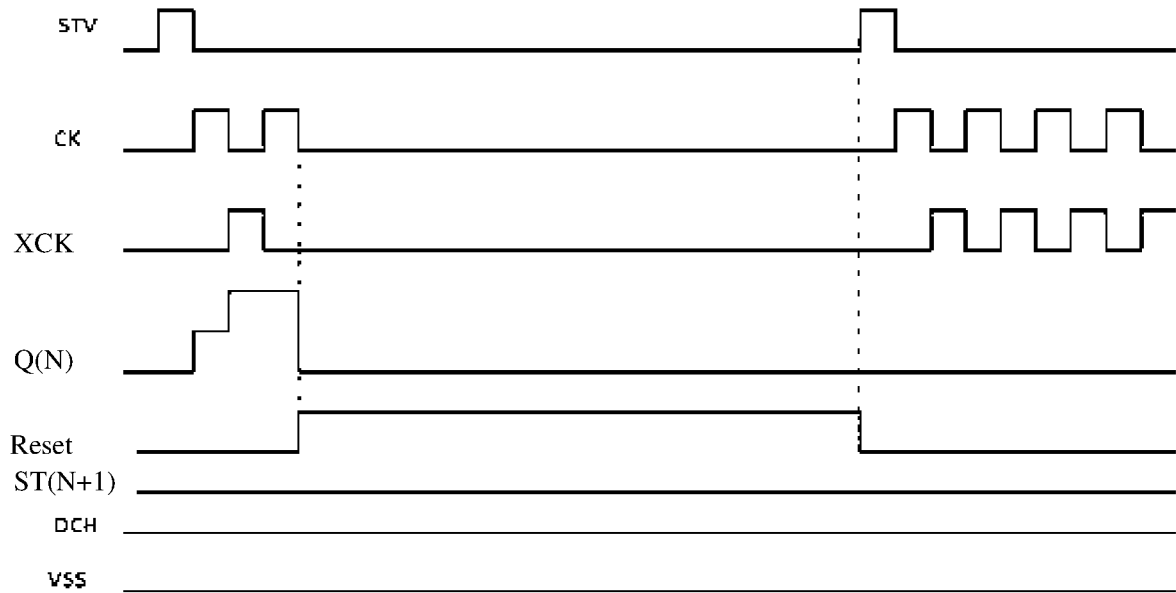


图 5

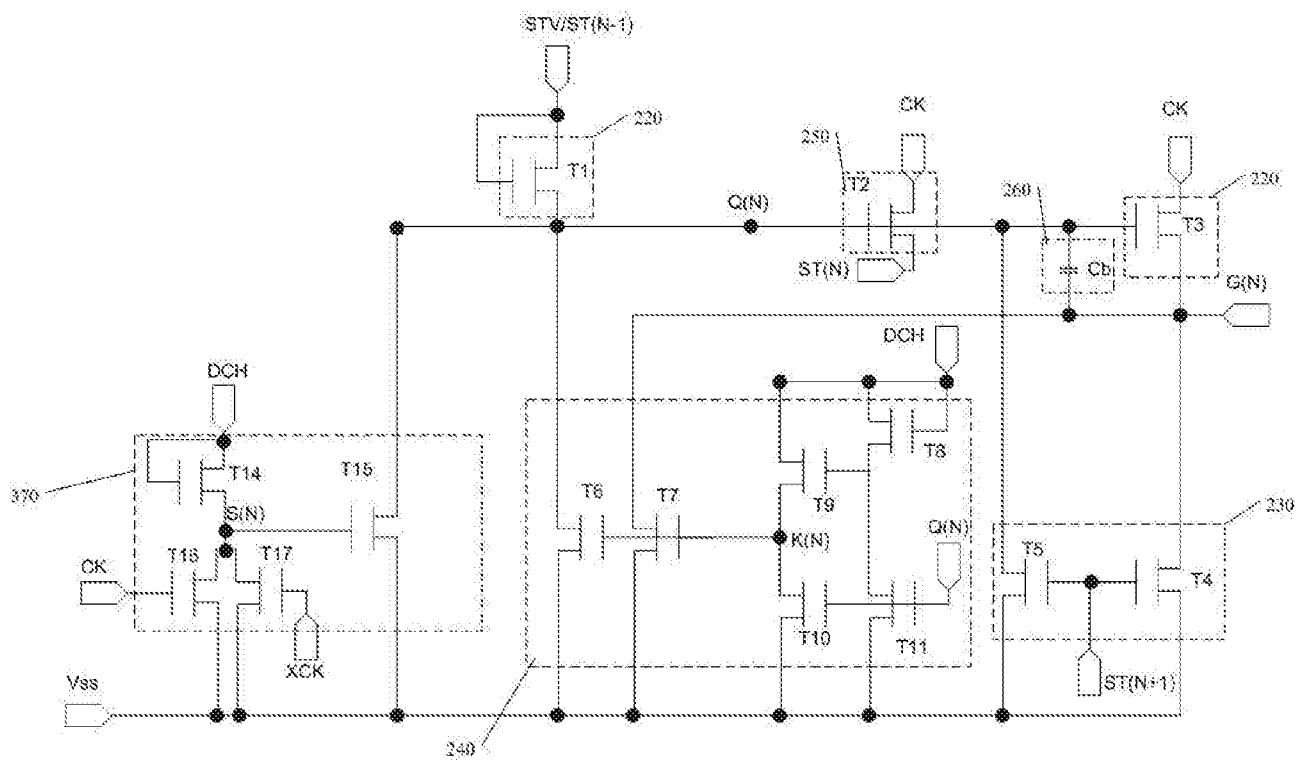


图 6

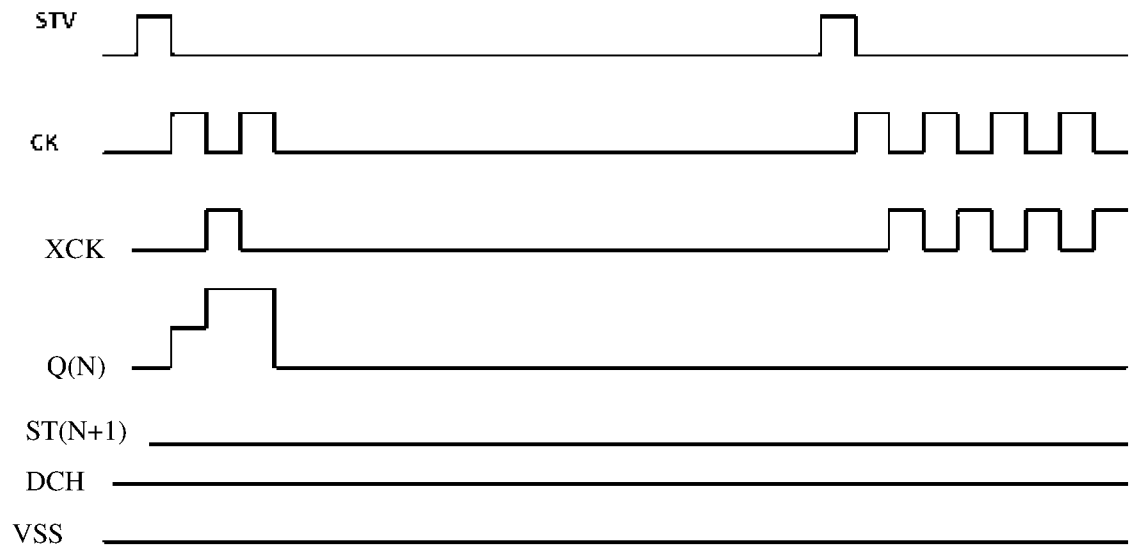


图 7

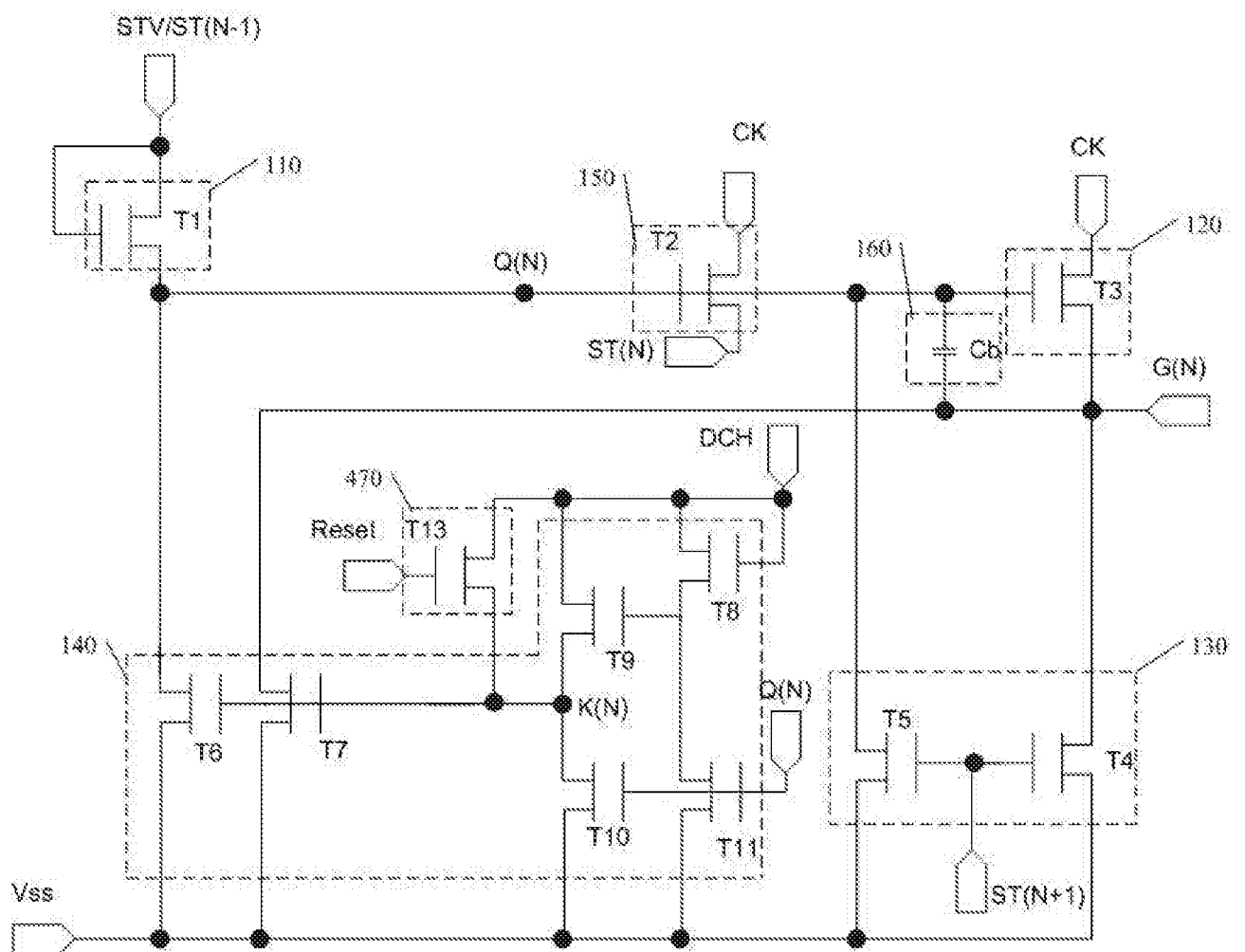


图 8

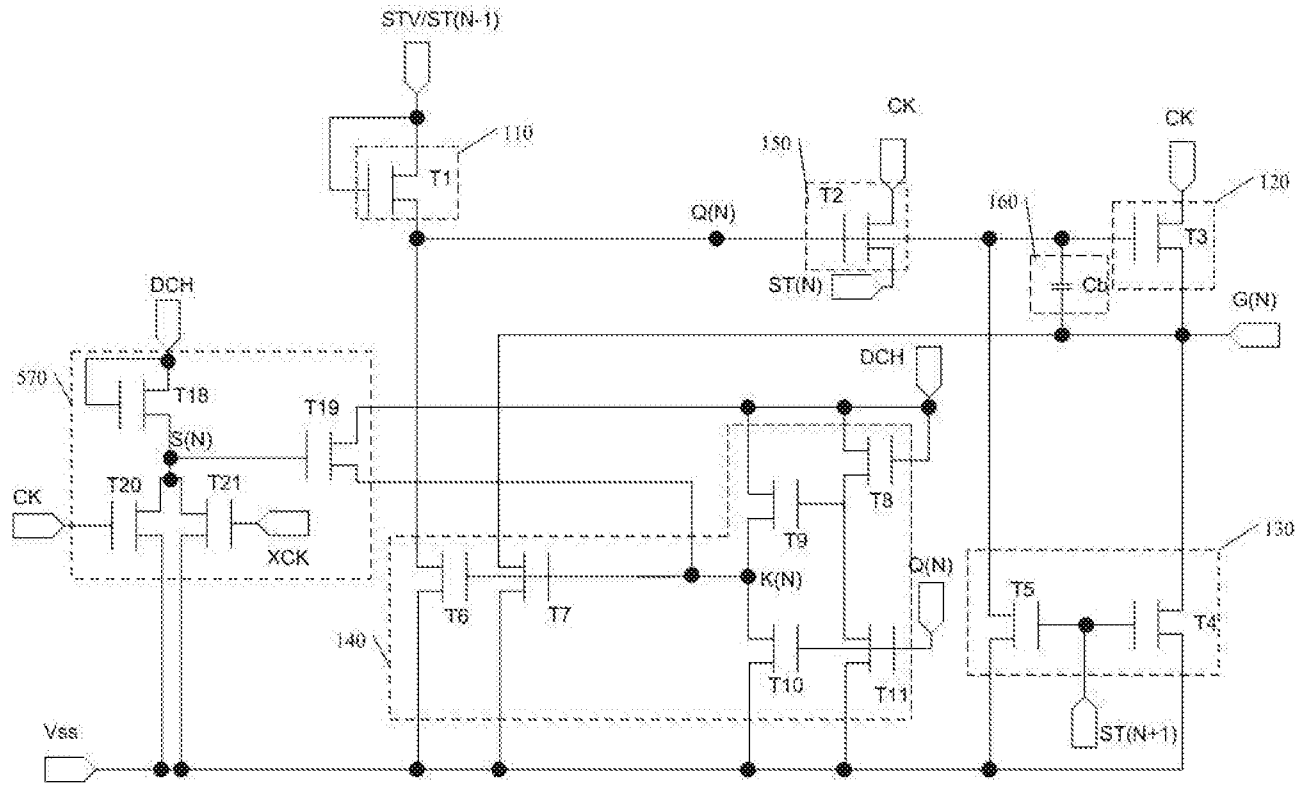


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/107543

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G 3/-, G09G 5/-, G02F 1/133+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, VEN: 移位寄存器, 时钟, 消失, 失效, 低, 下拉, 上拉, 故障, 没有, 干扰, shift register, clock, disappear+, error, fault, low, pull w down, none, disturb

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104332144 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 February 2015 (04.02.2015), description, paragraphs [0030]-[0036], and figure 3	1-20
A	CN 103489484 A (BOE TECHNOLOGY GROUP CO., LTD.) 01 January 2014 (01.01.2014), entire document	1-20
A	CN 103050106 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 17 April 2013 (17.04.2013), entire document	1-20
A	CN 105788543 A (LG DISPLAY CO., LTD.) 20 July 2016 (20.07.2016), entire document	1-20
A	TW 201535975 A (CHUNGHWA PICTURE TUBES LTD.) 16 September 2015 (16.09.2015), entire document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 15 May 2018	Date of mailing of the international search report 22 May 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer CHANG, Qing Telephone No. (86-10) 62085778

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/107543

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104332144 A	04 February 2015	US 2016335962 A1	17 November 2016
		US 9564090 B2	07 February 2017
		CN 104332144 B	12 April 2017
		WO 2016070458 A1	12 May 2016
CN 103489484 A	01 January 2014	KR 20150044835 A	27 April 2015
		JP 2016537761 A	01 December 2016
		KR 101624441 B1	25 May 2016
		US 9257084 B2	09 February 2016
		EP 3051537 A4	15 March 2017
		US 2015255031 A1	10 September 2015
		JP 6305545 B2	04 April 2018
		CN 103489484 B	25 March 2015
		WO 2015039393 A1	26 March 2015
		EP 3051537 A1	03 August 2016
CN 103050106 A	17 April 2013	EP 2750127 A2	02 July 2014
		US 9455688 B2	27 September 2016
		EP 2750127 A3	22 October 2014
		CN 103050106 B	11 February 2015
		US 2014176410 A1	26 June 2014
CN 105788543 A	20 July 2016	US 9704431 B2	11 July 2017
		US 2016078804 A1	17 March 2016
		KR 20160033316 A	28 March 2016
TW 201535975 A	16 September 2015	US 9406400 B2	02 August 2016
		US 2015255172 A1	10 September 2015

国际检索报告

国际申请号

PCT/CN2017/107543

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3/-, G09G5/-, G02F1/133+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, VEN:移位寄存器, 时钟, 消失, 失效, 低, 下拉, 上拉, 故障, 没有, 干扰, shift register, clock, disappear+, error, fault, low, pull w down, none, disturb

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 104332144 A (深圳市华星光电技术有限公司) 2015年 2月 4日 (2015 - 02 - 04) 说明书第[0030]-[0036]段和附图3	1-20
A	CN 103489484 A (京东方科技集团股份有限公司) 2014年 1月 1日 (2014 - 01 - 01) 全文	1-20
A	CN 103050106 A (京东方科技集团股份有限公司等) 2013年 4月 17日 (2013 - 04 - 17) 全文	1-20
A	CN 105788543 A (乐金显示有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文	1-20
A	TW 201535975 A (CHUNGHWA PICTURE TUBES LTD) 2015年 9月 16日 (2015 - 09 - 16) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 5月 15日

国际检索报告邮寄日期

2018年 5月 22日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

常青

电话号码 62085778

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/107543

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	104332144	A	2015年 2月 4日	US	2016335962	A1	2016年 11月 17日		
				US	9564090	B2	2017年 2月 7日		
				CN	104332144	B	2017年 4月 12日		
				WO	2016070458	A1	2016年 5月 12日		
CN	103489484	A	2014年 1月 1日	KR	20150044835	A	2015年 4月 27日		
				JP	2016537761	A	2016年 12月 1日		
				KR	101624441	B1	2016年 5月 25日		
				US	9257084	B2	2016年 2月 9日		
				EP	3051537	A4	2017年 3月 15日		
				US	2015255031	A1	2015年 9月 10日		
				JP	6305545	B2	2018年 4月 4日		
				CN	103489484	B	2015年 3月 25日		
				WO	2015039393	A1	2015年 3月 26日		
				EP	3051537	A1	2016年 8月 3日		
CN	103050106	A	2013年 4月 17日	EP	2750127	A2	2014年 7月 2日		
				US	9455688	B2	2016年 9月 27日		
				EP	2750127	A3	2014年 10月 22日		
				CN	103050106	B	2015年 2月 11日		
				US	2014176410	A1	2014年 6月 26日		
CN	105788543	A	2016年 7月 20日	US	9704431	B2	2017年 7月 11日		
				US	2016078804	A1	2016年 3月 17日		
				KR	20160033316	A	2016年 3月 28日		
TW	201535975	A	2015年 9月 16日	US	9406400	B2	2016年 8月 2日		
				US	2015255172	A1	2015年 9月 10日		

表 PCT/ISA/210 (同族专利附件) (2015年1月)