

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3668499号
(P3668499)

(45) 発行日 平成17年7月6日(2005.7.6)

(24) 登録日 平成17年4月15日(2005.4.15)

(51) Int.Cl.⁷

H04N 5/335

F I

H04N 5/335

Z

H04N 5/335

F

請求項の数 4 (全 10 頁)

(21) 出願番号 特願平5-129662
 (22) 出願日 平成5年5月31日(1993.5.31)
 (65) 公開番号 特開平6-54265
 (43) 公開日 平成6年2月25日(1994.2.25)
 審査請求日 平成12年5月22日(2000.5.22)
 (31) 優先権主張番号 890, 895
 (32) 優先日 平成4年5月29日(1992.5.29)
 (33) 優先権主張国 米国(US)

(73) 特許権者 590000846
 イーストマン コダック カンパニー
 アメリカ合衆国, ニューヨーク 14650
 , ロチェスター, ステイト ストリート 3
 43
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 ウィンチイ チャン
 アメリカ合衆国 ニューヨーク州 ペンフ
 ィールド ファーミングダムドライブ 11

審査官 ▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 電子カメラ

(57) 【特許請求の範囲】

【請求項1】

連続視認モードでは低解像度のビデオ信号を生成し、スチールモードでは高解像度の静止画信号を生成するための電子カメラであって、

(a) フォトセンサの2次元配列を含み、対象のイメージを撮像して、その撮像イメージを表すピクセル電荷群を生成するイメージセンサであって、前記ピクセル電荷群を転送する垂直シフトレジスタを前記フォトセンサ群の各垂直列に隣接して垂直列1列につき1つずつ備えるイメージセンサと、

(b) 前記対象からの光を前記フォトセンサの配列に集束させるレンズと、

(c) 前記連続視認モードでは前記フォトセンサ群のうちの少なくとも2つの隣接する水平行から前記ピクセル電荷群を読み出しながら前記フォトセンサ群の次の少なくとも2つの隣接する水平行からピクセル電荷を廃棄する動作を繰り返す、前記スチールモードでは前記二次元配列のフォトセンサ群の全ての水平行からピクセル電荷を読み出すよう、前記複数の垂直シフトレジスタを制御するための信号を生成する垂直走査発生器と、

(d) 前記垂直走査発生器に接続され、前記連続視認モードと前記スチールモードにおける前記垂直走査発生器の動作を制御する制御システムと、

(e) 前記フォトセンサ群から読み出されたピクセル電荷群に応じて、NTSCテレビジョンディスプレイを駆動するためのビデオ出力信号を生成するビデオ増幅器と、

(f) 前記スチールモードにおいて前記2次元配列の全てのフォトセンサから読み出されたピクセル電荷群をデジタル信号に変換するアナログ・デジタル変換器と、

10

20

(g) 前記スチールモードにおいて全ての前記フォトセンサから読み出されたピクセル電荷を表すデジタル値を格納するメモリと、

(h) 前記垂直シフトレジスタ群からシフトされてきたピクセル電荷群を水平方向にシフトして前記ビデオ増幅器又は前記アナログ・デジタル変換器へと出力する水平シフトレジスタと、

(i) 前記垂直シフトレジスタ群と水平シフトレジスタとの間に設けられ、垂直シフトレジスタからシフトされてきたピクセル電荷群を受け取り、受け取ったピクセル電荷群を前記制御システムからの制御に応じて廃棄するか、前記水平シフトレジスタに渡すかの動作を行う電子クロックゲートと、

を備え、前記制御システムは、前記連続視認モードでは、前記フォトセンサ群のうちの少なくとも2つの隣接する水平平行のピクセル電荷群は前記水平シフトレジスタへと渡し、次の少なくとも2つの隣接する水平平行のピクセル電荷群は廃棄するという動作を前記電子クロックゲートに繰り返させ、前記スチールモードでは、前記フォトセンサ群の全ての水平平行のピクセル電荷群を前記水平シフトレジスタに渡させる動作を前記電子クロックゲートに行わせる、

ことを特徴とする電子カメラ。

【請求項2】

請求項1記載の電子カメラであって、前記イメージセンサは、千水平以上以上のフォトセンサ群を含むことを特徴とする電子カメラ。

【請求項3】

請求項1記載の電子カメラであって、前記イメージセンサへの露光量を、前記スチールモードにおいてのみ制御し、連続視認モードでは制御しないシャッタ、を更に有する電子カメラ。

【請求項4】

請求項1記載の電子カメラであって、

前記水平シフトレジスタを2つ備え、前記スチールモードでは前記垂直走査発生器は前記垂直シフトレジスタ群からそれら2つの水平シフトレジスタへと前記フォトセンサ群の2水平行ずつのピクセル電荷群をとシフトさせ、それら2つの水平シフトレジスタに満たされた各水平平行のピクセル電荷群が同時に並列して出力されることを特徴とする電子カメラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は電子カメラ、特に高解像度カメラシステムに関する。

【0002】

【従来の技術】

電子カメラは、捕捉したイメージを電子形態で記憶するため、伝統的なフィルムカメラに対して大きな利点を有する。電子記憶システムは、フィルムより遥かに安価である。超高密度であり、占有スペースが極めて小さい。また、フェーディングしない。即ち、フィルムと異なりそのカラー情報はほぼ永久的である。そしてコンピュータにより容易に再生できる。現世代の電子カメラは、主にその捕捉イメージをテレビセット上に表示するように設計されている。従って、それらはNTSC規格と互換性をもつように製造されている。中でも、NTSC規格では1/60秒のインターバルで262.5水平ラインのインターレースフィールドであり、これによって毎秒30フレームの割合で525ラインを含む完全フレームを生成する。従って、各フィールドは、完全フレームの一本おきのラインを含み、奇数ラインフィールドと偶数ラインフィールドとが交互に現れる。

【0003】

これらのカメラに使用される電荷結合素子(CCD)は、特にこのサービスのために設計されたものである。例えば、一般的な素子は、760×484の個別フォトセンサ区画を有し、760×484ピクセル解像度及び484水平ラインを生成する。このデバイスは

10

20

30

40

50

、また、フォトセンサ区画の各垂直列に対応した垂直シフトレジスタを備え、一つおきの各行内のピクセル電荷に対応する垂直レジスタへ同時にシフトする性能をもつ。垂直シフトレジスタ内のピクセル電荷が水平シフトレジスタ内へ順次シフトされて出力されると、ピクセル情報の一本おきのラインを含むフィールドが生成される。次のフィールドは、前フィールド内で省かれたピクセル情報のラインを含む。NTSC規格の同期パルスが付加されると、262ラインのではなく242ラインのフィールドであっても、テレビセットに如何なる問題も生じない。

【0004】

結果として生じる760×484ピクセル解像度は、テレビでの視認に対しては極めて適切であるが、プリントされると標準フィルムカメラに対して著しく品質が劣る。特に商業的及び工業的な用途において、記憶されたイメージへのコンピュータアクセス及び高品質プリントを主眼として設計された高解像度電子カメラが要望されていた。少なくとも一つの新規なCCDフォトセンサが、この要望に応じて開発された。コダックKAI-1000インターラインCCDセンサは、1024×1024のフォトセンサ区画のアレイ、及び1024個の垂直シフトレジスタを有する。コンピュータアクセス性及びプリント品質を向上するため、センサはノンインターレースモードで作動し、これによって隣接ラインが順次記憶される。動作捕捉のフレームレートを30フレーム/秒とし且つ合理的な読み出しレートを達成するため、センサは2個の水平シフトレジスタを有する。2個の隣接ラインは、20MHzの読み出しレートで同時に読み出される。

【0005】

【発明が解決しようとする課題】

このセンサが提供する種類の機能への要求に加えて、イメージフィードバックが必要とされ、これによって正確な対象物フレーミングが達成される。これは、特に工業用または研究用カメラの場合に該当する。しかしながら、この種のセンサにより生成された高解像度イメージは、リアルタイムで容易に表示することはできず、高価な広帯域回路及び特別の高品位テレビ技術を必要とする。一方、通常のテレビ型表示では周知の低コスト回路を使用しているが、これにはインターレース信号が必要となる。

【0006】

従って、低コストの装置、及び高解像度ノンインターレースカメラシステムのための低解像度リアルタイムイメージを生成する方法が要望されていた。

【0007】

【課題を解決するための手段及び作用】

上記目的を達成するためになされた本発明は、イメージを連続列で表すピクセル情報を生成する高解像度CCDカメラシステムからの交互に奇数及び偶数フィールドを有する低解像度インターレース信号を発生するための装置に関する。この装置は、ビデオチャンネル、ピクセル情報の生成された列を選択的に廃棄するための減衰手段、ピクセル情報の生成された列をビデオチャンネル内へ転送するためのシフトレジスタ、及び第1、第2及び第3駆動手段を含む。第1駆動手段は、奇数イメージを表すピクセル情報のn個の連続した列から成るグループから所定の第1組を繰り返し廃棄するよう減衰手段を駆動する。第2駆動手段は減衰手段を駆動し、ピクセル情報のn個の連続した列から成るグループから所定の第2組を繰り返し廃棄する。第3駆動手段はレジスタを駆動し、減衰手段によって廃棄されなかったピクセル情報の各列を生成された順にビデオチャンネルへ転送する。ビデオチャンネルへ転送された奇数イメージを表すピクセル情報の列はインターレース信号の奇数フィールドを構成し、偶数イメージを表すピクセル情報の列はインターレース信号の偶数フィールドを構成する。

【0008】

上記装置の典型的な実施例は、更に、ライン間に水平ブランキングパルス及び水平同期パルスを付加すると共に各フィールド間に垂直ブランキングパルス及び垂直同期パルスを付加し、NTSC規格に合致させるための同期挿入回路を含む。レジスタ及び減衰手段は、CCDセンサチップの一部とすることができ、これにはビデオ信号を生成するための安価

10

20

30

40

50

なビデオチャンネル及び簡単なタイミング回路を付加すればよい。

【0009】

また、上記目的を達成するためになされた本発明は、連続列でイメージを表すピクセル情報を生成する高解像度CCDカメラシステムから交互に奇数フィールド及び偶数フィールドを有する低解像度インターレース信号を発生する方法に関する。この方法は、ピクセル情報列の少なくとも一つの所定の第1組を表すビデオ情報のラインをビデオチャンネルへ繰り返し転送し、第1イメージを表すピクセル情報のn個の連続した列からなるグループから前記所定の第1組以外の列を廃棄して奇数フィールドを形成する第1ステップを含む。更に、前記所定の第1組とは異なる少なくとも一つの所定の第2組を表すビデオ情報ラインをビデオチャンネル内へ繰り返し転送し、第2イメージを表すピクセル情報のn個の連続した列から成るグループから、前記所定の第2組以外の列を廃棄する第2のステップを含み、更に、第1ステップと第2ステップとを交互に繰り返す第3ステップを含む。

10

【0010】

【実施例】

図1は、照射された物体（例えばここでは人間の頭部）12のイメージを形成するのに有用な本発明に係るカメラシステム10をブロック図で示したものである。システム10は、レンズ系14、CCDセンサ16、シャッタ18、垂直走査発生器38、クランプ同期挿入回路40、ビデオディスプレイ42、クランピングサンプルホールド（クランプS & H）回路46及び56、アナログ/デジタル（A/D）コンバータ48及び58、FIFO（first in, first out）バッファ50及び60、マルチプレクサ（MUX）52、スイッチ37、使用装置（プロセッサ、メモリなど）62、及び制御システム64を含む。

20

【0011】

写真撮影される照射された物体12からの光は、レンズ系14を通過し、シャッタ18を介してCCDセンサ16上に収束される。シャッタ18はオプションであり、スチール写真を撮るための露光量の制御のために使用することができる。システム10が記録作用のために或いは視認のために連続的に作用しているとき、シャッタ18は通常は使用されない。CCDセンサ16は、列及び行に配列されたフォトセンサ20のアレイを有する。フォトセンサ20（例：ゲート付感光性ダイオード）の列及び行の数は、全く重要な要素ではないが、便宜上センサ16は、1024×1024フォトセンサを備えたコダックKAI1000である。垂直シフトレジスタ22がフォトセンサ20の各列に隣接して結合されている。各垂直シフトレジスタ22の出力端には、電子クロックゲート（ECG）24及び水平シフトレジスタ26及び28が配置されている。垂直走査発生器30は2個の信号φV1及びφV2を生成し、これらをCCDセンサ16へ接続して垂直シフトレジスタ22を駆動する。水平走査発生器32は3個の信号φH1A、φH1B及びφH2を生成し、これらをCCDセンサ16へ接続して水平シフトレジスタ24及び26を駆動する。水平シフトレジスタ26の出力は、スイッチ37の位置によって定められる2個の径路34または36の一方をたどる。図示のように、水平シフトレジスタ26の出力は、スイッチ37を介して径路（配線）36へ接続される。径路（配線）34は、ビデオ増幅器38及び同期挿入回路40を介してビデオディスプレイ42へ接続されている。径路36は、アナログ増幅器44、クランピングサンプルホールド回路46、アナログ-デジタルコンバータ（以下、A/Dと略する）48、及び第FIFOバッファ（以下FIFOと略する）50を介してマルチプレクサ（MUX）52の一方の入力へ接続される。水平シフトレジスタ28の出力は、アナログ増幅器54、クランピングサンプルホールド回路56、A/Dコンバータ58及びFIFO60を介してマルチプレクサ52へ接続する径路をたどる。マルチプレクサ52の出力は使用装置62へ供給され、該装置62は例えばプリンタ、メモリまたはプロセッサ等である。制御システム64は、シャッタ18、垂直及び水平走査発生器30及び32、ECGゲート24、同期挿入回路40及びマルチプレクサ52によってシステムを具体的に制御する。

30

40

【0012】

本発明に係るカメラシステム10は、2種のモード、即ち低解像度視認モード及び高解

50

像度記録モードで作動することができる。該両モードにおいて、各フォトセンサ20は、受光量と露光時間との積に比例したピクセル電荷を蓄積する。露光時間が完了すると、各フォトセンサ20からのピクセル電荷がその対応する垂直シフトレジスタ22内へ転送される。これによってフォトセンサ20は解放され、照射された時に新たなイメージを捕捉することとなる。全ての1024垂直シフトレジスタは同時に駆動され、これによってピクセル電荷を一回に1水平列ずつダウンシフトする。各水平列はイメージの1ラインを表す。記録モードにおいて、2個の水平列が垂直レジスタからシフトされ、それぞれ各水平レジスタ26及び28を満たす。レジスタ26及び28はその後同時に1度のチャージによって、それぞれ固有の出力チャンネルに読み出される。スイッチ37によって選択されたチャンネル36において、増幅器44は各ピクセル電荷のアナログ値を増幅する。クランピングサンプルホールド回路46は増幅された電荷値をクランプされた基準電圧に付加し、その結果をピクセルレートでサンプルして各ピクセルに対する離散値を得、それを保持してA/D48によるデジタル数への変換に供する。A/D48のデジタル出力は、FIFO50内に一時的に記憶される。レジスタ28の出力は、FIFO60内で同様に処理及び記憶される。マルチプレクサ52は、一回に複数の入力の一つを出力へ接続し、これによってまずFIFO60からのピクセルデータの全ラインを、ついでFIFO50からのピクセルデータの全ラインを使用装置62へそれぞれ供給し、これによってイメージ処理及び記憶を行う。更に2本のラインがその後垂直レジスタから水平レジスタ内へシフトアウトされ、同時に読み出される。この処理は、1024×1024ピクセルイメージ全体が使用装置へ転送されるまで繰り返される。ピクセルデータの連続ラインが、処理または印刷に理想的な連続したノンインターレース順序で受信される。本発明の作用には必要ないが、2個の水平レジスタを使用することによって、与えられたチャンネル帯域幅に対する出力速度が2倍に成る。両チャンネルが20MHzで作用すると、毎秒30フレームが記録可能となる。これは、通常の動作を記録するに十分な速さである。

【0013】

視認モードにおいて、水平レジスタ28は使用されず、ECGレジスタ24が使用される。垂直解像度を低減するため、半分のラインが廃棄される。更に、残存ラインは足し合わされて2本が1本にまとめられる。これを達成するため、垂直レジスタ22からのピクセル電荷の第1列は、水平レジスタ26へ転送される。その後、レジスタ26が読み出しを開始する前に、第2列の電荷がレジスタ26へ転送され、第1列の上に付加される。CCD16は電荷結合されているので、各レジスタセル内の第2電荷は単純に第1電荷に加えられ、1024ピクセルの総和電荷の1ラインを形成する。ピクセル電荷の第3及び第4列は、その後ECGゲートを介して廃棄され、レジスタ26はスイッチ37により選択されたビデオチャンネル34を介して読み出される。レジスタ26内のつぎの2ラインを総和し、つぎの2ラインを廃棄し、そしてレジスタ26を連続して読み出す処理は、各垂直レジスタが空になるまで繰り返される。水平及び垂直シフトレジスタがシフトされる割合は、水平走査発生器32及び垂直走査発生器30によって発生される信号によって制御される。それらは、ラインレートがNTSC規格と同様になるよう容易に行われる。この処理によって、256ラインのフィールドが生じる。

【0014】

次のフィールドを発生するため、新たなイメージが使用される。ピクセル電荷が垂直シフトレジスタ内へ転送された後、各電荷の4列が、前述のようにシフトアウトされる。しかしながら、この場合にはインターレース効果を得るため、各4列のうちの最初の2列が廃棄され、第3列と第4列とが足し合わされてフィールドの1ラインが生成される。ビデオ増幅器38は信号を増幅し、同期挿入回路40は水平同期パルス、垂直同期パルス、垂直ブランキングパルス及び垂直同期パルスを適切な時間に挿入し、ビデオディスプレイ42を駆動するためのNTSC型信号を完成する。レジスタ26が20MHzレートで読み出すと、2個のインターレースフィールドを含むフレームは毎秒30のNTSCレートで生成可能となる。従って、ビデオディスプレイ42は、通常のテレビディスプレイを使用可能である。20MHzのレートでは、各ライン毎にレジスタ26から読み出された10

10

20

30

40

50

24個の個別ピクセル総和値が存在するが、ビデオ増幅器38はそのような帯域幅を有する必要はない。事実、5MHzの帯域幅の通常のテレビビデオチャンネルが、標準テレビ映像と同等のイメージを生成するのに十分なのである。

【0015】

2種の作用モードを生成するようCCDセンサ16が制御される方法を理解するため、図2に示されたCCDセンサ16の幾つかの詳細部を考慮することが有用である。

【0016】

図2は、各垂直シフトレジスタ及びその垂直シフトレジスタに対応するフォトセンサ20の縦列の出力端においてECGゲート24及び水平シフトレジスタ26及び28を形成する半導体物質の種々の領域を示す平面図である。水平の影を施した領域は、電荷蓄積のために使用される半導体物質内の領域を表し、対角線影を施した領域は所望方向へ電荷を案内するためのスレッシュホールド(threshold)を形成する注入領域を表す。電荷の動作を制御するために電圧が印加される電極は示されていないが、影響を受ける半導体領域の上部に存在している。各領域は、その領域を制御する電極に従って分類されている。

【0017】

一般に、シフトレジスタの各セルは、2個の記憶領域を制御する2個の電極を有する。電荷は、近接電極へ一組の相補信号を印加することによって、レジスタに沿って移動する。各信号は、高値と低値との間を交互に変化し、制御された領域内において信号の高値、低値に対応して、高いフィールドと低いフィールドを形成する。各電荷は、低いフィールドの領域から高いフィールドの領域へ移動する。一般に、注入領域は、同じ電極に制御される記憶フィールドよりも低いフィールドを形成する。垂直シフトレジスタは、従って、領域V1及びV2を有し、水平シフトレジスタは領域H1(H1A及びH1Bとして示した)およびH2を有する。水平シフトレジスタ26及び28は、個別に制御されるので、それらのH1領域はH1A及びH1Bとそれぞれ分類される。

【0018】

露光時間中、フォトセンサ(例: フォトダイオード、ゲート付感光性ダイオード)上に落ちる光は、その下方に蓄積される電荷を発生する。露光が完了すると、第3レベル転送電圧が、全領域V1を制御する電極へ印加される。転送電圧は、シフトレジスタ内における電荷をシフトさせるために使用される高値よりも遥かに高い。注入領域74内のフィールドは、常に領域72内のフィールドより低く、また領域72と同じくV1によって制御されるが、前述の転送電圧により、結果的にフォトダイオード記憶領域内におけるフィールドよりも高くなる。従って、電荷は各フォトダイオード20の下方から、注入領域74を通過してその対応する領域72へ移動する。通常の高値及び低値の相補信号がその後印加されるとき、領域74はフォトセル領域よりも低いままであり、これによって後者が電荷を蓄積するが、このとき垂直レジスタは作動している。V1が低くなりV2が高くなると、領域74は領域72よりも更に低いフィールドを有し、電荷は領域72から領域76へ移動する。続いてV2が低くなると、もしECG24が高くH1Aが低い場合は、電荷はECG24を通過してダンプダイオード78へ伝送され、そして電源(不図示)へ達する。一方、もしH1Aが高くECGが低い場合は、領域76からの電荷は水平レジスタ26内の領域80へ向かう。このとき、領域80内の電荷は、2方向のいずれかの方向に移動可能である。H1Aが低くなるときに、もしH2が高ければ、電荷は水平レジスタ26に沿って領域82へ伝送される。一方、もしH1Aが低くなるときH1Bが高ければ、電荷は水平レジスタ28内の領域84へ移動する。従って、CCDセンサ16の構造により、いくらかの読み出しの多様性が得られる。

【0019】

図3は、記録モード中においてCCDセンサ16の読み出し時間中にそれぞれ電極制御領域H1A、H1B及びV1に印加された電圧信号 ϕ_{H1A} 、 ϕ_{H1B} 、及び ϕ_{V1} の時間関係を示すタイミングチャートである。信号 ϕ_{H2} 及び ϕ_{V2} (不図示)は、それぞれ信号 ϕ_{H1B} 及び ϕ_{V1} の相補信号である。図3は事象の順序を示すタイミングチャートであり、必ずしも正確に時間スケール通りの大きさではない。時刻T1において、レジスタ

10

20

30

40

50

26及び28はその各々の出力チャンネル内へその内容を空にしたところであり、信号 $\phi H1A$ 及び $\phi H1B$ は高いままである。 $\phi V1$ は低くなり（そして $\phi V2$ は高くなる）、各電荷の新たなラインを転送領域76内へ駆動する。その後 $\phi V1$ が時刻T2で高くなり $\phi V2$ が低くなると、各電荷のラインが $\phi H1A$ によって制御された領域80内へ転送される。時刻T3において、 $\phi H1A$ 及び $\phi V1$ は共に低くなり、領域80からの電荷を領域84へ駆動してレジスタ28を充填し、そして領域72内の電荷を領域76へ駆動する。そして、 $\phi H1A$ はその後高くなり、時刻T4で $\phi V2$ が低くなると、領域76からの電荷が領域80へ入り、レジスタ26を充填する。そのようにして、各水平レジスタは、 $\phi H1$ 及び $\phi H2$ が交互に高くなったり低くなったりするに従って逐次的に読み出すためのピクセル情報ラインを含む。

10

【0020】

図4は、リアルタイム視認モードのためのインターレースNTSCタイプ信号を発生するために使用されるタイミングチャートを示す。図4は、必ずしも寸法通りではなく、サイクル時間は必ずしも図3のそれらと関連づけられてはいない。このモードにおいて、レジスタ28は使用されておらず、ECGゲート24が使用されている。従って、図4は、第1フィールドを生成するための信号 $\phi 1ECG$ のタイミングと、第2のインターレースフィールドを生成するための $\phi 2ECG$ のタイミングを $\phi H1A$ 及び $\phi V1$ と共に示す。 $\phi H1A$ の相補信号 $\phi H2$ 、及び $\phi V1$ の相補信号である $\phi V2$ は図示されていない。時刻T5において、レジスタ26が完全に空になった後、 $\phi V1$ は4つのサイクル（すなわち4周期）を開始するが、一方 $\phi H1A$ は高いままである。これらのサイクルの最初の2サイクルの間、ECGゲート24を制御する信号 $\phi 1ECG$ は低い。この結果、情報の最初の2ラインが水平レジスタ26内へシフトされ、該レジスタ26内でそれらは自動的に総和される。時刻T7において、その次のサイクル中 $\phi V1$ が低い、 $\phi 1ECG$ は高くなり $\phi V1$ の4つのサイクルの終端にいたるまで高いままである。これによって、ピクセル情報の第3及び第4ラインはダンプダイオード78を介して廃棄される。レジスタ26がその後時刻T8を起点として読み出されると、捕捉された情報の最初の2ラインを表すピクセル情報の1ラインは、ビデオチャンネル34へ読み出される。各4ラインのうちの最初の2ラインを総和し最後の2ラインを廃棄するこのパターンは、垂直レジスタが空になるまで繰り返され、捕捉された情報の各4ラインに対して1ラインを含むフィールドを形成する。

20

30

【0021】

その後のフィールドに対して、レジスタ26が空になった後、 $\phi V1$ は再び4つのサイクルを開始し、垂直シフトレジスタ内で4ラインをシフトダウンする。しかしながら、この場合、時刻T6において、ゲート24を制御する $\phi 2ECG$ が高くなり、 $\phi V1$ の最初の2サイクルの終端まで高いままであり、最後の2サイクルに対して低くなる。この結果、ライン1及び2は廃棄され、ライン3及び4はフィールドの最初のラインとして出力される。各4連続ラインの最初の2ラインを廃棄し第3及び第4ラインを総和するパターンは、全てのレジスタが空になってビデオ信号の第2フィールドを形成するまで継続する。各フィールドを交互に繰り返すことによって、各フィールドに256ライン、各フレームに512ラインをもつインターレース信号が形成される。走査信号のタイミングは、容易に形成することができ、これによって同期挿入器40によって同期パルス及びブランキングパルスを挿入するための余裕を残しながらラインレート及びフレームレートをNTSC規格に近づけることができる。

40

【0022】

このようにして、付加費用が極めて少ないノンインターレース出力を発生する高解像度カメラシステムから通常のテレビスクリーン視認のためのNTSCコンパチブル信号を発生する方法及び装置を説明した。

【0023】

前述の視認信号を発生するための特定の方法は極めて効果的であるが、多くの他の変形でも充足することができることは明らかである。例えば、偶数フィールドを形成するため

50

の第3及び第4列及び奇数フィールドを形成するためのピクセル電荷の第1及び第2列を総和する代わりに、一つのフィールドに対する任意の2個の列を総和し、次のフィールドに対して他の2列を総和することが可能である。更に、総和の代わりに電荷の任意の単一行を使用可能である。更に、各フォトセンサの各4列に対して一つのビデオラインを読み出すことによって1024×1024センサアレイからNTSC信号へ便宜的減少が行われる一方、特にフォトセンサの列数が著しく異なる場合には、そういう場合でも作動可能なインターレース信号を発生させるために、4列に1本の比に限らず他の比を使用可能である。これらの変形のいずれか一を実行するため、変更されなければならない全てのものは走査信号及びECGゲート信号である。更に、本発明は、上述したインターライン型の他のCCDセンサでも、それがECGゲート24及び減衰ダイオード78の等価手段を有する限り使用可能である。

10

【0024】

【発明の効果】

以上説明したとおり、本発明によれば、ノンインターレースで記録を行う高解像度CCDカメラシステムからインターレース視認信号を発生させることができる。このインターレース信号により、例えば通常のNTSC規格のテレビにおいても、前記ノンインターレース高解像度CCDカメラの映像の視認が可能となる。

【図面の簡単な説明】

【図1】本発明の実施例のカメラシステムのブロック図である。

【図2】図1のカメラシステムに使用されるCCDセンサの一部を示す図である。

20

【図3】記録モードにおける図1のシステムの作用説明に有用なタイミングチャートである。

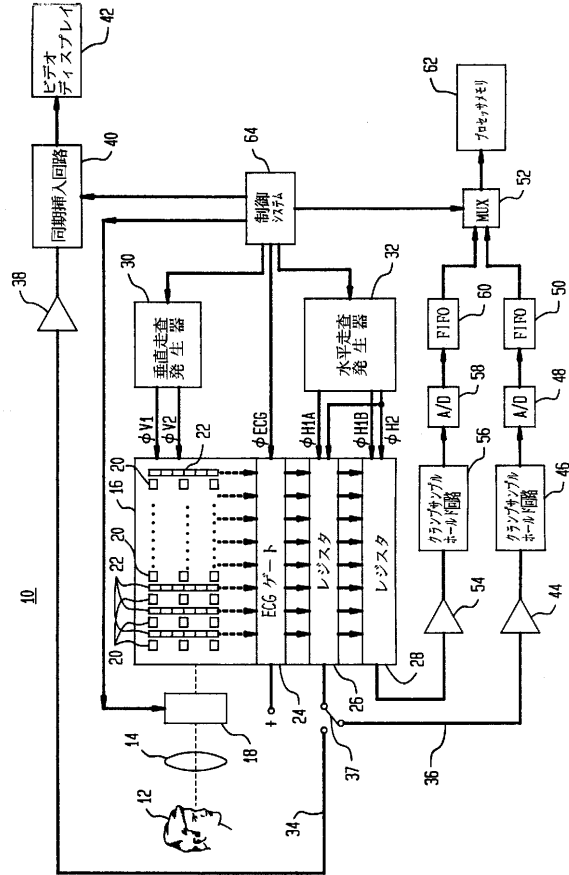
【図4】視認モードにおける図1のシステムの作用説明に有用なタイミングチャートである。

【符号の説明】

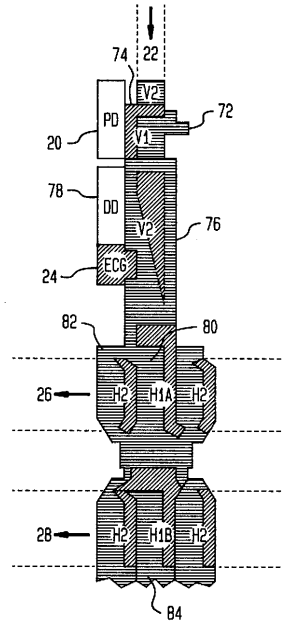
- 10 カメラシステム
- 12 照射物体
- 14 レンズシステム
- 16 CCDセンサ
- 18 シャッタ
- 30 垂直走査発生器
- 32 水平走査発生器
- 38 ビデオ増幅器
- 40 同期挿入回路
- 42 ビデオディスプレイ
- 46 クランピングサンプルホールド回路
- 48 A/Dコンバータ
- 50 FIFOバッファ
- 52 マルチプレクサ

30

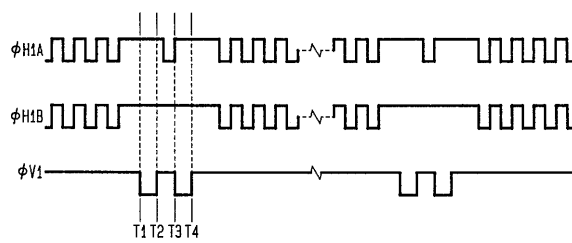
【図 1】



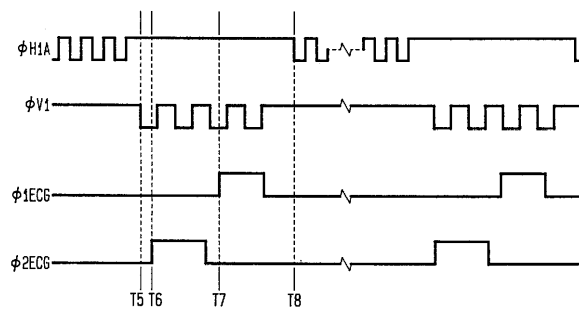
【図 2】



【図 3】



【図 4】



フロントページの続き

- (56)参考文献 特開平03-234182(JP,A)
特開昭57-069981(JP,A)
特開昭58-187081(JP,A)
特開昭62-034471(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04N 5/335