



(12) 发明专利申请

(10) 申请公布号 CN 105229782 A

(43) 申请公布日 2016. 01. 06

(21) 申请号 201380076746. 4

H01L 27/04(2006. 01)

(22) 申请日 2013. 05. 21

(85) PCT国际申请进入国家阶段日
2015. 11. 20

(86) PCT国际申请的申请数据
PCT/JP2013/064089 2013. 05. 21

(87) PCT国际申请的公布数据
W02014/188514 JA 2014. 11. 27

(71) 申请人 瑞萨电子株式会社
地址 日本东京

(72) 发明人 成田幸辉

(74) 专利代理机构 中原信达知识产权代理有限
责任公司 11219
代理人 李罡 陆锦华

(51) Int. Cl.
H01L 21/822(2006. 01)

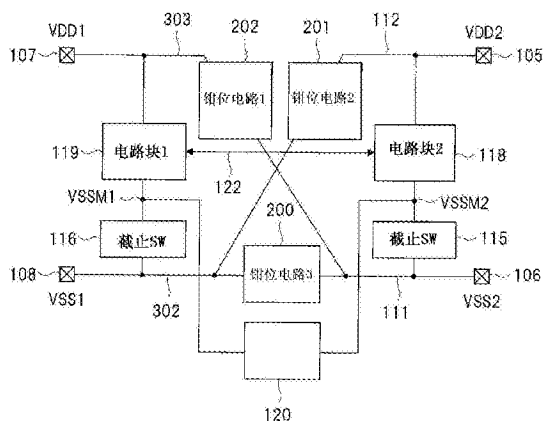
权利要求书2页 说明书16页 附图15页

(54) 发明名称

半导体集成电路装置

(57) 摘要

半导体集成电路装置包含以彼此不同的电压工作的第1和第2区域以及从第1区域向第2区域供给信号的信号布线。第2区域包含：连接在选择性地供给电压的第1布线与供给电压的第3端子之间，通过第1布线中的电压与供给到第3端子的电压之间的差电压工作的电路；以及对第1布线中的电荷进行放电的放电电路。通过放电电路，抑制信号布线与第1布线之间的电位差扩大，能够减少包含在第2区域中的电路被击穿的情况。



1. 一种半导体集成电路装置,具有:

第 1 端子,被施加第 1 电压;

第 2 端子,被施加与所述第 1 电压不同的第 2 电压;

第 3 端子,被施加与所述第 1 电压和所述第 2 电压不同的第 3 电压;

第 1 布线,选择性地与所述第 3 端子电连接;

第 1 电路,与所述第 2 端子连接,接受所述第 2 电压作为所述第 1 电路的工作电压,形成输出信号;

第 2 电路,与所述第 1 端子和所述第 1 布线连接,通过所述第 1 电压与所述第 1 布线中的电压之间的差电压而工作,且经由信号布线接受通过所述第 1 电路形成的输出信号;以及

第 1 放电电路,与所述第 1 布线连接,对电荷进行放电。

2. 根据权利要求 1 所述的半导体集成电路装置,其中,

所述半导体集成电路装置具有:

开关电路,连接在所述第 3 端子与所述第 1 布线之间,选择性地将所述第 3 电压供给到所述第 1 布线;以及

钳位电路,连接在所述第 3 端子与所述第 2 端子之间。

3. 根据权利要求 2 所述的半导体集成电路装置,其中,

所述第 2 电路具有并联连接在所述第 1 布线与所述第 1 端子之间的多个电路,所述多个电路中的一个电路具有 MOSFET,所述信号布线连接到该 MOSFET 的栅极,在所述第 1 布线上连接有该 MOSFET 的一个电极。

4. 根据权利要求 1 所述的半导体集成电路装置,其中,

所述半导体集成电路装置具有:

第 4 端子,与所述第 1 端子、所述第 2 端子以及所述第 3 端子不同;以及

第 2 布线,选择性地连接到所述第 4 端子,被供给跟随施加到所述第 4 端子的第 4 电压的电压,

所述第 1 电路通过所述第 2 电压与所述第 2 布线中的电压之间的差电压而工作,

所述第 1 放电电路是如下的放电电路:具有一对端子,所述一对端子的一个端子连接到所述第 1 布线,所述一对端子的另一个端子连接到所述第 2 布线,在所述一对端子之间在双方向上对电荷进行放电。

5. 根据权利要求 1 所述的半导体集成电路装置,其中,

所述半导体集成电路装置具有:

第 5 端子,与所述第 1 端子、所述第 2 端子以及所述第 3 端子不同;

第 3 布线,选择性地连接到所述第 5 端子,被供给跟随施加到所述第 5 端子的第 5 电压的电压;以及

第 2 放电电路,连接到所述第 3 布线,对电荷进行放电,

所述第 1 电路通过所述第 2 电压与所述第 3 布线中的电压之间的差电压而工作,

所述第 1 放电电路是如下的放电电路:具有一对端子,所述一对端子的一个端子连接到所述第 1 布线,所述一对端子的另一个端子连接到所述第 2 端子,在所述一对端子之间在双方向上对电荷进行放电,

所述第 2 放电电路是如下的放电电路：具有一对端子，所述一对端子的一个端子连接到所述第 3 布线，所述一对端子的另一个端子连接到所述第 1 端子，在所述一对端子之间在双方向上对电荷进行放电。

6. 根据权利要求 1 所述的半导体集成电路装置，其中，

所述半导体集成电路装置具有与所述第 1 端子、所述第 2 端子以及所述第 3 端子不同的第 6 端子，

所述第 1 电路通过所述第 2 电压与所述第 6 端子中的电压之间的差电压而工作，

所述第 1 放电电路是如下的放电电路：具有一对端子，所述一对端子的一个端子连接到所述第 1 布线，所述一对端子的另一个端子连接到所述第 6 端子，在所述一对端子之间在双方向上对电荷进行放电。

7. 根据权利要求 4 所述的半导体集成电路装置，其中，

所述半导体集成电路装置具有：

连接在所述第 1 端子与所述第 4 端子之间的钳位电路；以及

连接在所述第 2 端子与所述第 3 端子之间的钳位电路。

8. 根据权利要求 7 所述的半导体集成电路装置，其中，

所述半导体集成电路装置具有连接在所述第 3 端子与所述第 4 端子之间的放电电路。

9. 根据权利要求 5 所述的半导体集成电路装置，其中，

所述半导体集成电路装置具有：

连接在所述第 1 端子与所述第 5 端子之间的钳位电路；以及

连接在所述第 2 端子与所述第 3 端子之间的钳位电路。

10. 根据权利要求 6 所述的半导体集成电路装置，其中，

所述半导体集成电路装置具有：

连接在所述第 1 端子与所述第 6 端子之间的钳位电路；以及

连接在所述第 2 端子与所述第 3 端子之间的钳位电路。

11. 根据权利要求 10 所述的半导体集成电路装置，其中，

所述半导体集成电路装置具有连接在所述第 3 端子与所述第 6 端子之间的放电电路。

12. 根据权利要求 4 所述的半导体集成电路装置，其中，

所述第 2 电路具有并联连接在所述第 1 布线与所述第 1 端子之间的多个电路，所述多个电路中的一个电路具有 MOSFET，所述信号布线连接到该 MOSFET 的栅极，在所述第 1 布线上连接有该 MOSFET 的一个电极。

13. 根据权利要求 4 所述的半导体集成电路装置，其中，

所述放电电路包含分别具有阳极和阴极的一对二极管元件，一个二极管元件的阳极连接到另一个二极管的阴极，所述一个二极管元件的阴极连接到另一个二极管的阳极。

半导体集成电路装置

技术领域

[0001] 发明涉及半导体集成电路装置,特别是涉及将彼此不同的电压作为电源电压而工作的多个电路形成在一个半导体芯片上的半导体集成电路装置。

背景技术

[0002] 伴随制造半导体集成电路装置的半导体制造工序的进展,促进了构成形成在半导体芯片上的电路时的场效应晶体管(以下,称为MOSFET)的微型化。通过MOSFET的微型化,促进了形成在MOSFET的栅极与半导体基板之间的栅氧化膜的薄膜化。随着栅氧化膜实现薄膜化,相对于施加到栅极的电压的击穿耐压的降低变得显著。作为施加到栅极的电压,还包含通过在半导体集成电路装置的输送或者处理时产生的静电而产生的高电压。因此,对半导体集成电路装置实施静电放电(ESD)测试,进行针对击穿耐压降低的部分的改良。

[0003] 作为这种静电放电测试,存在CDM(Charged Device Model,充电装置模型)测试。CDM是半导体集成电路装置中的静电的放电模型之一。在CDM测试中,半导体集成电路装置全体成为带电的状态,从配置在半导体集成电路装置上的多个端子选择测试用的端子,使金属端子接触到所选择的端子。在接触时,在该金属端子中供给电路的接地电压。通过该接触,带电的电荷经由所选择的测试用的端子而被放电,进行CDM耐压的评价。

[0004] 在CDM测试中,在接收来自以不同的电源电压工作的电路的信号的过程中,MOSFET的栅极容易被击穿。在专利文献1中,公开有通过很少数量的保护电路防止由CDM测试引起的栅极的静电放电的技术。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2006-100606号公报

发明内容

[0008] 发明所要解决的课题

[0009] 在专利文献1中,在其图1中示出包含以电源电压 V_{dd1} 和基准电压 V_{ss1} 工作的电路块[1]、以电源电压 V_{dd2} 和基准电压 V_{ss2} 工作的电路块[2]的半导体集成电路装置。在专利文献1中,设置有:对电源电压 V_{dd1} 与基准电压 V_{ss2} 之间进行钳位的钳位电路[1];以及对电源电压 V_{dd2} 与基准电压 V_{ss1} 之间进行钳位的钳位电路[2]。另外,设置有对基准电压 V_{ss1} 与基准电压 V_{ss2} 之间进行钳位的钳位电路[3]。由此,针对在多个电源之间(电源: V_{dd1} 、 V_{ss1} 与电源: V_{dd2} 、 V_{ss2} 之间)产生的静电放电内、特别是由CDM引起的静电放电,能够通过很少数量的保护电路来防止。

[0010] 另一方面,近年来,半导体集成电路装置的低消耗电力化的要求日益强烈,特别是对使用于便携(移动)设备的、SoC那样的半导体集成电路装置的低消耗电力化的要求强烈。为了应对这种情况,在使用于便携设备的半导体集成电路装置中导入所谓的电源截止技术。在该电源截止技术中,对于构成半导体集成电路装置的多个电路各自,设置有电源截

止开关电路。电源截止开关电路被控制为对于此时不需要工作的电路不进行电源的供电。由此,减少同时工作的电路的数量,实现低消耗电力化。此时,关于电源截止开关电路,考虑其占有的半导体芯片中的面积和 / 或控制性,对多个电路共同设置。

[0011] 在将这种多个电路看作是一个区域时,在半导体集成电路装置上设置有多个电源截止用的区域(电源截止区域)。因此,对应处理的(或者应加工)信号进行传递的信号布线,连接彼此不同的电源截止区域之间。

[0012] 本申请的发明人,对通过彼此不同的电源电压工作的电路、且配置在彼此不同的电源截止区域上的电路中的 MOSFET 的击穿进行了研究。以下,叙述发明人的研究。

[0013] 图 14 是发明人为了研究记载于专利文献 1 的图 1 中的半导体集成电路装置而制作的电路图。因此,在该电路图还记载有发明人的研究事项。在图 14 中,1400 是施加用于使电路块 2 工作的电源电压、即电压 VDD2 的端子,1401 是施加电路块 2 的基准电压(接地电压)、即电压 VSS2 的端子。另外,1402 是施加用于使电路块 1 工作的电源电压、即电压 VDD1 的端子,1403 是施加电路块 1 的基准电压(接地电压)、即电压 VSS1 的端子。即,电路块 1(2) 通过电压 VDD2 与电压 VSS2(电压 VDD1 与电压 VSS1) 之间的差电压而工作。

[0014] 电路块 1 示出为由 P 沟道型 MOSFET(以下,称为 P-FET) 1406 和 N 沟道型 MOSFET(以下,称为 N-FET) 1407 构成的电路。即,P-FET1406 的源极连接到端子 1402,N-FET1407 的源极连接到端子 1403,P-FET1406 和 N-FET1407 各自的漏极共同连接到信号布线 1413 上。另外,虽然未图示,但是在 P-FET1406 的栅极和 N-FET1407 的栅极上供给有输入信号。另外,P-FET1406 和 N-FET1407 的背栅极分别用箭头示出,与各自的源极连接。

[0015] 电路块 2 示出为由 P-FET1404 和 N-FET1405 构成的逆变器电路。即,P-FET1404 的源极连接到端子 1400,N-FET1405 的源极连接到端子 1401,P-FET1404 和 N-FET1405 各自的漏极共同连接。P-FET1404 的栅极和 N-FET1405 的栅极共同与信号布线 1413 连接。另外,P-FET1404 和 N-FET1405 的背栅极分别用箭头示出,与各自的源极连接。

[0016] 在该图 14 中,1408-1410 分别为钳位电路,钳位电路 1408 相当于专利文献 1 的图 1 中的钳位电路 (1) 13a,1409 相当于钳位电路 (2) 13b,1410 相当于钳位电路 (3) 13c。

[0017] 在 CDM 测试中,在半导体集成电路装置带电,端子 1402 被选择为测试用的端子时,在该图 14 中,如作为 CDM 示出的那样,在端子 1402 上接触有金属端子,接地电压施加到端子 1402。

[0018] 通过该接地电压的施加,蓄积在 P-FET1404 和 N-FET1405 各自的栅极和信号布线 1413 中的电荷,经由信号布线 1413 和 P-FET1406 而向端子 1402 放电。在该图 14 中用虚线 1412 示出该放电的路径。另外,蓄积在 N-FET1405 的源极中的电荷,经由钳位电路 1408 而向端子 1402 放电。该放电路径示出为虚线 1411。由此,在半导体芯片中带电的电荷,从端子 1402 放电。另外,在该图 14 中“用○包围-”来示意地示出电荷。

[0019] 图 15 是示出用信号布电线连接供电的电压彼此不同的两个电源截止区域之间时的电路的电路图。在该图 15 中,对于与图 14 相同部分标上相同标号。如上所述,将彼此不同的电压接受为电源电压,分别用信号布线连接工作的电源截止区域之间(或者电路之间),在本说明书中将经由所连接的信号布线传递的信号称为不同电源分配信号。

[0020] 与图 14 同样,两个电源截止区域中的一个电源截止区域包含具有 P-FET1404 和 N-FET1405 的电路块 2。另外,在该电源截止区域中,在接受电路的接地电压、即电压 VSS2 的

端子 1401 与电路块 2 之间,设置有与电源截止开关电路相当的 N-FET1502。即,N-FET1502 的源极连接到端子 1401,其漏极连接到电路块 2。另外,在 N-FET1502 的栅极中,供给有用于对作为电源截止开关电路的该 N-FET 进行接通 / 断开的控制信号。

[0021] 电路块 2 包含并列连接在端子 1400 与布线 VSSM2 之间的多个电路。而且,该多个电路分别包含用于构成电路的多个 MOSFET。关于上述的 MOSFET 1404、1405,可以理解为示出包含在上述的多个电路内的一个电路中的 MOSFET。另外,在该图 15 中,作为包含在上述的多个电路内的其他电路中的 MOSFET 的例子,示出 N-FET1504。作为电源截止开关电路的 N-FET1502,在其处于接通状态时,对上述的多个电路供给电压 VSS2。

[0022] 即,向包含在多个电路中的多个 MOSFET(例如,1405、1504) 供给电压 VSS2。为了将多个 MOSFET(在该例子中,多个 N-FET) 连接到电源截止用的 N-FET1502, N-FET1502 的漏极连接到布线(为了与电源电压布线和接地电压布线区分,以下,也称为截止电源布线) VSSM2。多个 MOSFET(N-FET) 与该截止电源布线 VSSM2 连接。在该例子中,多个 N-FET 的源极连接到截止电源布线 VSSM2。

[0023] 另外,关于作为开关电路的 N-FET1502,使其物理尺寸大,以能够对多个 MOSFET 供给接地的电压 VSS2。在本说明书中,为了表示包含在电路块中的 MOSFET 为其物理尺寸大的 MOSFET,相当于栅极的部分示出为长方形的箱子。另外,虽然没有特别限制,但是电源截止用的 N-FET1502 的背栅极连接到端子 1401。

[0024] 电路块 2 中的 P-FET1404 的栅极与 N-FET1405 的栅极共同连接,从两个电源截止区域中的其他电源截止区域供给不同电源分配信号。在该图 15 中,作为该其他的电源截止区域,示出包含图 14 所示的电路块 1 的例子。

[0025] 关于电路块 1,虽然由于在图 14 中进行了说明,因此省略其详细的说明,但是电路块 1 也与电路块 2 同样,除了 MOSFET 1406、1407 以外包含多个 FET。对于包含多个 MOSFET 的电路块 1,设置有作为电源截止开关电路的 N-FET1503。与上述的一个电源截止区域同样,电路块 1 中的多个 N-FET 的源极连接到截止电源布线 VSSM1,在截止电源布线 VSSM1 与端子 1403 之间连接有 N-FET1503。

[0026] 另外,在图 14 中叙述的钳位电路 1408-1410 与图 14 同样连接在端子 1400-1403 之间。

[0027] 在这种结构中,与图 14 的情况相同,在使半导体集成电路装置全体带电,使具有接地电压的金属端子接触到端子 1402 时,产生如下所述的现象。即,通过带电,与在图 14 中说明的情况同样,在对信号(在图 15 中,不同电源分配信号)进行传递的信号布线 1413 和 MOSFET1404、1405 的栅极中蓄积有电荷。在金属端子接触时,该带电的电荷通过信号布线 1413,经由由虚线 1412 所示的路径到达端子 1402 并被放电。

[0028] 另一方面,如在图 14 中说明的那样,在电路块 2 中的 N-FET1405 的源极中也通过带电而蓄积有电荷。在图 15 的情况下,设置有电源截止用的开关电路,在多个 N-FET 各自的源极中被带电有电荷。另外,在用于共同连接多个 N-FET 的源极的截止电源布线 VSSM2 中,也通过带电而蓄积有电荷。此时,截止电源布线 VSSM2 为了连接多个 N-FET 的源极并且能够供给接地的电压 VSS2,使其长度和其宽度比较大。因此,截止电源布线 VSSM2 具有的寄生电容也成为比较大的值。

[0029] 如上所述,在截止电源布线 VSSM2 的寄生电容中蓄积的电荷、在与该截止电源布

线 VSSM2 连接的多个 FET 的源极各自中蓄积电荷,在金属端子接触时,如由虚线 1411 所示那样,经由电源截止用的 N-FET1502 和钳位电路 1408 而被放电到端子 1402。但是,在截止电源布线 VSSM2 的寄生电容中蓄积电荷和在包含 N-FET1405 的多个 N-FET 的源极中蓄积电荷的总量,与没有设置电源截止区域内的情况相比变大。另外,放电通过电源截止用的开关电路进行。因此,在将金属端子接触到端子 1402 时,在对这些电荷进行放电时需要花费时间。即,截止电源布线 VSSM2 的电位的变化,换言之,N-FET1405 的源极的电位的变化变慢。另一方面,关于 N-FET1405 的栅极的电位,即使设置电源截止用的开关电路,也与图 14 的情况同样变化。因此,N-FET1405 的源极与栅极之间的电位差扩大,担心 N-FET1405 的栅极被击穿。特别是,当伴随半导体制造工序的进展推进 FET 的微型化时,由于 FET 的栅极耐压降低,因此更担心击穿的产生。

[0030] 如上所述,通过本申请的发明人的研究,发现在通过不同电源分配信号在以彼此不同的电压工作的多个电源截止区域之间进行信号的传递时,产生了新的课题。

[0031] 在专利文献 1 中,没有意识到以彼此不同的电压工作的多个电源截止区域中的 FET 的击穿。

[0032] 可以从本说明书的记载和附图明确其他目的和新的特征。

[0033] 用于解决课题的手段

[0034] 半导体集成电路装置包含以彼此不同的电压工作的第 1 和第 2 区域以及从第 1 区域向第 2 区域供给信号的信号布线。第 2 区域包含:连接在选择性地供给电压的第 1 布线与供给电压的第 3 端子之间,通过第 1 布线中的电压与供给到第 3 端子的电压之间的差电压工作的电路;以及对第 1 布线中的电荷进行放电的放电电路。通过放电电路,抑制信号布线与第 1 布线之间的电位差扩大,减少包含在第 2 区域中的电路被击穿的情况。

[0035] 根据一实施方式,在第 1 布线与第 3 端子之间设置有开关电路。另外,在向包含在第 1 区域中的电路供给电源电压的第 2 端子与第 3 端子之间设置有钳位电路。第 1 布线中的电荷通过开关电路和钳位电路而被放电。由此,能够进一步抑制信号布线与第 1 布线之间的电位差扩大。

[0036] 另外,根据一实施方式,包含在第 2 区域中的电路,包含与第 1 布线连接的多个 MOSFET。通过选择性地向第 1 布线供给电压,从而能够实现低消耗电力化。

[0037] 发明效果

[0038] 根据一实施方式,可以提供能够减少静电放电的产生的半导体集成电路装置。

附图说明

[0039] 图 1 是示出实施方式 1 的半导体集成电路装置的整体布局的示意图。

[0040] 图 2 是示出实施方式 1 的半导体集成电路装置的要部布局的示意图。

[0041] 图 3 是示出实施方式 1 的半导体集成电路装置的结构框图。

[0042] 图 4 是示出实施方式 1 的半导体集成电路装置的结构框图。

[0043] 图 5 是示出实施方式 1 的半导体集成电路装置的结构电路图。

[0044] 图 6 是示出钳位电路的结构电路图。

[0045] 图 7 的 (A) 和 (B) 是示出放电电路的结构构造图。

[0046] 图 8 是示出实施方式 2 的半导体集成电路装置的结构框图。

- [0047] 图 9 是示出实施方式 2 的半导体集成电路装置的结构电路图。
- [0048] 图 10 是示出实施方式 3 的半导体集成电路装置的结构框图。
- [0049] 图 11 是示出实施方式 4 的半导体集成电路装置的结构框图。
- [0050] 图 12 是示出实施方式 5 的半导体集成电路装置的结构电路图。
- [0051] 图 13 是示出实施方式 6 的半导体集成电路装置的结构电路图。
- [0052] 图 14 是对发明人的研究进行说明的说明图。
- [0053] 图 15 是对发明人的研究进行说明的说明图。

具体实施方式

[0054] 以下,根据附图详细说明本发明的实施方式。另外,在用于说明实施方式的整个附图中,原则上对相同部分标上相同的标号,省略其重复的说明。

[0055] (实施方式 1)

[0056] < 半导体集成电路装置 >

[0057] 图 1 是示出实施方式的半导体集成电路装置的布局的示意图。在图 1 中,100 表示内置于半导体集成电路装置中的半导体芯片,105-108 分别表示设置于半导体集成电路装置中的端子(引脚)。端子 105 是对形成在半导体芯片 100 中的多个数字电路供电电源电压(第 1 电压)VDD2 的端子,端子 106 是对多个数字电路供给接地电压(第 3 电压)VSS2 的端子。虽然没有特别限制,但是在该实施方式中,在半导体集成电路装置中设置有多个端子 105 和 106。

[0058] 端子 107 是对形成在半导体芯片 100 上的模拟电路供电电源电压(第 2 电压)VDD1 的端子,端子 108 是对模拟电路供电接地电压(第 4 电压)的端子。在该实施方式中,在半导体芯片上形成有数字电路和模拟电路。向模拟电路供电电源电压和接地电压的端子与向数字电路进行供电的端子(电源端子)在物理上分离,能够对数字电路和模拟电路分别供电适当电压值的电源电压。另外,通过分离,能够减少噪声彼此传递的情况。

[0059] 在图 1 中,101 是形成在半导体芯片 100 上的周边输入/输出电路(以下,称为周边 I/O)的区域(以下,称为周边 I/O 区域),113 是形成有成为该半导体集成电路装置的核心逻辑(多个数字电路)的核心逻辑区域。另外,在该图 1 中,114 为模拟宏区域,多个模拟电路和多个数字电路通过宏形成。在该图 1 中,为了避免附图变复杂,除了一部分进行了省略,但是核心逻辑区域 113 与模拟宏区域 114 之间通过多个信号布线而连接,信号的传递在彼此之间进行。

[0060] 在周边 I/O 区域 101,为了将接地电压 VSS2 供给到数字电路(核心逻辑区域 113 和模拟宏区域 114 中的数字电路)而配置有环状的接地电压布线 111,并且为了向上述的数字电路供给电源电压 VDD2 而配置有环状的电源电压布线 112。在接地电压布线 111 和电源电压布线 112 上连接有多个电源电压单元 103、多个接地电压单元 104 以及多个周边 I/O 单元 102。多个电源电压单元 103 分别连接到电源端子 105,将向电源端子 105 供电的电源电压 VDD2 作为数字电路的电源电压,供给到核心逻辑区域 113 和模拟宏区域 114。另外,供给到形成环状的电源布线 112。

[0061] 同样,多个接地电压单元 104 分别连接到接地电压端子 106,将接地电压 VSS2 作为数字电路的接地电压供给到核心逻辑区域 113 和模拟宏区域 114。数字电路分别根据所供

给的电源电压 VDD2 与接地电压 VSS2 之间的电位差（电压差）而工作。换言之，各个数字电路将电位差作为电源而工作。

[0062] 多个周边 I/O 单元 102 分别设置在设置于半导体集成电路装置上的信号用的端子（信号端子：在该图 1 中未示出）与形成于半导体芯片上的电路（数字电路和模拟电路）之间。周边 I/O 单元 102 从电源电压布线 112 和接地电压布线 111 接受电源电压 VDD 和接地电压 VSS2，在信号端子与电路之间进行信号的授受（输入和 / 或输出）。另外，为了避免附图变复杂，在图 1 中，关于周边 I/O 单元 102，除了几个块以外，不标上标号而仅作为通过点填充的块来示出。

[0063] 在该实施方式中，模拟宏区域 114 具有包含多个数字电路的电路块 118（以下，也称为电路块 2）、包含多个模拟电路的电路块 119（以下，也称为电路块 1）。另外，在模拟宏区域 114 中具有电源截止开关电路 115（图中，表示为截止 SW）、电源截止开关电路 116（图中，表示为截止 SW）、放电电路 120。

[0064] 电路块 118 通过截止电源布线而与电源截止开关电路 115 连接。虽然没有特别限制，但是在该实施方式中，从核心逻辑区域 113 和 / 或周边 I/O 区域 101 向电路块 2 供给电源电压 VDD2，接地电压 VSS2 从核心逻辑区域 113 和 / 或周边 I/O 区域 101 供给到电源截止开关电路 115。另一方面，电路块 1 通过电源电压单元 109 从电源电压的端子 107 供给模拟电路用的电源电压。另外，电路块 1 通过截止电源布线而与电源截止开关电路 116 连接。电源截止开关电路 116 通过接地电压单元 110 从接地电压的端子 108 供给模拟电路用的接地电压。关于截止电源布线，虽然在之后使用图 3 等而详细进行说明，但是在截止电源布线上连接有用于对电荷进行放电的放电电路 120。

[0065] 关于电源截止开关电路 115 和 116，通过设置在核心逻辑区域 113 上的截止开关控制电路（图中截止 SW 控制）117，控制其接通 / 断开。即，通过来自截止开关控制电路 117 的控制信号 121（虚线），分别对电源截止开关电路 115、116 进行开关控制。关于电路块 118 内的各个数字电路，在使该数字电路工作时，电源截止开关电路 115 通过控制信号 121 而成为接通状态，被施加电源电压 VDD2 与接地电压 VSS2 之间的差电压并工作。同样，关于包含在电路块 119 中的各个模拟电路，在使该模拟电路工作时，电源截止开关电路 116 通过控制信号 121 而成为接通状态，被施加电源电压 VDD1 与接地电压 VSS1 之间的差电压并工作。

[0066] 电路块 118 内的数字电路与电路块 119 内的模拟电路之间通过信号布线 122 而连接。数字电路和模拟电路工作，从而信号的授受通过该信号布线 122 在数字电路与模拟电路之间进行。电路块 118 和电路块 119 通过彼此不同的电压值的电源电压而工作。因此，通过信号布线 122 而授受的信号，成为不同电源分配信号。

[0067] 电源电压单元 109 与对模拟电路用的电源电压 VDD1 进行供电的端子（引脚）107 连接，向电路块 119 供给电源电压 VDD1。同样，接地电压单元 109 与对模拟电路用的接地电压 VSS1 进行供电的端子（引脚）108 连接，向电源截止开关电路 116 供给接地电压 VSS1。另外，电源电压单元 109 和接地电压单元 110 不分别与环状的电压布线 112 和环状的接地电压布线 111 连接。另外，虽然未在该图 1 中示出，但是在电源电压单元 109 和接地电压单元 110 分别设置有用于保护电路避免静电的保护电路。

[0068] 在 CDM 测试中，包含半导体芯片 100 的半导体集成电路装置被带电。在带电之后，从设置在半导体集成电路装置上的多个端子（引脚）选择测试用的端子，使金属端子接触

到所选择的端子,向所选择的端子施加接地电位。在图 1 所示的半导体集成电路装置的例子中,在带电之后,例如从端子(引脚)105-108 选择测试用的端子,接触金属端子。

[0069] 接着,使用图 2 对模拟宏区域 114 及其周边部进行说明。在图中示出模拟宏区域 114 和具有与此相关的保护电路的周边 I/O 区域。在该图 2 中,上侧表示半导体芯片的内部,下侧表示半导体芯片的外周侧。另外,在该图 2 中,在与图 1 相同的部分标上相同的标号。

[0070] 在该图 2 中,VSSM2 为连接电源截止开关电路 115 与电路块 118 的截止电源布线,VSSM1 是连接电源截止开关电路 116 与电路块 119 的截止电源布线。在电源截止开关电路 115 通过控制信号 121 而成为接通状态时,截止电源布线 VSSM2 成为与接地电压 VSS2 对应的电压。同样,在电源截止开关电路 116 通过控制信号 121 而成为接通状态时,截止电源布线 VSSM1 成为与接地电压 VSS1 对应的电压。

[0071] 上述的放电电路 120 设置在模拟宏区域 114 中,连接在截止电源布线 VSSM1 与 VSSM2 之间。放电电路 120 优选配置在形成不同电源分配信号的电路、接受该不同电源分配信号的电路的附近。而且优选在与截止电源布线的连接中减少寄生电阻。在该实施方式中,在模拟宏区域 114 中配置有形成不同电源分配信号的电路块 1、接受该不同电源分配信号的电路块 2、截止电源布线 VSSM1、VSSM2、放电电路 120,彼此靠近。由此,能够以寄生电阻 $1 \sim 2 \Omega$ 左右进行截止电源布线与放电电路 120 之间的连接。另外,电源截止开关电路 115、116 也设置在模拟宏区域 114,从而实现由电源截止开关电路引起的损失的减少。

[0072] 在图 2 中,为了容易理解与端子(引脚)之间的关系,在周边 I/O 区域 101 中示出电源电压端子 105、107 以及接地电压端子 106、108。如上所述,在电源电压端子 105 和接地电压端子 106 上供电有数字电路用的电源电压 VDD2 和接地电压 VSS2,在电源电压端子 107 和接地电压端子 108 上供电有模拟电路用的电源电压 VDD1 和接地电压 VSS1。在图 2 中示出包含在电源电压单元 109 和接地电压单元 110 的保护电路。即,在电源电压单元 109 中包含连接在接地布线 111 与电源电压端子 107 之间的钳位电路 202(以下,有时也称为钳位电路 1),在接地电压单元 110 中包含连接在电源布线 112 与接地电压端子 108 之间的钳位电路 201(以下,有时也称为钳位电路 2)。虽然在图 1 中省略,但是在模拟电路用的接地电压布线(与接地电压端子 108 连接的接地布线)与数字电路用的接地电压布线 111 之间连接有钳位电路 200(以下,有时也称为钳位电路 3)。关于这些钳位电路 200、201 以及 202 的结构,之后使用图 5 至图 7 进行说明,因此虽然此处省略,但是相当于记载于专利文献 1 的图 1 的钳位电路 13a、13b 以及 13c。

[0073] < 电路块 1、2,电源截止开关电路以及截止电源布线 >

[0074] 接着,对电路块、电源截止开关电路以及截止电源布线进行叙述。图 3 是示出包含在半导体集成电路装置中的电路块的结构框图。在图 3 中示出包含在模拟宏区域 114 中的电路块 118、119 以及电源截止开关电路 115、116。

[0075] 在图 3 中,300-1 至 300-N 分别示出模拟电路,包含在图 1 和图 2 所示的电路块 119 中。另外,301-1 至 301-N 分别示出数字电路,包含在图 1 和图 2 所示的电路块 118 中。模拟电路 300-1 至 300-N 与数字电路 301-1 至 301-N 通过不同值的电源电压而工作。

[0076] 数字电路 301-1 至 301-N 分别并列连接在电源电压布线 112 与截止电源布线 VSSM2 之间,在截止电源布线 VSSM2 与接地电压布线 111 之间连接有电源截止开关电路

115. 关于电源截止开关电路 115, 虽然未图示, 但是通过控制信号 121 而进行接通 / 断开的控制。当电源截止开关电路 115 成为接通状态时, 截止电源布线 VSSM2 的电位成为与接地电压布线 111 中的电压 VSS2 对应的值。由此, 在各数字电路 301-1 至 301-N 中供给有电源电压布线 112 中的电压与数字用截止电源布线 VSSM2 中的电压之间的差电压并工作。

[0077] 模拟电路 300-1 至 300-N 分别并列连接在与接受模拟用电源电压 VDD1 的端子 107 连接的模拟用电源布线 303 与截止电源布线 VSSM1 之间, 截止电源布线 VSSM1 通过电源截止开关电路 116 而与模拟用接地布线 302 连接。模拟用接地布线 302 与接受模拟用的接地电压 VSS1 的端子 108 连接。由此, 在电源截止开关电路 116 通过控制信号 121 而成为接通状态时, 模拟用截止电源布线 VSSM1 中的电位成为与接地电压 VSS1 对应的值。因此, 在各模拟电路 300-1 至 300-N 中, 供给有电源电压布线 303 中的电压与截止电源布线 VSSM1 中的电位之间的差电位并工作。在电源电压布线 112 (303) 与接地电压布线 302 (111) 之间连接有钳位电路 201 (202), 在接地电压布线 111、302 之间连接有钳位电路 200。

[0078] 如上所述, 为了将多个电路 (模拟电路 300-1 至 300-N, 数字电路 301-1 至 301-N) 共同连接, 使截止电源布线 VSSM2 和 VSSM1 各自的物理长度比较长。另外, 在分别从多个电路供给电流 / 或者分别向多个电路供给电流时, 使其物理的宽度也比较大, 以稳定截止电源布线 (VSSM2、VSSM1) 的电位。在该图 3 中, 为了对此进行明示, 用粗线描绘截止电源布线。另外, 分别构成电源截止开关电路 115、116 的元件也比较大。因此, 具有各个截止电源布线 VSSM2 和 VSSM1 的寄生电容变得比较大。

[0079] 如图 3 所示, 设置电源截止开关电路 115、116 而进行电源截止, 从而能够实现消耗电力的减少。另外, 对多个电路共同设置电源截止开关电路, 从而能够抑制半导体芯片的大型化。

[0080] < 钳位电路、放电电路 >

[0081] 图 4 是示出该实施方式的半导体集成电路装置的结构框图。在之前说明的图 3 中, 在截止电源布线 VSSM1 与截止电源布线 VSSM2 之间设置有放电电路 120。另外, 在图 4 中, 在图 3 中示出的模拟电路 300-1 至 300-N 示出为一个电路块 119, 数字电路 301-1 至 301-N 示出为一个电路块 118。在图 4 中, 电源截止开关电路 115 和 116 能够分别例如通过 MOSFET 而构成。另外, 电路块 118 和电路块 119 内的数字电路和模拟电路通过 MOSFET 而构成。

[0082] 图 5 是示出在图 4 中通过 MOSFET 构成电源截止开关电路并通过二极管元件分别构成钳位电路 200 和放电电路 120 时的结构的电路图。接着, 使用图 5 对半导体集成电路装置的结构和工作进行说明。

[0083] 在图 5 中, 500 为 P-FET, 501 为 N-FET。P-FET500 的源极和背栅极连接到电源布线 112, N-FET501 的源极 (一个电极) 和背栅极连接到截止电源布线 VSSM2。另外, P-FET500 和 N-FET501 各自的漏极 (另一个电极) 彼此共同连接, P-FET500 和 N-FET501 各自的栅极也彼此共同连接。由此, 通过 P-FET500 和 N-FET501 而构成逆变器电路。逆变器电路的输入、即 P-FET500 和 N-FET501 的栅极连接到信号布线 122。该逆变器电路为包含在上述的电路块 2 中的多个数字电路中的一个电路例。

[0084] 截止电源布线 VSSM2 通过 N-FET502 而连接到接地电压布线 111。即, N-FET502 的源极和背栅极连接到接地电压布线 111, 其漏极连接到截止电源布线 VSSM2。关于该

N-FET502,其栅极接受来自电源截止开关控制电路 117(图 1)的控制信号 121,构成图 4 所示的电源截止开关电路 115。即,根据控制信号 121,N-FET502 选择性地成为接通状态,将接地电压 VSS2 供给到截止电源布线 VSSM2。

[0085] 在图 5 中,503 为 P-FET,504 为 N-FET。P-FET503 的源极和背栅极连接到模拟用的电源电压布线 303,N-FET504 的源极(一个电极)和背栅极连接到截止电源布线 VSSM1。P-FET503 的漏极和 N-FET504 的漏极(另一个电极)彼此共同连接。另外,P-FET503 和 N-FET504 各自的漏极连接到信号布线 122。在 P-FET503 和 N-FET504 各自的栅极中,从未图示的前级的电路(模拟电路)供给信号。虽然没有特别限制,但是来自彼此不同的模拟电路的信号供给到 P-FET503 的栅极和 N-FET504 的栅极。此时,例如,在 N-FET504 的栅极中供给有来自如差动放大电路那样的模拟电路的输出信号,P-FET503 的栅极连接到电流镜电路。P-FET503 和 N-FET504 相当于构成模拟电路的输出级的电路,是包含在电路块 119 中的多个模拟电路中的一个电路例。

[0086] 模拟电路的输出经由信号布线 122 而供给到数字电路。即,输出信号经由信号布线 122 供给到 N-FET501 和 P-FET500 的栅极。

[0087] 在图 5 中,505 为 N-FET,与 N-FET502 同样构成电源截止开关电路。即,N-FET505 的源极和背栅极连接到模拟用的接地电压布线 302,其漏极连接到截止电源布线 VSSM1。虽然在附图中省略,但是上述的控制信号 121 被供给到 N-FET505 的栅极。由此,N-FET505 选择性地成为接通状态。当 N-FET505 成为接通状态时,模拟用的接地电压 VSS1 被供给到截止电源布线 VSSM2。

[0088] 在模拟用的接地电压布线 302 与数字用的接地电压布线 111 之间,连接有一对二极管元件 508、509。二极管元件 508 的阳极连接到二极管元件 509 的阴极,二极管元件 508 的阴极连接到二极管元件 509 的阳极。通过如上所述连接,从而在双方向上流过正向电流。通过该一对二极管元件,构成上述的钳位电路 200。由于构成为在双方向上流过正向电流,因此当在接地电位布线 111 与接地电位布线 302 之间产生了使二极管导通以上的电位差时,电流流过钳位电路 200,对该两个接地电位布线之间的电位差进行钳位。为了对电位差进行钳位,在该钳位电路 200 中流过电流,因此能够认为是用于对电荷进行放电的放电电路。

[0089] 在图 5 中,506 和 507 分别为二极管元件。该一对二极管元件 506、507 也具有与二极管元件 508、509 相同的结构。即,二极管元件 506 的阳极连接到二极管元件 507 的阴极,二极管元件 506 的阴极连接到二极管元件 507 的阳极。另外,二极管元件 506 的阳极连接到截止电源布线 VSSM2,二极管元件 506 的阴极连接到截止电源布线 VSSM1。通过该一对二极管元件 506、507,构成图 4 所示的放电电路 120。当在截止电源布线 VSSM1 与截止电源布线 VSSM2 之间,产生了使二极管元件导通以上的电位差时,流过电流,进行电荷的放电,其结果,电位差减少。

[0090] 在图 5 中,用带箭头的虚线 1411、1412 和带箭头的实线 506 示出半导体集成电路装置带电之后,例如端子 107 成为接地电压时的放电路径。

[0091] 首先,如从使用了图 15 的说明可理解,通过带电,在 P-FET500 和 N-FET501 的栅极和信号布线 122 中蓄积有电荷。另外,在寄生于截止电源布线 VSSM2 的寄生电容中,也通过带电而蓄积电荷。作为寄生于截止电源布线 VSSM2 的寄生电容,虽然使用图 3 和图 15

进行了说明,但是包含截止电源布线 VSSM2 的寄生电容、与截止电源布线 VSSM2 连接的元件 (MOSFET 的源极) 的寄生电容以及电源截止开关电路 (例如 N-FET502 的漏极) 的寄生电容,成为比较大的电容值。因此,如在图 15 中说明,与连接到 N-FET501 的栅极的信号布线 122 的电位变化的速度相比, N-FET501 的源极中的电位的变化的速度变慢,在 N-FET501 的栅极与源极之间施加大的电位差。

[0092] 相对于此,在该实施方式中,放电电路 120 连接到截止电源布线 VSSM1、VSSM2 之间。因此,当在截止电源布线 VSSM2 与截止电源布线 VSSM1 之间产生电位差时,通过放电电路 120 流过电流,进行电荷的放电,使截止电源布线 VSSM2 的电位变化。由此,通过信号布线 122,对于蓄积在 N-FET501 的栅极中的电荷的放电,能够缩短蓄积在 N-FET501 的源极 (截止电源布线 VSSM2) 中的电荷放电的延迟,能够减少 N-FET501 的栅极与源极之间的电位差变大的情况。该放电电路 120 的放电路径示出为带箭头的实线 510。

[0093] 另外,在该实施方式中,蓄积在 N-FET501 的源极中的电荷经由构成电源截止开关电路 115 的 N-FET502 和钳位电路 202,还在由带箭头的虚线 1411 所示的路径中放电。由此,能够进一步减少 N-FET501 的源极电位的变化的速度相对于由经由信号布线 122 的放电引起的 N-FET501 的栅极电位的变化的延迟的情况,能够进一步减少 N-FET501 的栅极击穿。

[0094] 另外,由带箭头的虚线所示的放电路径 1411 通过电源截止用的 N-FET502 和钳位电路 202 而形成。另外,由带箭头的虚线所示的放电路径 1412 通过 P-FET503 的寄生二极管而形成。设置放电电路 120 而形成的放电路径 506,通过放电电路 120、MOSFET503 以及 504 的寄生二极管而形成。

[0095] 接着,对钳位电路 201 和 202 的结构进行说明。图 6 是示出该钳位电路的结构的电路图。在图 6 中,600 为电阻元件,601 为电容元件,602 至 604 为 MOSFET,605 为二极管元件。另外,606 和 607 为钳位电路的端子。端子 606 连接到高电位侧,端子 607 连接到低电位侧。例如,在图 5 中,在电压 VDD2 和 VDD1 与电压 VSS2 和 VSS1 相比电位高时,端子 606 连接到电源电压布线 112 或者 303,端子 607 连接到接地电压布线 111 或者 302。

[0096] 电阻元件 600 与电容元件 601 串联连接,构成串联电路。该串联电路连接在端子 606 与端子 607 之间。MOSFET602 为 P-FET, MOSFET603 为 N-FET。该 P-FET602 与 N-FET603 以其源极·漏极路径成为串联的方式连接,以构成逆变器电路,逆变器电路的输入连接到电阻元件 600 与电容元件 601 之间的连接点。另外,逆变器电路的电源是从端子 606 和 607 供电。FET604 为 N-FET,其栅极和背栅极连接到上述的逆变器电路的输出。N-FET604 的一个电极 (源极或者漏极) 连接到端子 606,另一个电极 (漏极或者源极) 连接到端子 607。二极管元件 605 的阳极连接到端子 607,阴极连接到端子 606。

[0097] 在该钳位电路中,在端子 606 的电位相对于端子 607 的电位上升时,根据由电阻元件 600 和电容元件 601 构成的串联电路的时间常数,电阻元件 600 与电容元件 601 之间的连接点的电位上升。例如,当端子 606 的电位的上升急剧产生时,由于上述的连接点中的电位的上升变慢,因此 P-FET602 成为接通状态,使 N-FET604 成为接通状态。由此,端子 606 中的电位被钳位。另一方面,当端子 607 的电位相对于端子 606 的电位上升时,二极管元件 605 成为正向的偏置状态,对端子 607 的电位进行钳位。还能够认为该钳位电路由通过电阻元件 600、电容元件 601 以及逆变器电路构成的计时器电路、通过计时器电路驱动的 N-FET604 构成的电源钳位电路、二极管元件 605 构成。

[0098] 接着,关于作为放电电路 120 使用的一对二极管元件,对其构造进行说明。图 7 的 (A) 是形成在半导体芯片 100(图 1)中的一对二极管元件的平面图。另外,图 7 的 (B) 是示出图 7 的 (A) 中的截面 A-A' 的剖面图。

[0099] 在图 7 的 (A) 和图 7 的 (B) 中示出一对二极管元件 506、507(图 5)。在图 7 的 (A) 和图 7 的 (B) 中,右侧所示的部分相当于二极管元件 506,左侧所示的部分相当于二极管元件 507。二极管元件 506 和 507 具有彼此相同的结构,因此在图 7 的 (A) 和 (B) 中,仅对右侧所示的二极管元件 506 说明其构造。

[0100] 在图 7 的 (A) 和图 7 的 (B) 中,700 为形成在半导体芯片 100 上的 P 型阱区,704 为形成在 P 型阱区 700 中的 N 型阱区,703 为形成在 N 型阱区 704 中的 P⁺半导体区域。虽然没有特别限制,P⁺区域 703 在 N 型阱 704 中形成在两个地方。701 为形成在 N 型阱区 704 并以包围两个地方的 P⁺区域 703 的方式形成的 N⁺区域。702 是用于分离 P⁺区域 703 与 N⁺区域 701 的分离区域,在该实施方式中为 STI。通过 N⁺区域 701,进行与 N 型阱 704 的电连接,通过 N 型阱区 704 和 P⁺区域 703 形成 PN 接合的二极管元件。如该实施方式所述,通过形成多个 P⁺区域 703,从而能够扩大 PN 接合的面积。即,能够使二极管元件的阳极与阴极之间的总面对长度变长。

[0101] 优选放电电路 120 的钳位能力高,为此优选使总面对长度变长。例如,优选使总面对长度为 100um 以上。通过该实施方式,能够得到 100um 以上的总面对长度。

[0102] 在图 7 的 (B) 中,705 为用于分离多个 N 型阱区 704 之间的分离区域,在该实施方式中,作为分离区域使用 STI。另外,在图 7 的 (A) 中,省略分离区域 705。

[0103] 在图 7 的 (A) 和图 7 的 (B) 中,右侧所示的二极管元件 506 中的 N⁺区域 701 和左侧所示的二极管元件 507 中的 P⁺区域 703 与截止电源布线 VSSM1 连接。另外,在图 7 的 (A) 和图 7 的 (B) 中,右侧所示的二极管元件 506 中的 P⁺区域 703 和左侧所示的二极管元件 507 中的 N⁺区域 701 与截止电源布线 VSSM2 连接。由此,构成能够在双方向上流过电流的放电电路。

[0104] 图 5 所示的一对二极管元件 508 和 509,也具有在图 7 的 (A) 和图 7 的 (B) 中说明的构造。

[0105] 根据该实施方式,即使为了选择性地对电源截止而设置截止电源布线,也能够防止从由不同的电源电压工作的电路接受信号的 MOSFET 的栅极与源极之间的电位差在时间上更大地扩大的情况,能够减少 MOSFET 的栅极击穿。在从能够减少栅极的击穿的观点考虑时,放电电路 120 可认为是栅极保护电路,在实现低消耗电力化时还可以认为是有效的栅极保护电路。

[0106] 另外,作为放电电路 120,虽然也能够使用例如图 6 所示的钳位电路,但是在该实施方式中,使用一对二极管元件而构成。因此,能够抑制由元件数的增加引起的占有面积的增加。而且,能够使半导体芯片 100(图 1)中的一对二极管元件的配置比较自由,因此还能够有效地应用半导体芯片的空闲区域。

[0107] (实施方式 2)

[0108] 图 8 是示出实施方式 2 的半导体集成电路装置的结构框图。图 8 所示的结构与图 4 所示的结构相似,在与图 4 相同的部分标上相同的标号。以下,主要对不同的部分进行说明。

[0109] 图 8 与图 4 同样, 示出形成在图 1 所示的模拟宏区域 114 上的结构。在图 8 中, 803 是相当于图 4 的电路块 119 的电路块, 802 是相当于图 4 的电路块 118 的电路块。即, 电路块 803 是模拟电路, 电路块 802 是通过信号布线 804 接受来自作为模拟电路的电路块 803 的信号的数字电路。800 和 801 是电源截止开关电路, 相当于图 4 的电源截止开关电路 115 和 116。在实施方式 1 中, 电源截止开关电路如图 4 所示, 设置在接地电压与电路块之间。相对于此, 在该实施方式 2 中, 电源截止开关电路 800 和 801 设置在电源电压与电路块之间。即, 电源截止开关电路 800 连接在电源电压布线 112 与电路块 802 之间, 电源截止开关电路 801 连接在电源电压布线 303 与电路块 803 之间。

[0110] 在图 8 中, VDDM1 和 VDDM2 是相当于图 4 所示的 VSSM1 和 VSSM2 的截止电源布线。在图 8 中, 虽然电路块 802 和 803 分别作为一个电路块示出, 但是与图 4 同样, 在各个电路块 802、803 中包含多个电路。该多个电路如图 3 所示, 并联连接在截止电源布线与电源布线之间。其中, 在图 8 所示的实施方式 2 中, 包含在各电路块中的多个电路, 并联连接在接地电压布线 111、302 与截止电源布线 VDDM2、VDDM1 之间, 而不是电源电压布线 112、303 与截止电源布线之间。

[0111] 电源截止开关电路 800 和 801 分别与电源截止开关电路 115 和 116 同样, 通过控制信号 121 (图 1) 而进行接通 / 断开控制。由此, 在无需使电路块 802 和 803 工作的期间, 使电源截止开关电路 800、801 成为断开状态, 能够实现消耗电力的减少。

[0112] 在该实施方式 2 中, 放电电路 120 连接在截止电源布线 VDDM1 与截止电源布线 VDDM2 之间, 与上述的实施方式 1 同样, 减少 MOSFET 的栅极被击穿的情况。

[0113] 图 8 所示的电源截止开关电路 800、801 和电路块 802、803 通过 MOSFET 构成。接着, 对通过 MOSFET 构成时的电路及其工作进行说明。图 9 是示出图 8 所示的块通过 MOSFET 构成时的电路的电路图。

[0114] 在图 9 中, 900-902 和 904 是 P-FET, 903 和 905 是 N-FET。电路块 1 (图 8 的 803) 包含在接地电压布线 302 上连接了其源极和背栅极的 N-FET905、在 N-FET905 的漏极上连接了其漏极且其背栅极和源极连接到截止电源布线 VDDM1 的 P-FET904。在 N-FET905 和 P-FET904 各自的栅极中供给有信号, 与所供给的信号对应的输出信号, 通过信号布线 804 而被供给到电路块 2。另外, 信号布线 804 与 N-FET905 的漏极和 P-FET904 的漏极连接。

[0115] 电路块 2 (图 8 的 802) 包含在接地电压布线 111 上连接了其源极和背栅极的 N-FET903、在 N-FET903 的漏极上连接了其漏极且其背栅极和源极连接到截止电源布线 VDDM2 的 P-FET902。虽然没有特别限制, 但是 N-FET903 和 P-FET902 构成逆变器电路。即, P-FET902 的栅极与 N-FET903 的栅极共同连接, 并连接到上述的信号布线 804。

[0116] 电源截止开关电路 801 (图 8) 包含 P-FET901, 电源截止开关电路 800 (图 8) 包含 P-FET900。构成电源截止开关电路 801 的 P-FET901, 其源极和背栅极连接到电源电压布线 303, 其漏极连接到截止电源布线 VDDM1。同样, 构成电源截止开关电路 800 的 P-FET900, 其源极和背栅极连接到电源电压布线 112, 其漏极连接到截止电源布线 VDDM2。在这些电源截止用的 MOSFET (P-FET900、901) 的栅极中供给有控制信号 121 (图 1), 根据控制信号 121 选择性地接通 / 断开控制。

[0117] 通过控制信号 121, 在使电源截止用的 MOSFET 成为接通状态时, 在截止电源布线 VDDM1 中供给有基于电源电压 VDD1 的电压, 在截止电源布线 VDDM2 中供给有基于电源电压

VDD2 的电压。在使作为模拟电路的电路块 1 工作的电压 (VDD1) 和使作为数字电路的电路块 2 工作的电压 (VDD2) 中,其电压值不同。因此,在使电路块 1 和 2 工作时,在电路块 1 和电路块 2 中供给有不同值的电源电压,信号布线 809 对不同电源分配的信号进行传递。

[0118] 在该实施方式中,也与实施方式 1 同样,在电源电压布线 303 与接地电压布线 111 之间连接有钳位电路 202,在电源电压布线 112 与接地电压布线 302 之间连接有钳位电路 201。另外,在接地电压布线 111 与接地电压布线 302 之间连接有钳位电路 200。在该实施方式中,钳位电路 200 也具有以在双方向上成为正向的方式连接的一对二极管元件 508、509,能够认为是放电电路。

[0119] 在该实施方式 2 中,在截止电源布线 VDDM1 与截止电源布线 VDDM2 之间连接有放电电路 120(图 8)。放电电路 120 与实施方式 1 同样具有一对二极管元件 506 和 507,这些一对二极管元件以在双方向上成为正向的方式连接。

[0120] 以下,对如下情况下的工作进行说明:在 CDM 测试中,半导体集成电路装置带电,在多个端子(引脚)的内,端子 105 被选择为测试用的选择端子,在该端子 105 上接触有金属端子,在端子 105 中被施加接地电压。

[0121] 通过对半导体集成电路装置的带电,在电源电压布线、接地电压布线、信号布线、截止电源布线以及各电路中的各个节点上积蓄电荷。对所选择的端子(引脚)105 施加接地电压,从而所蓄积的电荷经由放电路径而流到测试用的端子(引脚)105。在图 9 中示出放电路径内的如下所述的 3 种(1)至(3)的放电路径。即,在该图 9 中,(1)带箭头的虚线 907 表示对蓄积在截止电源布线 VDDM2 中的电荷进行放电的放电路径。(2)带箭头的虚线 906 表示蓄积在信号布线 809、MOSFET 902 以及 903 的栅极中的电荷的放电路径。此处,放电路径 906 是没有设置放电电路 120(图 8)时、即没有设置双向二极管 506、507 时的放电路径。(3)带箭头的实线 908 是设置了放电电路 120(双向二极管 506、507)时增加的放电路径,是对蓄积在截止电源布线 VDDM2 中的电荷进行放电的放电路径。

[0122] 在放电路径 907 中,蓄积在 P-FET902 的源极(截止电源布线 VDDM2)中的电荷经由电源截止用的 P-FET900 中的寄生二极管而向端子 105 放电。在放电路径 906 中,蓄积在信号布线 804 和 MOSFET 902、903 的栅极中的电荷,经由 P-FET904 的寄生二极管、电源截止用的 P-FET901、钳位电路 202、钳位电路 200(双向二极管元件 508、509)以及钳位电路 201 而向端子 105 放电。另外,在放电路径 507 中,蓄积在信号布线 804 和 MOSFET 902、903 的栅极中的电荷,经由 P-FET904 的寄生二极管、放电电路 120(双向二极管元件 506、507)以及电源截止用的 P-FET900 而被放电。

[0123] P-FET902 的源极(截止电源布线 VDDM2)中的电位通过蓄积于此的电荷被放电而变化。同样,P-FET902 的栅极中的电位通过蓄积于信号布线 804 和 MOSFET 902、903 的电荷被放电而变化。在这两个放电中,当在放电速度上产生大的差时,在 P-FET902 的源极与栅极之间产生大的电位差,导致栅极击穿。

[0124] 根据该实施方式,放电电路 120 与截止电源布线 VDDM1 连接。由此,能够通过放电电路 120 而使对蓄积在信号布线 804 和 MOSFET 902、903 中的电荷进行放电的速度提高。即,作为对蓄积在信号布线 804 和 MOSFET 902、903 中的电荷进行放电的路径,增加放电路径 906 和新的放电路径 908。在放电路径 906 中,在其路径上存在多个电路元件(904、901、202、200、201),因此 P-FET902 的栅极电位的变化变慢,存在源极与栅极之间的电位差变大

的问题。根据该实施方式,由于新的放电路径是通过放电电路 120 而增加,因此能够防止 P-FET902 的栅极与源极之间的电位差变大的情况。即,使对蓄积在信号布线 804 和 MOSFET 902、903 的栅极中的电荷进行放电的放电速度提高,缩小与蓄积在截止电源布线 VDDM2 中的电荷的放电速度之间的差,能够防止 P-FET902 的源极与栅极之间的电位差变大的情况。能够减少其栅极接受不同电源分配的信号的 MOSFET (P-FET902) 的栅极击穿。

[0125] (实施方式 3)

[0126] 图 10 是示出实施方式 3 的半导体集成电路装置的结构框图。图 10 所示的块结构,与在实施方式 1 中使用图 4 说明的块结构类似。因此,对于图 10 和图 4 之间相同部分标上相同的标号,此处省略其说明。以下,对与图 4 所示的半导体集成电路装置的不同点进行说明。

[0127] 在图 4 中,放电电路 120 连接在截止电源布线 VSSM1 与截止电源布线 VSSM2 之间。相对于此,在本实施方式中,在电源电压布线 112 与截止电源布线 VSSM1 之间连接有放电电路 1000。另外,在电源电压布线 303 与截止电源布线 VSSM2 之间连接有放电电路 1001。作为放电电路 1000 和 1001,使用图 6 所示的钳位电路。此时,图 6 所示的钳位电路的端子 606 连接到电源电压布线 112(303),钳位电路的端子 607 连接到截止电源布线 VSSM1 (VSSM2)。

[0128] 由此,通过带电而蓄积在截止电源布线 VSSM2 中的电荷,不通过电源截止开关电路 115 而是通过放电电路(钳位电路)1001 向电源电压布线 303(端子 107) 放电。由此,能够使蓄积在截止电源布线 VSSM2 中的电荷的放电速度提高,能够减少其栅极经由信号布线 122 接受不同电源分配信号的 MOSFET 中的栅极击穿。即,防止该 MOSFET 的栅极电位与源极电位之间的电位差增大,实现栅极击穿的减少。

[0129] 在图 10 中,为了应对从电路块 118 向电路块 119 供给不同电源分配信号的情况,放电电路 1000 连接在电源电压布线 112 与截止电源布线 VSSM1 之间。关于该放电电路 1000,其工作也与上述的放电电路 1001 相同。此时,包含在电路块 119 中的 MOSFET 接受来自电路块 118 的不同电源分配信号,能够减少该 MOSFET 的栅极被击穿。

[0130] (实施方式 4)

[0131] 图 11 是示出实施方式 4 的半导体集成电路装置的结构框图。在该图 11 中所示的半导体集成电路装置与在实施方式 1 中说明的图 4 的半导体集成电路装置类似。因此,在图 11 中,对于与图 4 相同的部分标上相同的标号,此处省略说明。以下,对与图 4 所示的半导体集成电路装置的不同点进行说明。

[0132] 在图 4 的半导体集成电路装置宏,电源截止开关电路 115、116 连接在接地电压布线 111、302 与截止电源布线 VSSM2、VSSM1 之间,电路块 118、119 连接在电源电压布线 112、303 与截止电源布线 VSSM2、VSSM1 之间。相对于此,在该实施方式中,在电源电压布线 303、112 与截止电源布线 VDDM1、VDDM2 之间连接有电源截止开关电路 116、115。另外,电路块 119、118 连接在截止电源布线 VDDM1、VDDM2 与接地电压布线 302、111 之间。即,在该实施方式中,在电源电压 (VDD1、VDD2) 侧设置有电源截止开关电路。伴随于此,构成电源开关电路的 MOSFET (图 5 所示的电源开关用的 MOSFET505、502) 变更为 P-FET。

[0133] 另外,在该实施方式中,删除在图 4 中连接在截止电源布线之间的放电电路 120,放电电路 1100 连接在截止电源布线 VDDM2 与接地电压布线 302 之间,放电电路 1101 连接在截止电源布线 VDDM1 与接地电压布线 111 之间。关于放电电路 1100 和 1101 的结构,使

用之前利用图 6 说明的钳位电路。此处,图 6 所示的钳位电路的端子 606 与截止电源布线 VDDM2(VDDM1) 连接,钳位电路的端子 607 与接地电压布线 3023(111) 连接。

[0134] 在该实施方式中,通过带电蓄积的截止电源布线 VDDM1、VDDM2 的电荷不通过电源截止开关电路 116、115 而是通过放电电路 1101、1100 而被放电。由此,能够使蓄积在截止电源布线中的电荷的放电速度提高,能够缩小在通过信号布线 122 接受不同电源分配信号的 MOSFET 的栅极与源极之间施加的电位差。作为其结果,能够减少 MOSFET 的栅极被击穿的情况。另外,图 11 示出通过信号布线 122 从电路块 118 向电路块 119 供给不同电源分配信号,或者通过信号布线 122 从电路块 119 向电路块 118 供给不同电源分配信号的情况。

[0135] (实施方式 5)

[0136] 图 12 是示出实施方式 5 的半导体集成电路装置的结构电路图。图 12 所示的半导体集成电路装置与之前实施方式 1 中使用图 5 叙述的半导体集成电路装置类似。因此,对于相同的部分标上相同的标号,此处省略说明。以下,对与图 5 的不同点进行说明。

[0137] 在该实施方式中,变更了产生不同电源分配信号的电路。即,产生不同电源分配信号的电路块 1 不通过电源截止开关电路而与接地电压布线 302 连接。换言之,电路块 1 配置在电源截止区域之外,例如,成为常时工作状态。此时,构成放电电路 120(图 4)的双方向二极管元件 506、507 连接在截止电源布线 VSSM2 与接地电压布线 302 之间。

[0138] 在该实施方式中,对于在带电之后对端子(引脚)107 施加接地电压的情况,也与在图 5 中说明的情况同样,形成带箭头的虚线 1411、1412 和带箭头的实线 510 所示的放电路径。通过放电电路 120(双方向二极管元件 506、507)形成放电路径 510,从而能够抑制接受不同电源分配信号的 N-FET501 中的栅极与源极之间的电位差变大的情况,能够减少栅极击穿的产生。

[0139] (实施方式 6)

[0140] 图 13 是示出实施方式 6 的半导体集成电路装置的结构电路图。该实施方式的半导体集成电路装置与之前实施方式 2 中说明的图 9 的半导体集成电路装置类似。因此,对于与图 9 相同的部分,标上相同的标号,省略其说明。以下,对与图 9 的不同点进行说明。

[0141] 在该实施方式中,变更了形成不同电源分配信号的电路的结构。即,包含在形成不同电源分配信号的电路中的电路块 1,不通过电源截止开关用的 MOSFET 而与电源电压布线 303 连接。换言之,电路块 1 配置在电源截止区域之外,例如常时工作。在图 9 所示的实施方式中,构成放电电路 120(图 8)的双方向二极管元件 506、507 连接在截止电源布线之间,但是在该实施方式中,连接在电源电压布线 303 与截止电源布线 VDDM2 之间。

[0142] 由此,在被带电且之后对端子(引脚)105 施加接地电压的情况下,也形成由带箭头的虚线 906、907 和带箭头的实线 908 所示的放电路径。即,在该情况下,也通过放电电路 120 形成放电路径 908,因此能够抑制其栅极接受不同电源分配信号的 P-FET902 的栅极与源极之间的电位差变大的情况,能够减少栅极击穿。另外,此时的放电路径 906 成为从图 9 的放电路径 906 除去电源截止用的 P-FET901 的路径。

[0143] 作为构成放电电路的二极管元件,虽然在图 7 的(A)和图 7 的(B)中对通过 STI 将 P 型的半导体区域与 N 型的半导体区域分离的构造进行了说明,但是并不限于于此。例如,也可以使用如下构造(栅极分离型)的二极管元件:使用 MOSFET 的栅极电极,将 P 型的半导体区域与 N 型的半导体区域分离。例如,作为二极管元件,也可以是通过 STI 分离而由

N⁺半导体区域和 P 型阱形成的二极管元件、通过 STI 分离而由 P⁺半导体区域和 N 型阱形成的二极管元件。另外,也可以是通过使用了栅极电极的分离而由 N⁺半导体区域和 P 型阱形成的二极管元件、通过使用了栅极电极的分离而由 P⁺半导体区域和 N 型阱形成的二极管元件。而且,也可以是由 P 型阱和 N 型阱形成的二极管元件。

[0144] 以上,虽然以 CDM 测试为例进行了说明,但是在输送半导体集成电路装置时等,半导体集成电路装置带电。有时在带电的状态下将金属接触到端子(引脚)105 等,而对端子(引脚)105 施加接地电位。因此,在半导体集成电路装置的处理中,作为栅极保护也是有效的。另外,虽然以在模拟电路与数字电路之间传递不同电源分配信号的情况为例进行了说明,但是并不限于此。也可以是在数字电路之间或者模拟电路之间传递不同电源分配信号的情况。当然,在图 1 所示的核心逻辑区域内的电路中也能够应用。

[0145] 本发明不限于上述的实施方式,包含各种变形例。上述的实施方式 1 ~ 6 是为了容易理解本发明而详细说明书的实施方式,不一定限于具有所说明的所有的结构。另外,还能够将某实施方式的结构的一部分置换为其他实施方式的结构。另外,还能够某实施方式的结构中增加其他实施方式的结构。另外,关于各实施方式的结构的一部分,还能够增加·删除·置换其他的结构。

[0146] 标号说明

[0147] 115、116 电源截止开关电路

[0148] 118 电路块 2

[0149] 119 电路块 1

[0150] 120 放电电路

[0151] 200 钳位电路 3

[0152] 201 钳位电路 2

[0153] 202 钳位电路 3

[0154] VSS1、VSS2 截止电源布线。

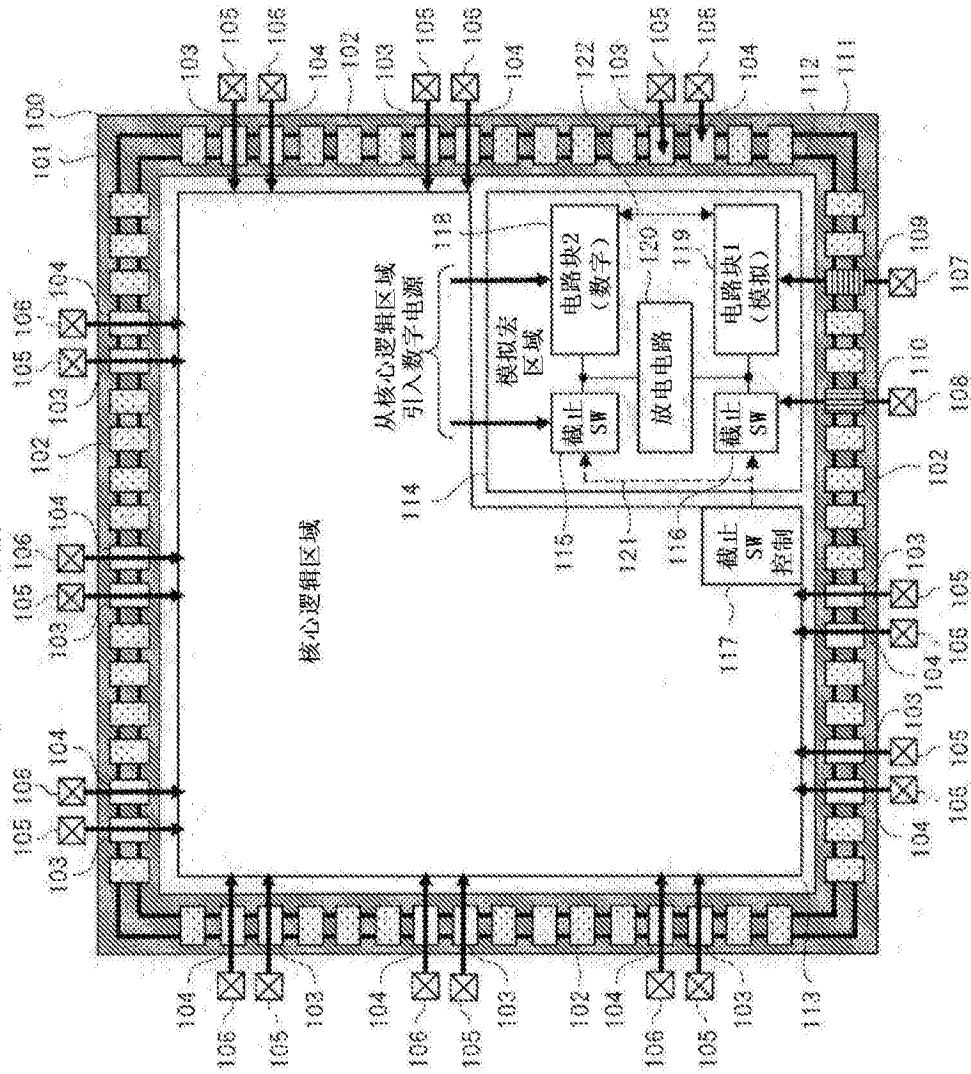


图 1

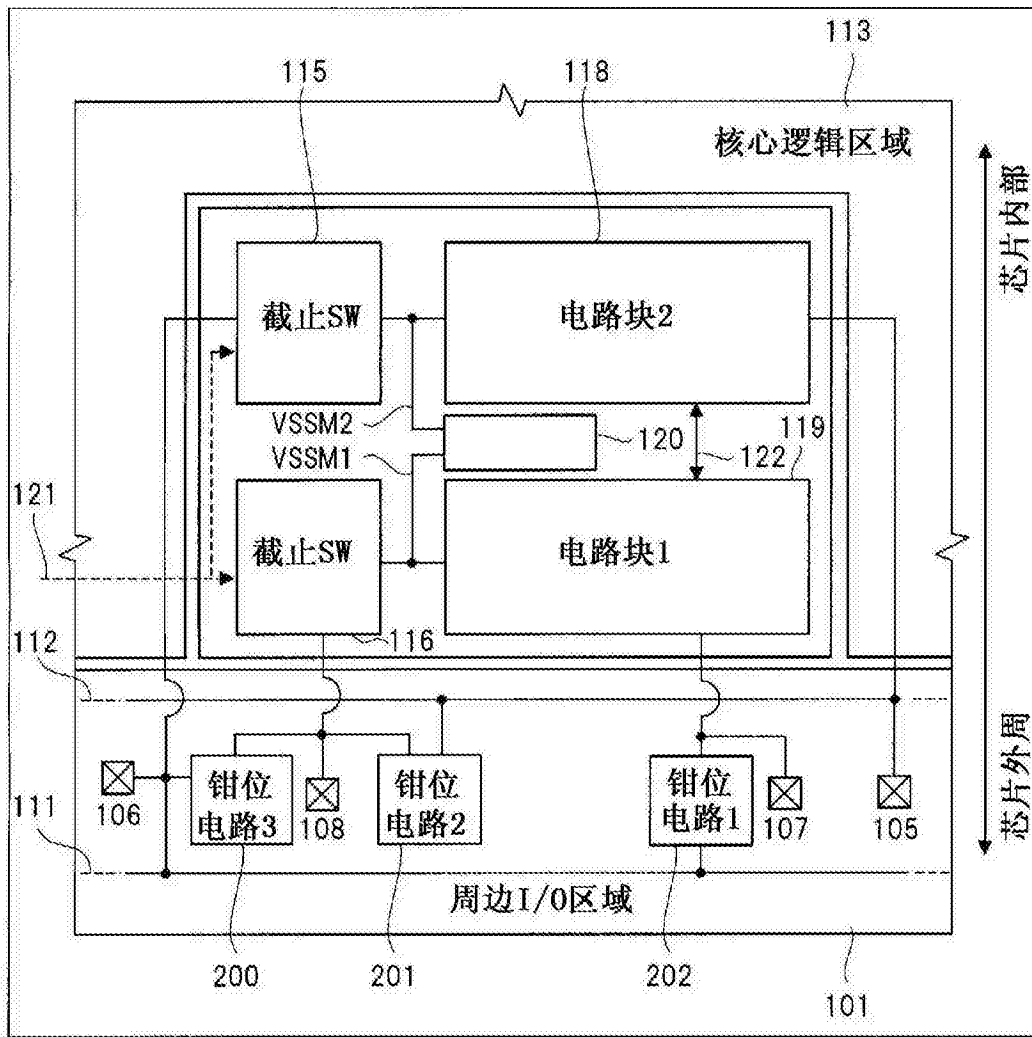


图 2

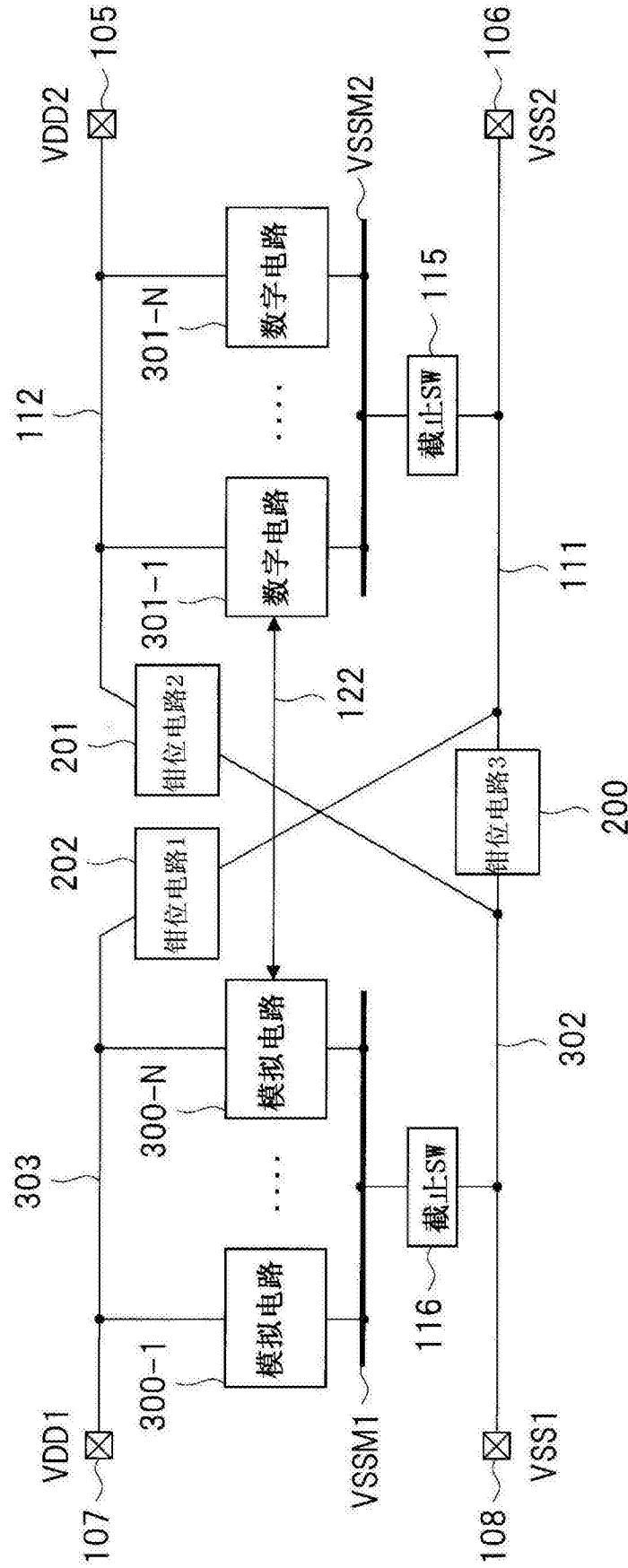


图 3

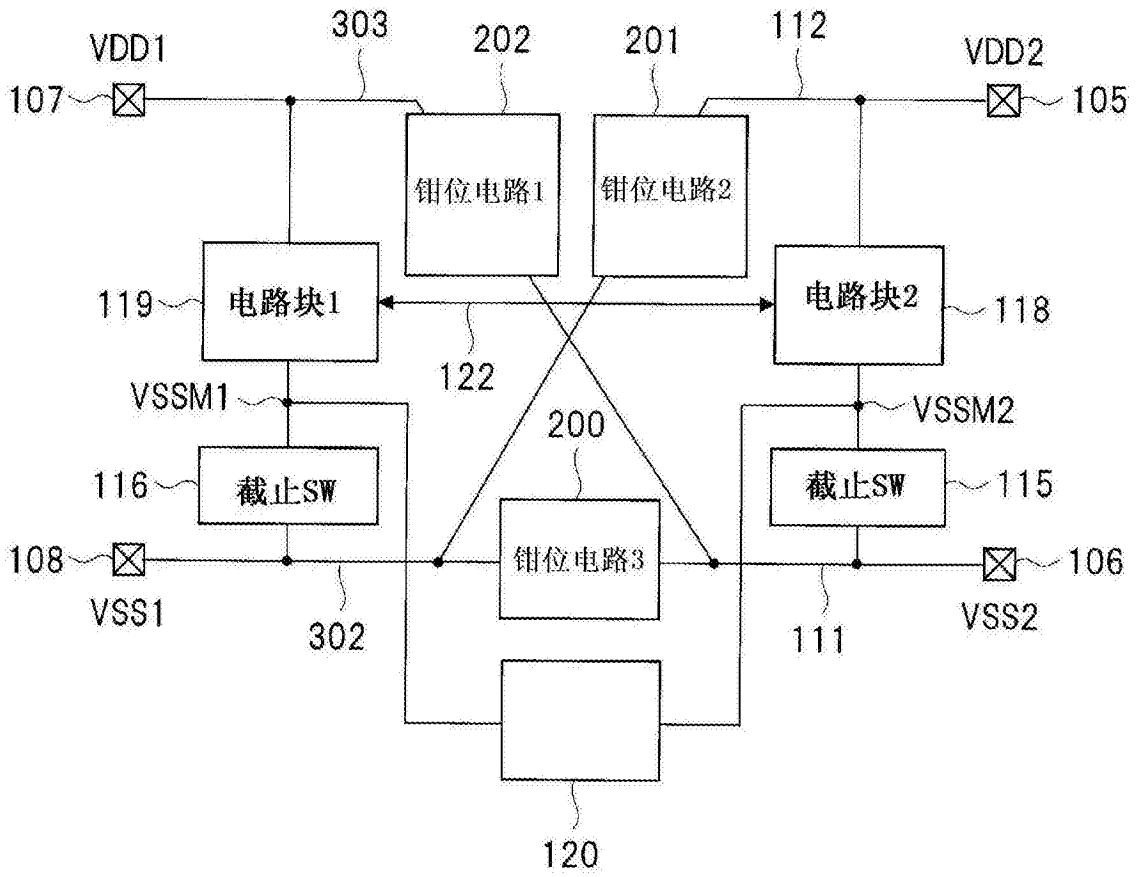


图 4

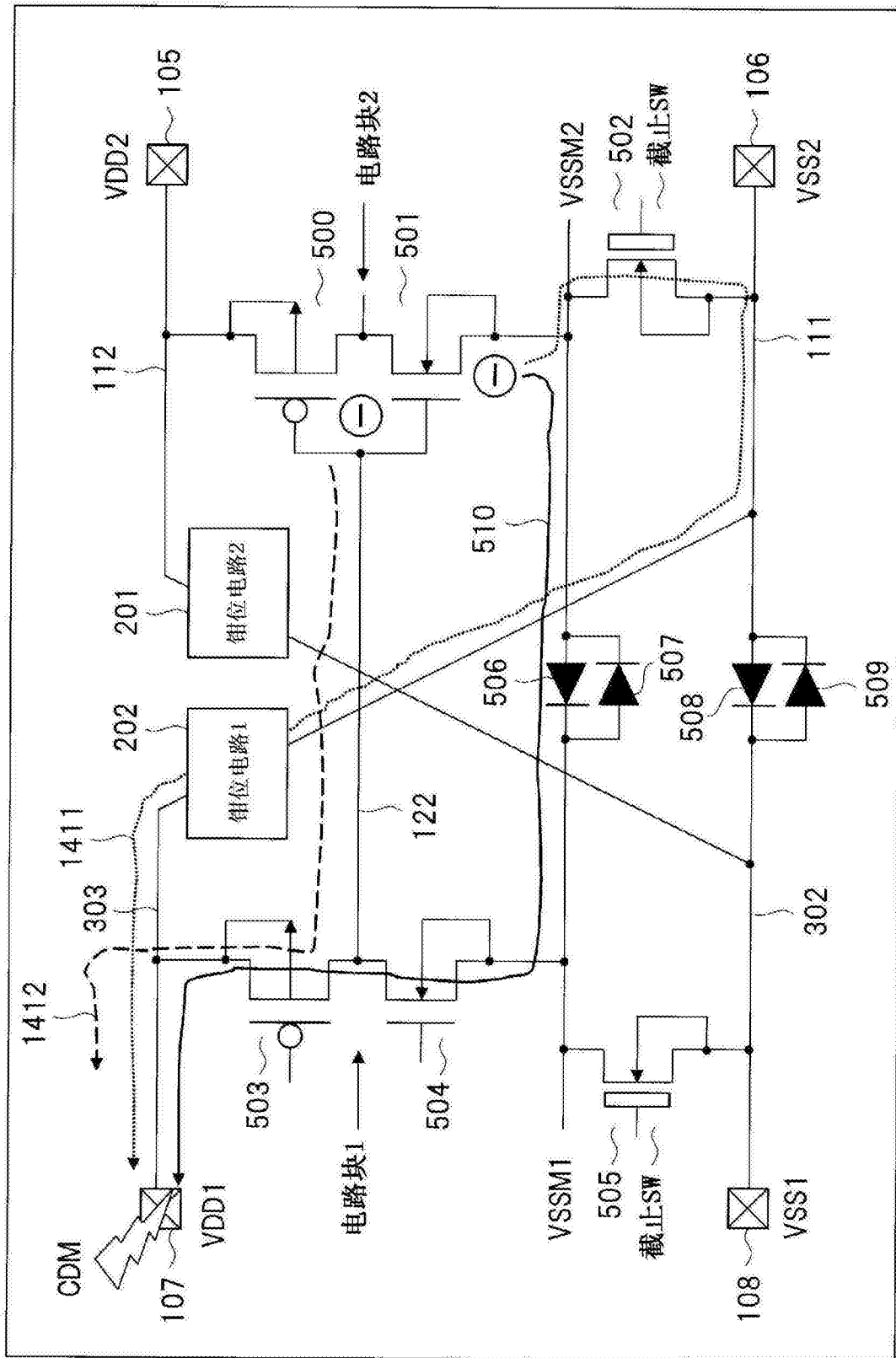


图 5

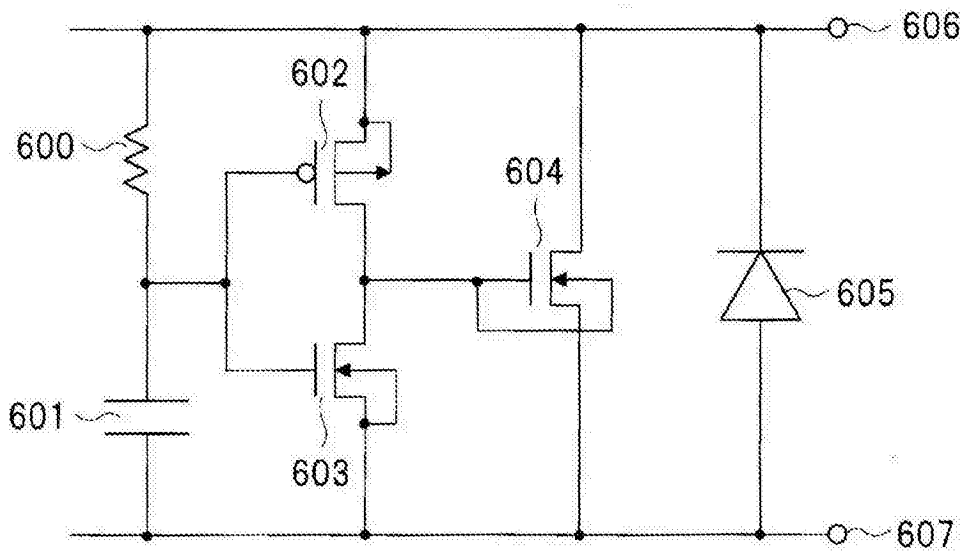


图 6

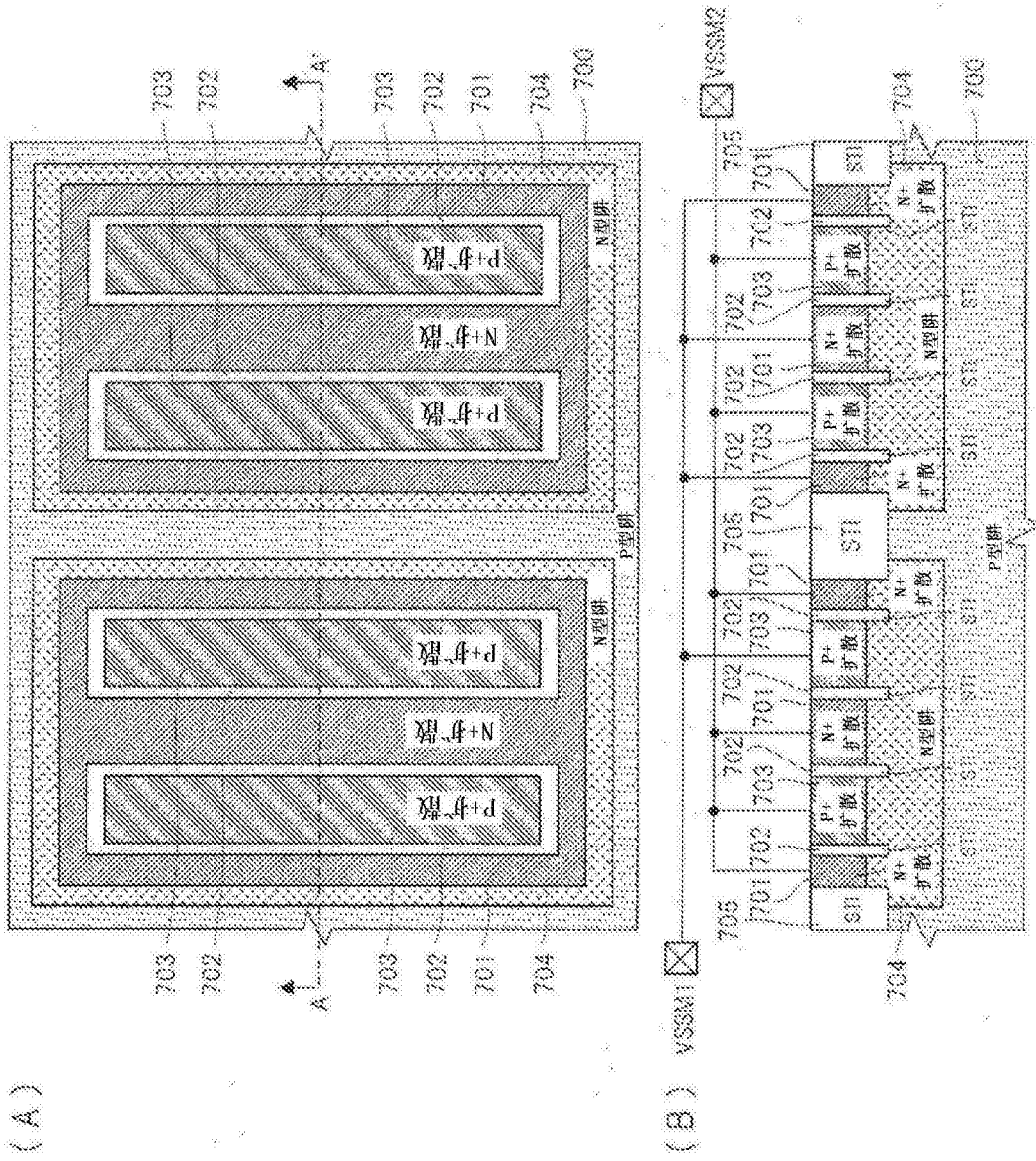


图 7

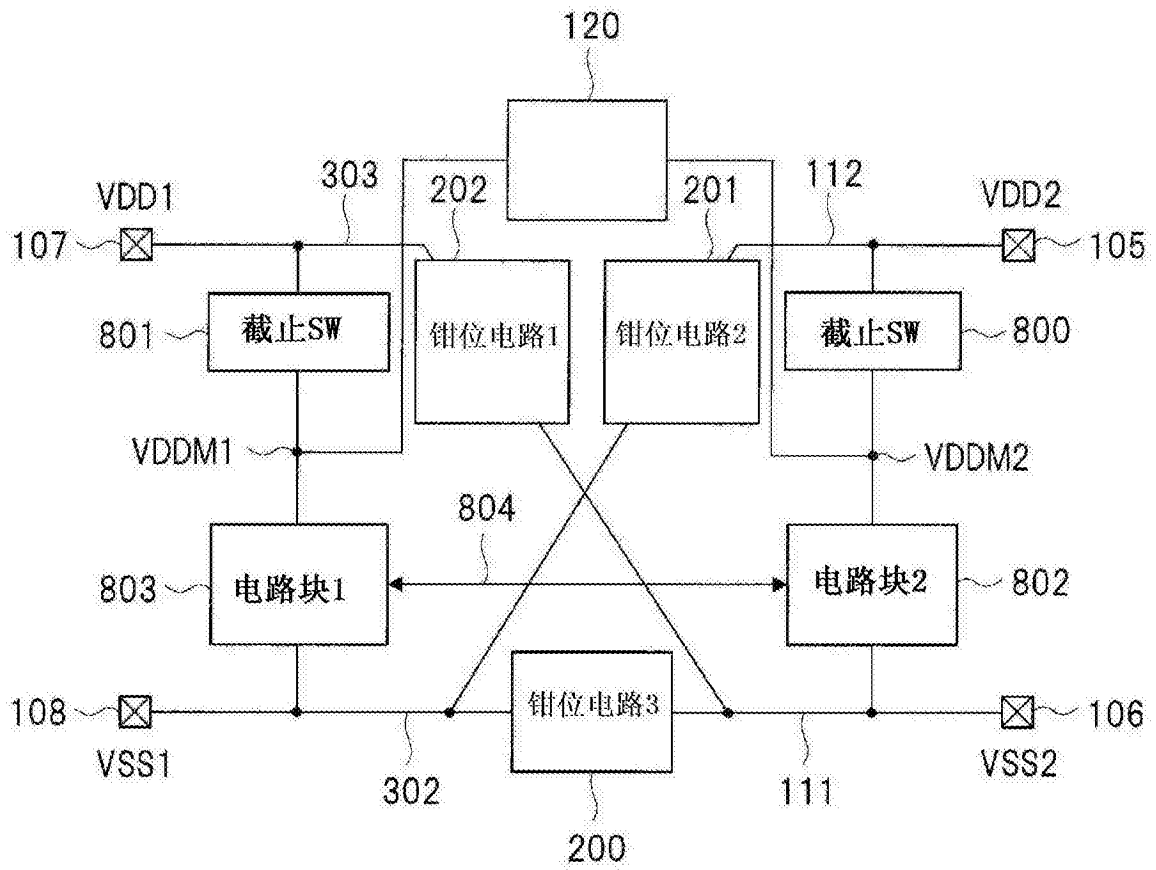


图 8

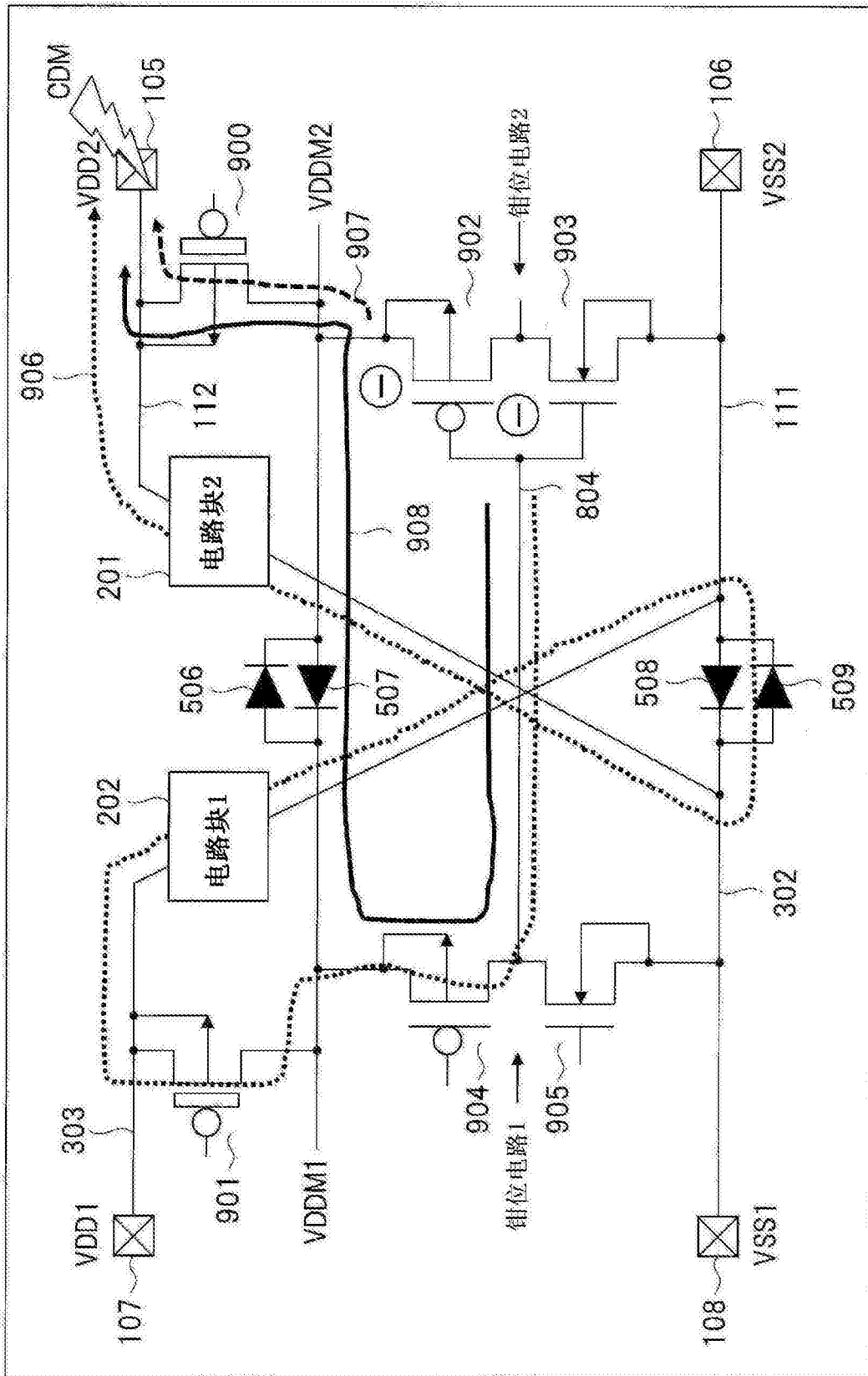


图 9

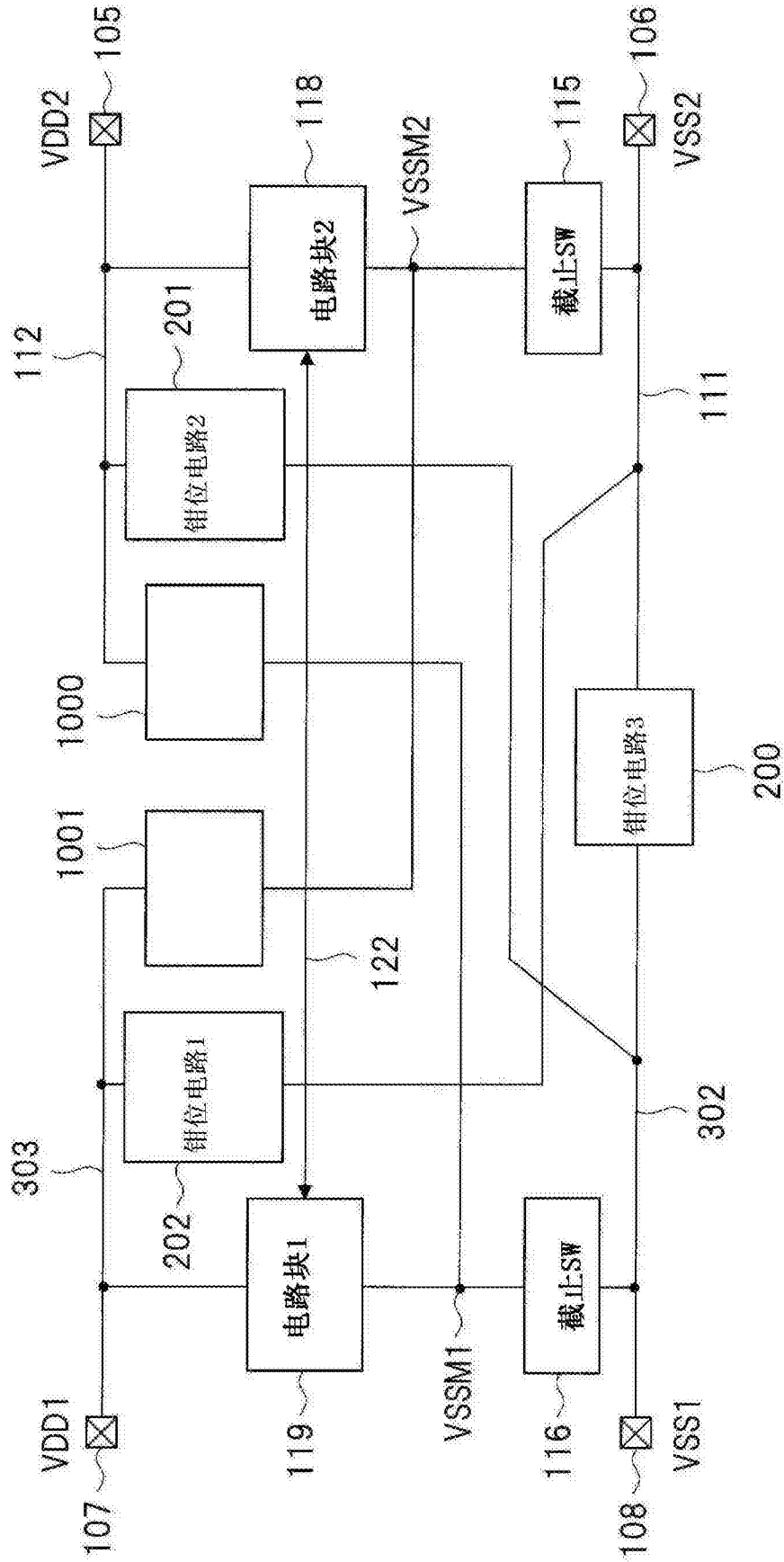


图 10

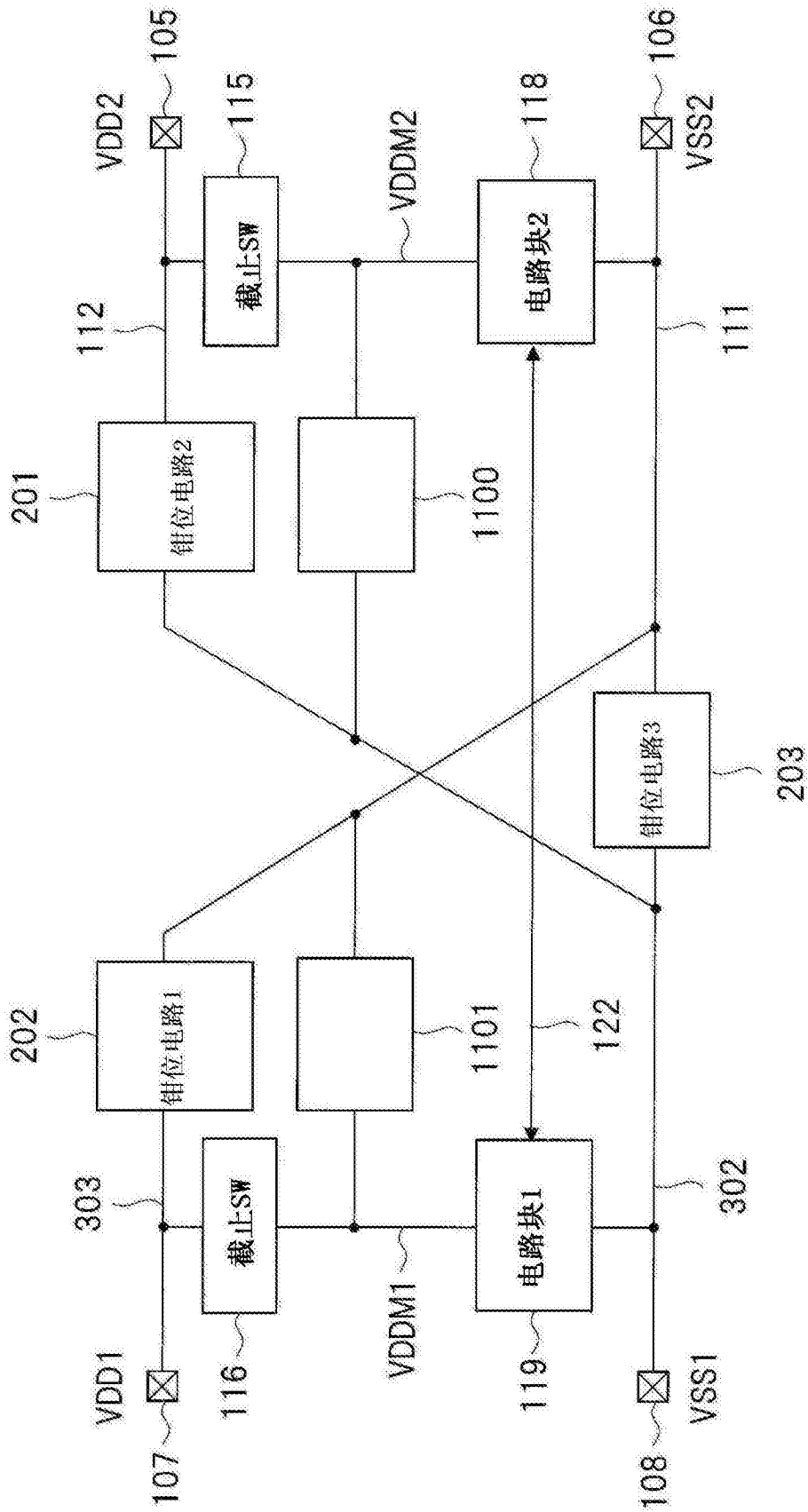


图 11

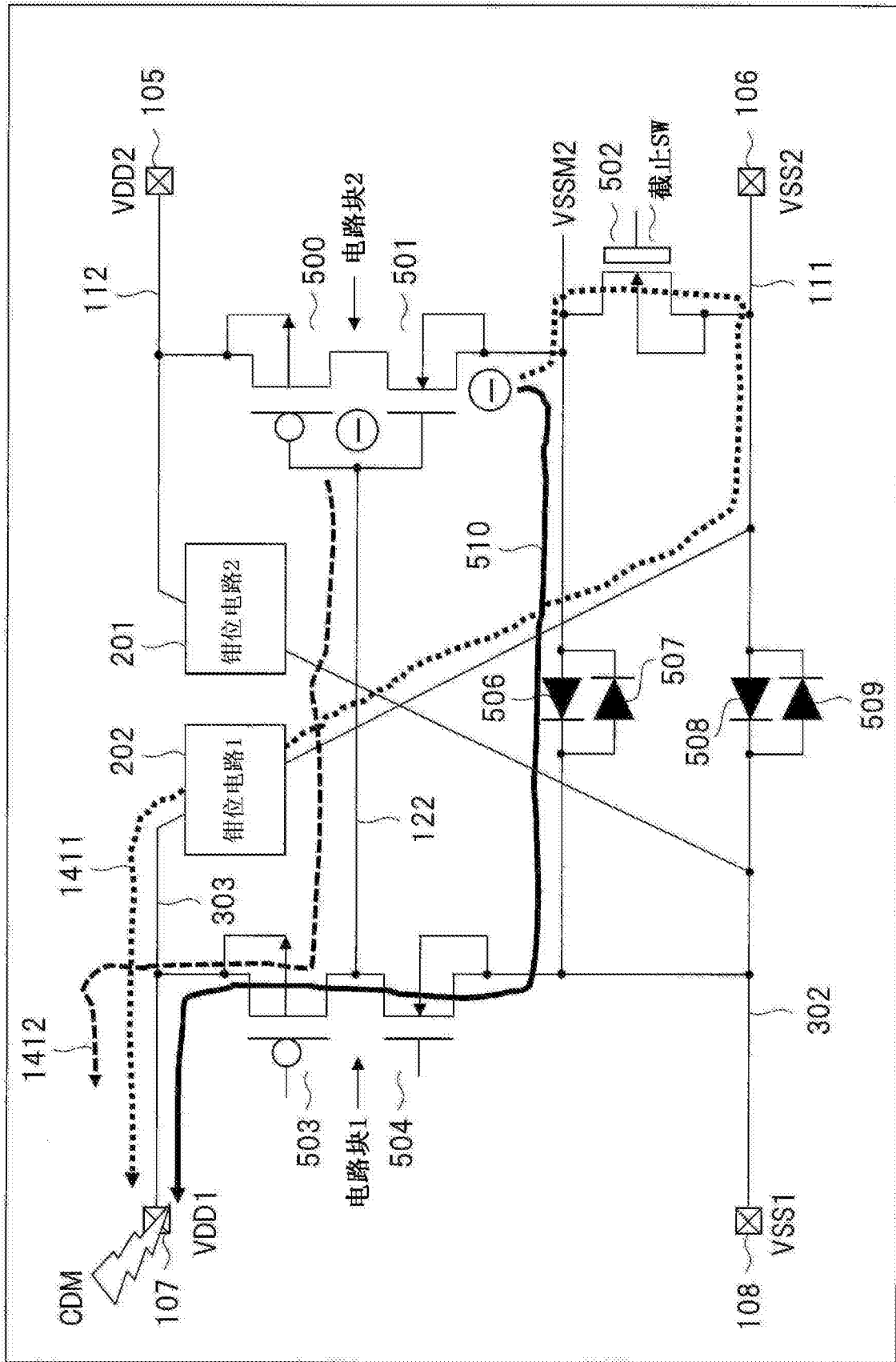


图 12

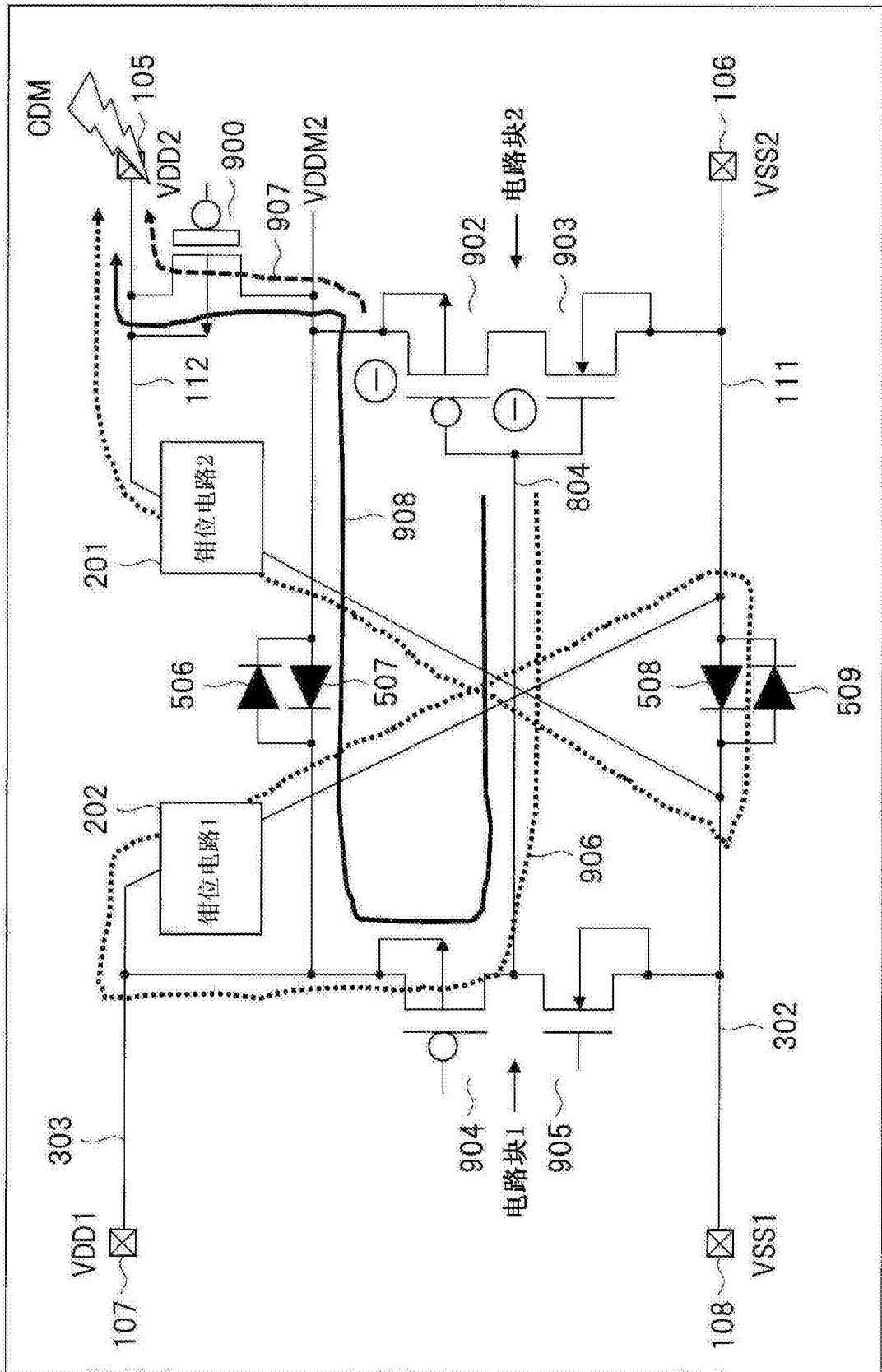


图 13

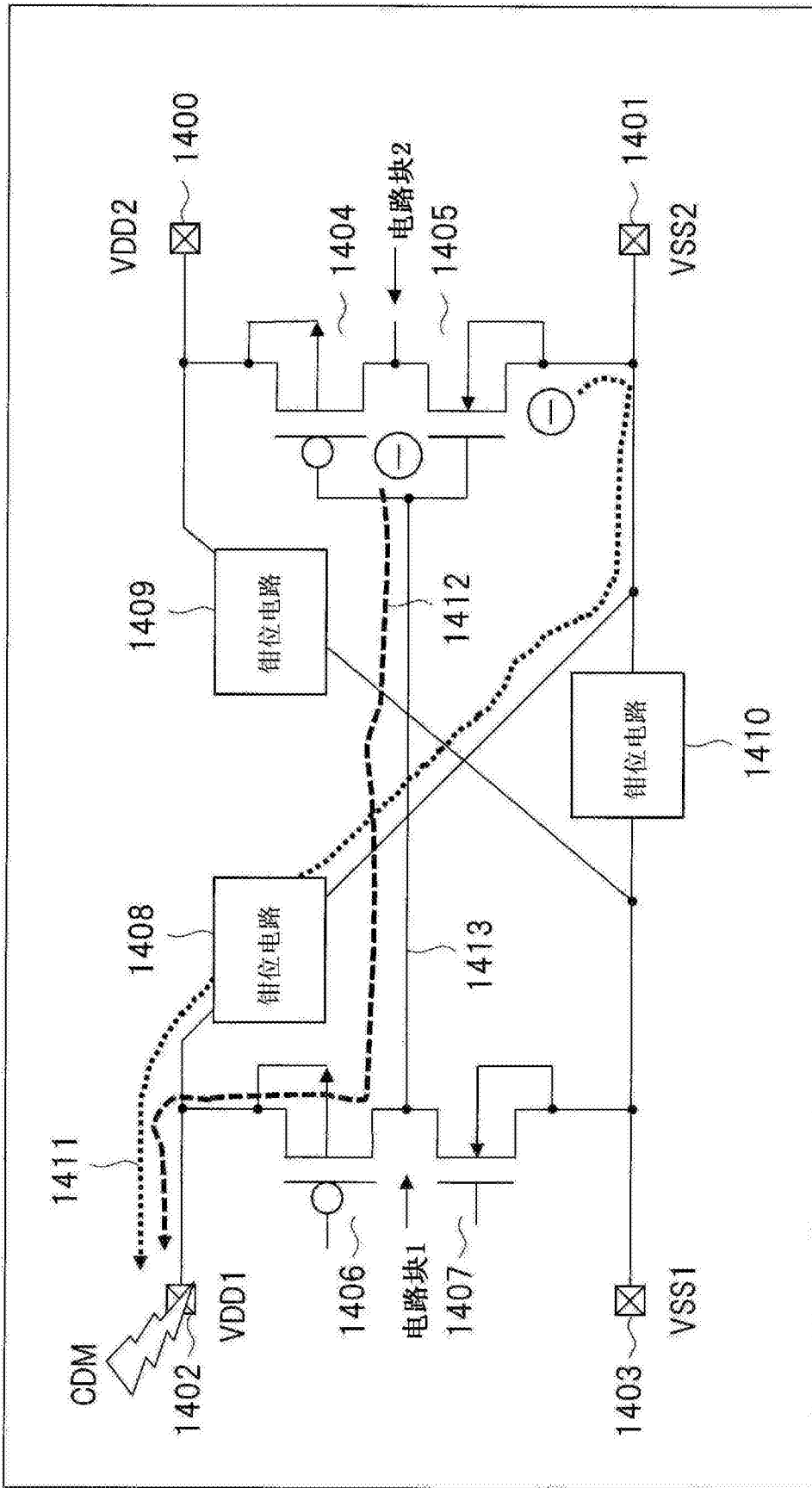


图 14

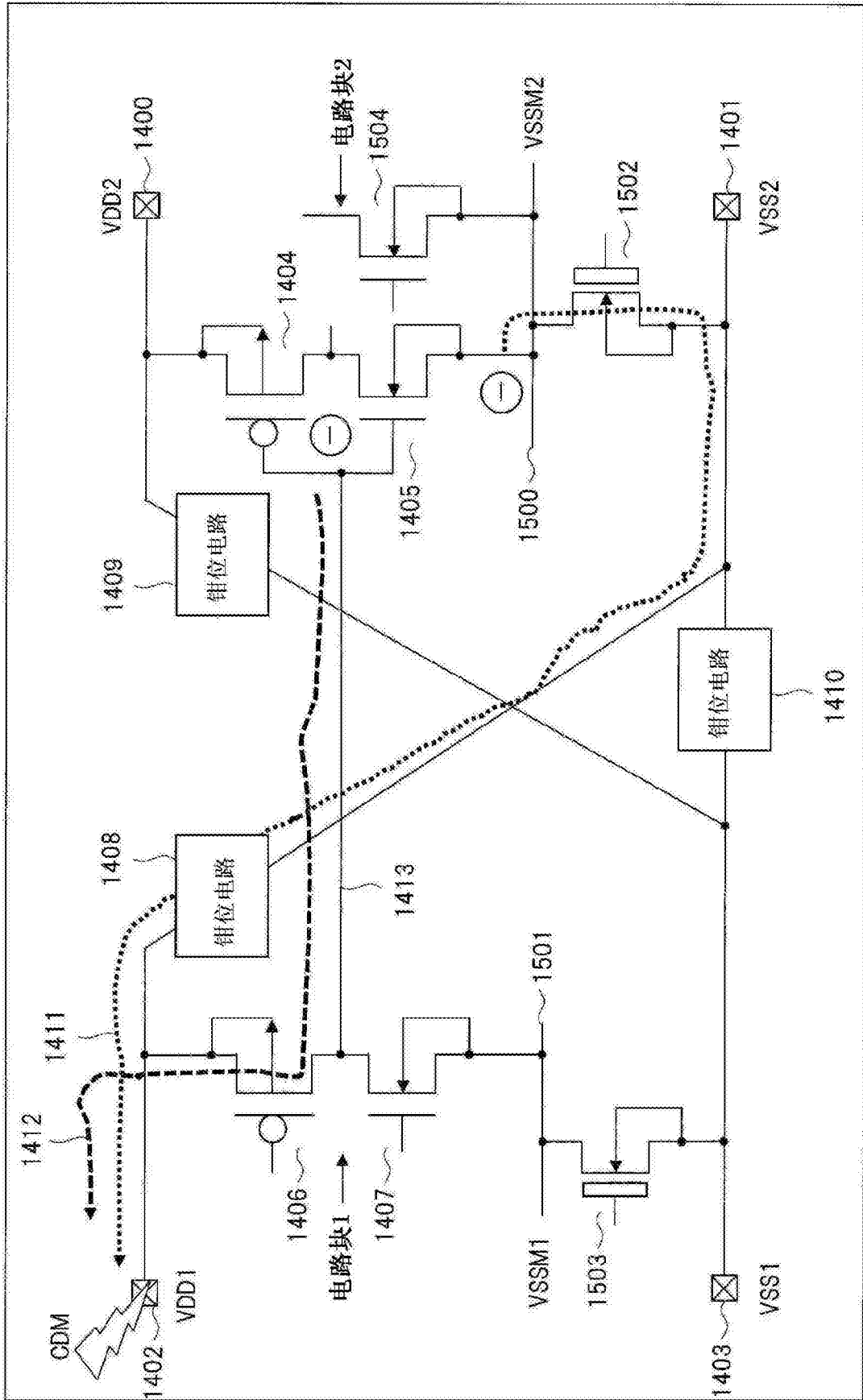


图 15