

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 3 月 13 日 (13.03.2014)



(10) 国际公布号
WO 2014/036676 A1

- (51) 国际专利分类号:
H01L 27/115 (2006.01) *H01L 21/8247* (2006.01)
- (21) 国际申请号: PCT/CN2012/001536
- (22) 国际申请日: 2012 年 11 月 13 日 (13.11.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210326597.X 2012 年 9 月 5 日 (05.09.2012) CN
- (71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人: 梁擎擎 (LIANG, Qingqing); 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。钟汇才 (ZHONG, Huicai); 美国加利福尼亚州圣荷西市威尔明顿大道 1089 号, CA 95129 (US)。朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, NY 12603 (US)。
- (74) 代理人: 中国专利代理 (香港) 有限公司 (CHINA PATENT AGENT (H.K.) LTD); 中国香港特别行政区

区湾仔港湾道 23 号鹰君中心 22 字楼, Hong Kong 100011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: MULTIPLE TIME PROGRAMMABLE SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THERE-OF

(54) 发明名称: 多次可编程半导体器件及其制造方法

(57) Abstract: Provided is a multiple time programmable semiconductor device, comprising: a plurality of fin-shaped structures located on a substrate, extending in a first direction parallel with the surface of the substrate, and comprising a substrate injection region (1D), a buried oxide layer (2), and a top layer (3); a groove region (3C) located in the top layers (3) of the plurality of fin-shaped structures; drain/source regions (3S/3D) located at the two ends of the groove region (3C) in the top layers (3) of the plurality of fin-shaped structures; a gate insulation layer (5) located at the top and the side of the groove region (3C) and extending in a second direction parallel with the surface of the substrate; a floating gate (6) located in the second direction on the two sides of the plurality of fin-shaped structures; and a programming/erase gate formed by the substrate injection region (1D) and located under the buried oxide layer (2). The multiple time programmable semiconductor device and manufacturing method thereof utilize a substrate injection region to form a FinFET programming/erase gate, simplify device structure, and reduce manufacturing processes, thus improving device integration density and being suitable for a multiple time programmable memory.

(57) 摘要: 提供一种多次可编程半导体器件, 包括: 多个鳍形结构, 位于衬底上且沿平行于衬底表面的第一方向延伸分布, 包括衬底注入区 (1D)、埋氧层 (2)、顶层 (3); 沟道区 (3C), 位于多个鳍形结构的顶层 (3) 中; 漏源区 (3S/3D), 位于多个鳍形结构的顶层 (3) 中沟道区 (3C) 两端; 栅极绝缘层 (5), 位于沟道区 (3C) 的顶部以及侧部, 沿平行于衬底表面的第二方向延伸分布; 浮栅 (6), 位于多个鳍形结构的第二方向上的两侧; 编程/擦除栅, 由衬底注入区 (1D) 构成, 位于埋氧层 (2) 下方。该多次可编程半导体器件及其制造方法, 利用衬底注入区来形成 FinFET 的编程/擦除栅, 简化了器件结构, 并缩减了制造工序, 提高了器件的集成密度, 适用于多次可编程存储器。

WO 2014/036676 A1

多次可编程半导体器件及其制造方法

优先权要求

本申请要求了2012年9月5日提交的、申请号为201210326597.X、发明名称为“多次可编程半导体器件及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及一种多次可编程半导体器件及其制造方法，特别是涉及一种高密度、适用于鳍形场效应晶体管（FinFET）技术的多次可编程半导体器件及其制造方法。

背景技术

随着 CMOS 工艺特征尺寸持续等比例缩减，MOS 存储器结构发展迅速，出现了各种类型的存储器单元结构。DRAM 虽然集成度高功耗低但是无法长期保存信息，而 SRAM 虽然可以长期保存信息但是面积大集成度低。当前的技术发展逐渐着眼于 ROM，特别是电可擦除的 E²PROM。

现有的 E²PROM 单元中，利用薄氧化层的 F-N 隧道效应实现电擦除，通常包括沟道区上依次叠置超薄的隧道氧化层、多晶硅的浮栅、层间介电质、多晶硅或金属的控制栅。然而因为传统的 MOSFET 中亚阈值漏电，这种结构在小尺寸器件中的性能大大降低。此外，阈值电压的变化严重限制了驱动强度和响应速度。

一种有效地解决方案是利用 FinFET 来实现 E²PROM，通过改变浮栅的电荷来提高或减小晶体管的阈值电压，从而为芯片提供较高的性能和较低的功耗。然而，现有的 FinFET 实现的 E²PROM 结构过于复杂、器件面积较大，工艺成本高昂、集成密度低，难以适用于大规模的存储器单元阵列制造。

总而言之，当前的多次可编程半导体器件结构复杂、成本高昂、效率较低，亟需改进。

发明内容

因此，本发明的目的在于提供一种高密度集成的、适用于FinFET技术的多次可编程半导体器件及其制造方法。

本发明提供了一种多次可编程半导体器件，包括：多个鳍形结构，位于衬底上且沿平行于衬底表面的第一方向延伸分布，包括衬底注入区、埋氧层、顶层；沟道区，位于多个鳍形结构的顶层中；源漏区，位于多个鳍形结构的顶层中沟道区两端；栅极绝缘层，位于沟道区的顶部以及侧部，沿平行于衬底表面的第二方向延伸分布；浮栅，位于多个鳍形结构的第二方向上的两侧；编程/擦除栅，由衬底注入区构成，位于埋氧层下方。

10 进一步包括：层间介质层，覆盖多个鳍形结构、栅极绝缘层、控制栅、浮栅；源漏接触孔与编程/擦除栅接触孔，形成在层间介质层中，分别暴露源漏区以及作为编程/擦除栅的衬底注入区；金属硅化物，形成在源漏接触孔与编程/擦除栅接触孔中；连接线，通过金属硅化物与源漏区以及作为编程/擦除栅的衬底注入区电连接。

15 其中，多个鳍形结构还包括位于顶层之上的盖层。

其中，栅极绝缘层包括氧化硅、氮化硅、氮氧化硅、高k材料及其组合。其中，高k材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料，或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料，或是包括 Al_2O_3 ，以其上述材料的复合层。

20 其中，浮栅包括多晶硅、金属、所述金属的合金、所述金属的氮化物及其组合。其中，所述金属包括Al、Ta、Ti及其组合。

其中，金属硅化物的材质包括 NiSi_{2-y} 、 PtSi_{2-y} 、 CoSi_{2-y} 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Pt}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{2-x-z}\text{Pt}_x\text{Co}_z\text{Si}_{3-y}$ ，其中x、z大于0小于1，y大于等于0小于等于1。

25 其中，连接线的材质包括W、Cu、Al、Ti、Ta及其组合。

本发明还提供了一种多次可编程半导体器件制造方法，包括步骤：在衬底上形成沿平行于衬底表面的第一方向延伸分布的多个鳍形结构，包括衬底注入区、埋氧层、顶层；在多个鳍形结构顶部以及两侧形成栅极绝缘层；在栅极绝缘层两侧形成栅极导电层；光刻/刻蚀栅极导电层，仅在位于顶层中的沟道区两侧保留部分的栅极导电层，作为浮栅；光刻/刻蚀多个鳍形结构，暴露部分的衬底注入区；形成源漏接

触, 以及形成连接到暴露的衬底注入区的编程/擦除栅接触。

其中, 形成多个鳍形结构的步骤进一步包括: 对包括底层、埋氧层和顶层的衬底进行掺杂注入, 在埋氧层下方的底层中形成衬底注入区, 构成编程/擦除栅; 光刻/刻蚀衬底, 直至暴露未掺杂的底层, 形成沿平行于衬底表面的第一方向延伸分布的多个鳍形结构。

其中, 光刻/刻蚀栅极导电层的步骤进一步包括: 在衬底、栅极导电层、栅极绝缘层上形成沿平行于衬底表面的第二方向延伸部分的硬掩膜图形; 以硬掩膜图形为掩膜, 刻蚀栅极导电层, 仅留下被硬掩膜图形覆盖的部分栅极导电层, 其中硬掩膜图形下方的顶层构成沟道区, 沟道区两端的顶层构成源漏区。

其中, 暴露部分的衬底注入区的步骤进一步包括: 在整个器件上形成硬掩膜层; 平坦化直至暴露栅极绝缘层; 光刻/刻蚀部分的栅极绝缘层、顶层、埋氧层, 直至暴露衬底注入区, 形成编程/擦除栅接触孔, 其中编程/擦除栅接触孔位于第一方向上源漏区的一端。

其中, 形成源漏接触以及形成连接到暴露的衬底注入区的编程/擦除栅接触孔的步骤进一步包括: 在整个器件上形成层间介质层; 光刻/刻蚀形成源漏接触孔, 以及连接到暴露的衬底注入区的编程/擦除栅接触孔; 在源漏接触孔和编程/擦除栅接触孔中形成金属硅化物; 在源漏接触孔和编程/擦除栅接触孔中填充导电材料, 形成连接线。

其中, 栅极绝缘层包括氧化硅、氮化硅、氮氧化硅、高k材料及其组合。

其中, 高k材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料, 或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料, 或是包括 Al_2O_3 , 以其上述材料的复合层。

其中, 浮栅包括多晶硅、金属、所述金属的合金、所述金属的氮化物及其组合。

其中, 所述金属包括Al、Ta、Ti及其组合。

其中, 金属硅化物的材质包括 NiSi_{2-y} 、 PtSi_{2-y} 、 CoSi_{2-y} 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Pt}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{2-x-z}\text{Pt}_x\text{Co}_z\text{Si}_{3-y}$, 其中x、z大于0小于1, y大于等于0小于等于1。

其中, 连接线的材质包括W、Cu、Al、Ti、Ta及其组合。

依照本发明的多次可编程半导体器件及其制造方法，利用衬底注入区来形成FinFET的编程/擦除栅，简化了器件结构，并缩减了制造工序，提高了器件的集成密度，适用于多次可编程存储器。

5 附图说明

以下参照附图来详细说明本发明的技术方案，其中：

图1A显示了依照本发明的方法步骤S1的顶视图，其中在SOI衬底上形成沿第一方向延伸的鳍形结构；

图1B为图1A中沿线AA'的剖视图；

10 图2A显示了依照本发明的方法步骤S2的顶视图，其中在鳍形结构上以及侧面形成栅极绝缘层和栅极导电层；

图2B为图2A沿线AA'的剖视图；

图2C为图2A沿线BB'的剖视图；

图2D为图2A沿线CC'的剖视图；

15 图2E为图2A沿线DD'的剖视图；

图3A显示了依照本发明的方法步骤S3的顶视图，其中沿第二方向形成掩膜并刻蚀栅极绝缘层和栅极导电层；

图3B为图3A沿线AA'的剖视图；

图3C为图3A沿线BB'的剖视图；

20 图3D为图3A沿线CC'的剖视图；

图3E为图3A沿线DD'的剖视图；

图4A显示了依照本发明的方法步骤S4的顶视图，其中刻蚀形成编程/擦除栅接触孔；

图4B为图4A沿线AA'的剖视图；

25 图4C为图4A沿线BB'的剖视图；

图4D为图4A沿线CC'的剖视图；

图4E为图4A沿线DD'的剖视图；

图4F为图4A沿线EE'的剖视图；

30 图5A显示了依照本发明的方法步骤S5的顶视图，其中形成源漏接触以及编程/擦除栅接触；

图5B为图5A沿线AA'的剖视图；

图5C为图5A沿线BB'的剖视图；

图5D为图5A沿线CC'的剖视图；
图5E为图5A沿线DD'的剖视图；
图5F为图5A沿线EE'的剖视图；以及
图6显示了依照本发明的方法的流程图。

5

具体实施方式

以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果，公开了高密度集成的、适用于FinFET技术的多次可编程半导体器件及其制造方法。需要指出的是，类似的附图标记
10 表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构或工艺步骤。这些修饰除非特别说明并非暗示所修饰器件结构或工艺步骤的空间、次序或层级关系。

参照图6以及图1A、图1B，显示了依照本发明的方法步骤S1，其中在衬底上形成沿第一方向延伸的多个鳍形结构。提供半导体衬底，
15 其材质为绝缘体上硅（SOI），包括底层1、埋氧层2以及顶层3。其中底层1与顶层3材质相同均为硅（Si），且顶层3厚度小于底层1的厚度。埋氧层2材质为顶层3材质的相应氧化物，例如为氧化硅（ SiO_2 ），且埋氧层2厚度小于顶层3的厚度。对半导体衬底进行掺杂注入，依照PMOS、NMOS导电类型不同而注入不同类型的掺杂离子。掺杂离子注入的峰值
20 位于埋氧层2下方，例如距离埋氧层2的底面1~10nm，使得底层1中的一部分具有较高的n+或者p+的掺杂浓度，构成底层注入区1D而利于稍后用作编程/擦除栅（或称为字线）。与此同时，较少部分的掺杂离子也分布在顶层3中，使得顶层3具有较低的n-或者p-的掺杂浓度，以利于稍后形成源漏区。在整个器件上通过LPCVD、PECVD、HDPCVD、ALD
25 等常规方法沉积盖层4，其材质例如为氮化硅或氮氧化硅，用于构成鳍形结构刻蚀的硬掩膜以及后续刻蚀的阻挡层。光刻并各向异性地刻蚀盖层4、顶层3、埋氧层2以及底层注入区1D，直至暴露未掺杂的底层1，在底层1上形成沿平行于底层1表面的第一方向延伸的多个鳍形结构。刻蚀停止的界面例如位于埋氧层2底面下方10~20nm。如图1A所示，
30 在顶视图中，多个鳍形结构沿平行于衬底表面的第一方向延伸，线AA'为穿过多个鳍形结构的沿平行于衬底表面的第二方向的剖线，将作为FinFET器件的栅极（浮栅）所在位置，其中第二方向与第一方向相交，

可选地为垂直。并且以下如果没有明确相反指示，所有相同标记的剖线的空间位置均相同。图1B为图1A沿剖线AA'截得的剖视图，其中多个鳍形结构由上至下依次包括盖层4、顶层3、埋氧层2以及底层注入区1D。

- 5 参照图6以及图2A至2E，显示了依照本发明的方法的步骤S2，其中在多个鳍形结构的侧面以及顶面形成沿第一方向延伸的栅极绝缘层，并且在栅极绝缘层两侧形成沿第一方向延伸的栅极导电层。通过LPCVD、PECVD、HDPCVD、ALD等常规方法在鳍形结构（4/3/2/1A）以及底层1上沉积栅极绝缘材料，并光刻/刻蚀，仅在鳍形结构顶部以及
- 10 侧面留下沿第一方向延伸的栅极绝缘层5。栅极绝缘层5的材质包括氧化硅、氮化硅、氮氧化硅、高k材料及其组合。其中，高k材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料，或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料，或是包括 Al_2O_3 ，以其上述材料的复合层。优
- 15 选地，选用高k材料作为栅极绝缘层5，以便适用于小尺寸器件，使得能够采用超薄的栅极绝缘层作为隧道氧化层而利用F-N隧道效应实现电擦除。栅极绝缘层5的厚度例如为1~10nm。随后，在栅极绝缘层5以及底层1上通过LPCVD、PECVD、HDPCVD、ALD等常规方法沉积栅极导电材料，并光刻/刻蚀，仅在栅极绝缘层5的两侧的衬底底层1上
- 20 留下沿第一方向延伸的栅极导电层6，稍后将经过图形化以用作浮栅。栅极导电层6的材质包括多晶硅、金属、金属的合金、金属的氮化物及其组合，其中，金属包括Al、Ta、Ti及其组合。栅极导电层6的厚度例如为1~10nm。图2A为顶视图，其中剖线AA'与图1A中剖线AA'相同；剖线BB'平行于剖线AA'、且也沿第二方向，但是与其具有一定距离，
- 25 其位置稍后用作器件的源漏区；剖线CC'穿过鳍形结构、且沿第一方向，其位置包括稍后的沟道区以及编程/擦除栅的连接区；剖线DD'未穿过鳍形结构、且沿第一方向，用于对器件的空间结构进行补充说明。图2B、图2C分别为图2A沿线AA'和线BB'的剖视图，可见栅极绝缘层5分布在衬底底层1上鳍形结构（4/3/2/1A）的顶部以及侧面；栅极导电层6分布在衬底底层1上栅极绝缘层5的两侧，并且其顶部低于栅极绝缘层5
- 30 的顶部。图2D为图2A沿线CC'的剖视图，可见栅极绝缘层5位于鳍形结构顶部，也沿第一方向延伸分布。图2E为图2A沿线DD'的剖视图，可

见在衬底底层1上鳍形结构区域之外，没有栅极绝缘层5和栅极导电层6。

参照图6以及图3A至图3E，显示了依照本发明的方法的步骤S3，其中沿第二方向形成掩膜并刻蚀去除部分栅极绝缘层和栅极导电层，仅
5 在掩膜覆盖区域保留部分的栅极绝缘层和栅极导电层。在整个器件上通过LPCVD、PECVD、HDPCVD、ALD等常规方法沉积第一硬掩膜材料，其材质例如为氧化硅、氮化硅、氮氧化硅。光刻/刻蚀硬掩膜材料形成沿第二方向延伸分布的多个第一硬掩膜图案7，其中至少一个第一硬掩膜图案7穿过剖线AA'以保留其下方的栅极绝缘层5和栅极导电层
10 6，用作器件沟道区两侧的绝缘层和浮栅。然后以第一硬掩膜图案7作为掩膜，各向异性地刻蚀栅极导电层6，使得仅保留位于第一硬掩膜图案7下方的栅极导电层6，作为浮栅。图3A是顶视图，可见第一硬掩膜图案7沿第二方向延伸，并至少穿过剖线AA'。图3B、图3C分别是图3A沿线AA'、BB'的剖视图，可见未被第一硬掩膜图案7覆盖的区域上，
15 栅极导电层6被移除。图3D、图3E分别是图3A沿线CC'、DD'的剖视图，其中AA'线穿过的区域中的顶层3部分构成沟道区3C，其余的顶层3部分则构成源漏区3S/3D，未来将用作器件的控制部分（或称为位线）。

参照图6以及图4A至图4F，显示了依照本发明的方法的步骤S4，其中刻蚀形成控制栅接触孔。在整个器件上通过LPCVD、PECVD、
20 HDPCVD、ALD等常规方法沉积第二硬掩膜层8，其材质例如为氧化硅、氮化硅或氮氧化硅，优选地第二硬掩膜层8与第一硬掩膜层/图案7的材料相同。然后采用CMP等工艺平坦化第二硬掩膜层8直至暴露栅极绝缘层5。然后光刻/刻蚀部分的第二硬掩膜层8、栅极绝缘层5、盖层4、顶层3、埋氧层2、直至暴露底层注入区1D，形成多个编程/擦除栅接触孔
25 8H。图4A为顶视图，其中剖线EE'穿过编程/擦除栅接触孔8H所在的位置、且沿第二方向，编程/擦除栅接触孔8H沿第一方向延伸。图4B、图4C分别是图4A沿线AA'、BB'的剖视图，与图3B、3C类似，可见在未被原第一硬掩膜图案7覆盖的区域上，栅极导电层6被移除，而第二硬掩膜层8顶部与栅极绝缘层5顶部齐平。图4D是图4A沿线CC'的剖视图，
30 可见编程/擦除栅接触孔8H直达底层注入区1D，从而使得作为编程/擦除栅的掺杂的底层注入区1D能与外部电连接。图4E是图4A沿线DD'的剖视图。图4F是图4A沿剖线EE'的剖视图，可见在编程/擦除栅接触孔

8H中, 栅极绝缘层5的顶部以及侧部的一部分被移除, 而仅保留了在底层注入区1D两侧的部分。

参照图6以及图5A至图5F, 显示了依照本发明的方法的步骤S5, 其中形成源漏接触以及编程/擦除栅接触。在整个器件上通过LPCVD、
5 PECVD、HDPCVD、ALD等常规方法沉积层间介质层9, 其材质例如为氧化硅、氮化硅或氮氧化硅, 优选地与第一硬掩膜层/图案7和/或第二硬掩膜层8的材料相同。光刻/刻蚀层间介质层9, 在与源漏区3S/3D对应的位置处形成源漏接触孔9SD, 而在与编程/擦除栅接触孔8H对应的位置形成编程/擦除栅接触孔9P。然后在各个接触孔中形成金属硅化物10
10 以降低接触电阻。金属硅化物10的材质包括 NiSi_{2-y} 、 PtSi_{2-y} 、 CoSi_{2-y} 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Pt}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{2-x-z}\text{Pt}_x\text{Co}_z\text{Si}_{3-y}$, 其中 x 、 z 大于0小于1, y 大于等于0小于等于1。然后在各个接触孔中填充导电材料11形成接触塞以及连接线, 导电材料11例如为W、Cu、Al、Ti、Ta及其组合。图5A为顶视图, 其中AA'线穿过沟道区以及沟道区两侧的
15 栅极绝缘层和栅极导电层, BB'穿过源漏区以及源漏区两侧的栅极绝缘层, CC'穿过源漏区、沟道区、编程/擦除栅接触孔, DD'仅穿过衬底底层1, EE'穿过衬底注入区1D。图5B为图5A沿AA'的剖视图, 可见在沟道区3C两侧具有栅极绝缘层5, 栅极绝缘层5两侧具有栅极导电层6(浮栅)。图5C为图5A沿BB'的剖视图, 可见源漏连接线11SD(作为器件
20 单元的位线)通过金属硅化物10与源漏区3S/3D电连接, 源漏区两侧仅有栅极绝缘层5而没有栅极导电层6。图5D、图5E分别为图5A沿CC'、EE'的剖视图, 可见编程/擦除栅连接线11C(作为器件单元的字线)通过金属硅化物10而与衬底注入区1D电连接, 且衬底注入区1D两侧具有部分的栅极绝缘层5。图5E为图5A沿DD'的剖视图。

25 最终得到的多次可编程半导体器件如图5A至图5F所示, 包括: 多个鳍形结构, 位于衬底上, 包括衬底注入区1D、埋氧层2、顶层3以及可选地盖层4, 多个鳍形结构沿平行于衬底表面的第一方向延伸分布; 沟道区3C, 位于多个鳍形结构的顶层3中; 源漏区3S/3D, 位于多个鳍形结构的顶层3中沟道区3C两端; 栅极绝缘层5, 位于沟道区3C的顶部
30 以及侧部, 沿平行于衬底表面的第二方向延伸分布, 第二方向与第一方向相交并优选地垂直; 浮栅6, 位于鳍形结构的第二方向上的两侧, 与栅极绝缘层5接触; 编程/擦除栅, 由衬底注入区1D构成, 位于沟道

区3C下方；层间介质层9，覆盖多个鳍形结构、栅极绝缘层以及浮栅；源漏接触孔9SD与编程/擦除栅接触孔9P形成在层间介质层9中，分别暴露源漏区3S/3D以及作为编程/擦除栅的衬底注入区1D；金属硅化物10，形成在源漏接触孔9SD与编程/擦除栅接触孔9P中；连接线11，通过金属硅化物10与源漏区3S/3D以及作为编程/擦除栅的衬底注入区1D电连接，其中源漏区连接线11SD沿第二方向延伸分布。

上述各个部件的具体材质和几何结构参数已在制造方法各个步骤中详细描述，此外，后续制造工艺，例如字线、位线的连接，选择电路的制造等等，这些已广为技术人员所熟知，因此也不再赘述。

10 依照本发明的多次可编程半导体器件，利用衬底注入区来形成FinFET的编程/擦除栅，简化了器件结构，并缩减了制造工序，提高了器件的集成密度，适用于多次可编程存储器。

15 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种多次可编程半导体器件, 包括:
多个鳍形结构, 位于衬底上且沿平行于衬底表面的第一方向延伸
5 分布, 包括衬底注入区、埋氧层、顶层;
沟道区, 位于多个鳍形结构的顶层中;
源漏区, 位于多个鳍形结构的顶层中沟道区两端;
栅极绝缘层, 位于沟道区的顶部以及侧部, 沿平行于衬底表面的
第二方向延伸分布;
10 浮栅, 位于多个鳍形结构的第二方向上的两侧;
编程/擦除栅, 由衬底注入区构成, 位于埋氧层下方。
2. 如权利要求1的多次可编程半导体器件, 进一步包括:
层间介质层, 覆盖多个鳍形结构、栅极绝缘层、浮栅;
源漏接触孔与控制栅接触孔, 形成在层间介质层中, 分别暴露源
15 漏区以及作为编程/擦除栅的衬底注入区;
金属硅化物, 形成在源漏接触孔与编程/擦除栅接触孔中;
连接线, 通过金属硅化物与源漏区以及作为编程/擦除栅的衬底注
入区电连接。
3. 如权利要求1多次可编程半导体器件, 其中, 多个鳍形结构还包
20 括位于顶层之上的盖层。
4. 如权利要求1的多次可编程半导体器件, 其中, 栅极绝缘层包括
氧化硅、氮化硅、氮氧化硅、高k材料及其组合。
5. 如权利要求4的多次可编程半导体器件, 其中, 高k材料包括选
自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、
25 HfLaSiO_x 的铪基材料, 或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3
的稀土基高K介质材料, 或是包括 Al_2O_3 , 以其上述材料的复合层。
6. 如权利要求1的多次可编程半导体器件, 其中, 浮栅包括多晶硅、
金属、所述金属的合金、所述金属的氮化物及其组合。
7. 如权利要求6的多次可编程半导体器件, 其中, 所述金属包括
30 Al 、 Ta 、 Ti 及其组合。
8. 如权利要求2的多次可编程半导体器件, 其中, 金属硅化物的材
质包括 NiSi_{2-y} 、 PtSi_{2-y} 、 CoSi_{2-y} 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Pt}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、

$\text{Ni}_{2-x-z}\text{Pt}_x\text{Co}_z\text{Si}_{3-y}$, 其中 x 、 z 大于0小于1, y 大于等于0小于等于1。

9. 如权利要求2的多次可编程半导体器件, 其中, 连接线的材质包括W、Cu、Al、Ti、Ta及其组合。

10. 一种多次可编程半导体器件制造方法, 包括步骤:

5 在衬底上形成沿平行于衬底表面的第一方向延伸分布的多个鳍形结构, 包括衬底注入区、埋氧层、顶层;

在多个鳍形结构顶部以及两侧形成栅极绝缘层;

在栅极绝缘层两侧形成栅极导电层;

10 光刻/刻蚀栅极导电层, 仅在位于顶层中的沟道区两侧保留部分的栅极导电层, 作为浮栅;

光刻/刻蚀多个鳍形结构, 暴露部分的衬底注入区;

形成源漏接触, 以及形成连接到暴露的衬底注入区的编程/擦除栅接触。

11. 如权利要求10的多次可编程半导体器件制造方法, 其中, 形成
15 多个鳍形结构的步骤进一步包括: 对包括底层、埋氧层和顶层的衬底进行掺杂注入, 在埋氧层下方的底层中形成衬底注入区, 构成编程/擦除栅; 光刻/刻蚀衬底, 直至暴露未掺杂的底层, 形成沿平行于衬底表面的第一方向延伸分布的多个鳍形结构。

12. 如权利要求10的多次可编程半导体器件制造方法, 其中, 光刻
20 /刻蚀栅极导电层的步骤进一步包括: 在衬底、栅极导电层、栅极绝缘层上形成沿平行于衬底表面的第二方向延伸部分的硬掩膜图形; 以硬掩膜图形为掩膜, 刻蚀栅极导电层, 仅留下被硬掩膜图形覆盖的部分栅极导电层, 其中硬掩膜图形下方的顶层构成沟道区, 沟道区两端的顶层构成源漏区。

25 13. 如权利要求10的多次可编程半导体器件制造方法, 其中, 暴露部分的衬底注入区的步骤进一步包括: 在整个器件上形成硬掩膜层; 平坦化直至暴露栅极绝缘层; 光刻/刻蚀部分的栅极绝缘层、顶层、埋氧层, 直至暴露衬底注入区, 形成编程/擦除栅接触孔, 其中编程/擦除栅接触孔位于第一方向上源漏区的一端。

30 14. 如权利要求10的多次可编程半导体器件制造方法, 其中, 形成源漏接触以及形成连接到暴露的衬底注入区的编程/擦除栅接触孔的步骤进一步包括: 在整个器件上形成层间介质层; 光刻/刻蚀形成源漏接

触孔，以及连接到暴露的衬底注入区的编程/擦除栅接触孔；在源漏接触孔和编程/擦除栅接触孔中形成金属硅化物；在源漏接触孔和编程/擦除栅接触孔中填充导电材料，形成连接线。

15 15. 如权利要求10的多次可编程半导体器件制造方法，其中，栅极绝缘层包括氧化硅、氮化硅、氮氧化硅、高k材料及其组合。

16. 如权利要求10的多次可编程半导体器件制造方法，其中，高k材料包括选自 HfO_2 、 HfSiO_x 、 HfSiON 、 HfAlO_x 、 HfTaO_x 、 HfLaO_x 、 HfAlSiO_x 、 HfLaSiO_x 的铪基材料，或是包括选自 ZrO_2 、 La_2O_3 、 LaAlO_3 、 TiO_2 、 Y_2O_3 的稀土基高K介质材料，或是包括 Al_2O_3 ，以其上述材料的复合层。

17. 如权利要求16的多次可编程半导体器件制造方法，其中，浮栅包括多晶硅、金属、所述金属的合金、所述金属的氮化物及其组合。

18. 如权利要求17的多次可编程半导体器件制造方法，其中，所述金属包括Al、Ta、Ti及其组合。

15 19. 如权利要求14的多次可编程半导体器件制造方法，其中，金属硅化物的材质包括 NiSi_{2-y} 、 PtSi_{2-y} 、 CoSi_{2-y} 、 $\text{Ni}_{1-x}\text{Pt}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Pt}_{1-x}\text{Co}_x\text{Si}_{2-y}$ 、 $\text{Ni}_{2-x-z}\text{Pt}_x\text{Co}_z\text{Si}_{3-y}$ ，其中x、z大于0小于1，y大于等于0小于等于1。

20 20. 如权利要求14的多次可编程半导体器件制造方法，其中，连接线的材质包括W、Cu、Al、Ti、Ta及其组合。

1/9

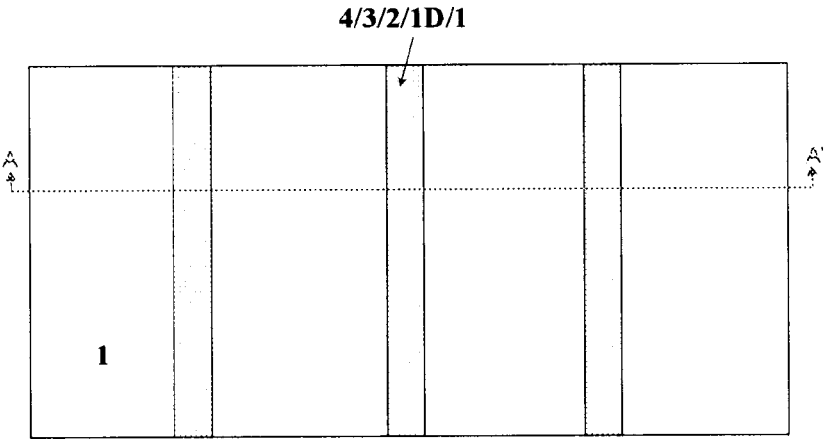


图1A

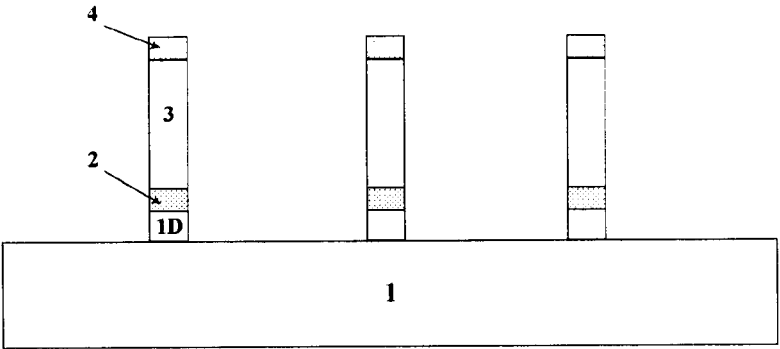


图1B

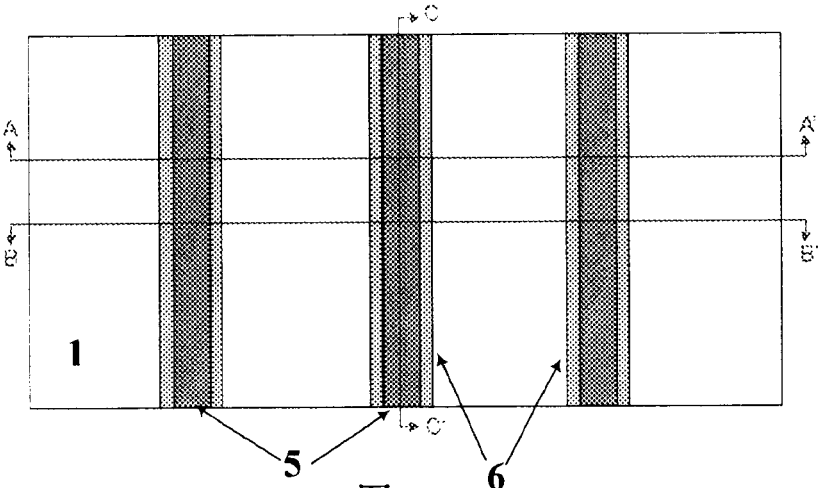


图2A

2/9

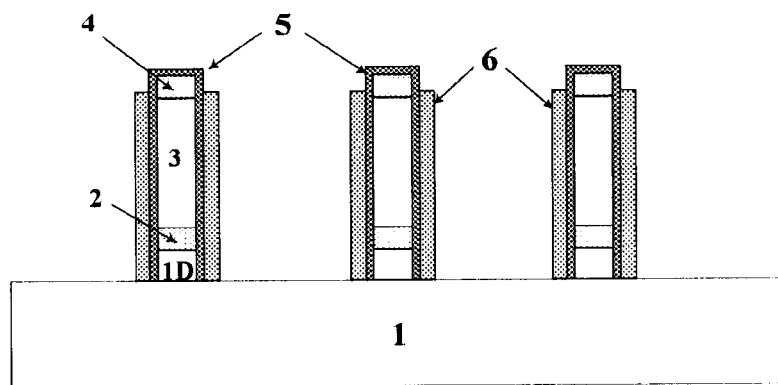


图2B

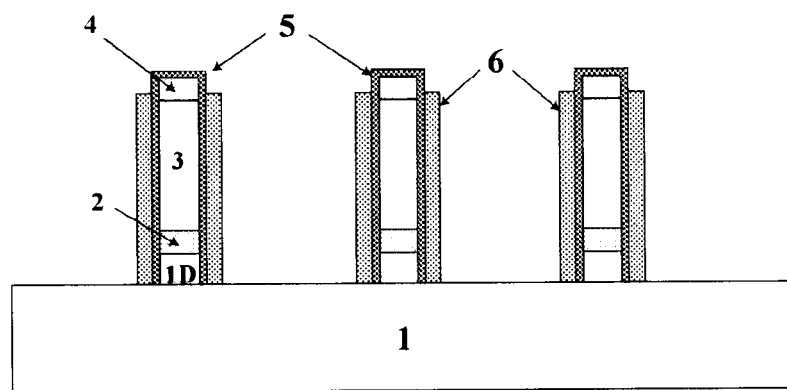


图2C

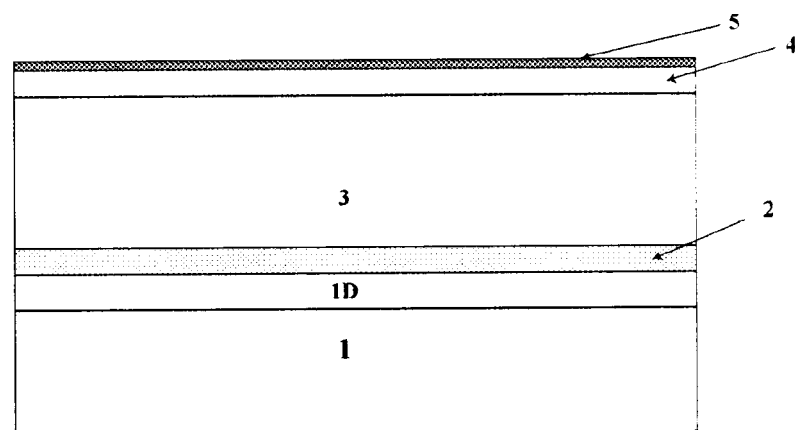


图2D

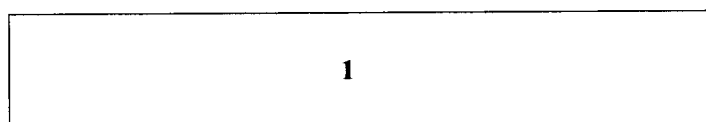


图2E

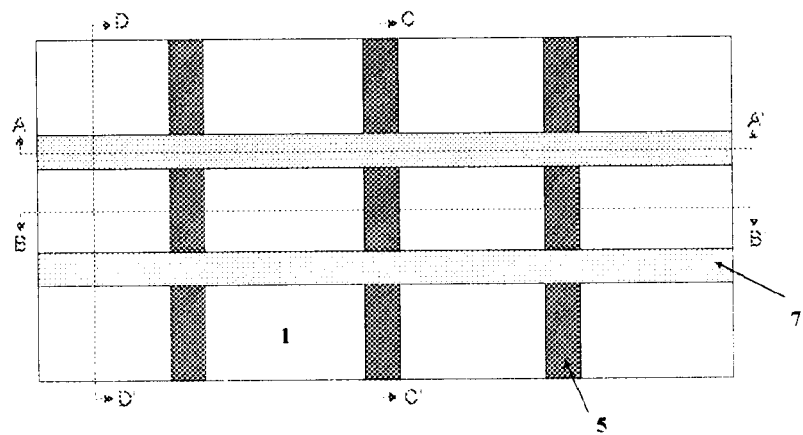


图3A

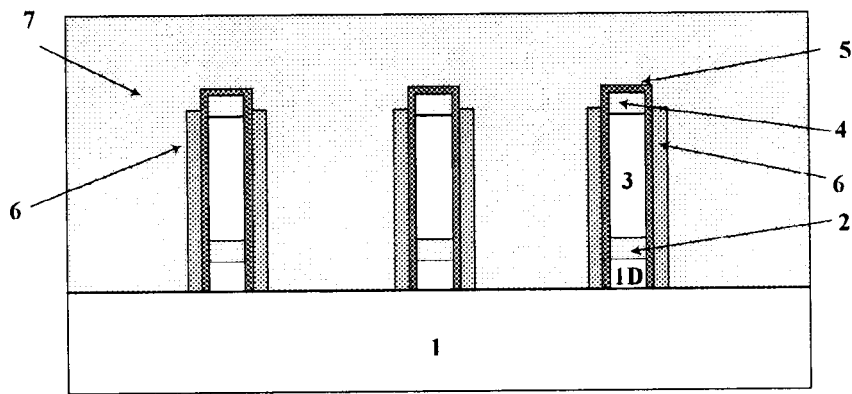


图3B

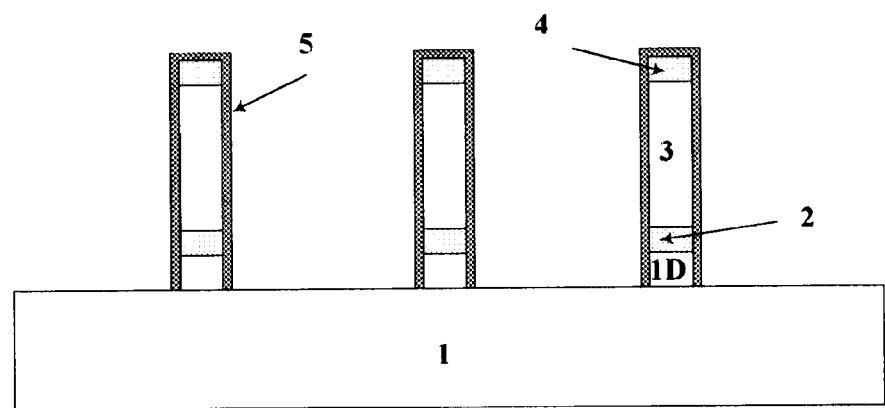


图3C

4/9

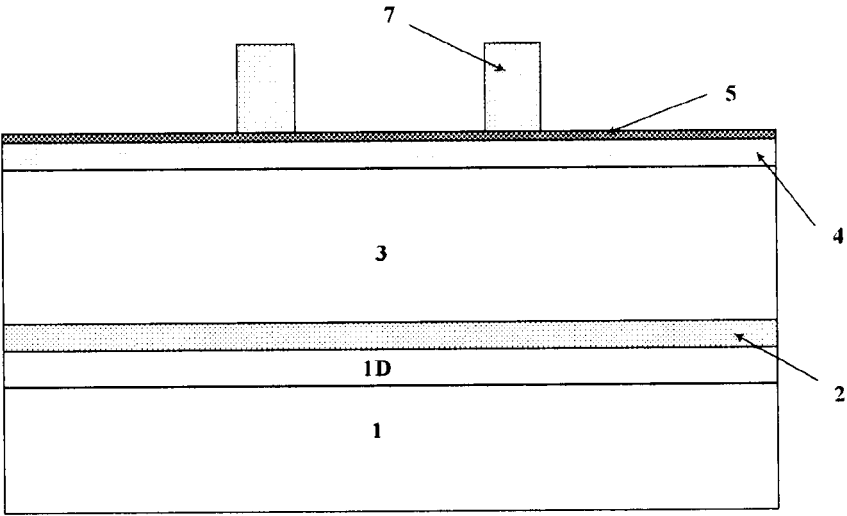


图3D

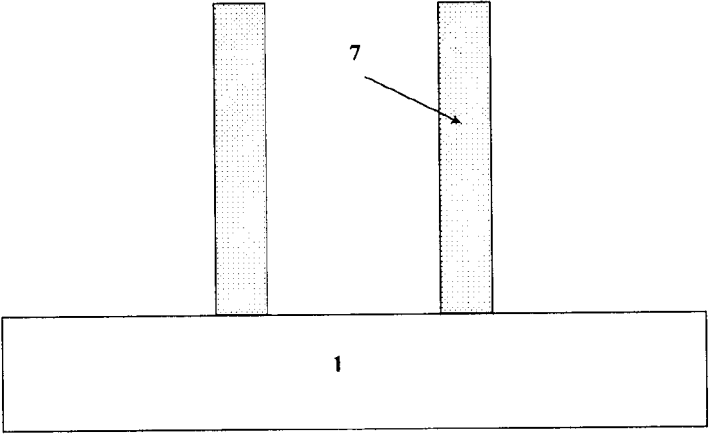


图3E

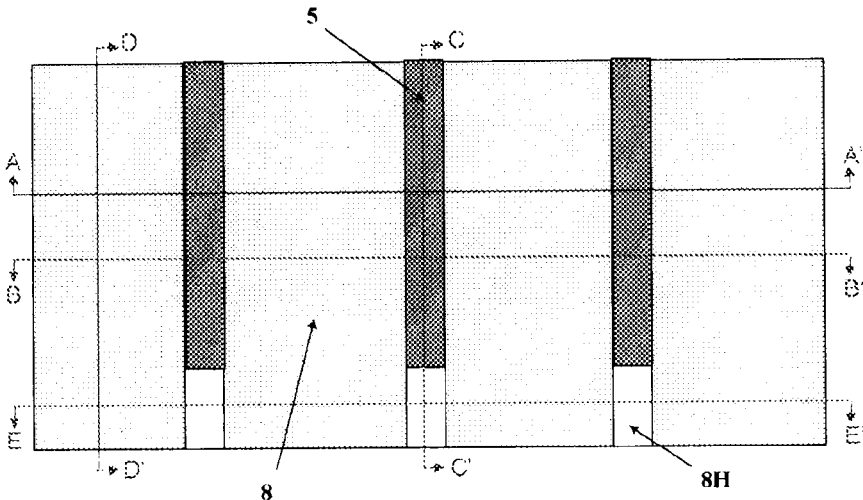


图4A

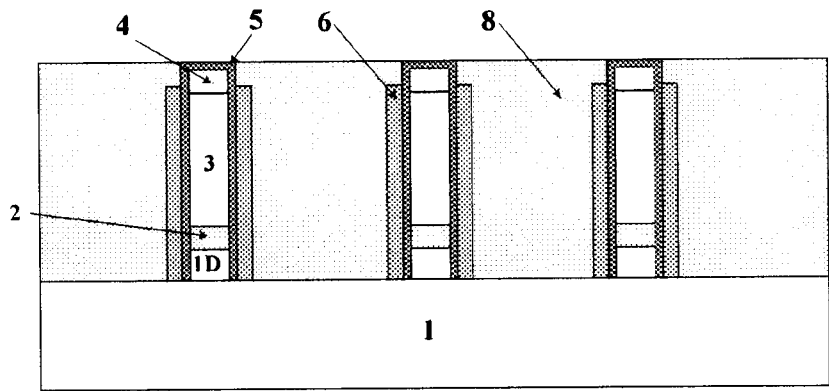


图4B

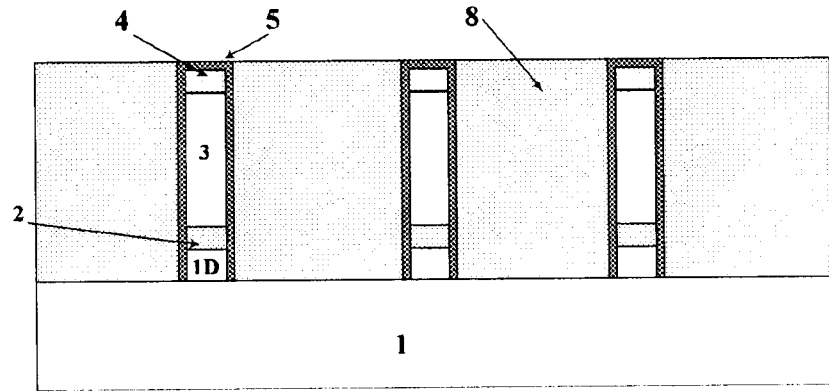


图4C

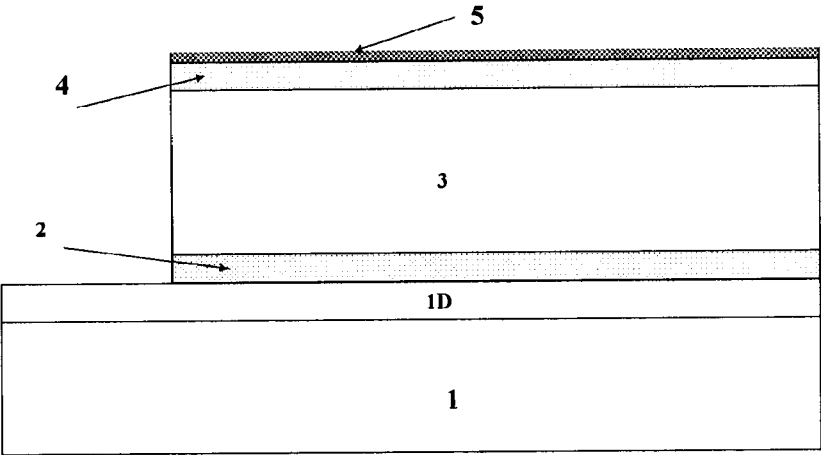


图4D

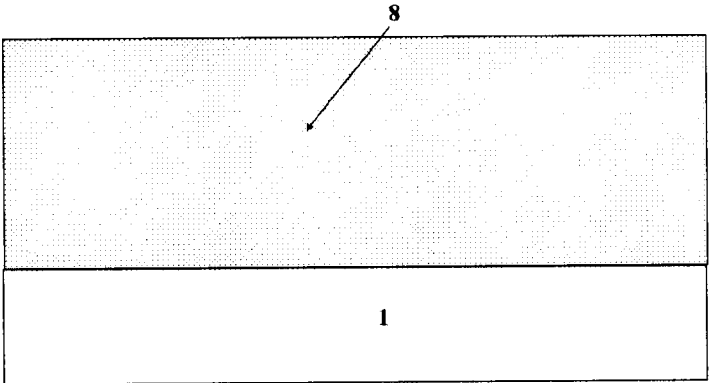


图4E

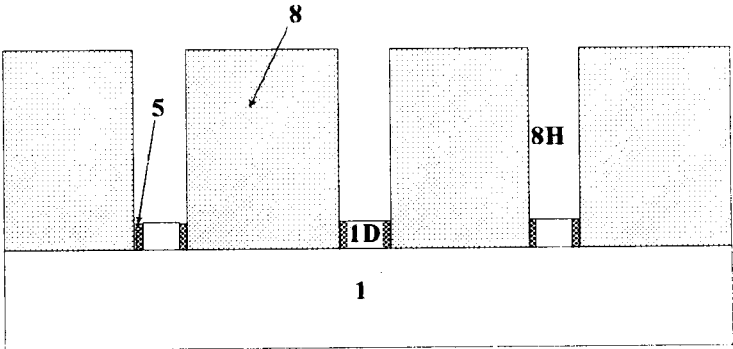


图4F

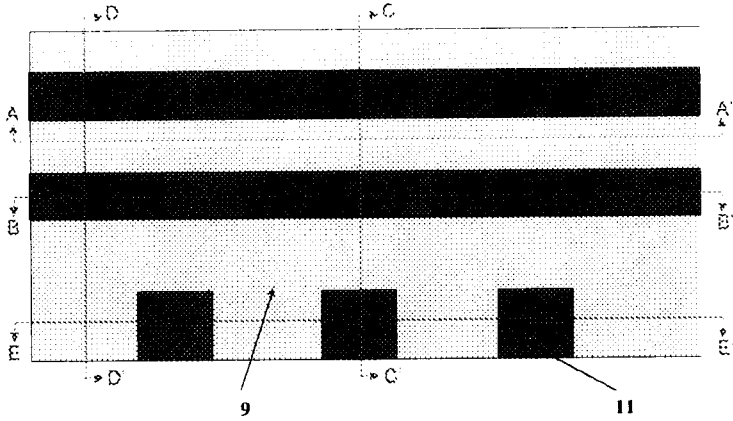


图5A

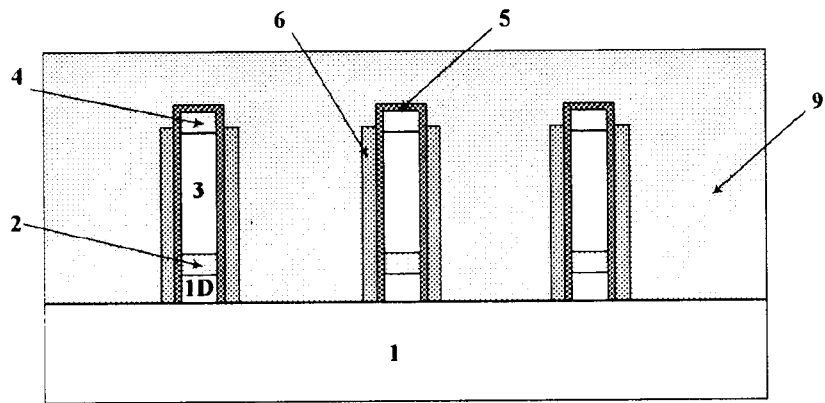


图5B

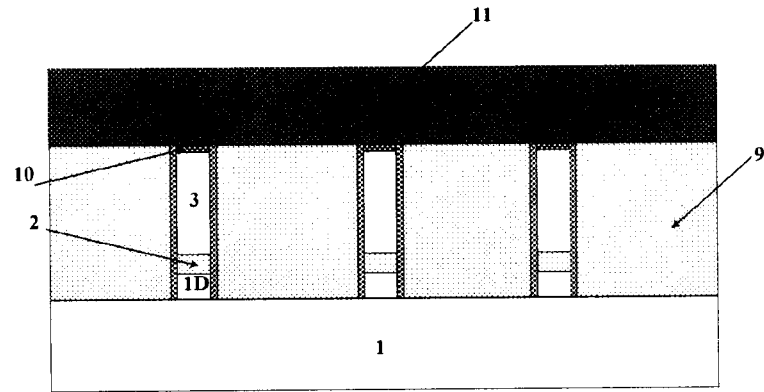


图5C

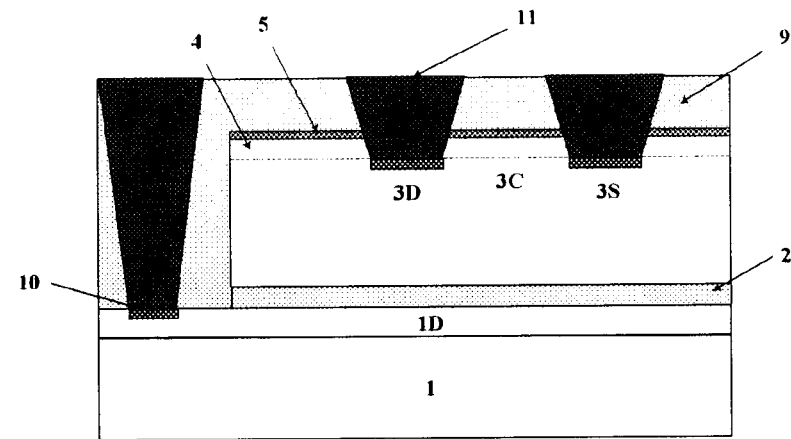


图5D

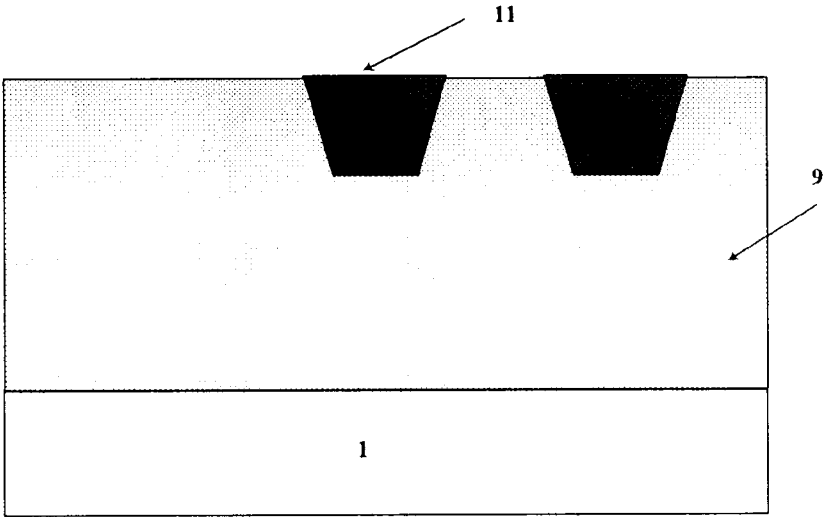


图5E

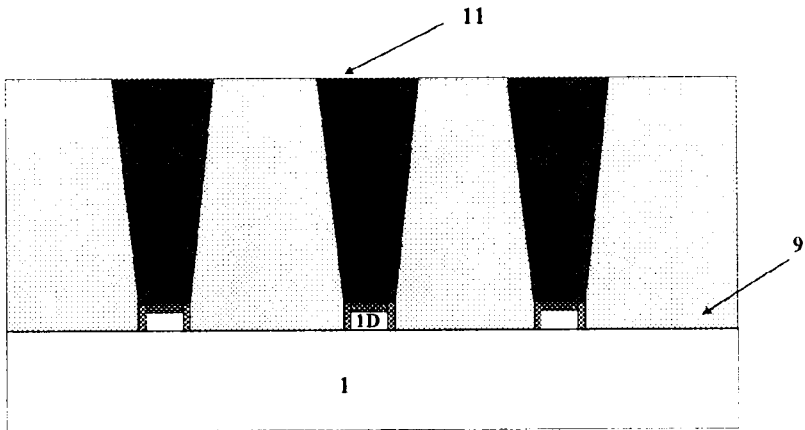


图5F

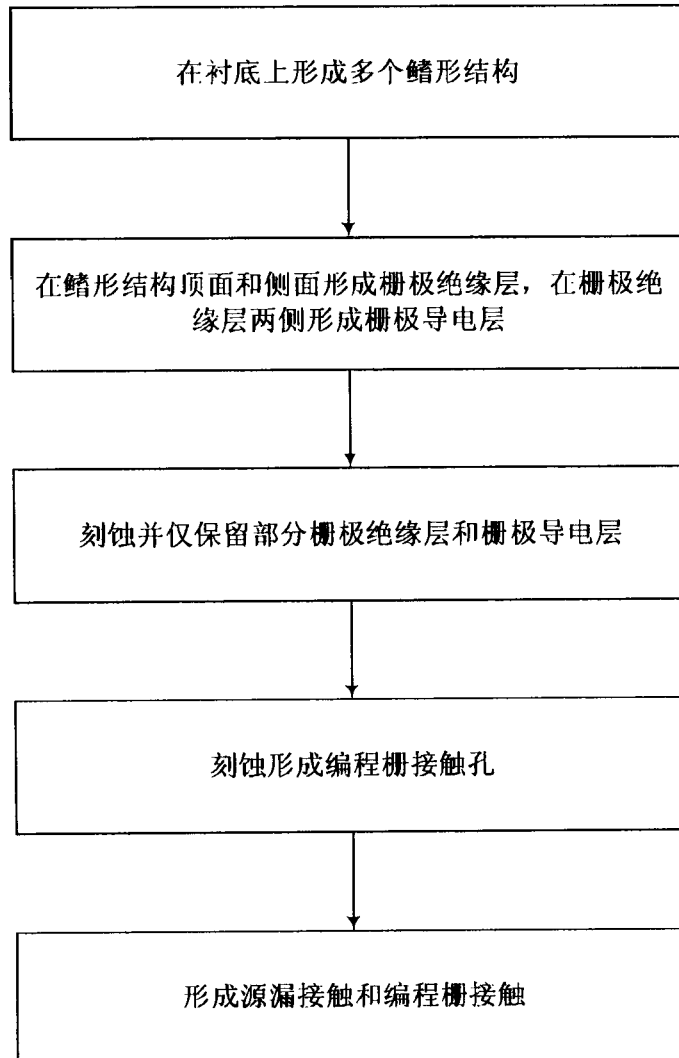


图6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2012/001536

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-; H01L 27/-; H01L 29/-; G11C 5/-; G11C 16/

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CPRS, CNKI: program, erase, EEPROM, fin, finfet, gate, float, drain, source, sidewall

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 7091551 B1 (ANDERSON et al.) 15 August 2006 (15.08.2006) description, column 3, line 10 to column 5, line 53 and figures 1 to 10	1-20
A	US 2011/0103125 A1 (TOMISHIMA) 05 May 2011 (05.05.2011) the whole document	1-20
A	US 2006/0278915 A1 (LEE et al.) 14 December 2006 (14.12.2006) the whole document	1-20
A	CN 101093838 A (SAMSUNG ELECTRONICS CO LTD) 26 December 2007 (26.12.2007) the whole document	1-20

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 June 2013 (03.06.2013)	Date of mailing of the international search report 13 June 2013 (13.06.2013)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer DAI, Lijuan Telephone No. (86-10) 62411578

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2012/001536

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 7091551 B1	15.08.2006	None	
US 2011/0103125 A1	05.05.2011	None	
US 2006/0278915 A1	14.12.2006	TW 200707660 A	16.02.2007
		TW 307939 B1	21.03.2009
		US 7205601 B2	17.04.2007
CN 101093838 A	26.12.2007	US 2007296033 A1	27.12.2007
		JP 2008004925 A	10.01.2008
		EP 1870941 A1	26.12.2007
		KR 100745766 B1	02.08.2007

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/001536

In continuous of A. CLASSIFICATION OF SUBJECT

H01L 27/115 (2006.01) i

H01L 21/8247 (2006.01) i

国际检索报告

国际申请号

PCT/CN2012/001536

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L21/-;H01L27/-;H01L29/-;G11C5/-;G11C16/

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI,EPODOC: program, erase, EEPROM, fin, finfet, gate, float, drain, source, sidewall

CPRS,CNKI: 编程, 擦, 除, EEPROM, 鳍, 鳍形场效应晶体管, 栅, 浮栅, 漏, 源, 侧, 壁

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US 7091551 B1 (ANDERSON 等) 15.08 月 2006 (15.08.2006) 说明书第 3 栏第 10 行至第 5 栏第 53 行, 图 1-10	1-20
A	US 2011/0103125 A1 (TOMISHIMA) 05.5 月 2011 (05.05.2011) 全文	1-20
A	US 2006/0278915 A1 (LEE 等) 14.12 月 2006 (14.12.2006) 全文	1-20
A	CN 101093838 A (三星电子株式会社) 26.12 月 2007 (26.12.2007) 全文	1-20



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

03.6 月 2013 (03.06.2013)

国际检索报告邮寄日期

13.6 月 2013 (13.06.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

戴丽娟

电话号码: (86-10) 62411578

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/001536

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US 7091551 B1	15.08.2006	无	
US 2011/0103125 A1	05.05.2011	无	
US 2006/0278915 A1	14.12.2006	TW 200707660 A	16.02.2007
		TW 307939 B1	21.03.2009
		US 7205601 B2	17.04.2007
CN 101093838 A	26.12.2007	US 2007296033 A1	27.12.2007
		JP 2008004925 A	10.01.2008
		EP 1870941 A1	26.12.2007
		KR 100745766 B1	02.08.2007

续: A. 主题的分类

H01L 27/115 (2006.01) i

H01L 21/8247 (2006.01) i