

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4639049号
(P4639049)

(45) 発行日 平成23年2月23日(2011.2.23)

(24) 登録日 平成22年12月3日(2010.12.3)

(51) Int.Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 Q
 G 1 1 C 11/22 5 0 1 K

請求項の数 23 (全 33 頁)

<p>(21) 出願番号 特願2004-6396 (P2004-6396) (22) 出願日 平成16年1月14日(2004.1.14) (65) 公開番号 特開2005-203009 (P2005-203009A) (43) 公開日 平成17年7月28日(2005.7.28) 審査請求日 平成18年10月12日(2006.10.12)</p> <p>前置審査</p>	<p>(73) 特許権者 509202835 パトレネラ キャピタル リミテッド, エルエルシー アメリカ合衆国 デラウェア 19801 , ウィルミントン, オレンジ ストリ ート 1209</p> <p>(74) 代理人 100078282 弁理士 山本 秀策</p> <p>(74) 代理人 100062409 弁理士 安村 高明</p> <p>(74) 代理人 100113413 弁理士 森下 夏樹</p> <p>(72) 発明者 境 直史 大阪府守口市京阪本通2丁目5番5号 三 洋電機株式会社内</p> <p style="text-align: right;">最終頁に続く</p>
---	---

(54) 【発明の名称】 メモリ

(57) 【特許請求の範囲】

【請求項 1】

ビット線とワード線とメモリセルとを含むメモリセルアレイを備えたメモリであって、前記メモリセルは、前記ビット線と前記ワード線との間に接続され、第1データまたは第2データを保持するように構成されており、

前記メモリは、選択されたワード線に接続された全てのメモリセルに対して一括して読み出し動作を行うことに加えて、前記読み出し動作において非選択のメモリセルに印加される第1電圧の極性とは逆の極性の第2電圧を少なくとも前記非選択のメモリセルに印加するように構成されており、

前記第2電圧は、前記読み出し動作において前記第1データが読み出されたビット線に発生する電圧よりも小さく、かつ、前記読み出し動作において前記第2データが読み出されたビット線に発生する電圧よりも大きい、メモリ。

【請求項 2】

前記メモリは、前記読み出し動作および読み出しデータを再び書き込む再書き込み動作を通じて、少なくとも前記非選択のメモリセルに、前記第1電圧と前記第1電圧の極性とは逆の極性の前記第2電圧とを同じ回数印加するように構成されている、請求項1に記載のメモリ。

【請求項 3】

前記再書き込み動作は、複数の動作を含む、請求項2に記載のメモリ。

【請求項 4】

10

20

前記再書き込み動作は、一対の第 1 期間および第 2 期間を含み、

前記メモリは、前記再書き込み動作の前記第 1 期間に前記非選択のメモリセルに印加される電圧の極性とは逆の極性の電圧を、前記再書き込み動作の前記第 2 期間に前記非選択のメモリセルに印加するように構成されている、請求項 3 に記載のメモリ。

【請求項 5】

前記メモリは、非選択のワード線、選択されたメモリセルに接続された全てのビット線、選択されたワード線および非選択のワード線の全てのうちのいずれかを駆動することにより、前記読み出し動作において非選択のメモリセルに印加される前記第 1 電圧の極性とは逆の極性の前記第 2 電圧を前記非選択のメモリセルに印加するように構成されている、請求項 1 に記載のメモリ。

10

【請求項 6】

前記メモリは、前記非選択のメモリセルに前記第 1 電圧を印加したことにより分極量が低下した場合に、前記低下した分極量を実質的に回復することが可能な値に前記第 2 電圧を設定するように構成されている、請求項 1 に記載のメモリ。

【請求項 7】

ビット線とワード線とメモリセルとを含むメモリセルアレイを備えたメモリであって、前記メモリセルは、前記ビット線と前記ワード線との間に接続され、第 1 データまたは第 2 データを保持するように構成されており、

前記メモリは、選択されたワード線に接続された全てのメモリセルに対して一括して読み出し動作を行うことに加えて、前記読み出し動作において非選択のメモリセルに印加される第 1 電圧の極性とは逆の極性の第 2 電圧を少なくとも前記非選択のメモリセルに印加するように構成されており、

20

前記第 2 電圧は、

前記読み出し動作において前記第 1 データが読み出されたビット線に接続された前記非選択のメモリセルに印加される第 3 電圧と、

前記読み出し動作において前記第 2 データが読み出されたビット線に接続された前記非選択のメモリセルに印加される第 4 電圧とを含む、メモリ。

【請求項 8】

前記メモリセルは、

前記読み出し動作において前記第 1 データが読み出された前記ビット線を駆動することにより、前記読み出し動作において前記第 1 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記第 3 電圧を印加する一方で、

30

前記読み出し動作において前記第 2 データが読み出された前記ビット線を駆動することにより、前記読み出し動作において前記第 2 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記第 4 電圧を印加するようにさらに構成されている、請求項 7 に記載のメモリ。

【請求項 9】

前記第 3 電圧は、前記読み出し動作において前記第 1 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記読み出し動作において印加された電圧と実質的に同一であり、

40

前記第 4 電圧は、前記読み出し動作において前記第 2 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記読み出し動作において印加された電圧と実質的に同一である、請求項 7 に記載のメモリ。

【請求項 10】

前記第 1 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記第 3 電圧を印加することによって回復される分極量は、前記第 1 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記第 1 電圧を印加することによって低下した分極量と実質的に同一であり、

前記第 2 データが読み出された前記ビット線に接続された前記非選択のメモリセルに前記第 4 電圧を印加することによって回復される分極量は、前記第 2 データが読み出された

50

前記ビット線に接続された前記非選択のメモリセルに前記第 1 電圧を印加することによって低下した分極量と実質的に同一である、請求項 9 に記載のメモリ。

【請求項 1 1】

前記メモリは、前記読み出し動作に先立って、前記非選択のメモリセルに前記第 2 電圧を印加するように構成されている、請求項 1 に記載のメモリ。

【請求項 1 2】

前記メモリは、前記読み出し動作において前記非選択のメモリセルに前記第 2 電圧を印加した直後に、全てのビット線をフローティング状態にするとともに、前記選択されたワード線に前記第 1 データおよび前記第 2 データを読み出すための電圧を印加するようにさらに構成されている、請求項 1 1 に記載のメモリ。

10

【請求項 1 3】

前記メモリは、初期状態から全てのビット線をフローティング状態にするとともに、前記読み出し動作において、前記選択されたワード線に読み出しのための第 5 電圧を印加することによって、前記非選択のメモリセルに前記第 2 電圧を印加した後、全てのビット線をフローティング状態に保持して、前記選択されたワード線に読み出しのための第 6 電圧を印加するように構成されており、

前記メモリは、前記第 6 電圧を印加した後に前記ビット線に発生する電圧と、前記初期状態の前記ビット線の電圧とに基づいて、データの読み出しを行うように構成されている、請求項 1 1 に記載のメモリ。

【請求項 1 4】

前記ビット線に接続され、所定の論理しきい値電圧を有するチョッパコンパレータをさらに備え、

前記チョッパコンパレータは、前記論理しきい値電圧と、前記ビット線に発生する読み出し電圧とに基づいて、前記データの判別を行うように構成されている、請求項 1 3 に記載のメモリ。

20

【請求項 1 5】

前記メモリは、前記読み出し動作の後に前記非選択のメモリセルに前記第 2 電圧を印加するように構成されている、請求項 1 に記載のメモリ。

【請求項 1 6】

前記非選択のメモリセルに前記第 2 電圧を印加する期間は、前記非選択のメモリセルに前記第 1 電圧を印加する期間と実質的に同一である、請求項 1 に記載のメモリ。

30

【請求項 1 7】

前記メモリセルは、強誘電体キャパシタを含む、請求項 1 に記載のメモリ。

【請求項 1 8】

読み出し動作において第 1 電圧を非選択のメモリセルに印加することであって、前記メモリセルは、ビット線と、ワード線と、前記ビット線と前記ワード線との間に接続されたメモリセルとを有するメモリセルアレイの中にあり、前記メモリセルは、第 1 データまたは第 2 データを保持するように構成されている、ことと、

選択されたワード線に接続された全てのメモリセルに対して一括して前記読み出し動作を行うことに加えて、前記第 1 電圧の極性とは逆の極性の第 2 電圧を少なくとも前記非選択のメモリセルに印加することと

40

を含み、

前記第 2 電圧は、前記読み出し動作において前記第 1 データが読み出されたビット線に発生する電圧よりも小さく、かつ、前記読み出し動作において前記第 2 データが読み出されたビット線に発生する電圧よりも大きい、方法。

【請求項 1 9】

前記非選択のメモリセルに前記第 1 電圧を印加したことにより分極量が低下した場合に、前記低下した分極量を実質的に回復することが可能な値に前記第 2 電圧を設定することをさらに含む、請求項 1 8 に記載の方法。

【請求項 2 0】

50

読み出し動作において第 1 電圧を非選択のメモリセルに印加することであって、前記メモリセルは、ビット線と、ワード線と、前記ビット線と前記ワード線との間に接続されたメモリセルとを有するメモリセルアレイの中にあり、前記メモリセルは、第 1 データまたは第 2 データを保持するように構成されている、ことと、

選択されたワード線に接続された全てのメモリセルに対して一括して前記読み出し動作を行うことに加えて、前記第 1 電圧の極性とは逆の極性の第 2 電圧を少なくとも前記非選択のメモリセルに印加することと

を含み、

前記第 2 電圧は、

前記読み出し動作において前記第 1 データが読み出されたビット線に接続された前記非選択のメモリセルに印加される第 3 電圧と、

前記読み出し動作において前記第 2 データが読み出されたビット線に接続された前記非選択のメモリセルに印加される第 4 電圧とを含む、方法。

【請求項 2 1】

ビット線とワード線とメモリセルとを含むメモリセルアレイであって、前記メモリセルは、前記ビット線と前記ワード線との間に接続され、第 1 データまたは第 2 データを保持するように構成されている、メモリセルアレイと、

選択されたワード線に接続された全てのメモリセルに対して一括して読み出し動作を行うことに加えて、前記読み出し動作において非選択のメモリセルに印加される第 1 電圧の極性とは逆の極性の第 2 電圧を少なくとも前記非選択のメモリセルに印加する手段と

を備え、

前記第 2 電圧は、前記読み出し動作において前記第 1 データが読み出されたビット線に発生する電圧よりも小さく、かつ、前記読み出し動作において前記第 2 データが読み出されたビット線に発生する電圧よりも大きい、装置。

【請求項 2 2】

前記非選択のメモリセルに前記第 1 電圧を印加したことにより分極量が低下した場合に、前記低下した分極量を実質的に回復することが可能な値に前記第 2 電圧を設定する手段をさらに備えている、請求項 2 1 に記載の装置。

【請求項 2 3】

ビット線とワード線とメモリセルとを含むメモリセルアレイであって、前記メモリセルは、前記ビット線と前記ワード線との間に接続され、第 1 データまたは第 2 データを保持するように構成されている、メモリセルアレイと、

選択されたワード線に接続された全てのメモリセルに対して一括して読み出し動作を行うことに加えて、前記読み出し動作において非選択のメモリセルに印加される第 1 電圧の極性とは逆の極性の第 2 電圧を少なくとも前記非選択のメモリセルに印加する手段と

を備え、

前記第 2 電圧は、

前記読み出し動作において前記第 1 データが読み出されたビット線に接続された前記非選択のメモリセルに印加される第 3 電圧と、

前記読み出し動作において前記第 2 データが読み出されたビット線に接続された前記非選択のメモリセルに印加される第 4 電圧とを含む、装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、メモリに関し、特に、データを保持するメモリセルを含むメモリセルアレイを備えたメモリに関する。

【背景技術】

【0002】

従来、半導体メモリとして、揮発性メモリと不揮発性メモリとが知られている。また、揮発性メモリとしては、DRAM (Dynamic Random Access Me

10

20

30

40

50

memory)が知られており、不揮発性メモリとしては、フラッシュEEPROM(Electrically Erasable and Programmable Read Only Memory)が知られている。DRAMおよびフラッシュEEPROMは、高集積化が可能であるため、幅広く使用されている。

【0003】

図38は、従来のDRAMのメモリセルの構成を示した等価回路図である。また、図39は、従来のDRAMに用いられるトレンチ型キャパシタの構造を示した断面図である。まず、図38を参照して、従来の揮発性メモリとしてのDRAMのメモリセル103は、1つの選択トランジスタ101と、1つのキャパシタ102とによって構成されている。そして、メモリセルの情報は、電荷としてキャパシタ102に蓄えられる。メモリセルの情報を読み出すときは、ワード線WLが立ち上がることによって、選択トランジスタ101がオン状態となる。これにより、セル容量 C_{cell} とビット線容量 C_{bl} とが容量結合する。これにより、メモリセルに蓄えられていた電荷量によって、ビット線電位が決まるので、その電位を読み出すことができる。

10

【0004】

上記のような構成を有する従来のDRAMのメモリセルにおいて、微細化された場合にもキャパシタ102のセル容量 C_{cell} を確保するために、図39に示すように、キャパシタ102を構成する上部電極102aおよび下部電極102cならびに誘電体膜102bを縦方向に延ばしたトレンチ型キャパシタが用いられている。しかしながら、さらに微細化が進むと、図39に示したトレンチ型キャパシタを用いてもキャパシタ102の容量を確保することが困難になってきている。すなわち、デザインルールの縮小によるDRAMの高集積化は、限界に近づいてきている。

20

【0005】

また、不揮発性メモリとしてのフラッシュEEPROM(以下、フラッシュメモリという)では、スタック型およびスプリットゲート型などのCHE(チャネルホットエレクトロン)書き込み方式のメモリセルは、チャネル長の微細化に限界がある。また、NAND型などのFN(ファウラーノルドハイム)書き込み方式のメモリセルでは、微細化の限界は、ロジックトランジスタと同等である。しかし、フラッシュメモリの動作には、15V~20Vの高電圧が必要であり、ロジックトランジスタの低電源電圧化が進むと、その低電源電圧から15V~20Vの高電圧を生成する際の生成効率が低下する。このため、電力消費が増大するとともにチャージポンプ部の面積も大きくなるので、微細化の妨げになるという問題がある。

30

【0006】

一方、近年注目されている不揮発性メモリの1つとして、強誘電体メモリが知られている(たとえば、特許文献1)。この強誘電体メモリは、強誘電体の分極方向による擬似的な容量変化をメモリ素子として利用するメモリである。この強誘電体メモリは、原理的に、高速かつ低電圧でデータ書き換えが可能であるので、高速および低電圧というDRAMの利点と、不揮発性というフラッシュメモリの利点とを兼ね備えた理想のメモリとして脚光を浴びている。

【0007】

強誘電体メモリのメモリセル方式は、1トランジスタ1キャパシタ方式、単純マトリックス方式および1トランジスタ方式の3種類に大きく分類される。図40は、1トランジスタ1キャパシタ方式の強誘電体メモリのメモリセルを示した等価回路図である。また、図41は、単純マトリックス方式の強誘電体メモリのメモリセルアレイを示した等価回路図である。図42は、単純マトリックス方式の強誘電体メモリの動作を説明するためのヒステリシス図であり、図43は、単純マトリックス方式の強誘電体メモリにおけるディスタープ現象を説明するためのヒステリシス図である。また、図44は、1トランジスタ方式の強誘電体メモリのメモリセルを示した等価回路図である。

40

【0008】

まず、図40に示すように、1トランジスタ1キャパシタ方式の強誘電体メモリのメモ

50

リセル 113 は、DRAM と同様、1つの選択トランジスタ 111 と 1つの強誘電体キャパシタ 112 とによって構成されている。DRAM と異なる点は、キャパシタが強誘電体キャパシタ 112 である点である。動作としては、ワード線 WL が立ち上がることによって選択トランジスタ 111 がオン状態になる。これにより、強誘電体キャパシタ 112 のキャパシタ容量 C_{cell} とビット線容量 C_{bl} とが接続される。次に、プレート線 PL がパルス駆動されることによって、強誘電体キャパシタ 112 の分極方向によって異なる電荷量がビット線 BL に送られる。そして、DRAM の場合と同様、ビット線 BL の電位差として、データが読み出される。

【0009】

この 1 トランジスタ 1 キャパシタ方式の強誘電体メモリでは、DRAM と同様の構成を有するため、強誘電体キャパシタ 112 の微細化に限界がある。このため、DRAM と同様、高集積化には限界がある。

【0010】

次に、図 41 ~ 図 43 を参照して、単純マトリクス方式の強誘電体メモリについて説明する。単純マトリクス方式の強誘電体メモリのメモリセル 121 は、図 41 に示すように、互いに交差する方向に延びるように形成されたワード線 WL およびビット線 BL と、ワード線 WL およびビット線 BL の間に配置された強誘電体膜（図示せず）とからなる強誘電体キャパシタ 122 により構成されている。強誘電体キャパシタ 122 の一端は、ワード線 WL に接続されており、強誘電体キャパシタ 122 の他端は、ビット線 BL に接続されている。この単純マトリクス方式の強誘電体メモリでは、ビット線 BL と強誘電体キャパシタ 122 との容量結合による電位を読み出すので、DRAM と同様に、容量の確保が必要である。ただし、この単純マトリクス方式の強誘電体メモリでは、強誘電体キャパシタ 122 のみによってメモリセル 121 が構成されており、選択トランジスタが存在しないため、1 トランジスタ 1 キャパシタ方式よりも集積度を高めることができる。

【0011】

ここで、この単純マトリクス方式の強誘電体メモリの動作を図 42 および図 43 を参照して説明する。なお、読み出し / 書き込み時に各セルに印加される電圧を以下の表 1 に示す。

【0012】

【表 1】

	スタンバイ	読出し	書込み「1」	書込み「0」
選択 WL	$1/2 V_{cc}$	V_{cc}	0	V_{cc}
非選択 WL	$1/2 V_{cc}$	$1/3 V_{cc}$	$2/3 V_{cc}$	$1/3 V_{cc}$
選択 BL	$1/2 V_{cc}$	0→フローティング	V_{cc}	0
非選択 BL	$1/2 V_{cc}$	$2/3 V_{cc}$	$1/3 V_{cc}$	$2/3 V_{cc}$

書き込み動作としては、スタンバイ状態では、強誘電体キャパシタ 122 の両端は同一電位となっている。データ「0」を書き込むときには、ワード線 WL に V_{cc} を印加するとともに、ビット線 BL に 0 V を印加する。この時、強誘電体キャパシタ 122 には、 V_{cc} の電位差が印加される。これにより、図 42 に示した A 点に移る。その後、強誘電体キャパシタ 122 の両端を同一電位にすると、図 42 に示す「0」に遷移する。データ「1」を書き込むときには、ワード線 WL に 0 V を印加するとともに、ビット線 BL に V_{cc} を印加する。この時、強誘電体キャパシタ 122 には、 $-V_{cc}$ の電位差が印加される。これにより、図 42 の B 点に移る。この後、強誘電体キャパシタ 122 の両端を同一電位にすると、図 42 に示す「1」に遷移する。

【0013】

また、読み出し動作としては、まず、ビット線 BL を 0 V にプリチャージした後、フローティング状態とする。次に、ワード線 WL を V_{cc} に立ち上げる。この電位差 V_{cc} は

10

20

30

40

50

、強誘電体キャパシタ122の容量CFE、ビット線BLの寄生容量をCBLとすると、CFEとCBLとで容量分割される。強誘電体キャパシタ122の容量CFEは、保持されているデータによって、C0またはC1として近似することができる。そのため、ビット線BLの電位は以下の式(1)および式(2)によって表される。

【0014】

$$V_0 = \{ C_0 / (C_0 + C_{BL}) \} \times V_{cc} \quad \dots \dots (1)$$

$$V_1 = \{ C_1 / (C_1 + C_{BL}) \} \times V_{cc} \quad \dots \dots (2)$$

上記式(1)は、データ「0」が保持されているときのビット線BLの電位V0を示しており、上記式(2)は、データ「1」が保持されているときのビットBLの電位V1を示している。

10

【0015】

上記式(1)のビット線電位V0と上記式(2)によるビット線電位V1との電位差をリードアップによって判別することによりデータの読み出しを行う。このデータの読み出し時に、メモリセルのデータは破壊されるので、データの読み出し後に、読み出しデータに応じた書き込み動作(リストア)を行う。

【0016】

なお、単純マトリクス方式の強誘電体メモリには、非選択メモリセルのデータが消えるディスターブという不都合がある。すなわち、全ての非選択のメモリセルには、書き込み時および読み出し時に、 $1/3 V_{cc}$ の電位差が印加されることになる。したがって、図43に示すように、強誘電体の持つヒステリシス特性によって、分極量が減少していき、その結果、データが消えてしまう。

20

【0017】

次に、図40、図42および図44を参照して、1トランジスタ方式の強誘電体メモリについて説明する。1トランジスタ方式の強誘電体メモリのメモリセル131は、図44に示すように、MOSトランジスタ133のゲートに、強誘電体キャパシタ132を接続した構成を有する。また、この1トランジスタ方式の強誘電体メモリでは、強誘電体キャパシタ132の一端は、ワード線WLに接続されており、強誘電体キャパシタ132の他端は、セルトランジスタを構成するMOSトランジスタ133のゲートに接続されている。この1トランジスタ方式の強誘電体メモリでは、強誘電体キャパシタ132の分極方向によって、MOSトランジスタ133のしきい値電位差が変化するので、メモリセル電流が変化する。このメモリセル電流の変化を判別することによって、データが読み出される。この1トランジスタ方式の強誘電体メモリでは、メモリセル電流を検出することによりデータの読み出しが行われるので、図40に示した1トランジスタ1キャパシタ方式の強誘電体メモリのように、ビット線容量を考慮して強誘電体キャパシタのキャパシタ容量をある程度大きくする必要がない。このため、強誘電体キャパシタ132を小さくすることができるので、微細化に適している。

30

【0018】

以下、1トランジスタ方式の強誘電体メモリの動作について説明する。なお、1トランジスタ方式の強誘電体メモリは、上記した単純マトリクス方式の強誘電体メモリと同様のヒステリシス曲線を有するので、図42を参照して動作説明を行う。まず、スタンバイ状態では、全てのワード線WL、ビット線BLおよびソース線SLは0Vとなっている。書き込み動作としては、データ「0」を書き込む際には、ワード線WLにVpp(昇圧電位差)を印加する。この時、強誘電体キャパシタ132には、MOSトランジスタ133のゲート容量と容量分割された電位Vccが印加される。これにより、初期状態であるにもかかわらず、図42に示した点Aに移る。その後、ワード線WLを0Vに戻すと、図42に示したデータ「0」に遷移する。データ「1」を書き込む際には、ワード線WLに0V、ビット線BLにVppを印加する。この場合、強誘電体キャパシタ132には、 $-V_{cc}$ の電位差が印加される。これにより、図42に示したB点に移る。その後、ビット線BLを0Vに戻すと、図42に示したデータ「1」に遷移する。

40

【0019】

50

1トランジスタ方式の強誘電体メモリの読み出し動作の際には、ワード線WLを分極反転しない程度の電位差 V_r に立ち上げることにより行う。これにより、セルトランジスタ(MOSTランジスタ)133のゲート電位差が書き込み状態によって変化する。そして、セルトランジスタ133のゲート電位差の変化によってセルトランジスタ133を流れる電流が異なるので、その電流差をビット線BLを通じて読み出す。すなわち、1トランジスタ方式の強誘電体メモリでは、強誘電体キャパシタとビット線容量との容量結合による電位差ではなく、セルトランジスタの電流を読み出せばよいので、読み出し時の分極反転は必要ない。このため、非破壊読み出しが可能である。ただし、この1トランジスタ方式の強誘電体メモリでは、上記した単純マトリクス方式の強誘電体メモリと同様、非選択メモリセルのディスターブの問題がある。

10

【特許文献1】特開2001-210795号公報

【発明の開示】

【発明が解決しようとする課題】

【0020】

上記のように、従来のDRAMおよびフラッシュメモリの微細化は困難になってきているため、より高集積化が可能なメモリセル方式が求められている。その一方、強誘電体メモリの1トランジスタ方式および単純マトリクス方式は高集積化が可能である反面、上記したような非選択メモリセルのデータが消失するディスターブ現象の問題があった。このため、従来の1トランジスタ方式および単純マトリクス方式の強誘電体メモリの実用化は困難であるという問題点があった。

20

【0021】

この発明は上記のような課題を解決するためになされたものであり、この発明の1つの目的は、非選択メモリセルのデータが消失するディスターブ現象を抑制することが可能なメモリを提供することである。

【課題を解決するための手段および発明の効果】

【0022】

上記目的を達成するために、この発明の一の局面によるメモリは、ビット線と、ビット線と交差するように配置されたワード線と、ビット線とワード線との間に接続され、第1データまたは第2データを保持するメモリセルとを含むメモリセルアレイを備えている。そして、選択されたワード線に接続される全てのメモリセルに対して一括して行われる読み出し動作に加えて、少なくとも非選択のメモリセルに、読み出し動作において非選択のメモリセルに印加される第1電圧とは逆極性の第2電圧を印加する。

30

【0023】

この一の局面によるメモリでは、上記のように、選択されたワード線に接続される全てのメモリセルに対して一括して行われる読み出し動作に加えて、少なくとも非選択のメモリセルに、読み出し動作において非選択のメモリセルに印加される第1電圧とは逆極性の第2電圧を印加することによって、読み出し動作において非選択のメモリセルに第1電圧が印加されることにより非選択のメモリセルの分極状態が劣化したとしても、第2電圧の印加により非選択のメモリセルの分極状態を改善することができる。その結果、非選択のメモリセルに保持された第1データまたは第2データが消失するディスターブ現象を抑制することができる。

40

【0024】

上記一の局面によるメモリにおいて、好ましくは、読み出し動作および読み出しデータを再び書き込む再書き込み動作を通じて、少なくとも非選択のメモリセルに、第1電圧および第1電圧とは逆極性の第2電圧を同じ回数ずつ印加する。このように構成すれば、読み出し動作および再書き込み動作を通じて、非選択のメモリセルの分極状態の劣化および改善がそれぞれ同じ回数ずつ生じるので、非選択のメモリセルの分極状態が劣化するのを抑制することができる。これにより、読み出し動作および再書き込み動作を繰り返したとしても、非選択のメモリセルの分極状態の劣化が蓄積されることがないので、非選択のメモリセルのディスターブ現象を確実に防止することができる。また、メモリセルの分極状

50

態にばらつきがある場合にも、非選択のメモリセルの分極状態の劣化が蓄積されることがないので、分極量が少ない一部の非選択のメモリセルがさらに劣化するのを抑制することができる。これにより、分極量が少ない非選択のメモリセルのデータのみが消失するという不都合も生じない。

【 0 0 2 5 】

上記一の局面によるメモリにおいて、好ましくは、非選択のワード線、選択されたメモリセルに接続される全てのビット線、および、選択および非選択の全てのワード線のうちのいずれかを駆動することにより、非選択のメモリセルに、読み出し動作において非選択のメモリセルに印加される第1電圧とは逆極性の第2電圧を印加する。このように構成すれば、容易に、非選択のメモリセルに、読み出し動作において非選択のメモリセルに印加される第1電圧とは逆極性の第2電圧を印加することができる。

10

【 0 0 2 6 】

上記一の局面によるメモリにおいて、好ましくは、第2電圧は、読み出し動作において第1データが読み出されたビット線に発生する電圧よりも小さく、かつ、読み出し動作において第2データが読み出されたビット線に発生する電圧よりも大きい。このように構成すれば、非選択のメモリセルの分極量の減少と回復（増加）とのバランスを向上させることができる。

【 0 0 2 7 】

上記一の局面によるメモリにおいて、好ましくは、第2電圧は、読み出し動作において第1データが読み出されたビット線に接続される非選択のメモリセルに印加する第3電圧と、読み出し動作において第2データが読み出されたビット線に接続される非選択のメモリセルに印加する第4電圧とを含む。このように構成すれば、第3電圧を、読み出し動作において第1データが読み出されたビット線に接続される非選択のメモリセルに印加された電圧と実質的に同じ値にすることができるとともに、第4電圧を、読み出し動作において第2データが読み出されたビット線に接続される非選択のメモリセルに印加された電圧と実質的に同じ値にすることができる。これにより、読み出し動作において第1データが読み出されたビット線に接続される非選択のメモリセルの減少した分極量と、第3電圧を印加することにより回復する分極量とを実質的に同じ量にすることができるとともに、読み出し動作において第2データが読み出されたビット線に接続される非選択のメモリセルの減少した分極量と、第4電圧を印加することにより回復する分極量とを実質的に同じ量にすることができる。その結果、読み出し動作において第1データおよび第2データが読み出されたビット線に接続されるそれぞれの非選択のメモリセルの分極量の減少と回復とのバランスをより向上させることができる。

20

30

【 0 0 2 8 】

上記一の局面によるメモリにおいて、好ましくは、読み出し動作は、非選択のメモリセルに第2電圧を印加した直後に、全てのビット線をフローティング状態にするとともに、選択されたワード線に第1データおよび第2データを読み出すための電圧を印加する。このように構成すれば、第1データおよび第2データを読み出すための電圧に第2電圧が加算されるので、第1データおよび第2データを読み出すための電圧以上の電圧を選択されたメモリセルに印加することができる。これにより、第1データの読み出し電位と第2データの読み出し電位との電位差を大きくとることができるので、メモリの読み出し精度を向上させることができる。

40

【 0 0 2 9 】

上記一の局面によるメモリにおいて、好ましくは、読み出し動作では、初期状態から全てのビット線をフローティング状態にするとともに、選択されたワード線に読み出しのための第5電圧を印加することによって、非選択のメモリセルに第2電圧を印加した後、全てのビット線をフローティング状態にするとともに、選択されたワード線に読み出しのための第6電圧を印加し、第6電圧を印加した後にビット線に発生する電圧と、初期状態のビット線の電圧とに基づいて、データの読み出しを行う。このように構成すれば、第6電圧を印加した後にビット線に発生する電圧と、初期状態のビット線の電圧とに基づいてデ

50

ータの自己判別を行うことができるので、参照電圧が不要になる。また、選択されたワード線に読み出しのための第5電圧を印加することにより非選択のメモリセルに第2電圧が印加されるので、読み出し動作において非選択のメモリセルに第1電圧が印加されることにより非選択のメモリセルの分極状態が劣化したとしても、第5電圧の印加により非選択のメモリセルの分極状態を改善することができる。その結果、参照電圧を別途生成する必要がなく、かつ、ディスタープ現象を抑制することが可能なメモリを得ることができる。また、セル特性にばらつきがあったとしても、データの自己判別を行うことができるので、参照電圧と比較することによりデータの判別を行う場合に比べて、セル特性のばらつきの影響を抑制することができる。

【0030】

10

この場合、好ましくは、ビット線に接続され、所定の論理しきい値電圧を有するとともに、データの読み出しを行うチョッパコンパレータをさらに備え、チョッパコンパレータは、論理しきい値電圧と、ビット線に発生する読み出し電圧とに基づいて、データの判別を行う。このように構成すれば、論理しきい値電圧と、ビット線に発生する読み出し電圧とを比較することにより、容易に、データの自己判別を行うことができる。

【0031】

なお、上記一の局面によるメモリにおいて、再書き込み動作は、複数の動作からなることが好ましい。

【発明を実施するための最良の形態】

【0032】

20

以下、本発明の実施形態を図面に基づいて説明する。

【0033】

(第1実施形態)

この発明の第1実施形態は、単純マトリクス型の強誘電体メモリの任意のワード線に接続される全てのメモリセルに対して一括して行われる読み出し・再書き込み動作に関するものである。

【0034】

図1は、本発明の第1実施形態による単純マトリクス型の強誘電体メモリの全体構成を示したブロック図である。図1を参照して、第1実施形態の単純マトリクス方式の強誘電体メモリの全体構成について説明する。

30

【0035】

第1実施形態による強誘電体メモリは、図1に示すように、メモリセルアレイ1と、ロウデコーダ2と、カラムデコーダ3と、ロウアドレスバッファ4と、カラムアドレスバッファ5と、ライトアンプ6と、入力バッファ7と、電圧センスアンプからなるリードアンプ8と、出力バッファ9と、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路10とを備えている。

【0036】

メモリセルアレイ1は、強誘電体キャパシタ(図示せず)のみからなる単純マトリクス方式のメモリセルを複数個含んでいる。すなわち、第1実施形態の単純マトリクス方式のメモリセルは、図41に示した従来の単純マトリクス方式のメモリセルと同様、互いに交差する方向に延びるように形成されたワード線WLおよびビット線BLと、ワード線WLおよびビット線BLの間に配置された強誘電体膜(図示せず)とからなる強誘電体キャパシタにより構成されている。また、図1に示すように、メモリセルアレイ1のワード線WLには、ロウデコーダ2が接続されているとともに、ビット線BLには、カラムデコーダ3が接続されている。ロウデコーダ2およびカラムデコーダ3には、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路10が接続されている。これにより、ワード線WLおよびビット線BLに、 $1/3V_{cc}$ および $2/3V_{cc}$ を印加することが可能となる。また、ロウデコーダ2およびカラムデコーダ3は、ワード線WLおよびビット線BLに、 V_{cc} (電源電圧または電源電圧に基づいて生成された電圧)および0Vを印加することが可能なように構成されている。

40

【0037】

50

図2は、図1に示した第1実施形態による強誘電体メモリの $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路の内部構成を示した回路図である。図2に示すように、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路10は、2つの $1/2V_{cc}$ 生成回路11aおよび11bを組み合わせることによって構成されている。この $1/2V_{cc}$ 生成回路11a(11b)は、2つの電圧入力端子12a(12b)および13a(13b)と、1つの電圧出力端子14a(14b)とを有している。また、一方の $1/2V_{cc}$ 生成回路11aの電圧入力端子12aには、 V_{cc} が印加されているとともに、電圧入力端子13aは、他方の $1/2V_{cc}$ 生成回路11bの電圧出力端子14bと接続されている。また、一方の $1/2V_{cc}$ 生成回路11aの電圧出力端子14aは、他方の $1/2V_{cc}$ 生成回路11bの電圧入力端子12bと接続されている。さらに、他方の $1/2V_{cc}$ 生成回路11bの電圧入力端子13bには、0Vが印加されている。

10

【0038】

このように構成することにより、 $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路10の一方の電圧出力端子15a(一方の $1/2V_{cc}$ 生成回路11aの電圧出力端子14a)からは、 V_{cc} と $1/3V_{cc}$ との中間の電圧である $2/3V_{cc}$ が得られる。また、他方の電圧出力端子15b(他方の $1/2V_{cc}$ 生成回路11bの電圧出力端子14b)からは、 $2/3V_{cc}$ と0Vとの中間の電圧である $1/3V_{cc}$ が得られる。

【0039】

図3は、本発明の第1実施形態による強誘電体メモリの選択されたメモリセルが保持するデータを説明するための概略図である。図4は、本発明の第1実施形態による強誘電体メモリのセル領域の定義を説明するための概略図である。図5は、本発明の第1実施形態による強誘電体メモリの読み出し-再書き込み動作を説明するための電圧波形図である。図6、図11、図14および図19は、本発明の第1実施形態による強誘電体メモリのメモリセルアレイに生じる電位差を示した分布図である。図7~図10、図12、図13、図15~図18および図20~図23は、本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

20

【0040】

次に、図3~図23を参照して、第1実施形態による強誘電体メモリの読み出し-再書き込み動作について説明する。なお、第1実施形態では、図3に示すように、選択されたワード線をワード線WL3(以下、選択ワード線WL3という)とするとともに、非選択のワード線をワード線WL0~WL2およびWL4~WL7(以下、非選択ワード線WL0~WL2およびWL4~WL7という)とする。また、選択ワード線WL3に接続されるメモリセルのうち、ビット線BL3およびビット線BL5に接続されるメモリセルにはデータ「1」が記憶されており、それ以外のビット線BL0~BL2、BL4、BL6、BL7に接続されるメモリセルにはデータ「0」が記憶されているとする。また、図4に示すように、選択ワードWL3に接続されるメモリセルのうち、データ「0」を記憶しているメモリセル群を第1セル領域、選択ワード線WL3に接続されるメモリセルのうち、データ「1」を記憶しているメモリセル群を第2セル領域とする。また、非選択ワードWL0~WL2およびWL4~WL7に接続されるメモリセルのうち、ビット線BL3およびビット線BL5に接続されたメモリセル群を第3セル領域、非選択ワードWL0~WL2およびWL4~WL7に接続されるメモリセルのうち、ビット線BL0~BL2、BL4、BL6およびBL7に接続されるメモリセル群を第4セル領域とする。すなわち、第1セル領域および第2セル領域のメモリセルが選択メモリセルであり、第3セル領域および第4セル領域のメモリセルが非選択メモリセルである。なお、データ「1」およびデータ「0」は、それぞれ、本発明の「第1データ」および「第2データ」の一例である。なお、後述する読み出し-再書き込み動作の説明において、メモリセルの分極状態の劣化とは、メモリセルの分極量が減少することであり、メモリセルの分極状態の改善とは、メモリセルの分極量が回復(増加)することである。

30

40

【0041】

第1実施形態による強誘電体メモリの読み出し-再書き込み動作は、図5に示すように

50

T1、Tad、T2およびT3の期間で行われる。なお、T2およびT3の期間は、それぞれの期間において互いに逆極性の電圧をメモリセルに印加した場合に、メモリセルで発生する分極量の変化が等しくなるように決定する。通常、T2およびT3の期間は同じT秒である。また、T1、Tad、T2およびT3の期間で行う各動作は、連続して行ってもよいし、それぞれ独立して行ってもよい。

【0042】

以下に、T1、Tad、T2およびT3の期間での各動作について説明する。まず、T1以前の期間はスタンバイ状態になっており、全てのビット線BL0～BL7と全てのワード線WL0～WL7とは、0Vになっている。そして、外部信号または内部により発生した信号などにより動作が活性化されると、T1の期間に移行する。

10

【0043】

(T1の期間：読み出し動作)

T1の期間では、全てのビット線BL0～BL7の電位を0V(スタンバイ状態)からt1の期間フローティング状態にするとともに、同じタイミングか、または、数nsec～数十nsec遅らせて選択ワード線WL3の電位をVccにする。また、非選択ワード線WL0～WL2およびWL4～WL7を0Vに保持する。この際、ビット線BL0～BL2、BL4、BL6およびBL7の電位が読み出し電位Vr0になるとともに、ビット線BL3およびBL5の電位が読み出し電位Vr1になる。この状態で全てのビット線BL0～BL7の電圧を検知することによって、データ「0」またはデータ「1」の判定を行う。このデータ「0」または「1」の判別は、ビット線BL0～BL7の電圧と別途生成された参照電圧とを、電圧センスアンプからなるリードアンプ8(図1参照)により比較することによって行う。

20

【0044】

ここで、t1の期間において、第1～第4セル領域(図4参照)のメモリセルには、図6の上図に示すような電位差が生じる。すなわち、第1セル領域のメモリセル(選択メモリセル)には、Vcc-Vr0の電圧が印加される。また、第2セル領域のメモリセル(選択メモリセル)には、Vcc-Vr1の電圧が印加される。また、第3セル領域のメモリセル(非選択メモリセル)には、-Vr1の電圧が印加される。また、第4セル領域のメモリセル(非選択メモリセル)には、-Vr0の電圧が印加される。なお、非選択メモリセルに印加される-Vr1の電圧および-Vr0の電圧は、本発明の「第1電圧」の一例である。そして、t1の期間の経過後、全てのビット線BL0～BL7の電位を0Vにする。この期間がt1以外のT1の期間に相当し、第1～第4セル領域のメモリセルには、図6の下図に示すような電位差が生じる。すなわち、第1および第2セル領域のメモリセルには、Vccの電圧が印加され、第3および第4セル領域のメモリセルには、電位差が生じない。T1の期間の経過後、選択ワード線WL3の電位を0V(スタンバイ状態)にすることによって、読み出し動作を完了する。

30

【0045】

なお、T1の期間において、第1および第2セル領域のメモリセル(選択メモリセル)の分極変化は、それぞれ、図7および図8に示されるようになる。すなわち、図7に示すように、データ「0」が記憶されていた第1セル領域のメモリセルは、分極反転しないので、データ「0」が破壊されない。その一方、図8に示すように、データ「1」が記憶されていた第2セル領域のメモリセルは、分極反転することにより、データ「1」が破壊されてデータ「0」が書き込まれる。

40

【0046】

また、T1の期間において、第3および第4セル領域のメモリセル(非選択メモリセル)の分極変化は、それぞれ、図9および図10に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図9に示すように、第3セル領域のメモリセルがデータ「0」を保持していた場合には、分極状態の劣化が生じるとともに、データ「1」を保持していた場合には、分極状態の改善が生じる。また、図10に示すように、第4セル領域のメモリセルがデータ「0」を保持していた場合には、分極状

50

態の劣化が生じるとともに、データ「1」を保持していた場合には、分極状態の改善が生じる。

【0047】

(Tadの期間)

次に、第1実施形態では、図5に示すように、T1の期間において第3および第4セル領域のメモリセル(非選択メモリセル)に印加された電圧とは逆極性の電圧を、第3および第4セル領域のメモリセルに印加する。具体的には、非選択ワード線WL0~WL2およびWL4~WL7の電位をVpにする。ここで、第1実施形態では、Vpを、 $Vr0 < Vp < Vr1$ の関係式を満たすように設定する。また、選択ワード線WL3および全てのビット線BL0~BL7を0Vに保持する。

10

【0048】

ここで、Tadの期間において、第1~第4セル領域のメモリセルには、図11に示すような電位差が生じる。すなわち、第1および第2領域のメモリセル(選択メモリセル)には、電位差が生じない。また、第3および第4領域のメモリセル(非選択メモリセル)には、 $-Vr1$ および $-Vr0$ とは逆極性の電圧であるVpが印加される。なお、第3および第4セル領域のメモリセルにVpの電圧を印加する期間は、T1の期間において第3および第4セル領域のメモリセルに $-Vr1$ および $-Vr0$ の電圧が印加されたt1の期間と同じ期間にするのが好ましい。なお、Vpの電圧は、本発明の「第2電圧」の一例である。そして、Tadの期間の経過後、非選択ワード線WL0~WL2およびWL4~WL7の電位を0V(スタンバイ状態)にする。

20

【0049】

なお、Tadの期間において、第3および第4セル領域のメモリセル(非選択メモリセル)の分極変化は、それぞれ、図12および図13に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図12に示すように、第3セル領域のメモリセルがデータ「0」を保持していた場合には、分極状態の改善が生じるとともに、データ「1」を保持していた場合には、分極状態の劣化が生じる。また、図13に示すように、第4セル領域のメモリセルがデータ「0」を保持していた場合には、分極状態の改善が生じるとともに、データ「1」を保持していた場合には、分極状態の劣化が生じる。

【0050】

ここで、第1実施形態では、上記したように、Vpを $Vr0 < Vp < Vr1$ の関係式を満たすように設定しているため、第3および第4セル領域のメモリセル(非選択メモリセル)の分極量の減少(分極状態の劣化)と分極量の回復(分極状態の改善)とのバランスを向上させることができる。この理由を、図10、図12および図13を参照して説明する。データ「0」を保持していた第4領域のメモリセルは、T1の期間(図10参照)において、分極量が減少する。この場合、 $Vp < Vr0$ 、 $Vr0 < Vp < Vr1$ および $Vr1 < Vp$ の3つの関係式のうち、 $Vp < Vr0$ であれば、Vpが最も小さいため、Tadの期間(図13参照)における分極量の回復が最も劣る(小さい)ことになる。この場合には、T1の期間における分極量の減少とTadの期間における分極量の回復とがアンバランスになる。また、データ「1」を保持していた第3領域のメモリセルは、T1の期間(図10参照)において、分極量が回復する。この場合、Tadの期間(図12参照)において、 $Vr1 < Vp$ であれば、Vpが最も大きいため、Tadの期間における分極量の減少が最も大きくなることになる。この場合にも、T1の期間における分極量の増加とTadの期間における分極量の減少とがアンバランスになる。これに対して、Vpを $Vr0 < Vp < Vr1$ の関係式を満たすように設定している第1実施形態では、Tadの期間における分極量の回復を $Vp < Vr0$ の場合に比べて大きくすることができるとともに、Tadの期間における分極量の減少を $Vr1 < Vp$ の場合に比べて小さくすることができる。これにより、第1実施形態では、第3および第4セル領域のメモリセル(非選択メモリセル)の分極量の減少と回復とのアンバランスの程度が小さくなるので、分極量の減少と回復とのバランスを向上させることができる。

30

40

50

【 0 0 5 1 】

(T 2 および T 3 の期間：再書き込み動作)

次に、図 5 に示すように、T 2 の期間において、選択ワード線 W L 3 の電位を V c c にするとともに、非選択ワード線 W L 0 ~ W L 2 および W L 4 ~ W L 7 の電位を 1 / 3 V c c にする。また、この T 2 の期間では、読み出し動作においてデータ「 1 」が読み出されたメモリセルに接続されるビット線 B L 3 および B L 5 の電位を 0 V に保持するとともに、読み出し動作においてデータ「 0 」が読み出されたメモリセルに接続されるビット線 B L 0 ~ B L 2、B L 4、B L 6 および B L 7 の電位を 2 / 3 V c c にする。この T 2 の期間は、後の T 3 の期間（第 2 セル領域のメモリセルにデータ「 1 」を再書き込みする期間）において、第 3 および第 4 セル領域のメモリセル（非選択メモリセル）に印加される電圧とは逆極性の電圧を印加するために設けられている。すなわち、T 2 の期間において第 3 および第 4 セル領域のメモリセルの分極状態が劣化（改善）する場合には、T 3 の期間において第 3 および第 4 セル領域のメモリセルの分極状態が改善（劣化）する。

10

【 0 0 5 2 】

ここで、T 2 の期間において、第 1 ~ 第 4 セル領域のメモリセルには、図 1 4 に示すような電位差が生じる。すなわち、第 1 セル領域のメモリセル（選択メモリセル）および第 3 セル領域のメモリセル（非選択メモリセル）には 1 / 3 V c c、第 2 セル領域のメモリセル（選択メモリセル）には V c c、第 4 セル領域のメモリセル（非選択メモリセル）には - 1 / 3 V c c の電圧が印加される。T 2 の期間の経過後、全てのワード線 W L 0 ~ W L 7 およびビット線 B L 0 ~ B L 2、B L 4、B L 6 および B L 7 の電位を 0 V（スタンバイ状態）にする。

20

【 0 0 5 3 】

なお、T 2 の期間において、第 1 および第 2 セル領域のメモリセル（選択メモリセル）の分極変化は、それぞれ、図 1 5 および図 1 6 に示されるようになる。すなわち、図 1 5 に示すように、データ「 0 」が記憶されていた第 1 セル領域のメモリセルは、1 / 3 V c c の電圧が印加されるため、分極状態が改善される。また、図 1 6 に示すように、T 1 の期間でデータ「 0 」が書き込まれた第 2 セル領域のメモリセルは、V c c の電圧が印加されるため、データ「 0 」が再書き込みされる。

【 0 0 5 4 】

また、T 2 の期間において、第 3 および第 4 セル領域のメモリセル（非選択メモリセル）の分極変化は、それぞれ、図 1 7 および図 1 8 に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図 1 7 に示すように、第 3 セル領域のメモリセルがデータ「 0 」を保持していた場合には、分極状態の改善が生じるとともに、データ「 1 」を保持していた場合には、分極状態の劣化が生じる。また、図 1 8 に示すように、第 4 セル領域のメモリセルがデータ「 0 」を保持していた場合には、分極状態の劣化が生じるとともに、データ「 1 」を保持していた場合には、分極状態の改善が生じる。

30

【 0 0 5 5 】

次に、図 5 に示すように、T 3 の期間において、選択ワード線 W L 3 の電位を 0 V（スタンバイ状態）に保持するとともに、非選択ワード線 W L 0 ~ W L 2 および W L 4 ~ W L 7 の電位を 2 / 3 V c c にする。また、この T 3 の期間では、読み出し動作においてデータ「 1 」が読み出されたメモリセルに接続されるビット線 B L 3 および B L 5 の電位を V c c にするとともに、読み出し動作においてデータ「 0 」が読み出されたメモリセルに接続されるビット線 B L 0 ~ B L 2、B L 4、B L 6 および B L 7 の電位を 1 / 3 V c c にする。

40

【 0 0 5 6 】

ここで、T 3 の期間において、第 1 ~ 第 4 セル領域のメモリセルには、図 1 9 に示すような電位差が生じる。すなわち、第 1 セル領域のメモリセル（選択メモリセル）および第 3 セル領域のメモリセル（非選択メモリセル）には - 1 / 3 V c c、第 2 セル領域のメモリセル（選択メモリセル）には - V c c、第 4 セル領域のメモリセル（非選択メモリセル）

50

)には $1/3V_{cc}$ の電圧が印加される。T3の期間の経過後、非選択ワード線WL0～WL2およびWL4～WL7、および、全てのビット線BL0～BL7の電位を0V（スタンバイ状態）にすることにより、一連の読み出し-再書き込み動作を終了する。

【0057】

なお、T3の期間において、第1および第2セル領域のメモリセル（選択メモリセル）の分極変化は、それぞれ、図20および図21に示されるようになる。すなわち、図20に示すように、データ「0」が記憶されていた第1セル領域のメモリセルは、 $-1/3V_{cc}$ の電圧が印加されるため、分極状態が劣化する。また、図21に示すように、T2の期間でデータ「0」が再書き込みされた第2セル領域のメモリセルは、 $-V_{cc}$ の電圧が印加されるため、データ「1」が書き込まれる。これにより、読み出し動作によって破壊されたデータ「1」の再書き込みが完了する。

10

【0058】

また、T3の期間において、第3および第4セル領域のメモリセル（非選択メモリセル）の分極変化は、それぞれ、図22および図23に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図22に示すように、第3セル領域のメモリセルがデータ「0」を保持していた場合には、分極状態の劣化が生じるとともに、データ「1」を保持していた場合には、分極状態の改善が生じる。また、図23に示すように、第4セル領域のメモリセルがデータ「0」を保持していた場合には、分極状態の改善が生じ、データ「1」を保持していた場合には、分極状態の劣化が生じる。これにより、 t_1 （T1）、Tad、T2およびT3の期間を通じて、分極状態の改善および劣化が同じ回数ずつ生じる。

20

【0059】

第1実施形態では、上記のように、第1および第2セル領域のメモリセル（選択メモリセル）に対して一括して行われる読み出し動作（T1の期間）および再書き込み動作（T2およびT3の期間）に加えて、第3および第4セル領域のメモリセル（非選択メモリセル）に、読み出し動作において第3および第4セル領域のメモリセルに印加される電圧（ $-V_{r1}$ および $-V_{r0}$ ）とは逆極性の電圧である V_p を印加することによって、読み出し動作において第3および第4セル領域のメモリセルにそれぞれ $-V_{r1}$ および $-V_{r0}$ の電圧が印加されることにより第3および第4セル領域のメモリセルの分極状態が劣化したとしても、第3および第4セル領域のメモリセルの分極状態を改善することができる。

また、読み出し動作（T1およびTadの期間）および再書き込み動作（T2およびT3の期間）を通じて、第3および第4セル領域のメモリセルに互いに逆極性の電圧を同じ回数ずつ印加することによって、読み出し動作および再書き込み動作を通じて、第3および第4セル領域のメモリセルの分極状態の劣化および改善が同じ回数ずつ生じるので、第3および第4セル領域のメモリセルの分極状態が劣化するのを抑制することができる。これにより、読み出し動作および再書き込み動作を繰り返したとしても、第3および第4セル領域のメモリセルの分極状態の劣化が蓄積されることがないので、第3および第4セル領域のメモリセルに保持されたデータ「1」またはデータ「0」が消失するディスタ urb現象を確実に防止することができる。また、メモリセルの分極状態にばらつきがある場合にも、第3および第4セル領域のメモリセルの分極状態の劣化が蓄積されることがないので、分極量が少ない一部の第3および第4セル領域のメモリセルがさらに劣化するのを抑制することができる。これにより、分極量が少ない第3および第4セル領域のメモリセルのデータのみが消失するという不都合も生じない。

30

40

【0060】

図24は、第1実施形態の変形例による強誘電体メモリの読み出し-再書き込み動作を説明するための電圧波形図である。図24を参照して、この第1実施形態の変形例では、Tadの期間において非選択ワード線WL0～WL2およびWL4～WL7の電位を変化させた上記第1実施形態と異なり、Tadの期間において、非選択ワード線WL0～WL2およびWL4～WL7の電位を0Vに保持するとともに、全てのビット線BL0～BL7の電位を $-V_p$ にすることによって、第3および第4セル領域のメモリセル（非選択メ

50

メモリセル)に、 $-V_{r1}$ および $-V_{r0}$ とは逆極性の電圧である V_p を印加する。このような構成にする場合においても、 T_{ad} の期間における第3および第4セル領域のメモリセル(非選択メモリセル)の分極変化を、図12および図13に示した第1実施形態と同様にすることができる。

【0061】

(第2実施形態)

図25は、本発明の第2実施形態による強誘電体メモリの読み出し-再書き込み動作を説明するための電圧波形図である。図26および図27は、本発明の第2実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。図25~図27を参照して、この第2実施形態では、上記第1実施形態と異なり、 T_{ad} の期間において第3および第4セル領域のメモリセル(非選択メモリセル)に印加する電圧を、第3領域のメモリセルと第4セル領域のメモリセルとで異ならせる場合について説明する。なお、第2実施形態による強誘電体メモリの T_1 、 T_2 および T_3 の期間の動作は、上記第1実施形態と同様である。

10

【0062】

(T_{ad} の期間)

この第2実施形態では、図25に示すように、 T_1 の期間の経過後、全てのワード線 $WL_0 \sim WL_7$ および全てのビット線 $BL_0 \sim BL_7$ の電位を $0V$ (スタンバイ状態)にした後、読み出し動作においてデータ「1」が読み出されたメモリセルに接続されるビット線 BL_3 および BL_5 の電位を $-V_{p1}$ にする。また、読み出し動作においてデータ「0」が読み出されたメモリセルに接続されるビット線 $BL_0 \sim BL_2$ 、 BL_4 、 BL_6 および BL_7 の電位を $-V_{p0}$ にする。なお、 V_{p1} および V_{p0} は、 $V_{p1} > V_{p0}$ の関係式を満たしている。ここで、第2実施形態では、 V_{p1} を $V_{p1} - V_{r1}$ の関係式を満たすように、かつ、 V_{p0} を $V_{p0} - V_{r0}$ の関係式を満たすように設定する。これにより、第3および第4セル領域のメモリセル(非選択メモリセル)に、それぞれ、 T_1 の期間(読み出し動作)の際に印加される電圧である $-V_{r1}$ および $-V_{r0}$ とは逆極性の電圧である V_{p1} および V_{p0} を印加する。なお、 V_{p1} および V_{p0} の電圧は、それぞれ、本発明の「第3電圧」および「第4電圧」の一例である。そして、 T_{ad} の期間の経過後、全てのビット線 $BL_0 \sim BL_7$ の電位を $0V$ (スタンバイ状態)にする。なお、 T_1 の期間(読み出し動作)および T_2 および T_3 の期間(再書き込みの動作)に第1~第4セル領域のメモリセルに印加される電圧は、上記第1実施形態と同様である。

20

30

【0063】

なお、 $t_1(T_1)$ 、 T_{ad} 、 T_2 および T_3 の期間において、第3および第4セル領域のメモリセル(非選択メモリセル)の分極変化は、それぞれ、図26および図27に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図26に示すように、第3セル領域のメモリセルがデータ「0」を保持していた場合には、 $t_1(T_1)$ および T_{ad} の期間に、それぞれ、分極状態の劣化および改善が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の改善および劣化が生じる。また、第3セル領域のメモリセルがデータ「1」を保持していた場合には、 $t_1(T_1)$ および T_{ad} の期間に、それぞれ、分極状態の改善および劣化が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の劣化および改善が生じる。

40

【0064】

また、図27に示すように、第4セル領域のメモリセルがデータ「0」を保持していた場合には、 $t_1(T_1)$ および T_{ad} の期間に、それぞれ、分極状態の劣化および改善が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の劣化および改善が生じる。また、第4セル領域のメモリセルがデータ「1」を保持していた場合には、 $t_1(T_1)$ および T_{ad} の期間に、それぞれ、分極状態の改善および劣化が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の改善および劣化が生じる。これにより、 $t_1(T_1)$ 、 T_{ad} 、 T_2 および T_3 の期間を通じて、分極状態の改善および劣化が同じ回数ずつ生じる。

50

【 0 0 6 5 】

第2実施形態では、上記のように、T a dの期間において第3セル領域のメモリセル（非選択メモリセル）に印加する電圧である V_{p1} を、読み出し動作において第3セル領域のメモリセルに印加された電圧である V_{r1} と実質的に同じ値にするとともに、T a dの期間において第4セル領域のメモリセル（非選択メモリセル）に印加する電圧である V_{p0} を、読み出し動作において第4セル領域のメモリセルに印加された電圧である V_{r0} と実質的に同じ値にすることによって、読み出し動作において第3セル領域のメモリセルの減少した分極量と、T a dの期間において回復する分極量とを実質的に同じ量にすることができる。その結果、第3および第4セル領域のそれぞれのメモリセルの分極量の減少と回復とのバランスをより向上させることができる。

10

【 0 0 6 6 】

また、第2実施形態では、第3および第4領域のメモリセル（非選択メモリセル）に、それぞれ、読み出し動作において第3および第4領域のメモリセルに印加される電圧（ $-V_{r1}$ および $-V_{r0}$ ）とは逆極性の電圧である V_{p1} および V_{p0} を印加することによって、上記第1実施形態と同様、読み出し動作（T 1の期間）に起因して、第3および第4領域のメモリセルに保持されたデータ「1」またはデータ「0」が消失するディスタープ現象を抑制することができる。また、読み出し動作（T 1およびT a dの期間）および再書き込み動作（T 2およびT 3の期間）を通じて、第3および第4セル領域のメモリセル（非選択メモリセル）に、互いに逆極性の電圧を同じ回数ずつ印加することによって、上記第1実施形態と同様、一連の読み出し動作および再書き込み動作における非選択メモリセルのディスタープ現象を確実に防止することができる。

20

【 0 0 6 7 】

（第3実施形態）

図28は、本発明の第3実施形態による強誘電体メモリの読み出し・再書き込み動作を説明するための電圧波形図である。図29～図31は、本発明の第3実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。図28～図31を参照して、この第3実施形態では、上記第1および第2実施形態と異なり、T a dの期間をT 1の期間の直前に設ける場合について説明する。なお、図29中の直線Wは、ビット線と電圧センスアンプとの間の配線負荷容量を示す $Q-V$ 直線である。また、第3実施形態による強誘電体メモリのT 2およびT 3の期間の動作は、上記第1実施形態と同様である。

30

【 0 0 6 8 】

（T a dの期間）

この第3実施形態では、図28に示すように、まず、後のT 1の期間において第3および第4セル領域のメモリセル（非選択メモリセル）に印加される電圧とは逆極性の電圧を、第3および第4セル領域のメモリセルに印加する。具体的には、全てのビット線 $BL0 \sim BL7$ の電位を $0V$ （スタンバイ状態）から $-V_p$ にする。また、全てのワード線 $WL0 \sim WL7$ を $0V$ に保持する。これにより、第3および第4セル領域のメモリセルに、 $-V_{r1}$ および $-V_{r0}$ とは逆極性の電圧である V_p を印加する。

40

【 0 0 6 9 】

（T 1の期間：読み出し動作）

次に、第3実施形態では、T a dの期間の直後に、データの読み出しを行う。すなわち、T a dの期間からスタンバイ状態を介さずに、全てのビット線 $BL0 \sim BL7$ をフローティング状態にするとともに、同じタイミングか、または、数 $nsec \sim$ 数十 $nsec$ 遅らせて選択ワード線 $WL3$ の電位を V_{cc} にする。また、非選択ワード線 $WL0 \sim WL2$ および $WL4 \sim WL7$ を $0V$ に保持する。これにより、第3実施形態では、図29に示すように、読み出し動作において、第1および第2セル領域のメモリセル（選択メモリセル）に V_{cc} の電圧が印加された第1実施形態と異なり、第1および第2セル領域のメモリ

50

セルに $V_{cc} + V_p$ の電圧が印加される。したがって、第3実施形態では、上記第1実施形態に比べて、読み出し電位 V_{r1} と読み出し電位 V_{r0} との電位差 $V_{r1} - V_{r0}$ が大きくなる。なお、 T_2 および T_3 の期間（再書き込みの動作）に第1～第4セル領域のメモリセルに印加される電圧は、上記第1実施形態と同様である。

【0070】

なお、 t_1 (T_1)、 T_{ad} 、 T_2 および T_3 の期間において、第3および第4セル領域のメモリセル（非選択メモリセル）の分極変化は、それぞれ、図30および図31に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図30に示すように、第3セル領域のメモリセルがデータ「0」を保持していた場合には、 T_{ad} および t_1 (T_1) の期間に、それぞれ、分極状態の改善および劣化が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の改善および劣化が生じる。また、第3セル領域のメモリセルがデータ「1」を保持していた場合には、 T_{ad} および t_1 (T_1) の期間に、それぞれ、分極状態の劣化および改善が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の劣化および改善が生じる。

10

【0071】

また、図31に示すように、第4セル領域のメモリセルがデータ「0」を保持していた場合には、 T_{ad} および t_1 (T_1) の期間に、それぞれ、分極状態の改善および劣化が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の劣化および改善が生じる。また、第4セル領域のメモリセルがデータ「1」を保持していた場合、 T_{ad} および t_1 (T_1) の期間に、それぞれ、分極状態の劣化および改善が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の改善および劣化が生じる。これにより、 T_{ad} 、 t_1 (T_1)、 T_2 および T_3 の期間を通じて、分極状態の改善および劣化が同じ回数ずつ生じる。

20

【0072】

第3実施形態では、上記のように、読み出し動作において第3および第4セル領域のメモリセル（非選択メモリセル）に印加される電圧（ $-V_{r1}$ および $-V_{r0}$ ）とは逆極性の電圧である V_p を第3および第4セル領域のメモリセルに印加した直後に、全てのビット線 $BL_0 \sim BL_7$ をフローティング状態にするとともに、選択されたワード線 WL_3 にデータ「1」およびデータ「0」を読み出すための電圧である V_{cc} を印加することによって、データ「1」およびデータ「0」を読み出すための電圧（ V_{cc} ）以上の電圧（ $V_{cc} + V_p$ ）を第1および第2セル領域のメモリセル（選択メモリセル）に印加することができる。これにより、データ「1」の読み出し電位 V_{r1} とデータ「0」の読み出し電位 V_{r0} との電位差を大きくとることができるので、メモリの読み出し精度を向上させることができる。

30

【0073】

なお、第3実施形態のその他の効果は、上記第1実施形態と同様である。

【0074】

（第4実施形態）

図32は、本発明の第4実施形態による強誘電体メモリのチョッパコンパレータの内部構成を示した回路図である。図32を参照して、この第4実施形態では、上記第1～第3実施形態と異なり、参照電圧を用いずに、データ「0」またはデータ「1」の判別を行う場合について説明する。

40

【0075】

この第4実施形態では、図32に示すチョッパコンパレータ回路20が、全てのビット線 $BL_0 \sim BL_7$ に接続されている。このチョッパコンパレータ回路20は、メモリセルに記憶されたデータ「0」またはデータ「1」を判別する機能を有している。また、チョッパコンパレータ回路20は、インバータ回路21と、容量22と、抵抗 R_1 と、3つのスイッチ $SW_1 \sim SW_3$ とを含んでいる。インバータ回路21は、論理しきい値電位 V_T を有している。また、インバータ回路21の入力端子は、容量22およびスイッチ SW_2 を介してビット線 BL に接続されているとともに、出力端子からは、外部へデータが出力

50

される。また、インバータ回路 21 の入力端子および出力端子には、それぞれ、スイッチ SW1 の一方の端子および他方の端子が接続されている。抵抗 R1 の一方の端子は、接地されているとともに、他方の端子は、スイッチ SW3 を介してインバータ回路 21 の出力端子に接続されている。また、抵抗 R1 の抵抗値は、ノード ND1 の電位の降下が、0V よりも大きく、かつ、 $-V_{r1a} + V_{r1}$ よりも小さくなるように設定されている。なお、 $-V_{r1a} + V_{r1}$ は、後述する読み出し - 再書き込み動作において説明する。

【0076】

図 33 は、本発明の第 4 実施形態による強誘電体メモリの読み出し - 再書き込み動作を説明するための電圧波形図である。図 34 ~ 図 37 は、本発明の第 4 実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。次に、図 32 ~ 図 37 を参照して、第 4 実施形態による強誘電体メモリの読み出し - 再書き込み動作について説明する。なお、第 4 実施形態では、スタンバイ状態における全てのワード線 WL0 ~ WL7 および全てのビット線 BL0 ~ BL7 の電位を、インバータ回路 21 の論理しきい値電位である VT とする。

10

【0077】

(Tad の期間)

この第 4 実施形態では、図 33 に示すように、まず、スイッチ SW1 および SW2 をオン状態からオフ状態にするとともに、同じタイミングか、または、数 nsec ~ 数十 nsec 遅らせて、全てのビット線 BL0 ~ BL7 の電位を VT (スタンバイ状態) からフローティング状態にし、かつ、選択ワード線 WL3 の電位を VT (スタンバイ状態) から VT - Vcc にする。また、非選択ワード線 WL0 ~ WL2 および WL4 ~ WL7 を VT に保持する。この際、ビット線 BL3 および BL5 の電位が VT - Vr1a になるとともに、ビット線 BL0 ~ BL2、BL4、BL6 および BL7 の電位が VT - Vr0a になる。なお、VT - Vcc (選択ワード線 WL3 の電位) は、本発明の「第 5 電圧」の一例である。

20

【0078】

なお、Tad の期間において、第 1 および第 2 セル領域のメモリセル (選択メモリセル) の分極変化は、それぞれ、図 34 および図 35 に示されるようになる。すなわち、図 34 に示すように、データ「0」が記憶されていた第 1 セル領域のメモリセルは、 $-V_{cc} + V_{r0a}$ の電圧が印加されるので、分極反転する。また、図 35 に示すように、データ「1」が記憶されていた第 2 セル領域のメモリセルは、 $-V_{cc} + V_{r1a}$ の電圧が印加されるので、分極反転しない。

30

【0079】

(T1 の期間：読み出し動作)

次に、図 33 に示すように、全てのビット線 BL0 ~ BL7 を t1 の期間フローティング状態に保持した状態で、選択ワード線 WL3 の電位を VT + Vcc にする。また、非選択ワード線 WL0 ~ WL2 および WL4 ~ WL7 を VT に保持する。この際、ビット線 BL3 および BL5 の電位が読み出し電位 VT - Vr1a + Vr1 になるとともに、ビット線 BL0 ~ BL2、BL4、BL6 および BL7 の電位が読み出し電位 VT - Vr0a + Vr0 になる。なお、VT + Vcc (選択ワード線 WL3 の電位) は、本発明の「第 6 電圧」の一例である。各ビット線に読み出し電位が発生した後、スイッチ SW2 をオン状態にする。

40

【0080】

なお、t1 の期間において、第 1 および第 2 セル領域のメモリセル (選択メモリセル) の分極変化は、それぞれ、図 34 および図 35 に示されるようになる。すなわち、図 34 に示すように、データ「0」が記憶されていた第 1 セル領域のメモリセルは、 $V_{cc} + V_{r0a} - V_{r0}$ の電圧が印加されるので、再び分極反転する。ここで、第 4 実施形態では、 $V_{r0a} = V_{r0}$ であり、 $V_{cc} + V_{r0a} - V_{r0} = V_{cc}$ となる。このため、データ「0」が記憶されていた第 1 セル領域のメモリセルには、データ「0」が再書き込みされる。また、図 35 に示すように、データ「1」が記憶されていた第 2 セル領域のメモリ

50

セルは、 t_1 の期間において、 $V_{cc} + V_{r1a} - V_{r1}$ の電圧が印加される。また、第4実施形態では、 $V_{r1a} < V_{r1}$ であり、データ「1」が記憶されていた第2セル領域のメモリセルは、分極反転することにより、図35 (t_1 の期間)に示す分極状態となる。この後、 t_1 以外の T_1 の期間において、データ「1」が記憶されていた第2セル領域のメモリセルは、 V_{cc} の電圧が印加されるので、データ「1」が破壊されてデータ「0」が書き込まれる。

【0081】

t_1 の期間において各ビット線に読み出し電位が発生した後、スイッチSW2がオフ状態になると、データ「1」が記憶されていた第2セル領域のメモリセルに対応するチョップコンパレータ20 (図32参照)のノードND1は、 V_T から読み出し電位 $V_T - V_{r1a} + V_{r1}$ にブートされる。すなわち、 $V_{r1a} < V_{r1}$ であるので、ノードND1の電位は、インバータ回路21 (図32参照)の論理しきい値電位である V_T 以上となる。また、データ「0」が記憶されていた第1セル領域のメモリセルに対応するチョップコンパレータ20のノードND1は、読み出し電位 $V_T - V_{r0a} + V_{r0}$ になる。すなわち、 $V_{r0a} = V_{r0}$ であるので、ノードND1の電位は、インバータ回路21の論理しきい値電位である V_T の近傍の電位となる。

【0082】

また、スイッチSW2をオン状態にするタイミングと同じタイミングか、または、数 $nsec$ ~数十 $nsec$ 遅らせて、スイッチSW3をオフ状態からオン状態にする。これにより、ノードND1と一方の端子が接地された抵抗R1とが電氣的に接続されるので、ノードND1の電位が降下する。ここで、抵抗R1の抵抗値は、上述したように、ノードND1の電位の降下が、 $0V$ よりも大きく、かつ、 $-V_{r1a} + V_{r1}$ よりも小さくなるように設定されている。このため、データ「1」が記憶されていた第2セル領域のメモリセルに対応するチョップコンパレータ20のノードND1の電位は、インバータ回路21の論理しきい値電位である V_T 以上そのまま保持される。その一方、データ「0」が記憶されていた第1セル領域のメモリセルに対応するチョップコンパレータ20のノードND1の電位は、インバータ回路21の論理しきい値電位である V_T よりも小さくなる。これにより、データ「1」が記憶されていた第2セル領域のメモリセルに対応するチョップコンパレータ20からは、インバータ21の機能により、Lレベルの電位が出力される。また、データ「0」が記憶されていた第1セル領域のメモリセルに対応するチョップコンパレータ20からは、インバータ回路21の機能により、Hレベルの電位が出力される。そして、この第4実施形態では、このときのチョップコンパレータ20からの出力により、データ「0」またはデータ「1」の判別を行う。

【0083】

この後、全てのビット線BL0~BL7の電位を V_T にする。この期間が t_1 以外の T_1 の期間に相当する。

【0084】

なお、 T_1 の期間が終了した後の第1および第2セル領域のメモリセルの分極状態は、それぞれ、図7および図8に示した第1実施形態と同様である。すなわち、この後、上記第1実施形態と同様の再書き込み動作 (T_2 および T_3 の期間)を行うことによって、第2セル領域のメモリセルには、読み出し動作によって破壊されたデータ「1」の再書き込みが行われる。なお、スイッチSW1をオン状態にするタイミングおよびSW3をオフ状態にするタイミングは、データの判別が行われた後であればいつでもよい。

【0085】

また、 T_{ad} 、 t_1 (T_1)、 T_2 および T_3 の期間において、第3および第4セル領域のメモリセル (非選択メモリセル) の分極変化は、それぞれ、図36および図37に示すように、記憶しているデータの内容によって、分極状態の改善または劣化が生じる。すなわち、図36に示すように、第3セル領域のメモリセルには、 T_{ad} および t_1 (T_1)の期間に、それぞれ、 V_{r1a} および $V_{r1a} - V_{r1}$ の電圧が印加されるとともに、 T_2 および T_3 の期間に、それぞれ、 $1/3V_{cc}$ および $-1/3V_{cc}$ の電圧が印加さ

10

20

30

40

50

れる。なお、 V_{r1a} および $V_{r1a} - V_{r1}$ の電圧は、それぞれ、本発明の「第2電圧」および「第1電圧」の一例である。このため、第3セル領域のメモリセルがデータ「0」を保持していた場合には、 T_{ad} および $t_1(T_1)$ の期間に、それぞれ、分極状態の改善および劣化が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の改善および劣化が生じる。また、第3セル領域のメモリセルがデータ「1」を保持していた場合には、 T_{ad} および $t_1(T_1)$ の期間に、それぞれ、分極状態の劣化および改善が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の劣化および改善が生じる。これにより、第3セル領域のメモリセルでは、 T_{ad} 、 $t_1(T_1)$ 、 T_2 および T_3 の期間を通じて、分極状態の改善および劣化が同じ回数ずつ生じる。

【0086】

また、図37に示すように、第4セル領域のメモリセルには、 T_{ad} の期間に、 V_{r0a} の電圧が印加されるとともに、 T_2 および T_3 の期間に、それぞれ、 $-1/3V_{cc}$ および $1/3V_{cc}$ の電圧が印加される。なお、 $t_1(T_1)$ の期間において第4セル領域のメモリセルに印加される電圧である $V_{r0a} - V_{r1}$ は、 $V_{r0a} = V_{r0}$ であるので、 $0V$ となる。なお、 V_{r0a} の電圧は、本発明の「第2電圧」の一例である。このため、第4セル領域のメモリセルがデータ「0」を保持していた場合には、 T_{ad} の期間に、分極状態の改善が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の劣化および改善が生じる。また、第4セル領域のメモリセルがデータ「1」を保持していた場合には、 T_{ad} の期間に、分極状態の劣化が生じるとともに、 T_2 および T_3 の期間に、それぞれ、分極状態の改善および劣化が生じる。これにより、第4セル領域のメモリセルでは、 T_2 および T_3 の期間を通じて、分極状態の改善および劣化が同じ回数ずつ生じる。また、 $t_1(T_1)$ の期間における第4セル領域のメモリセルは、分極状態に変化が生じない。

【0087】

第4実施形態では、上記のように、 T_{ad} の期間において、全てのビット線 $BL_0 \sim BL_7$ の電位を V_T (スタンバイ状態)からフローティング状態にするとともに、選択ワード線 WL_3 の電位を V_T (スタンバイ状態)から $V_T - V_{cc}$ にし、かつ、 t_1 の期間において、全てのビット線 $BL_0 \sim BL_7$ をフローティング状態にするとともに、選択ワード線 WL_3 の電位を $V_T + V_{cc}$ にすることにより、ビット線 $BL_0 \sim BL_7$ に読み出し電位 $V_T - V_{r1a} + V_{r1}$ (データ「1」)または $V_T - V_{r0a} + V_{r0}$ (データ「0」)を発生させるとともに、その読み出し電位 $V_T - V_{r1a} + V_{r1}$ および $V_T - V_{r0a} + V_{r0}$ を所定量だけ低下させることによって、読み出し電位 $V_T - V_{r1a} + V_{r1}$ を、インバータ回路21の論理しきい値電位である V_T 以上そのまま保持することができる。読み出し電位 $V_T - V_{r0a} + V_{r0}$ を、インバータ回路21の論理しきい値電位である V_T よりも小さくすることができる。これにより、読み出し電位 $V_T - V_{r1a} + V_{r1}$ (データ「1」)および $V_T - V_{r0a} + V_{r0}$ (データ「0」)とインバータ回路21の論理しきい値電位である V_T とを比較することによりデータの自己判別を行うことができるので、参照電圧が不要になる。また、 T_{ad} の期間において、第3セル領域のメモリセル(非選択メモリセル)に、読み出し動作において第3セル領域のメモリセルに印加される電圧($V_{r1a} - V_{r1}$)とは逆極性の電圧である V_{r1a} が印加されるので、読み出し動作において第3セル領域のメモリセルに $V_{r1a} - V_{r1}$ の電圧が印加されることにより第3セル領域のメモリセルの分極状態が劣化したとしても、第3セル領域のメモリセルの分極状態を改善することができる。その結果、参照電圧を別途生成する必要がなく、かつ、ディスタ urb 現象を抑制することが可能な強誘電体メモリを得ることができる。また、セル特性にばらつきがあったとしても、データの自己判別を行うことができるので、参照電圧と比較することによりデータの判別を行う場合に比べて、セル特性のばらつきの影響を抑制することができる。

【0088】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範

10

20

30

40

50

囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0089】

たとえば、上記第1～第4実施形態では、本発明のメモリの一例としての強誘電体メモリについて説明したが、本発明はこれに限らず、強誘電体メモリ以外のメモリにも適用可能である。

【0090】

また、上記第1～第4実施形態では、Tadの期間に非選択のワード線または全てのビット線を駆動することによって、読み出し動作において非選択メモリセルに印加される電圧とは逆極性の電圧を非選択メモリに印加するようにしたが、本発明はこれに限らず、Tadの期間に選択および非選択の全てのワード線を駆動することによって、読み出し動作において非選択メモリセルに印加される電圧とは逆極性の電圧を非選択メモリに印加するようにしてもよい。

【0091】

また、上記第1～第4実施形態では、Tadの期間を、T1の期間とT2の期間との間、または、T1の期間の前に設けるようにしたが、本発明はこれに限らず、T2の期間とT3の期間との間、または、T3の期間の後に設けたとしても、同様の効果を得ることができる。

【図面の簡単な説明】

【0092】

【図1】本発明の第1実施形態による単純マトリクス型の強誘電体メモリの全体構成を示したブロック図である。

【図2】図1に示した第1実施形態による強誘電体メモリの $1/3V_{cc} \cdot 2/3V_{cc}$ 生成回路の内部構成を示した回路図である。

【図3】本発明の第1実施形態による強誘電体メモリの選択されたメモリセルが保持するデータを説明するための概略図である。

【図4】本発明の第1実施形態による強誘電体メモリのセル領域の定義を説明するための概略図である。

【図5】本発明の第1実施形態による強誘電体メモリの読み出し - 再書き込み動作を説明するための電圧波形図である。

【図6】本発明の第1実施形態による強誘電体メモリのメモリセルアレイに生じる電位差を示した分布図である。

【図7】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図8】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図9】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図10】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図11】本発明の第1実施形態による強誘電体メモリのメモリセルアレイに生じる電位差を示した分布図である。

【図12】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図13】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図14】本発明の第1実施形態による強誘電体メモリのメモリセルアレイに生じる電位差を示した分布図である。

【図15】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

10

20

30

40

50

【図16】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図17】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図18】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図19】本発明の第1実施形態による強誘電体メモリのメモリセルアレイに生じる電位差を示した分布図である。

【図20】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

10

【図21】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図22】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図23】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図24】第1実施形態の変形例による強誘電体メモリの読み出し - 再書き込み動作を説明するための電圧波形図である。

【図25】本発明の第2実施形態による強誘電体メモリの読み出し - 再書き込み動作を説明するための電圧波形図である。

20

【図26】本発明の第2実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図27】本発明の第2実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図28】本発明の第3実施形態による強誘電体メモリの読み出し - 再書き込み動作を説明するための電圧波形図である。

【図29】本発明の第3実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図30】本発明の第3実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

30

【図31】本発明の第3実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図32】本発明の第4実施形態による強誘電体メモリのチョップコンパレータの内部構成を示した回路図である。

【図33】本発明の第4実施形態による強誘電体メモリの読み出し - 再書き込み動作を説明するための電圧波形図である。

【図34】本発明の第4実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図35】本発明の第4実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

40

【図36】本発明の第4実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図37】本発明の第1実施形態による強誘電体メモリのメモリセルの分極状態を示したヒステリシス図である。

【図38】従来のDRAMのメモリセルの構成を示した等価回路図である。

【図39】従来のDRAMに用いられるトレンチ型キャパシタの構造を示した断面図である。

【図40】1トランジスタ1キャパシタ方式の強誘電体メモリのメモリセルを示した等価回路図である。

【図41】単純マトリクス方式の強誘電体メモリのメモリセルアレイを示した等価回路

50

図である。

【図42】単純マトリクス方式の強誘電体メモリの動作を説明するためのヒステリシス図である。

【図43】単純マトリクス方式の強誘電体メモリにおけるディスターブ現象を説明するためのヒステリシス図である。

【図44】1トランジスタ方式の強誘電体メモリのメモリセルを示した等価回路図である。

【符号の説明】

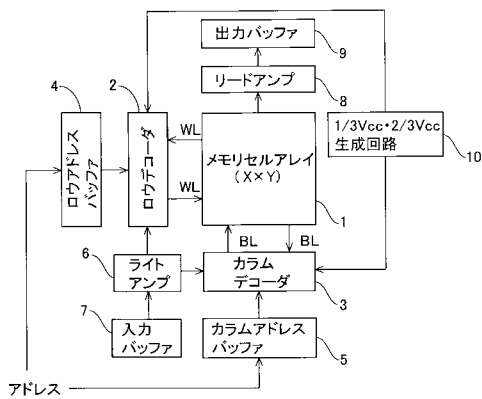
【0093】

1 メモリセルアレイ

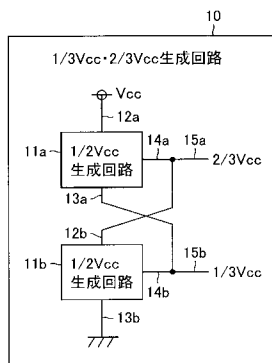
BL1、BL2、BL3、BL4、BL5、BL6、BL7 ビット線

WL1、WL2、WL3、WL4、WL5、WL6、WL7 ワード線

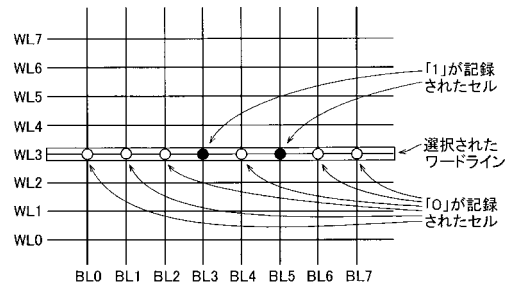
【図1】



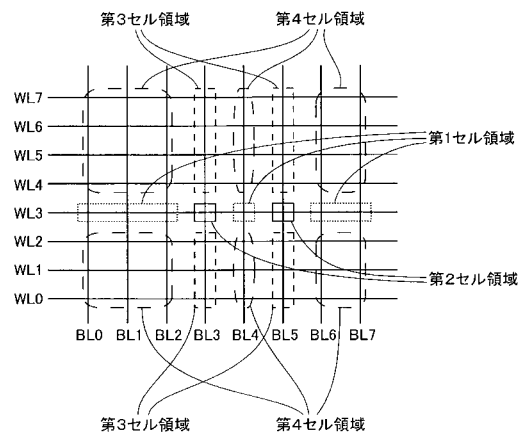
【図2】



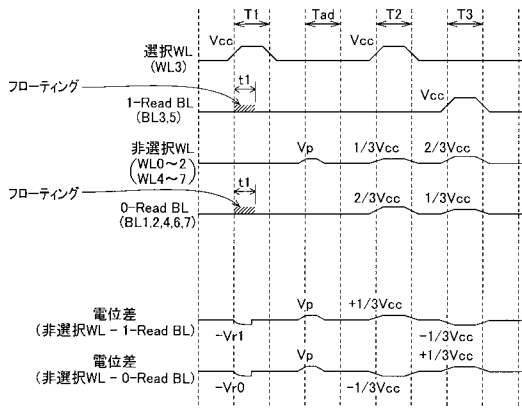
【図3】



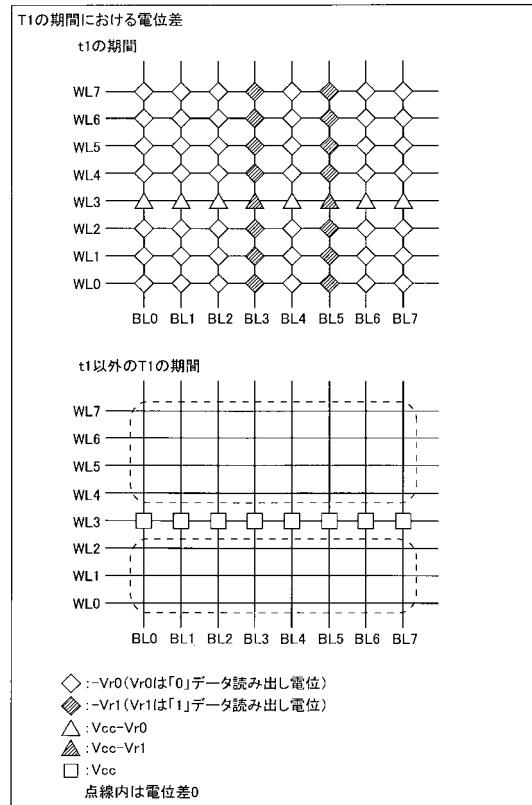
【図4】



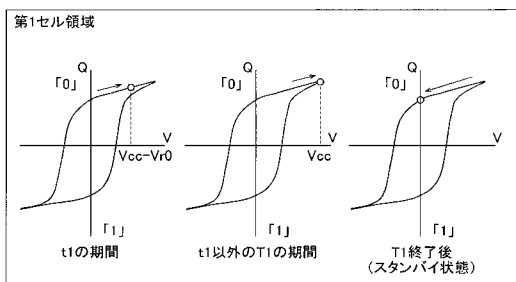
【図5】



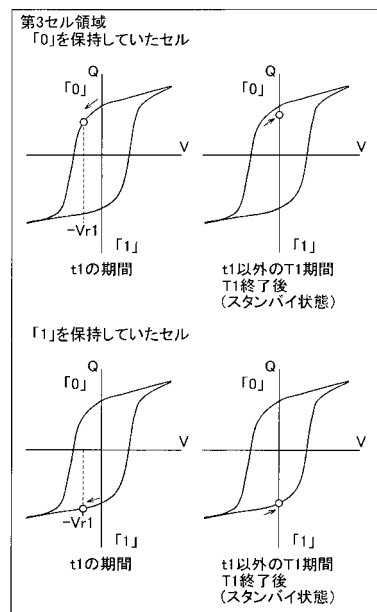
【図6】



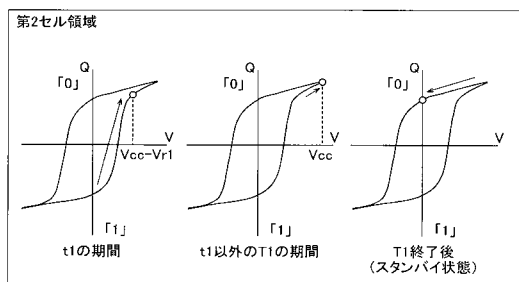
【図7】



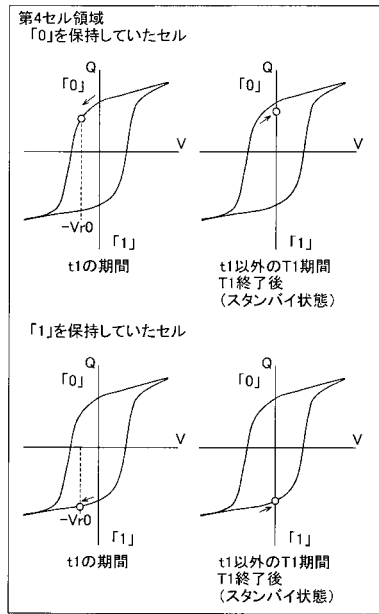
【図9】



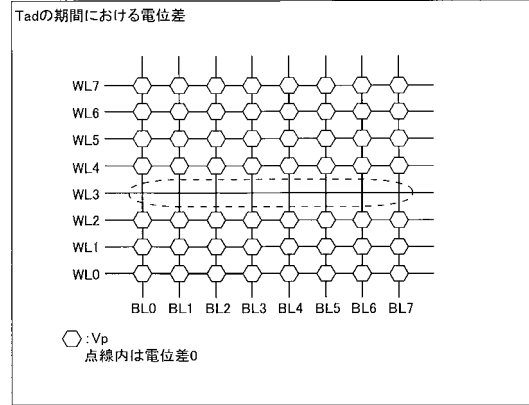
【図8】



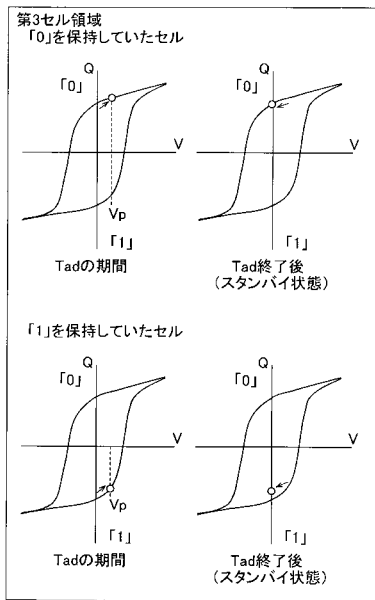
【図10】



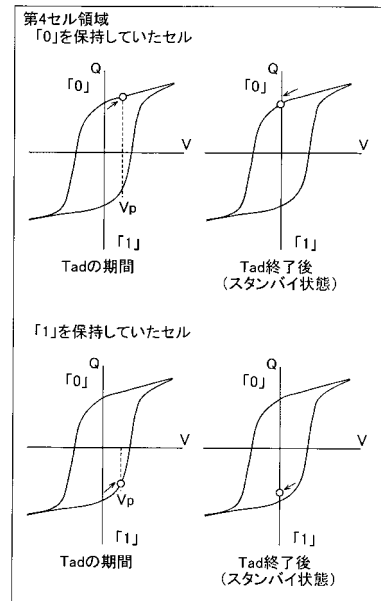
【図11】



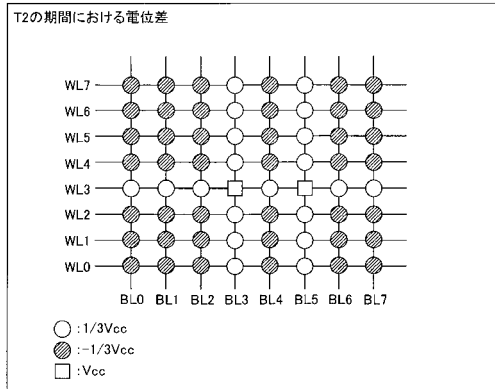
【図12】



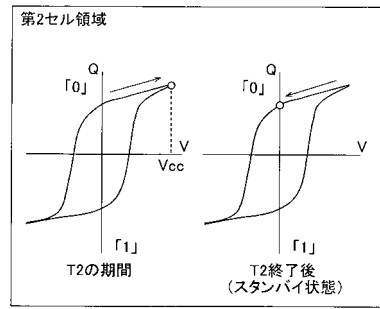
【図13】



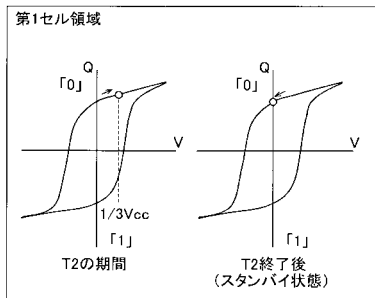
【図14】



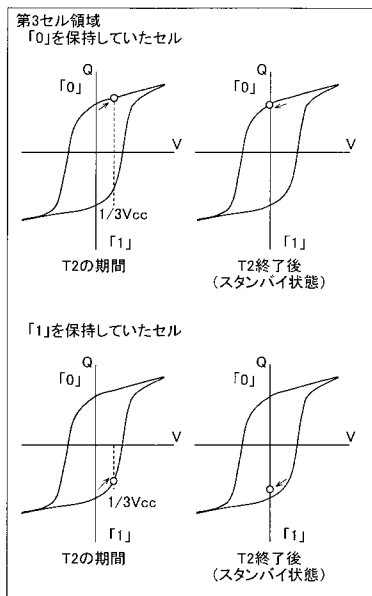
【図16】



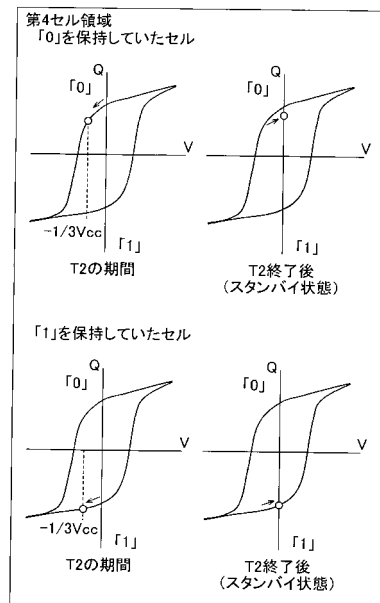
【図15】



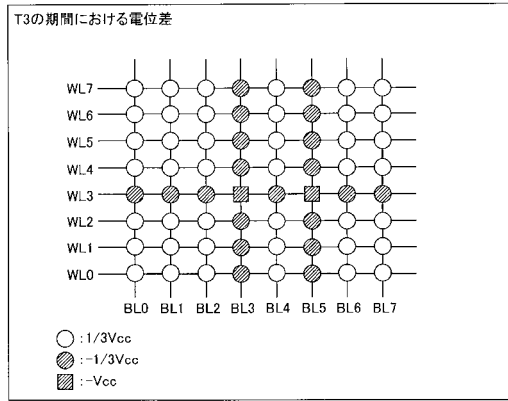
【図17】



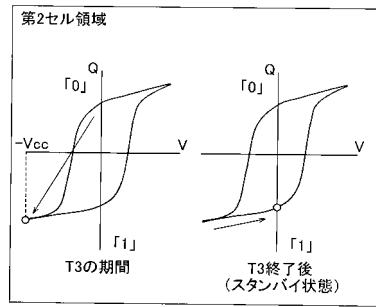
【図18】



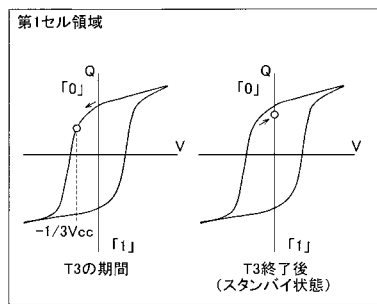
【図19】



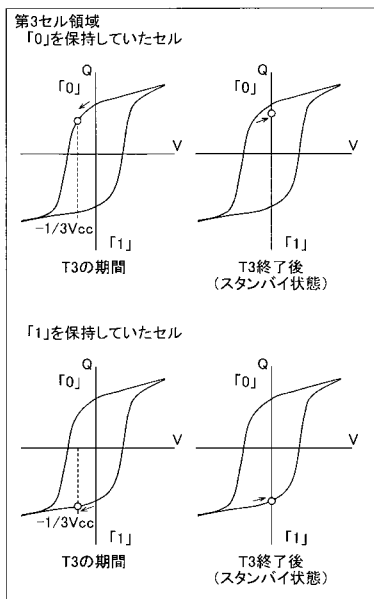
【図21】



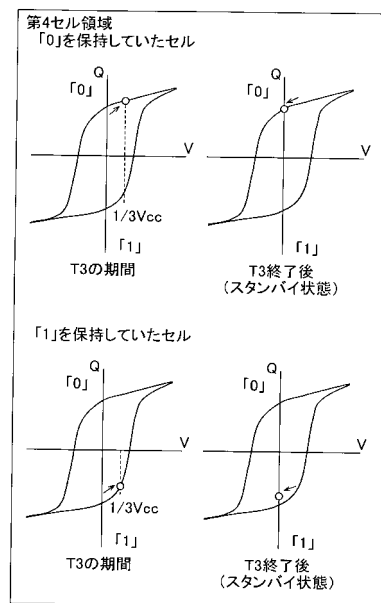
【図20】



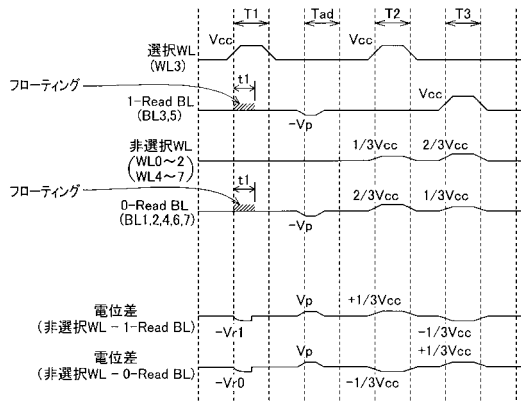
【図22】



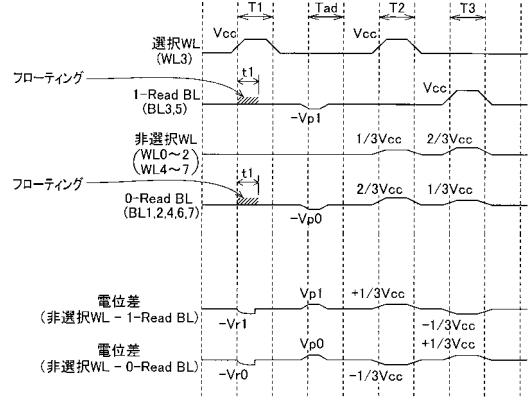
【図23】



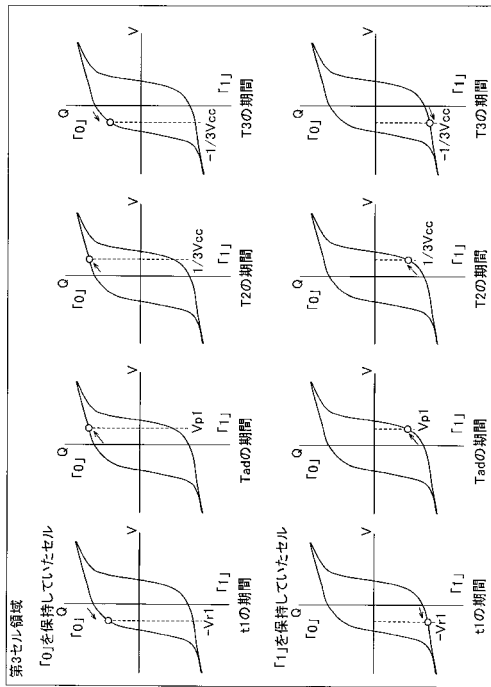
【図24】



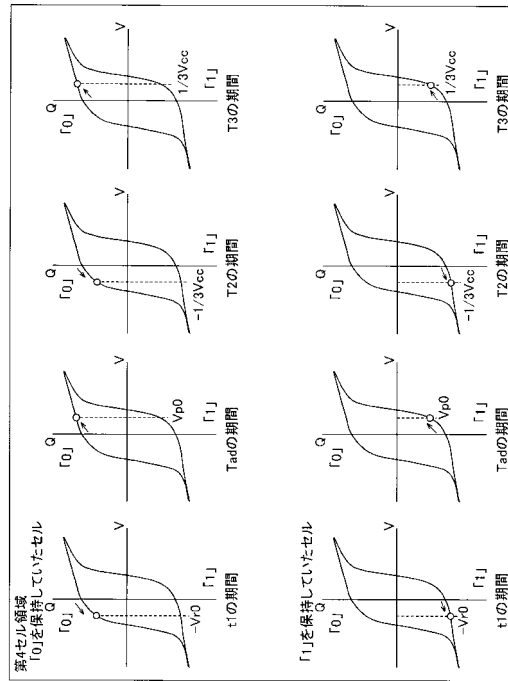
【図25】



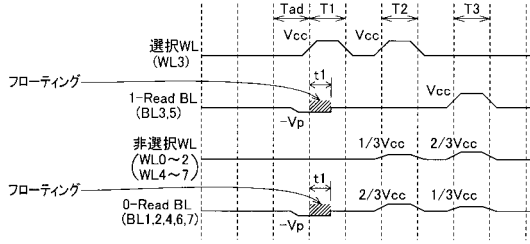
【図26】



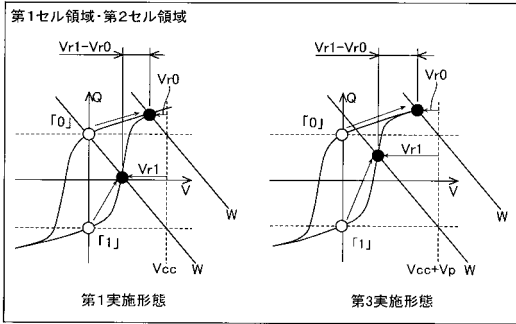
【図27】



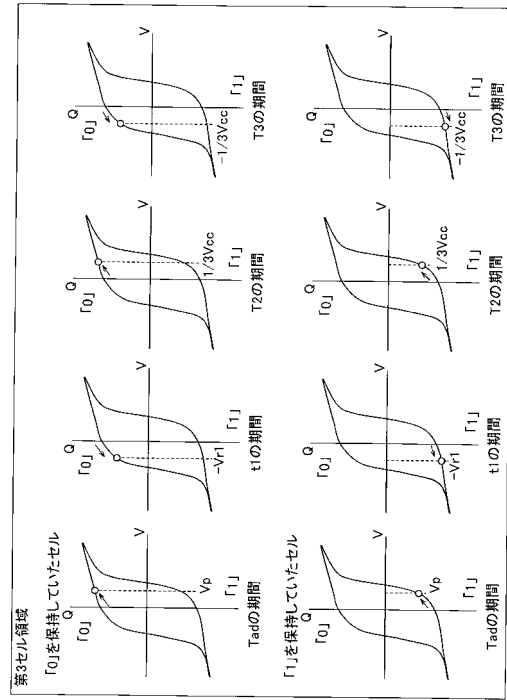
【図28】



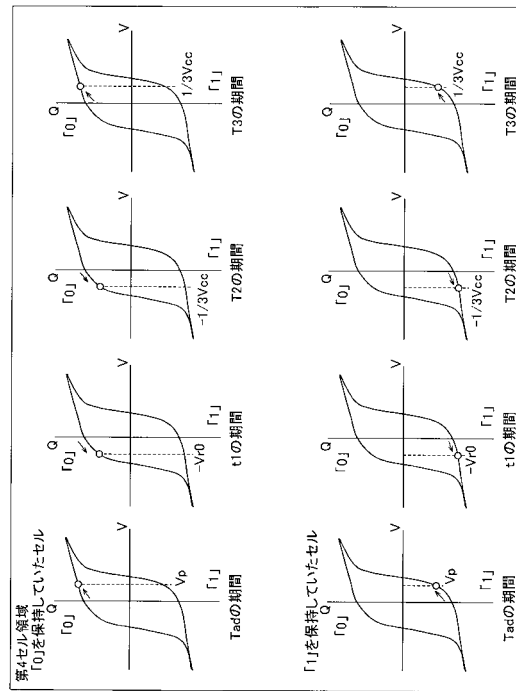
【図29】



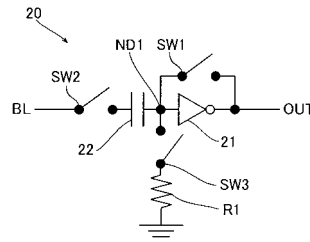
【図30】



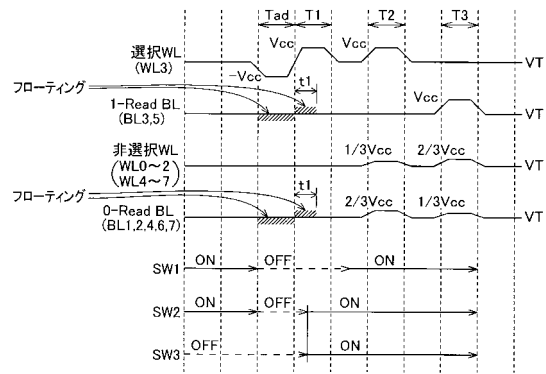
【図31】



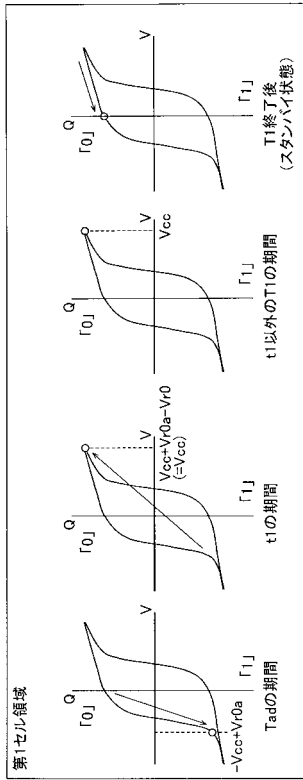
【図32】



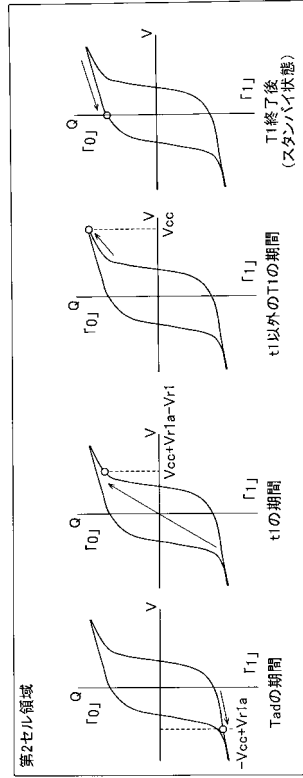
【図33】



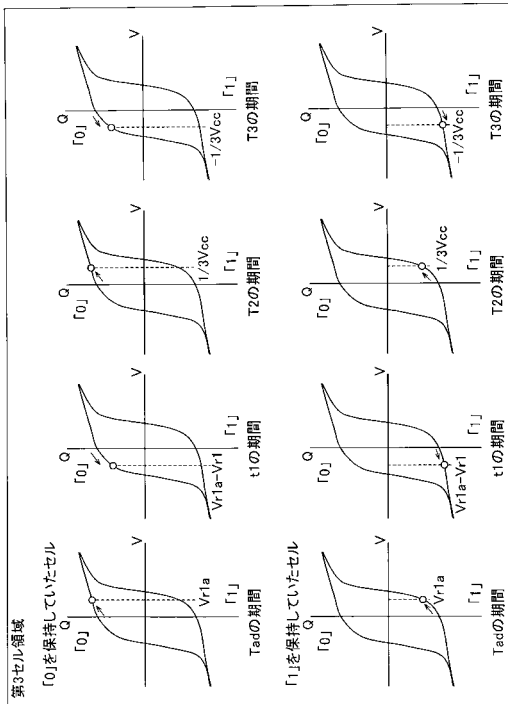
【図 3 4】



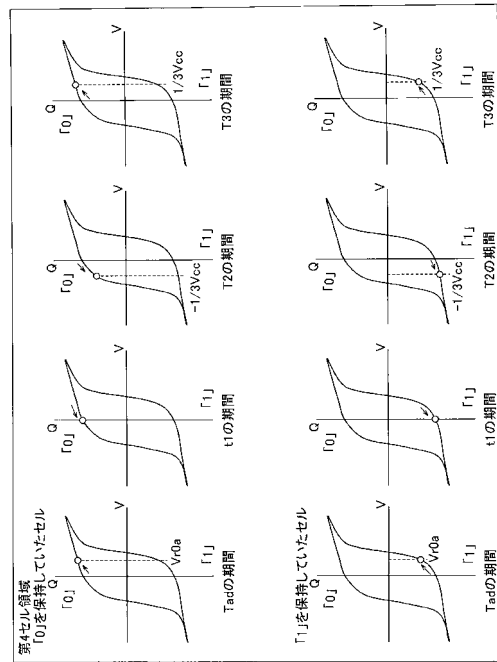
【図 3 5】



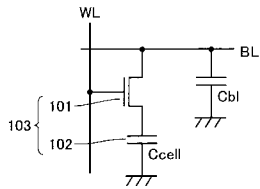
【図 3 6】



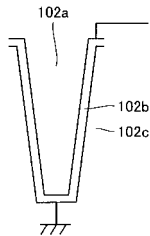
【図 3 7】



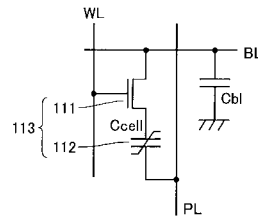
【 図 3 8 】



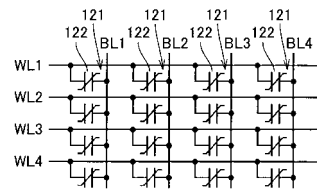
【 図 3 9 】



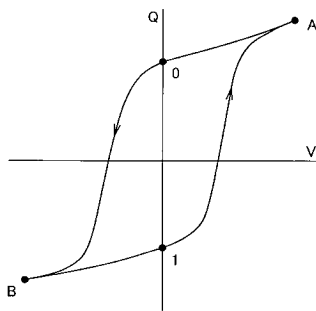
【 図 4 0 】



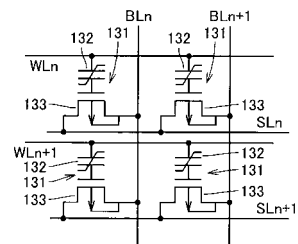
【 図 4 1 】



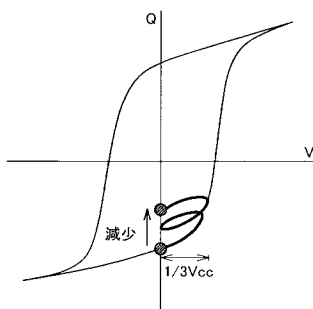
【 図 4 2 】



【 図 4 4 】



【 図 4 3 】



フロントページの続き

審査官 須原 宏光

(56)参考文献 特開2003-288784(JP,A)
特開平09-116107(JP,A)
国際公開第03/046923(WO,A1)

(58)調査した分野(Int.Cl., DB名)
G11C 11/22