

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4062829号
(P4062829)

(45) 発行日 平成20年3月19日(2008.3.19)

(24) 登録日 平成20年1月11日(2008.1.11)

(51) Int.Cl. F 1
H04L 12/28 (2006.01) H04L 12/28 200Z

請求項の数 6 (全 13 頁)

<p>(21) 出願番号 特願平11-237542 (22) 出願日 平成11年8月24日(1999.8.24) (65) 公開番号 特開2000-174780(P2000-174780A) (43) 公開日 平成12年6月23日(2000.6.23) 審査請求日 平成18年1月12日(2006.1.12) (31) 優先権主張番号 特願平10-278792 (32) 優先日 平成10年9月30日(1998.9.30) (33) 優先権主張国 日本国(JP)</p>	<p>(73) 特許権者 000002185 ソニー株式会社 東京都港区港南1丁目7番1号 (74) 代理人 100094053 弁理士 佐藤 隆久 (72) 発明者 戸波 靖雄 東京都品川区北品川6丁目7番35号 ソ ニー株式会社内 審査官 羽岡 さやか (56) 参考文献 特開平10-229410(JP,A) 特開平8-237278(JP,A) 特開平6-62079(JP,A) 特開平11-331213(JP,A) 最終頁に続く</p>
--	---

(54) 【発明の名称】 シリアルインタフェース回路

(57) 【特許請求の範囲】

【請求項1】

シリアルインタフェースバスを転送されたパケットを受信し、受信パケットに対する応答パケットを当該シリアルインタフェースバスに送信するシリアルインタフェース回路であって、

制御およびステータス用レジスタと、

受信パケットの内容に応じた応答パケットを生成して上記シリアルインタフェースバスに送信する制御系回路と、

受信パケットが上記レジスタへの要求パケットの場合に、当該要求パケットの内容および処理に応じた応答パケットを生成する自動応答回路と、

受信パケットが上記レジスタへのアクセスを要求する要求パケットであるか否かを判別し、要求パケットの場合には受信パケットを上記自動応答回路に供給し、要求パケット以外の場合には受信パケットを上記制御系回路に供給する判別回路と

を有するシリアルインタフェース回路。

【請求項2】

上記自動応答回路は、供給されたデータのアドレスが、上記レジスタへの正常なアクセスか異常なアクセスかを判別し、正常な場合には内容に応じた応答パケットを生成し、異常な場合にはエラー応答パケットを生成する

請求項1記載のシリアルインタフェース回路。

【請求項3】

10

20

上記受信パケットはアシンクロナスパケットであり、上記判別回路が判別する情報は、デスティネーション・オフセット(destination offset)領域に設定されている情報である
請求項 1 記載のシリアルインタフェース回路。

【請求項 4】

上記受信パケットはアシンクロナスパケットであり、上記判別回路が判別する情報は、デスティネーション・オフセット(destination offset)領域に設定されている情報である
請求項 2 記載のシリアルインタフェース回路。

【請求項 5】

上記判別回路は、受信パケットの供給先を判別するまで上記自動応答回路および制御系回路に受信パケットを供給し、判別後、非供給先の回路への受信パケットの供給を停止する
請求項 3 記載のシリアルインタフェース回路。

10

【請求項 6】

上記判別回路は、受信パケットの供給先を判別するまで上記自動応答回路および制御系回路に受信パケットを供給し、判別後、非供給先の回路への受信パケットの供給を停止する
請求項 4 記載のシリアルインタフェース回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パケットデータの送受信を行うシリアルインタフェース回路に関するものである。

20

【0002】

【従来の技術】

近年、マルチメディア・データ転送のためのインタフェースとして、高速データ転送、リアルタイム転送を実現する I E E E (The Institute of Electrical and Electronic Engineers) 1394、High Performance Serial Bus が規格化された。

【0003】

この I E E E 1394 シリアルインタフェースのデータ転送においては、ネットワーク内で行われる転送動作をサブアクションと呼び、2つのサブアクションが規定されている。一つは、従来の Request, Acknowledge の要求、受信確認を行うアシンクロナス (Asynchronous) 転送であり、他の一つはあるノードから 125 μ s に 1 回必ずデータが送られるアイソクロナス (Isochronous) 転送である。

30

【0004】

このように、2つの転送モードを有する I E E E 1394 シリアルインタフェースでのデータは、パケット単位で転送が行われるが、I E E E 1394 規格では、取り扱う最小データの単位は 1 クワドレット (quadlet) (= 4 バイト = 32 ビット) である。

【0005】

I E E E 1394 規格では、通常、コンピュータデータは、図 6 に示すように、アシンクロナス転送を用いて行われる。

アシンクロナス転送は、図 6 (a) に示すように、バスを獲得するためのアービトレーション (arb)、データを転送するパケットトランスミッション、およびアクノリジメント (ack) の 3 つの遷移状態をとる。

40

【0006】

そして、パケットトランスミッションの実行は、図 6 (b) に示すようなフォーマットで行われる。

転送パケットの第 1 クワドレットは、16 ビットのデスティネーション ID (destination ID) 領域、6 ビットのトランザクション・ラベル t l (transaction label) 領域、2 ビットのリトライコード r t (retry code) 領域、4 ビットのトランザクション・コード t c o d e (transaction code) 領域、および 4 ビットのプライオリティ p r i (priority) 領域から構成されている。

50

デスティネーションID領域はこのノードのバスナンバーとノードナンバー、プライオリティ領域は優先レベルを示す。

【0007】

第2クワドレットおよび第3クワドレットは、16ビットのソースID(source ID)領域、および48ビットのデスティネーション・オフセット(destination offset)領域により構成されている。

ソースID領域はこのパケットを送ったノードIDを示し、デスティネーション・オフセット領域はハイ(High)およびロー(Low)の連続した領域からなり、デスティネーション・ノードのアドレス空間のアドレスを示す。

【0008】

第4クワドレットは、16ビットのデータ長(data length)領域、および16ビットのイクステンディッド・トランザクション・コード(extended tcode)領域に構成されている。データ長領域は受信したパケットのバイト数を示し、イクステンディッド tcode領域は tcodeがロック・トランザクション(Lock transaction)の場合、このパケットのデータが行う実際のロック動作(Lock Action)を示す領域である。

【0009】

データフィールド領域(data field)の前のクワドレットに付加されたヘッダCRC(header CRC)領域は、パケットヘッダの誤り検出符号である。

また、データ領域(data field)の後のクワドレットに付加されたデータCRC(data CRC)領域は、データフィールドの誤り検出符号である。

【0010】

【発明が解決しようとする課題】

ところで、シリアルインタフェース回路においては、たとえばコアレジスタ、バス・ディペンデント(bus-dependent)レジスタ、ユニット・アーキテクチャ(unit-architecture)レジスタ等からなる制御およびステータスのレジスタであるCSR(Control and Status Registers)が設けられる。

【0011】

IEEE1394シリアルインタフェース上で、CSRへのアクセス(読み出し/書き込み)は、一般的にソフトウェアで行われていた。

これは、CSR自体もソフトウェア側で持っているためである。このような場合には、制御回路としてのCPU側で全ての処理を行うため、アクセスに対する要求(Request)パケットはコマンド転送用のパケットと同一の受信FIFO(Firs-In First-Out)に格納した後、順次CPUが読み出し、所定の処理を行う。

【0012】

したがって、従来の制御回路としてのCPU側で全ての処理を行う構成では、応答に時間がかかり、また、CPUの負担が大きいという不利益がある。

【0013】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、制御回路の負担を軽減でき、しかも高速に応答することができるシリアルインタフェース回路を提供することにある。

【0014】

【課題を解決するための手段】

上記目的を達成するため、本発明は、シリアルインタフェースバスを転送されたパケットを受信し、受信パケットに対する応答パケットを当該シリアルインタフェースバスに送信するシリアルインタフェース回路であって、制御およびステータス用レジスタと、受信パケットの内容に応じた応答パケットを生成して上記シリアルインタフェースバスに送信する制御系回路と、受信パケットが上記レジスタへの要求パケットの場合に、当該要求パケットの内容および処理に応じた応答パケットを生成する自動応答回路と、受信パケットが上記レジスタへのアクセスを要求する要求パケットであるか否かを判別し、要求パケットの場合には受信パケットを上記自動応答回路に供給し、要求パケット以外の場合には受信

10

20

30

40

50

パケットを上記制御系回路に供給する判別回路とを有する。

【0015】

また、本発明では、上記自動応答回路は、供給されたデータのアドレスが、上記レジスタへの正常なアクセスか異常なアクセスかを判別し、正常な場合には内容に応じた応答パケットを生成し、異常な場合にはエラー応答パケットを生成する。

【0016】

また、本発明では、上記受信パケットはアシンクロナスパケットであり、上記判別回路が判別する情報は、デスティネーション・オフセット(destination offset)領域に設定されている情報である。

【0017】

また、本発明では、上記判別回路は、受信パケットの供給先を判別するまで上記自動応答回路および制御系回路に受信パケットを供給し、判別後、非供給先の回路への受信パケットの供給を停止する。

【0018】

本発明によれば、シリアルインタフェースバスを転送されたパケットは、たとえば判別回路に入力される。

判別回路では、たとえば受信パケットに付加されている供給先情報により制御およびステータス用レジスタのアクセスを要求する要求パケットか、それ以外のたとえばコマンド等の制御用パケットであるかが判別される。

このとき、受信パケットが要求パケットであると判断した場合には当該要求パケットが自動応答回路に供給され、制御用パケットであると判断した場合には当該制御用パケットが制御系回路に供給される。

要求パケットが供給された自動応答回路では、要求パケットの内容および処理に応じた応答パケットが自動的に生成され、生成された応答パケットが送信系回路を通してシリアルインタフェースバスに送出される。

また、制御系回路では、供給された制御用パケットの内容および処理に応じた通常の応答パケットが生成され、生成された応答パケットが送信系回路を通してシリアルインタフェースバスに送出される。

【0019】

また、判別回路では、たとえば受信パケットの供給先が判別するまで、受信パケットが自動応答回路および制御系回路に供給される。

そして、判別の結果、受信パケットが要求パケットの場合には、制御系回路への受信パケットの供給が停止され、受信パケットが当該要求パケット以外の場合には自動応答回路への受信パケットの供給が停止される。

【0020】

【発明の実施の形態】

図1は、本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。

なお、図1においては、アイソクロナス通信系回路の具体的な構成は図示していない。

【0021】

このシリアルインタフェース回路は、リンク・レイヤ回路10、フィジカル・レイヤ回路20、およびホストコンピュータとしてのマイクロコンピュータ30により構成されている。

【0022】

リンク・レイヤ回路10は、マイクロコンピュータ30の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。

【0023】

図1に示すように、リンク・レイヤ回路10のアシンクロナス通信系回路は、たとえば、リンクコア101、マイクロコンピュータI/F回路102、デマルチプレクサ103、受信用FIFOメモリ(AR-FIFO)104、送信用FIFOメモリ(AT-FIFO)105、判別

10

20

30

40

50

回路としてのインバウンド回路 106、オートレスポンス回路（自動応答回路）107、アウトバウンド回路 108、および送信用リンク F I F O メモリ (LAT-FIFO) 109 により構成されている。

なお、受信用 F I F O メモリ 104、マイクロコンピュータ I / F 102、およびマイクロコンピュータ 30 により制御系回路が構成される。

【0024】

リンクコア 101 は、アシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットの I E E E 1394 シリアルバス B S を直接ドライブするフィジカル・レイヤ回路 20 とのインタフェース回路、125 μ s 毎にリセットされるサイクルタイマ、サイクルモニタや C R C 回路から構成されている。

10

また、リンクコア 101 は、フィジカル・レイヤ回路 20 および I E E E 1394 シリアルインタフェースバス B S を介して、送受信先の信号処理回路との間で、送受信の可否を示す C S (Cycle Start) パケットを 125 μ s 毎に送受信する。

なお、図 1 では、上述したように、アイソクロナス通信系の F I F O 等は省略している。

【0025】

マイクロコンピュータ I / F 102 は、主としてマイクロコンピュータ 30 と、送信用 F I F O メモリ 104 および受信用 F I F O メモリ 105 との間でのアシンクロナス通信用パケットの書き込み、読み出し等の調停等を行う。

【0026】

デマルチプレクサ 103 は、リンクコア 101 から入力した通信用パケットの 1394 ヘッダ内に存在する t - c o d e (図 6) を参照して、アシンクロナス通信用パケット、アイソクロナス通信用パケットおよびセルフ I D パケットのいずれであるかを識別し、アシンクロナス通信用パケットであればインバウンド回路 106 に出力し、アイソクロナス通信用パケットであれば図示しない処理回路に出力する。

20

【0027】

また、受信用 F I F O メモリ 104 は、I E E E 1394 シリアルインタフェースバス B S を伝送されてきたアシンクロナス通信用パケットが、インバウンド回路 106 により格納される。

また、たとえばインバウンド回路 106 からの C S R - abort 信号 A B R T をアクティブで受けると、たとえば 3 クワドレット程度まで格納した受信パケットは、マイクロコンピュータ 30 で処理するパケットではなく、たとえば C S R に対するリード(read)/ライト(write)/ロック(lock)処理用のパケットであるとして、ライト(write) ポインタを元に戻す(当該パケットの格納開始前のポインタ位置に戻す)。

30

【0028】

送信用 F I F O メモリ 105 には、I E E E 1394 シリアルバス B S に伝送させるアシンクロナス通信用パケットが格納され、格納データはアウトバウンド回路 108 に与えられる。

【0029】

インバウンド回路 106 は、デマルチプレクサ 103 から入力したアシンクロナス通信用パケットを受けて、受信パケットが C S R 宛あるいはコンフィギュレーション R O M (CON FIG ROM) 宛のパケットであるのか、受信用 F I F O メモリ 104 に格納すべきコントロール用コマンド等のパケットであるのかを、図 6 (b) に示す第 3 クワドレットのデスティネーション・オフセット(destination offset) 領域により示されるアドレスによって判断し、C S R 宛の場合には受信パケットデータをオートレスポンス回路 107 に供給し、受信用 F I F O メモリ 104 に格納すべきパケットの場合には、受信用 F I F O メモリ 104 に供給する。

40

【0030】

図 2 は、デスティネーション・オフセットの例を示す図である。

この例では、図 2 に示すように、オフセット「021C - 021F」は「B u s M a n a g e r I D」、オフセット「0220 - 0223」は「B a n d w i d t h a v a

50

「i l a b l e」、オフセット「0 2 2 4 - 0 2 2 7」は「C h a n n e l a v a i l a b l e H i」、オフセット「0 2 2 8 - 0 2 2 B」は「C h a n n e l a v a i l a b l e L o」、オフセット「0 4 0 0 - 0 4 1 3」は「C o n f i g R O M」、オフセット「0 9 0 0 - 0 9 0 3」は「O M P R」、オフセット「0 9 0 4 - 0 9 0 7」は「O P C R」、オフセット「0 9 8 0 - 0 9 8 3」は「I M P R」、およびオフセット「0 9 8 4 - 0 9 8 7」は「I P C R」をそれぞれ示している。

【0031】

そして、インバウンド回路106は、上述したように、第3クワドレットのデスティネーション・オフセット領域により示されるアドレスを確認するまでは、オートレスポンス回路107および受信FIFOメモリ104の両方に受信パケットデータを供給し、CSR宛あるいはコンフィギュレーションROM(CONFIG ROM)宛のパケットであると判断した場合には、CSR - abort 信号ABRTをアクティブで受信FIFOメモリ104に出力し、非アクティブでオートレスポンス回路107に出力する。

10

【0032】

具体的には、インバウンド回路106は、第1クワドレットのデータ(32ビット)が入力されたとき、オートレスポンス回路107の先頭(第1番目)レジスタにデータを書き込み、受信FIFOメモリ104の0番地に第1クワドレットのデータを書き込む。

次に、インバウンド回路106は、第2クワドレットのデータ(32ビット)が入力されたとき、オートレスポンス回路107の第2番目レジスタにデータを書き込み、受信FIFOメモリ104の1番地に第2クワドレットのデータを書き込む。

20

そして、インバウンド回路106は、第3クワドレットのデータ(32ビット)が入力されたとき、デスティネーション・オフセット領域により示されるアドレスを確認することにより、CSR宛等、すなわちオートレスポンスするパケットであるか否かの判別を行う。

インバウンド回路106は、CSR宛等のパケットであると判別したときは、オートレスポンス回路107の第3番目レジスタにデータを書き込み、受信FIFOメモリ104のライトポインタ(アドレス)を0に戻す。

以降、パケットの最後のデータまで、第n番目のデータを第n番目レジスタに書き込んでいく。

一方、インバウンド回路106は、CSR宛等のパケットでないと判別したときは、受信FIFOメモリ104の2番地に第3クワドレットのデータを書き込む。

30

以降、パケットの最後のデータまで、第n番目のデータを第(n-1)番地に書き込んでいく。

【0033】

また、インバウンド回路106は、CSR宛等ではなく受信FIFOメモリ104行きのパケットであると判断した場合には、受信FIFOメモリ104へのCSR - abort 信号ABRTを非アクティブとし、オートレスポンス回路107へのCSR - abort 信号ABRTをアクティブとする。

【0034】

なお、受信データは、ライト(write) 信号WRINおよび確認(confirm) 信号CNFMによって、受信FIFOメモリ104またはオートレスポンス回路107に格納される。ライト(write) 信号WRINが書き込みポインタを、確認(confirm) 信号CNFMが確認ポインタを制御する。したがって、供給データは確認(confirm) 信号CNFMによって確定することになる。

40

たとえば、アクティブのCSR - abort 信号ABRTを受けた受信FIFOメモリ104では、以降の確認(confirm) 信号を無視して、代わりに書き込みポインタを前の状態に戻す。

【0035】

オートレスポンス回路107は、インバウンド回路106から入力したアシンクロナス通信パケットに対して、所定のオートレスポンス処理を行い、その処理結果であるアシン

50

クロナス通信用パケットを生成して、アウトバウンド回路106に出力する。

ここで、オートレスポンス処理とは、IEEE1394シリアルインタフェースバスBSを伝送されてきたアシンクロナス通信用パケットを、マイクロコンピュータ30に出力して処理するのではなく、リンク・レイヤ回路10内で自動的に処理を行い、その処理結果をIEEE1394シリアルバスBSを伝送する処理をいう。

【0036】

図3は、オートレスポンス回路107の具体的な構成例を示すブロック図である。

このオートレスポンス回路107は、図3に示すように、入力タイミング生成回路1071、データストア回路1072、アドレスチェック回路1073、応答パケット生成回路1074、出力タイミング生成回路1075、CSR1076、およびCONFIG ROM1077により構成されている。

10

【0037】

入力タイミング生成回路1071は、CSR-abort信号ABRTを非アクティブで受け、また確認信号CNFM INをアクティブで受けた場合、ライト信号WRINを受けてインバウンド回路106から供給される受信データの入力タイミング信号S1071a, S1071bを生成してそれぞれデータストア回路1072および出力タイミング生成回路1075に出力する。

【0038】

データストア回路1072は、レジスタDSreg1, DSreg2, DSreg3で構成され、入力タイミング生成回路1071で生成された入力タイミングに基づいて、インバウンド回路106から供給されるデータを一時格納する。この格納データは、アドレスチェック回路1073および応答パケット生成回路1074に供給される。

20

【0039】

アドレスチェック回路1073は、データストア回路1072に格納されたデータのアドレスが、レジスタへの正常なアクセスか異常なアクセスかを判別し、その結果を信号S1073として応答パケット生成回路1074に出力する。

【0040】

応答パケット生成回路1074は、アドレスチェック回路1072の出力信号S1073が、正常なレジスタへのアクセスである旨を示している場合には、その内容に応じた応答パケットを生成し、データDOU Tとしてアウトバウンド回路108に出力する。

30

一方、応答パケット生成回路1074は、アドレスチェック回路1072の出力信号S1073が、たとえばリードしか許さないアドレスにロックをかけた場合、アドレスエラーあるいはタイプエラーの応答パケットを生成し、データDOU Tとしてアウトバウンド回路108に出力する。

【0041】

出力タイミング生成回路1075は、入力タイミング生成回路1071によるタイミング信号S1071bを受けて応答パケット生成回路1074による応答パケットデータDOU Tの送信用リンクFIFOメモリ109への出力タイミングを生成し、リードレスポンスの信号WROU Tとしてアウトバウンド回路108に出力する。このとき、確認信号CNFMをアクティブで、アボート(無効)信号ABRTを非アクティブで出力する。

40

【0042】

図4は、オートレスポンス回路107にリード・クワドレット・リクエスト(Read-Quadlet-Request)の要求パケットが供給されたときの入力データおよび信号、並びに生成された応答パケットデータおよび信号例を示す図である。

また、図5は、リード・クワドレット・リクエストに応じて生成された応答パケットのフォーマットを示す図である。

なお、図4では、例してオフセット「021C(Bus Manager ID)」にリードリクエストを出す場合を示している。

【0043】

この場合、図4(a)および(b)に示すように、クワドレット単位でライト信号WR I

50

NがH d r 1 , H d r 2 , H d r 3に順に入力され、第4クワドレットの入力タイミングでライト信号W R I Nおよび確認信号C N F M I Nが供給される。

この例では、第1クワドレットの第1ヘッダ(H d r 1)のデータは、たとえば「00010004」として供給され、第2クワドレットの第2ヘッダ(H d r 2)のデータは、たとえば「FFC1FFFF」として供給され、第3クワドレットの第3ヘッダ(H d r 3)のデータは、たとえば「F000021C」として供給される。

【0044】

そして、データストア回路1072のレジスタD S r e g 1 , D S r e g 2 , D S r e g 3にデータ(H d r 1 , H d r 2 , H d r 3)が取り込められる。

データストア回路1072では、レジスタD S r e g 1にH d r 3が入力されたときに、全てのデータが取り込めたことになる。

10

【0045】

アドレスチェック回路1073では、データストア回路1072のレジスタD S r e g 3に取り込まれたデータH d r 1のt - c o d e = 4により、このパッケージがリードリクエストということ、レジスタD S r e g 1に取り込まれたオフセット = 21Cによりオートレスポンス宛のパッケージということで、信号S 1073がたとえばハイレベルで応答パッケージ生成回路1074に出力される。

【0046】

また、C S R 1076およびC O N F I G R O M 1077は、各オフセット値に対応したレジスタを有しており、データストア回路1072のレジスタD S r e g 1のデータH d r 3よりオフセット値 = 21Cのデータ(0000003f)が出力される。

20

【0047】

そして、応答パッケージ生成回路1074では、第1および第2のクワドレットにおける第1および第2のヘッダH d r 1 , H d r 2が作成され、さらに第4クワドレットにリード・データが設定されて、応答パッケージが生成される。

この場合、応答パッケージ生成回路1074では、第1クワドレットの第1ヘッダ(H d r 1)のデータは、入力されたデータH d r 1 = 00010040より、応答パッケージのH d r 1 = 00010060(t - c o d e = 6:リードレスポンス)が生成される。

同様に、入力されたデータH d r 2 = F F C 1 F F F Fより、応答パッケージのH d r 2 = F F C 0 0 0 0 0が生成される。

30

【0048】

そして、出力タイミング生成回路1075によりリードレスポンスの出力タイミング信号W R O U Tに同期して応答パッケージ生成回路1074から生成されたH d r 1 , H d r 2、およびリードデータが出力される。

最後に、出力タイミング生成回路1075により信C N F M O U Tが出力されて、有効なデータとなる。

【0049】

アウトバウンド回路108は、オートレスポンス処理の場合にはオートレスポンス回路107で生成されたアシンクロナス通信用パッケージを送信用リンクF I F Oメモリ108に出力し、通常処理の場合には、マイクロコンピュータ30で生成され、送信用F I F Oメモリ105に格納されたアシンクロナス通信用パッケージを送信用リンクF I F Oメモリ108に出力する。

40

【0050】

送信用リンクF I F Oメモリ109は、アウトバウンド回路108から入力したアシンクロナス通信用パッケージを格納するリングバッファである。

【0051】

次に、上記構成における動作について、C S R宛の要求パッケージを受信したときの動作を例に説明する。

【0052】

たとえばI E E E 1394シリアルインタフェースバスB Sを転送されてきたパッケージデ

50

ータがフィジカル・レイヤ回路 20、リンク・レイヤ回路 10 のリンクコア 101 を介してデマルチプレクサ 103 に入力される。

【0053】

デマルチプレクサ 103 では、リンクコア 101 から入力した通信用パケットの 1394 ヘッダ内に存在する t - c o d e (図 6) が参照されて、アシンクロナス通信用パケット、アイソクロナス通信用パケットおよびセルフ ID パケットのいずれであるかが識別され、アシンクロナス通信用パケットであればインバウンド回路 106 に出力される。

【0054】

インバウンド回路 106 では、デマルチプレクサ 103 からのアシンクロナス通信用パケットを受けて、受信パケットの第 3 クワドレットのデスティネーション・オフセット領域により示されるアドレスによって、受信パケットが CSR 宛あるいはコンフィギュレーション ROM (CONFIG ROM) 宛のパケットであるのか、受信用 FIFO メモリ 104 に格納すべきコントロール用コマンド等のパケットであるのかが判断される。

10

【0055】

インバウンド回路 106 において、受信パケットが CSR 宛の要求パケットであると判断されると、受信パケットデータがオートレスポンス回路 107 に供給される。

一方、受信用 FIFO メモリ 104 に格納すべきパケットであると判断された場合には、受信パケットは受信用 FIFO メモリ 104 に供給される。

【0056】

このとき、インバウンド回路 106 からは、上述したように、第 3 クワドレットのデスティネーション・オフセット領域により示されるアドレスを確認するまでは、オートレスポンス回路 107 および受信用 FIFO メモリ 104 の両方に受信パケットデータが供給される。

20

本例では、受信パケットは CSR 宛の要求パケットと仮定していることから、CSR 宛のパケットであると判断され、インバウンド回路 106 からは CSR - abort 信号 ABRT をアクティブで受信用 FIFO メモリ 104 に出力され、非アクティブでオートレスポンス回路 107 に出力される。

また、インバウンド回路 106 からはオートレスポンス回路 107 に対して、ライト信号 WRIN が各クワドレットの先頭タイミングで出力されるとともに、第 3 クワドレット以降、たとえば第 5 クワドレットの先頭タイミングで確認信号 CNFM が出力される。

30

【0057】

一方、受信用 FIFO メモリ 104 では、インバウンド回路 106 からの CSR - abort 信号 S108 を介してアクティブで受けると、たとえば 3 クワドレット程度まで格納した受信パケットは、CSR 宛のものとして、ライト (write) ポインタが当該パケットの格納開始前のポインタ位置に戻される。

【0058】

インバウンド回路 106 からオートレスポンス回路 107 に供給されたライト信号 WRIN、SR - abort 信号 ABRT および確認信号 CNFM は入力タイミング生成回路 1071 に入力される。

入力タイミング生成回路 1071 では、CSR - abort 信号 ABRT を非アクティブで受け、確認信号 CNFM をアクティブで受けることから、ライト信号 WRIN に基づいてインバウンド回路 106 から供給される受信データの入力タイミング信号 S1071a、S1071b が生成されて、データストア回路 1072 および出力タイミング生成回路 1075 に出力される。

40

【0059】

データストア回路 1072 では、入力タイミング生成回路 1071 で生成された入力タイミングに基づいて、インバウンド回路 106 から供給されるデータが一時格納される。この格納データは、アドレスチェック回路 1073 および応答パケット生成回路 1074 に供給される。

【0060】

50

アドレスチェック回路1073では、データストア回路1072に格納されたデータのアドレスが、レジスタへの正常なアクセスか異常なアクセスかが判別され、その結果が信号S1073として応答パケット生成回路1074に出力される。

【0061】

応答パケット生成回路1074においては、アドレスチェック回路1072の出力信号S1073が、正常なレジスタへのアクセスである旨を示している場合には、その内容に応じた応答パケットが生成されて、データDOUTとしてアウトバウンド回路108に出力される。

一方、アドレスチェック回路1072の出力信号S1073が、たとえばリードしか許さないアドレスにロックをかけた場合、アドレスエラーあるいはタイプエラーの応答パケットが生成され、データDOUTとしてアウトバウンド回路108に出力される。

10

【0062】

また、出力タイミング生成回路1075では、入力タイミング生成回路1071によるタイミング信号S1071bを受けて応答パケット生成回路1074による応答パケットデータDOUTの送信用リンクFIFOメモリ109への出力タイミングが生成され、信号WROUTとしてアウトバウンド回路108に出力される。このとき、確認信号CNFMがアクティブで、アボート(無効)信号ABRTが非アクティブで、アウトバウンド回路108に出力される。

【0063】

そして、生成された応答パケットは送信用リンクFIFOメモリ108を介してリンクコア101に入力され、さらにフィジカル・レイヤ回路20を介してシリアルインタフェースバスBSに送信される。

20

【0064】

以上説明したように、本実施形態によれば、受信パケットがCSR宛の要求パケットの場合に、要求パケットの内容および処理に応じた応答パケットを生成するオートレスポンス回路107と、受信パケットがCSRへのアクセスを要求する要求パケットであるか否かを判別し、要求パケットの場合には受信パケットをオートレスポンス回路107に供給し、要求パケット以外の場合には受信パケットを格納データがマイクロコンピュータ30で用いられる受信用FIFOメモリ104に供給するインバウンド回路107とを設けたことから、制御回路としてマイクロコンピュータ30の負担を軽減でき、しかも高速に応答

30

【0065】

なお、外部またはマイクロコンピュータ30からコンフィギュレーションレジスタ等に設定した制御情報をアクティブで受けると、インバウンド回路106からのCSR-abort信号ABRTをアクティブで受けたとしても、受信パケットの格納を停止せずにすべて格納するように構成することも可能である。

この場合には、マイクロコンピュータ30により、ソフトウェアによる制御が可能である。

【0066】

【発明の効果】

40

以上説明したように、本発明によれば、制御回路の負担を軽減でき、しかも高速に応答することができるシリアルインタフェース回路を実現できる利点がある。

【図面の簡単な説明】

【図1】本発明に係るIEEE1394シリアルインタフェース回路の一実施形態を示すブロック構成図である。

【図2】デスティネーション・オフセットの例を示す図である。

【図3】本発明に係るオートレスポンス回路の具体的な構成例を示すブロック図である。

【図4】オートレスポンス回路にリード・クワドレット・リクエストの要求パケットが供給されたときの入力データおよび信号、並びに生成された応答パケットデータおよび信号例を示す図である。

50

【図5】リード・クワドレット・リクエストに応じて生成された応答パケットのフォーマットを示す図である。

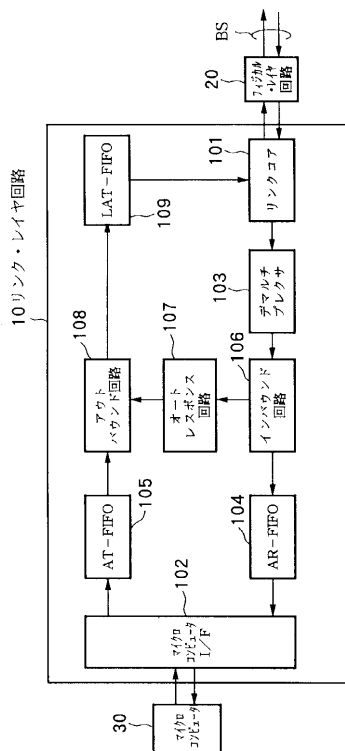
【図6】IEEE 1394規格のアシクロナス転送を説明するための図である。

【符号の説明】

10...リンク・レイヤ回路、20...フィジカル・レイヤ回路、30...マイクロコンピュータ、101...リンクコア、102...マイクロコンピュータI/F、103...デマルチプレクサ、104...受信用FIFOメモリ(AR-FIFO)、105...送信用FIFOメモリ(AT-FIFO)、106...インバウンド回路、107...オートレスポンス回路(自動応答回路)、108...アウトバウンド回路、109...送信用リンクFIFOメモリ(LAT-FIFO)、1071...入力タイミング生成回路、1072...データストア回路、1073...アドレスチェック回路、1074...応答用レジスタ、1075...出力タイミング生成回路、1076...CSR、1077...CONFIG ROM。

10

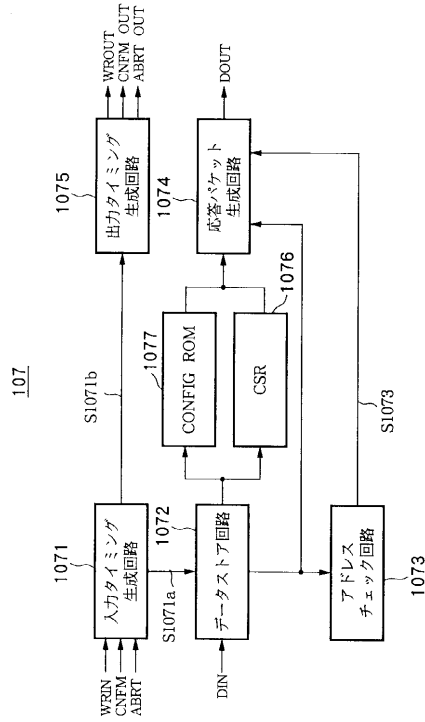
【図1】



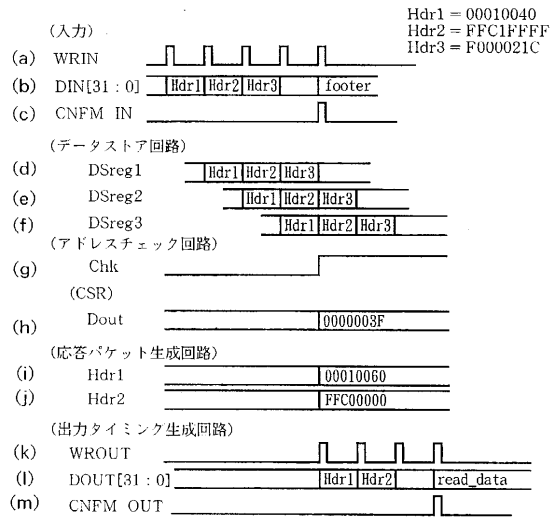
【図2】

offset	name
021C - 021F	Bus_Manager_ID
0220 - 0223	Bandwidth_Available
0224 - 0227	Channel_Available_Hi
0228 - 022B	Channel_Available_Lo
0400 - 0413	Config ROM
0900 - 0903	OMPR
0904 - 0907	OPCR
0980 - 0983	IMPR
0984 - 0987	IPCR

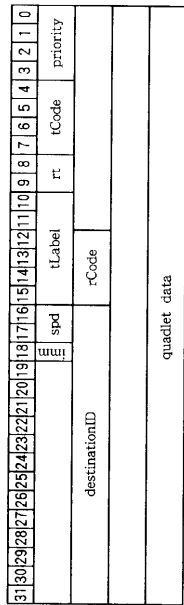
【 図 3 】



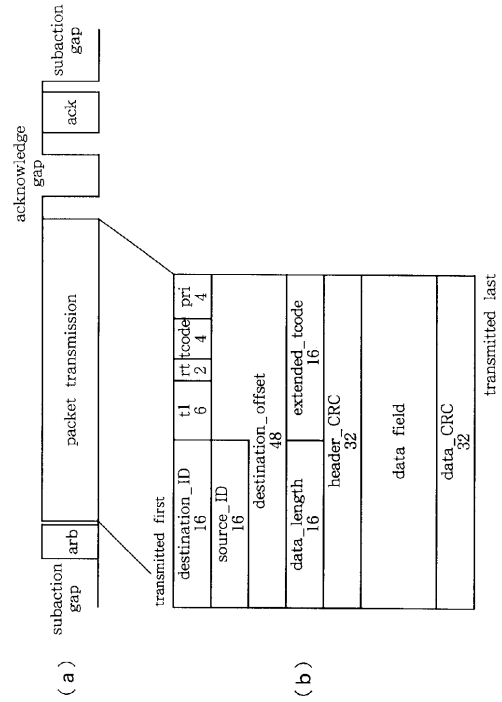
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

H04L 12/28-12/46

H04L 29/00-29/10

G06F 13/00