(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 102800735 B
(45)授权公告日 2017.10.24

(21)申请号 201210153336.2

(22)申请日 2012.05.17

(65)同一申请的已公布的文献号
申请公布号 CN 102800735 A

(43)申请公布日 2012.11.28

(30)优先权数据
2011-119502 2011.05.27 JP
2011-177460 2011.08.15 JP

(73)专利权人 索尼半导体解决方案公司
地址 日本神奈川县

(72)发明人 山田泰弘 田中勉 高德真人
伊藤良一 千田满

(74)专利代理机构 北京信慧永光知识产权代理有限责任公司 11290
代理人 陈桂香 武玉琴

(51)Int.Cl.
H01L 31/105(2006.01)

(56)对比文件
JP 特开2009-229502 A,2009.10.08,
JP 特开2010-56397 A,2010.03.11,
JP 特开2009-229502 A,2009.10.08,

审查员 邢磊

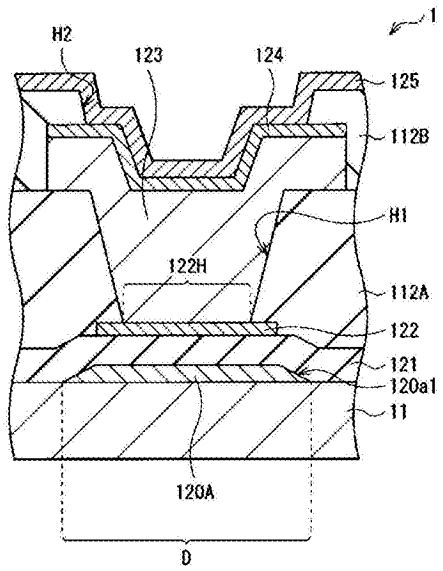
权利要求书2页 说明书11页 附图18页

(54)发明名称

光电转换元件和光电转换装置

(57)摘要

本发明涉及光电转换元件和光电转换装置。所述光电转换元件包括：设置在基板上的第一导电型的第一半导体层；第二导电型的第二半导体层，所述第二半导体层设置在比所述第一半导体层高的层中；第三导电型的第三半导体层，所述第三半导体层设置在所述第一半导体层和所述第二半导体层之间，并且所述第三半导体层的电导率低于所述第一半导体层和所述第二半导体层；以及遮光层，所述遮光层设置在所述基板和所述第一半导体层之间。本发明的光电转换元件能使光学噪声的影响降低。



CN 102800735 B

1.一种光电转换元件，包括：

第一导电型的第一半导体层，所述第一半导体层设置在基板上方；

第二导电型的第二半导体层，所述第二半导体层设置在比所述第一半导体层高的层中；

第三导电型的第三半导体层，所述第三半导体层设置在所述第一半导体层和所述第二半导体层之间，并且所述第三半导体层的电导率低于所述第一半导体层和所述第二半导体层的电导率；

遮光层，所述遮光层设置在所述基板和所述第一半导体层之间；

绝缘膜，其覆盖所述遮光层，所述第一半导体层设置在所述绝缘膜上，且所述绝缘膜设置在所述第一半导体层和所述遮光层之间；以及

位于所述基板上的晶体管，

其中，所述遮光层保持在与所述第一半导体层相同的电位，

其中，所述遮光层设置在与所述晶体管的栅极不同的层中，

其中，所述绝缘膜设置在比所述晶体管的栅极低的层中，且

其中，所述遮光层设置在所述绝缘膜和所述基板之间并且位于所述基板的整个表面上。

2.如权利要求1所述的光电转换元件，其中，

所述第一半导体层连接到用于保存信号电荷的节点。

3.如权利要求1所述的光电转换元件，其中，

所述第二半导体层连接到用于保存信号电荷的节点。

4.如权利要求1所述的光电转换元件，其中，

所述第一半导体层是由多晶硅制成。

5.如权利要求1所述的光电转换元件，其中，

所述第一半导体层设置在所述基板上方的选择区域中。

6.如权利要求1所述的光电转换元件，其中，

所述绝缘膜也用作所述晶体管的栅极绝缘膜。

7.如权利要求1所述的光电转换元件，其中，

所述遮光层是由钼、钨、钽或铬制成。

8.如权利要求1所述的光电转换元件，其中，

所述第一半导体层设置在所述基板上方的选择区域中，

在所述基板上方且在所述第一半导体层上设置有层间绝缘膜，所述层间绝缘膜具有与所述第一半导体层相对的接触孔，并且

所述遮光层的底座面积等于或者大于所述接触孔在所述第一半导体层侧的开口的面积。

9.如权利要求8所述的光电转换元件，其中，

所述层间绝缘膜也用作所述晶体管的层间绝缘膜。

10.如权利要求1所述的光电转换元件，其中，

所述第一半导体层是由微晶硅制成。

11.如权利要求1所述的光电转换元件是PIN型光电二极管。

12.一种光电转换装置,包括:

多个像素,每个所述像素包括光电转换元件,所述光电转换元件为权利要求1至11中任一项所述的光电转换元件。

13.如权利要求12所述的光电转换装置是放射线摄像装置。

14.如权利要求12所述的光电转换装置是光学接触式传感器。

光电转换元件和光电转换装置

[0001] 相关申请的交叉参考

[0002] 本发明包含与2011年8月15日向日本专利局提交的日本在先专利申请JP 2011-177460的公开内容以及与2011年5月27日向日本专利局提交的日本在先专利申请JP 2011-119502的公开内容相关的主题，在此将这些在先申请的全部内容以引用的方式并入本文。

技术领域

[0003] 本发明涉及一种诸如适用于放射线摄像装置(radiographic imager)和接触式传感器的光电转换元件，以及采用该光电转换元件的光电转换装置。

背景技术

[0004] 近年来已经出现将PIN(Positive Intrinsic Negative Diode)光电二极管作为光电转换元件，用于放射线摄像装置和接触式传感器。这些PIN型光电二极管具有夹在p型半导体层和n型半导体层之间的所谓的i型半导体层，从而能够产生对应于入射光的光量的信号电荷(例如，日本特开公报2008-277710号和2011-14752号)。

[0005] 然而，如果p型、n型和i型半导体层按照一个位于另一个上部的方式上下层叠成例如日本特开公报2011-14752号所述的PIN型光电二极管，那么该光电二极管可能容易受光学噪声的影响。在例如放射线摄像装置中使用这种光电二极管会造成图像质量劣化。

发明内容

[0006] 鉴于上述问题，本发明的目的是，期望提供一种有助于使光学噪声的影响降低的光电转换元件和光电转换装置。

[0007] 根据本发明的实施例，光电转换元件包括：第一导电型的第一半导体层、第二导电型的第二半导体层、第三导电型的第三半导体层和遮光层。所述第一半导体层设置在所述基板上方。所述第二半导体层设置在比第一半导体层更高的层中。所述第三半导体层设置在第一半导体层和第二半导体层之间，并且导电率比第一半导体层和第二半导体层低。所述遮光层设置在所述基板和第一半导体层之间。

[0008] 根据本发明的实施例，光电转换装置包括多个像素，其中每个像素包括本发明实施例所述的光电转换元件。

[0009] 在本发明实施例所述的光电转换元件和光电转换装置中，第一导电型的第一半导体层设置在第二导电型的第二半导体层上方，并且所述第一半导体层和所述第二半导体层之间夹着第三导电型的第三半导体层。这样能够根据从第二半导体层侧入射的光得到信号电荷(使得能进行光电转换)。在从第二半导体层侧射入的光中，穿过第三半导体层和第一半导体层并且从基板侧射出的光被设置在所述基板和第一半导体层之间的遮光层遮挡。同时，从所述基板侧朝第一半导体层前进的光被遮挡。

[0010] 在本发明实施例所述的光电转换元件和光电转换装置中，从基板侧依次设置第一导电型的第一半导体层、第三半导体层和第二导电型的第二半导体层。此外，在所述基板和

第一半导体层之间设置遮光层。这样能够抑制不想要的光(光学噪声)通过第一半导体层进出光电转换元件,从而有助于减小光学噪声的影响。

[0011] 此外,在本发明实施例的光电转换装置中,抑制了例如所谓的相邻像素之间的串扰。因此,能够抑制诸如分辨率降低等摄影图像质量的劣化。另一方面,能够抑制接触式传感器中发生错误检测。

附图说明

[0012] 图1是表示本发明实施例的光电二极管的大致结构的剖面图;

[0013] 图2A至图2M是表示图1所示光电二极管的制造方法的剖面图;

[0014] 图3是用于说明比较例的光电二极管的光接收操作的剖面示意图;

[0015] 图4是用于说明图1所示光电二极管的光接收操作的剖面示意图;

[0016] 图5A和图5B是用于说明由图1所示光电二极管实现的其它效果的剖面示意图;

[0017] 图6是用于说明通过图1所示光电二极管实现的另一个效果的特性图;

[0018] 图7是表示变形例1中的光电二极管的大致结构的剖面图;

[0019] 图8表示应用示例中的光电转换装置的总体结构的功能框图;

[0020] 图9是图8所示像素部中的像素电路(有源驱动)的示例;

[0021] 图10是图8所示像素部中的像素电路(无源驱动)的示例;

[0022] 图11是图10所示像素电路的另一个示例;

[0023] 图12是表示设置在图8所示的单位像素中的光电二极管和晶体管的大致结构的剖面图;

[0024] 图13是变形例2的光电二极管和晶体管的大致结构的剖面图;

[0025] 图14是变形例3的光电二极管和晶体管的大致结构的剖面图;

[0026] 图15是适用于图14所示结构示例的像素电路的示例;以及

[0027] 图16是变形例4的光电二极管和晶体管的大致结构的剖面图。

具体实施方式

[0028] 下面将参照附图对本发明的优选实施例进行说明。应当注意,将按如下顺序进行说明。

[0029] 1.实施例(光电二极管的示例,其中遮光层设置在下部半导体层(p型,多晶硅)下的层中)

[0030] 2.变形例1(遮光层布置的另一个示例)

[0031] 3.应用示例(使用上述光电二极管的光电转换装置(放射线摄像装置或接触式传感器)的示例)

[0032] 4.变形例2(在不同的层中设置遮光层和栅极的示例)

[0033] 5.变形例3(从下侧(p型半导体层)得出信号的示例)

[0034] 6.变形例4(从下侧(n型半导体层)得出信号的示例)

[0035] 实施例

[0036] 结构

[0037] 图1表示本发明实施例所述的光电二极管(光电二极管1)的大致结构。光电二极管

1是用于产生与入射光(接收到的光)的光量对应的电荷(光电荷)并且将所产生的电荷存储在其内部的光电转换元件。光电二极管1是在p型半导体层和n型半导体层之间夹有i型半导体层(本征半导体层)的PIN光电二极管。

[0038] 光电二极管1例如具有从由玻璃或其它材料制成的基板11侧依次层叠的p型半导体层122、i型半导体层123和n型半导体层124。更具体地,在光电二极管1中,在所述基板11上(更确切地说,是在后述绝缘膜121上)的选择区域中设置p型半导体层122。设置第一层间绝缘膜112A,该第一层间绝缘膜112A具有与p型半导体层122相对的接触孔H1。i型半导体层123以填充第一层间绝缘膜112A的接触孔H1的方式设置在p型半导体层122上。在该i型半导体层123上形成n型半导体层124。在n型半导体层124和第一层间绝缘膜112A上设置第二层间绝缘膜112B。第二层间绝缘膜112B形成有与n型半导体层124相对的接触孔H2。上部电极125通过接触孔H2连接在n型半导体层124上。

[0039] 应当注意,虽然这里展示的是其中p型半导体层122设置在基板侧(下部侧)而n型半导体层124位于顶部的结构,但是也可以采用相反的结构,即,其中n型半导体层124设置在下部侧(基板侧)而p型半导体层122位于顶部。另一方面,p型半导体层122对应于本发明实施例中的“第一半导体层”的具体示例,n型半导体层124对应于“第二半导体层”的具体示例,i型半导体层123对应于“第三半导体层”的具体示例。

[0040] 绝缘膜121是包括诸如二氧化硅(SiO_2)、氮氧化硅($SiON_X$)以及氮化硅(SiN_X)膜之一的单层膜,或者是含有上述两种以上膜的层叠膜。应当注意,如果例如在光电转换装置的每个像素中使用光电二极管1,则绝缘膜121可以形成为与设置在同一像素中的晶体管的栅极绝缘膜相同的层(绝缘膜121可以兼作栅极绝缘膜)。

[0041] p型半导体层122是由诸如多晶硅等低电阻率的半导体材料制成。向p型半导体层122掺杂例如硼(B),以形成p+区域。p型半导体层122具有例如40nm至50nm的厚度。在本实施例中,p型半导体层122作为用于得到信号电荷的下部电极,并且连接到后述存储节点N(p型半导体层122作为存储节点N)。然而,应当指出,如果是从n型半导体层124得到信号,则p型半导体层122可以连接到后述的用于为光电转换提供基准电位的电源配线(后述的端子133)。应当注意,虽然在本实施例中将通过例如其中p型半导体层122是由多晶硅制成的例子来进行说明,但是p型半导体层122也可以由微晶硅制成。

[0042] 第一层间绝缘膜112A和第二层间绝缘膜112B是例如通过层叠诸如二氧化硅和氮化硅膜等绝缘膜形成。在光电二极管1用于光电转换装置中的每个像素的情况下,例如第一层间绝缘膜112A和第二层间绝缘膜112B可以是公共层,即也用作设置在同一像素中的晶体管的层间绝缘膜。

[0043] i型半导体层123包括比p型半导体层122和n型半导体层124的导电率低的例如非掺杂本征半导体层或其它半导体层,并且由例如非晶硅制成。i型半导体层123具有例如400nm至1000nm的厚度。然而,i型半导体层123越厚,越能够提高光灵敏度。特别是,在本实施例中,在采用沿垂直方向依次层叠p型半导体层122、i型半导体层123和n型半导体层124的结构的情况下,容易确保i型半导体层123的厚度比所谓的平面结构(其中i型半导体层夹在p型半导体层与n型半导体层之间)更厚。从而能够具有比平面结构更高的光灵敏度。

[0044] n型半导体层124例如是由非晶硅制成,以形成n+区域。在本实施例中,n型半导体层124通过上部电极125连接到例如用于为光电转换提供基准电位的电源配线(后述的端子

133)。但是,应当注意,如下所述,在从n型半导体层124得出信号的情况下,n型半导体层124可以连接到后述存储节点N(n型半导体层124可以作为存储节点N)。n型半导体层124具有例如10nm至50nm的厚度。

[0045] 上部电极125包括例如由氧化铟锡(Indium Tin Oxide,ITO)或其它材料制成的透明导电膜。上部电极125的表面用作光接收面。遮光层120A

[0046] 在光电二极管1中,遮光层120A设置在基板11和p型半导体层122之间的区域中,并且遮光层120A与例如p型半导体层122相对。更具体地说,遮光层120A布置在基板11上的选择区域中,以覆盖遮光层120A的方式设置绝缘膜121。p型半导体层122设置在绝缘膜121上,以与遮光层120A相对。绝缘膜121是包括例如二氧化硅、氮氧化硅以及氮化硅膜之一的单层膜,或者是含有上述两种以上膜的层叠膜。当例如在光电转换装置的每个像素中使用光电二极管1的情况下,绝缘膜121可以兼作为设置在同一像素中的晶体管的栅极绝缘膜。

[0047] 遮光层120A是由能够遮挡(吸收或反射)可见光而不让可见光通过(具有遮光功能)的材料制成。当例如在光电转换装置的每个像素中使用光电二极管1的情况下,优选地,应将遮光层120A设置在与同一像素中的晶体管的栅极相同的层中,并且采用与该栅极相同的材料制作。其原因是能够在同一步骤中一并形成遮光层120A和栅极。此外,因为(将在稍后详细说明)在适于形成p型半导体层122的激光退火和其它处理过程中必须要有耐热性,所以遮光层120A优选由高熔点材料制成。这些金属材料有钼(Mo)、钨(W)、钽(Ta)和铬(Cr)。

[0048] 虽然在本实施例中将遮光层120A布置成与p型半导体层122相对,但是遮光层120A优选设置在如下区域中。即,虽然如上所述第一层间绝缘膜112A具有与p型半导体层122相对的接触孔H1,但优选地,遮光层120A的设置面D与接触孔H1的p型半导体层122侧的开口122H一样大或者比开口122H大。换句话说,遮光层120A的底座面积可以等于或者大于接触孔H1在p型半导体层122侧的开口的面积。而且,虽然遮光层120A在其端部具有斜坡120a1,更优选地,遮光层120A应当足够大,使斜坡120a1不与开口122H部分重叠。这样设置的理由是在形成p型半导体层122的激光退火步骤中易于形成具有更均匀的膜质量的多晶硅层,在下文将对此详细说明。

[0049] 优选地,遮光层120A应当与p型半导体层122保持在同一电位,因为与p型半导体层122的连接抑制了寄生电容。例如,对于遮光层120A和p型半导体层122,仅需要通过图中未示出的配线层电连接到一起。尽管没有具体限制,但是应当注意,遮光层120A的厚度是根据形成遮光层120A的材料的遮光性能来适当设置的。可选地,当在形成晶体管的栅极的同一步骤中形成遮光层120A时,遮光层120A具有与栅极相同的厚度。制造方法

[0050] 例如能够用如下方式来制造上述结构的光电二极管1。图2A至图2M按步骤顺序表示光电二极管1的制造方法。

[0051] 即,首先在基板11上的选择区域中形成遮光层120A。更具体地说,如图2A所示,由上述材料制成的遮光层120A形成在基板11的整个表面上。应当注意,此时,在形成晶体管的栅极的同一步骤中形成遮光层120A,例如通过溅射形成具有给定厚度的栅极材料。接下来,如图2B所示,采用光刻法通过干法刻蚀或者湿法刻蚀将形成的膜图案化,从而形成遮光层120A。

[0052] 接下来,如图2C所示,由上述材料制成的绝缘膜121是例如通过CVD(化学气相沉积)法以覆盖遮光层120A的方式形成的。然后,例如通过CVD法在绝缘膜121上形成非晶硅

(α-Si)层122A。应当注意，绝缘膜121可以是包括例如上述SiN_X、SiO_2等中的一种的单层膜，或者可以是含有上述两种或多种膜的层叠膜。然而，如果绝缘膜121包括层叠膜，则优选地，应首先形成SiN_X膜，之后连续形成SiO_2膜。

[0053] 接下来，如图2D所示，例如在400℃至450℃的温度下实施脱氢退火。然后，如图2E所示，例如通过准分子激光器退火(ELA)用308nm波长的激光束L照射α-Si层122A，从而使α-Si层122A多晶化。结果，在绝缘膜121上形成多晶硅(p-Si)层122B。

[0054] 接下来，如图2F所示，例如通过离子注入将例如硼(B)离子掺杂到p-Si层122B中。于是，在绝缘膜121上形成p型半导体层122，成为p+区域。然后，如图2G所示，例如通过光刻法将p型半导体层122图案化，形成岛状。

[0055] 接下来，如图2H所示，例如通过CVD在基板11整个表面上(在p型半导体层122和绝缘膜121上)形成由诸如上述材料制成的第一层间绝缘膜112A。接下来，如图2I所示，例如通过使用光刻进行干法蚀刻，在第一层间绝缘膜112A的与p型半导体层122相对的区域中形成接触孔H1。

[0056] 接下来，如图2J所示，例如通过CVD在第一层间绝缘膜112A上面以及上方依次形成i型半导体层123和n型半导体层124。于是，i型半导体层123和n型半导体层124分别以填充第一层间绝缘膜112A的接触孔H1的方式设置在p型半导体层122的上面和上方。然后，如图2K所示，例如通过光刻将i型半导体层123和n型半导体层124图案化，形成给定的形状。

[0057] 接下来，如图2L所示，例如通过CVD在基板11的整个表面上(在n型半导体层124和第一层间绝缘膜112A上)形成由上述材料制成的第二层间绝缘膜112B。然后，如图2M所示，例如通过使用光刻进行干法蚀刻，在第二层间绝缘膜112B的与n型半导体层124相对的区域中形成接触孔H2。

[0058] 最后，例如通过溅射，在通过接触孔H2从第二层间绝缘膜112B露出的n型半导体层124上，形成由上述材料制成的上部电极125。这样完成如图1所示的光电二极管1的制造。

[0059] 作用和效果

[0060] 当从图中未示出的电源配线通过上部电极125向光电二极管1提供给定电位时，从上部电极125侧射入的光主要被i型半导体层123吸收，产生载流子并且将光转换为与所吸收的光(接收到的光)的光量对应的信号电荷。例如在p型半导体层122中保存由该光电转换产生的信号电荷，并且从该处取出，作为光电流。

[0061] 在本实施例中，如上所述，p型半导体层122作为用于取出信号电荷的下部电极。这是因为，p型半导体层122是由低电阻的多晶硅制成的，p型半导体层122完全能够充当电极。这样就不需要在光电二极管1中设置单独的下部电极。

[0062] 这里，图3表示本发明比较例的光电二极管的剖面结构。与本实施例的光电二极管1相同，光电二极管100也是PIN型光电二极管，具有从基板101侧依次层叠的p型半导体层103、i型半导体层105和n型半导体层106。更具体地说，在基板101上的选择区域中设置p型半导体层103。第一层间绝缘膜104A设置成具有与p型半导体层103相对的接触孔H1。i型半导体层105以填充第一层间绝缘膜104A的接触孔H1的方式设置在p型半导体层103上。在i型半导体层105上形成n型半导体层106。在n型半导体层106和第一层间绝缘膜104A上设置第二层间绝缘膜104B。第二层间绝缘膜104B具有接触孔H2，所述接触孔H2形成为与n型半导体层106相对。上部电极107通过接触孔H2连接到n型半导体层106上。在上述结构中，p型半导

体层103是由多晶硅制成，从而使p型半导体层103能够作为用于取出信号电荷的下部电极。然而，应当注意，在比较例中，在基板101上设置p型半导体层103，并且在基板101和p型半导体层103中间夹着绝缘膜102，而没有象本实施例这样设置遮光层120A。

[0063] 在比较例所示的上述结构的光电二极管100中，例如通过i型半导体层105吸收从上部电极107侧射入的光束L，从而产生信号电荷。然而，因为构成p型半导体层103的多晶硅是透明的，所以未被i型半导体层105吸收的光束(L100)(即入射光束L的一部分)在穿过p型半导体层103之后被基板101反射，最后成为杂散光。另一方面，不想要的光束(L101)可以从其它区域(例如从基板101)通过p型半导体层103进入光电二极管100。这些光束L100和L101最后成为光学噪声，例如在光电转换装置的每个像素中设置了光电二极管100的情况下，会造成相邻像素之间的串扰。

[0064] 相比而言，在本实施例中，在p型半导体层122和基板11之间设置了遮光层120A。因此，例如如图4所示，在从上部电极125进入的光束L中，未被i型半导体层123吸收的那部分光束(L100)穿过p型半导体层122，但是被遮光层120A遮挡。于是，光束L100没有扩散到其它区域。另一方面，从基板11侧向p型半导体层122前进的光束也被遮光层120A遮挡。这样抑制了不想要的光(光学噪声)通过p型半导体层122进出。此外，被遮光层120A反射的光返回并且被i型半导体层123吸收，从而具有更高的灵敏度。

[0065] 而且，设置遮光层120A具有如下优点。图5A和图5B示意性地描述了比较例中的光电二极管100的剖面结构。这里，当形成p型半导体层103时，通过以与上述方法相同的方式例如ELA将非晶硅多晶化。然而，在比较例中，在ELA之后，一部分膜中会产生微晶区域(晶格缺陷)。在存在微晶区域的情况下，在用于将第一层间绝缘膜104A进行干法刻蚀的步骤中，会在这些微晶区域中形成孔。如图5A所示，例如，形成的孔H100能够贯穿p型半导体层103、绝缘膜102和一部分基板101。如果通过CVD在孔H100上方连续地形成i型半导体层105、n型半导体层106和上部电极107，则例如在i型半导体层105中将会出现缝(空洞)X。

[0066] 相比于其中出现缺陷(即p型半导体层103中产生缝X)的比较例，本实施例中的遮光层120A抑制了缝X的产生。即，在本实施例中，在ELA期间，如上所述，使用遮光层120A进行激光照射能够容易地形成具有极少晶格缺陷的多晶硅。这抑制了在第一层间绝缘膜112A的形成期间由干式蚀刻造成的孔的形成，从而抑制了缝X的产生。而且，当在同一步骤中形成遮光层120A和晶体管栅极时，形成的结晶与沟道层中的晶粒尺寸一致，从而确保不会有微晶混入。

[0067] 图6展示了具有遮光层120A的二极管特性以及不具有遮光层120A(比较例)的二极管特性。图6清楚地表明，两者的暗电流存在明显差异。因此，设置遮光层120A不仅抑制了在光接收期间的光学噪声，而且还抑制了多晶硅的晶格缺陷所导致的缝的产生，从而抑制暗电流的增大。

[0068] 如上所述，在本实施例中，p型半导体层122、i型半导体层123和n型半导体层124依次层叠在基板11上，并且具有夹在p型半导体层122和基板11之间的遮光层120A。这样不仅遮挡了从n型半导体层124入射的全部光中的穿过i型半导体层123和n型半导体层124朝向基板11传播的光，而且还遮挡了从基板11侧朝向p型半导体层122传播的光。即，这样抑制了不想要的光(光学噪声)通过p型半导体层122进出，从而有助于减小光学噪声的影响。

[0069] 接下来将对实施例的变形例(变形例1)进行说明。应当注意，用相同的附图标记表

示与上述实施例相同的部件，并且酌情省略其说明。

[0070] 变形例1

[0071] 图7表示该变形例的光电二极管(光电二极管1A)的剖面结构。与上述实施例中的光电二极管1相同，光电二极管1A也是PIN型光电二极管，具有从基板11侧依次层叠的p型半导体层122C、i型半导体层123和n型半导体层124。更具体地说，p型半导体层122C设置在基板11上的选择区域中。第一层间绝缘膜112A设置为具有与p型半导体层122C相对的接触孔H1。在n型半导体层124和第一层间绝缘膜112A上设置具有接触孔H2的第二层间绝缘膜112B。上部电极125通过接触孔H2连接在n型半导体层124上。而且，在p型半导体层122C和基板11之间设置了遮光层120B。

[0072] 应当注意，在本变形例中，p型半导体层122C由微晶硅制成。之前曾提到，在本实施例中，p型半导体层122能够由微晶硅制成。如果在这种情况下p型半导体层是由微晶硅制成，则不再需要绝缘膜121，从而允许将遮光层120B作为用于取出信号电荷的下部电极。遮光层120B是采用与上述实施例中的遮光层120A相同的材料制成。

[0073] 如果p型半导体层122C如上所述是由微晶硅制成，则p型半导体层122C能够设置在作为下部电极的遮光层120B上。上述结构的光电二极管也具有与上述实施例相同的有益效果。

[0074] 应用例

[0075] 图8表示在每个像素中使用上述实施例和变形例中所述的光电二极管的光电转换装置(光电转换装置2)的总体结构。例如在放射线摄像装置中使用光电转换装置2，从而能够接收到通过闪烁器从放射线(通常为α、β、γ和X射线)转换成的可见光，并以电信号的形式得到基于放射线的图像信息。该放射线摄像装置被设计成用于医疗领域，以及用于行李和其它物体的非破坏性检查的X射线摄像装置。而且，光电转换装置2适用于间接变换型FPD(Flat Panel Detector，平板探测器)以及直接变换型FPD。可选地，光电转换装置2用于例如所谓的光接触式传感器中，该光接触式传感器能够根据光电转换所得到的电信号来探测是否存在手指或触针的接触。

[0076] 该光电转换装置不仅具有位于基板11上的作为摄像区域的像素部12，还有例如在像素部12的周边区域中的外围电路(驱动电路)。所述外围电路例如包括行扫描部13、水平选择部14、列扫描部15和系统控制部16。

[0077] 像素部12包括例如以矩阵形式二维布置的单位像素P(下面简称为像素)。每个单位像素P包括上述光电二极管1(或者光电二极管1A或1B，下文中也一样)和晶体管(下述的晶体管Tr1～Tr3或者111B)。例如，单位像素P的每行设置有像素驱动线17(更具体地说，行选择线和复位控制线)，单位像素P的每列设置有垂直信号线18。像素驱动线17用于传输驱动信号，该驱动信号用于从像素读出信号。每个像素驱动线17的一端连接到与行扫描部13的各行之一相对应的输出端。

[0078] 在本实施例中，光电二极管1和晶体管并排地布置在基板11上，其中一些层(绝缘膜121、第一层间绝缘膜112A和第二层间绝缘膜112B)是它们彼此共用的公共层。光电二极管1的绝缘膜121也用作晶体管111B的栅极绝缘膜。下文将对光电二极管1和晶体管111B的具体结构进行说明。

[0079] 行扫描部13是像素驱动部，其例如包括移位寄存器和地址解码器，并且例如逐行

地驱动像素部12的像素P。从行扫描部13所选择和扫描的像素行中的各像素P输出的信号通过一条垂直信号线18提供至水平选择部14。水平选择部14包括为各条垂直信号线18设置的放大器、水平选择开关以及其它部件。

[0080] 列扫描部15例如包括移位寄存器和地址解码器，并且在扫描这些开关的同时依次逐个驱动水平选择部14的水平选择开关。由于通过列扫描部15选择和扫描，通过垂直信号线18传输的像素的信号依次输出到水平扫描线19，并且通过水平扫描线19从基板11向外传输。

[0081] 能够在基板11上直接形成由行扫描部13、水平选择部14、列扫描部15和水平扫描线19组成的电路部。可选地，该电路部能够布置在外部控制IC中。另外可选地，能够在通过例如线缆连接的其它基板上形成该电路部。

[0082] 系统控制部16响应于从基板11外部提供的时钟、规定操作方式或其它信息的数据，输出诸如放射线摄像装置1的内部信息等数据。系统控制部16还包括适于产生各种时序信号的时序发生器，从而控制诸如行扫描部13、水平选择部14、列扫描部15等外围电路的驱动。

[0083] 像素电路

[0084] 能够有源地或者无源地驱动像素电路。图9是有源驱动像素电路(像素电路12a)的示例。像素电路12a包括光电二极管1、晶体管Tr1～Tr3(相当于后述的晶体管111B)、垂直信号线18、用作像素驱动线17的行选择线171和复位控制线172。在该示例中，从光电二极管1的p侧取出信号电荷(p型半导体层122连接到存储节点N)。

[0085] 例如通过端子133向光电二极管1的一端提供基准电位Vxref，光电二极管1的另一端连接到存储节点N。存储节点N包括电容部件136，从而使光电二极管1产生的信号电荷保存在存储节点N中。应当注意，光电二极管1也可连接在存储节点N和地(GND)之间。

[0086] 晶体管Tr1是连接在端子137和存储节点N之间的复位晶体管。对端子137提供基准电位Vref。响应于复位信号Vrst，晶体管Tr1导通，以使存储节点N的电位复位至基准电位Vref。晶体管Tr2是读出晶体管，其栅极连接到存储节点N，其漏极侧端子连接至电源VDD。响应于由光电二极管1产生的信号电荷，晶体管Tr2输出与信号电荷对应的信号电压。晶体管Tr3是连接在晶体管Tr2的源极和垂直信号线18之间的行选择晶体管，并且响应于行扫描信号Vread而导通，以从晶体管Tr2向垂直信号线18输出信号。晶体管Tr3也可连接在晶体管Tr2的漏极和电源VDD之间。

[0087] 图10是无源驱动像素电路(像素电路12b)的示例。在该示例中，单位像素P包括光电二极管1、电容部件138和晶体管Tr(相当于读出晶体管Tr3)。晶体管Tr连接在存储节点N和垂直信号线18之间，并且响应于行扫描信号Vread而导通，以根据由光电二极管1接收到的光量而将存储在存储节点N中的信号电荷输出到垂直信号线18。在该示例中，从光电二极管1的n侧取出信号电荷(n型半导体层124连接到存储节点N)。另一方面，作为无源驱动像素电路的另一个示例，图11示出具有两个串联连接的晶体管Tr的所谓双栅结构。虽然这里展示了两个晶体管Tr串联在一起的示例，但也可以是三个以上晶体管Tr串联在一起。应当注意，晶体管Tr(Tr3)相当于上述实施例等中的晶体管111B。光电二极管和晶体管的剖面结构

[0088] 图12是设置在单位像素P中的光电二极管1和晶体管111B的剖面结构的示例。然而，应当指出，该结构示例是如下的情形：如上所述，单位像素P为无源驱动方式，光电二极

管1具有从基板11侧依次层叠的p型半导体层122、i型半导体层123和n型半导体层124，并且从顶部的n型半导体层124取出信号电荷。如图12所示，绝缘膜121、第一层间绝缘膜112A和第二层间绝缘膜112B是光电二极管1和晶体管111B共用的公共层。而且，光电二极管1的遮光层120A设置在与晶体管111B的栅极(栅极120)相同的层中，并且光电二极管1的上部电极125与晶体管111B的配线层128电连接。

[0089] 晶体管111B例如是场效应晶体管(FET)。在晶体管111B中，在基板11上的选择区域中设置栅极120，在栅极120上设置绝缘膜121，作为栅极绝缘膜。在绝缘膜121上形成半导体层126，并且半导体层126包括沟道区126a、LDD(轻掺杂漏极)126b和n+区域(或p+区域)126c。半导体层126例如是通过多晶硅、微晶硅或者非晶硅制成，并且优选由低温多晶硅(LTPS)制成。可选地，半导体层126能够由诸如铟镓锌氧化物(InGaZnO)或氧化锌(ZnO)等氧化物半导体制成。在设于具有上述构造的半导体层126上的第一层间绝缘膜112A中，例如使用Ti、Al、Mo、W或者Cr形成配线层128(每个或者为源极或者为漏极)。配线层128连接到读出信号线以及各种配线。

[0090] 应当注意，虽然在图12中仅仅展示了单个晶体管111B，但也可以如图11所示电路示例的结构示例，例如在基板11上并排布置两个(或者三个以上)晶体管111B。另一方面，设置在晶体管111B中的栅极的数量不必总是等于1。也可以采用其中在纵向(沿着厚度方向)设置两个栅极的所谓的双栅结构。

[0091] 如上所述，在基板11上并排布置光电二极管1和晶体管111B的情况下，能够使用晶体管111B的栅极绝缘膜设置绝缘膜121。另一方面，当栅极120和遮光层120A设置在同一层中时，能够在同一步骤中一并形成栅极120和遮光层120A。这里，优选用具有遮光性能的高熔点材料制作遮光层120A。在具有这些性质的材料中，可以使用更适于用作栅极120的钼作为遮光层120A。

[0092] 应当注意，当在同一层中设置遮光层120A和栅极120时，优选地，遮光层120A应当与栅极120电隔离，并且设置在避开晶体管111B的区域中。

[0093] 在具有上述结构的光电转换装置2中，在每个像素中设置具有遮光层120A的光电二极管1，从而抑制了例如相邻像素之间的串扰。这样能够例如使放射线摄像装置抑制诸如分辨率降低等摄影图像质量的劣化。另一方面，这能够使接触式传感器抑制错误检测。

[0094] 变形例2

[0095] 如上所述，当在光电转换装置中并排布置光电二极管1和晶体管111B时，并非必须将遮光层(遮光层120D)设置在与栅极120相同的层中。遮光层也可以设置在与栅极120不同的层中。更具体地说，如图13所示，遮光层120D能够设置在栅极120的下层中。在这种情况下，遮光层120D设置在基板11的整个表面上，栅极120设置在遮光层120D的上方，在遮光层120D和栅极120之间夹有绝缘膜129。应当注意，这里展示的示例也是如上所述的无源驱动像素电路。

[0096] 当如本变形例所示，栅极120和遮光层120D设置在不同层中的情况下，不管晶体管111B设置在何处，能够在基板11的整个表面上布置遮光层120D。这样更有效地遮挡了光学噪声。

[0097] 变形例3

[0098] 图14表示变形例3的光电二极管1和晶体管111B的剖面结构的示例。图15是其像素

电路的示例。在本变形例中，p型半导体层122连接到适于保存信号电荷的节点，从下部(p型半导体层122)取出信号。如上所述，p型半导体层122通过配线层131连接到晶体管111B的半导体层126，n型半导体层124通过上部电极125和电极130连接到电源线175(图14中未示出)。应当注意，在这种情况下，电源线175和垂直信号线18分别保持在正电位(例如，1V)和0V，以供使用。

[0099] 变形例4

[0100] 图16示出了变形例4的光电二极管1和晶体管111B的剖面结构的示例。虽然在上述应用例中光电二极管1具有从基板11侧依次层叠的p型半导体层122、i型半导体层123和n型半导体层124，但是如图16所示，光电二极管1也可以具有从基板11侧依次层叠的n型半导体层132、i型半导体层123和p型半导体层135。而且，在该层叠结构中，在从n型半导体层132侧取出信号的情况下，n型半导体层132是由多晶硅(或者微晶硅)制成，并且连接到晶体管111B的半导体层126(更具体地说，是n+区域126c)。应当注意，为了将n型半导体层132和半导体层126连接在一起，这些层只需以相互接触的方式直接形成，不必如上述变形例3那样设置配线层。另一方面，p型半导体层135通过上部电极125和电极130连接到电源线175(图16中未示出)。应当注意，在本发明的变形例中，n型半导体层132对应于本发明实施例中的“第一半导体层”的具体示例，p型半导体层135对应于“第二半导体层”的具体示例，i型半导体层123对应于“第三半导体层”的具体示例。

[0101] 尽管已经通过优选实施例和变形例对本发明进行说明，但是本发明实施例的内容不限于上述实施例，能够进行各种变形。上述变形例中通过例举的方式展示了在基板11上并排布置的光电二极管1和晶体管111B。然而，本发明不限于此。可选地，晶体管111B和光电二极管1能够例如依次层叠在基板11上。

[0102] 此外，本发明实施例所述的放射线摄像装置不必含有上述实施例所述的所有部件。相反地，本发明实施例所述的放射线摄像装置可以包括其它的一个或者多个层。

[0103] 应当注意，本发明实施例所述的光电转换元件和光电转换装置能够设置成具有如下(1)～(16)所述的结构。

[0104] (1)一种光电转换元件，包括：第一导电型的第一半导体层、第二导电型的第二半导体层、第三导电型的第三半导体层和遮光层，所述第一半导体层设置在基板上方，所述第二半导体层设置在比所述第一半导体层高的层中，所述第三半导体层设置在所述第一半导体层和所述第二半导体层之间，并且所述第三半导体层的电导率低于所述第一半导体层和所述第二半导体层，所述遮光层设置在所述基板和所述第一半导体层之间。

[0105] (2)特征1中限定的光电转换元件，其中所述第一半导体层连接到用于保存信号电荷的节点。

[0106] (3)特征2中限定的光电转换元件，其中所述第二半导体层连接到用于保存信号电荷的节点。

[0107] (4)特征1中限定的光电转换元件，其中所述第一半导体层是由多晶硅制成。

[0108] (5)在特征1至4的任一项中限定的光电转换元件，其中所述第一半导体层设置在所述基板上方的选择区域中，所述遮光层设置在与所述第一半导体层相对的区域中。

[0109] (6)特征1至5中任一项限定的光电转换元件，其中在所述第一半导体层和所述遮光层之间设置有绝缘膜。

[0110] (7)特征1至6中任一项限定的光电转换元件，包括位于基板上的晶体管，其中所述绝缘膜也用作所述晶体管的栅极绝缘膜。

[0111] (8)特征1至7中任一项限定的光电转换元件，包括位于基板上的晶体管，其中所述遮光层设置在与所述晶体管的栅极相同的层中。

[0112] (9)特征7或8中限定的光电转换元件，其中所述遮光层是采用与所述栅极相同的材料制成。

[0113] (10)特征1至9中任一项限定的光电转换元件，包括位于基板上的晶体管，其中所述遮光层设置在与所述晶体管的栅极不同的层中。

[0114] (11)特征10中限定的光电转换元件，其中所述绝缘膜设置在比所述晶体管的栅极低的层中，所述遮光层设置在所述绝缘膜和所述基板之间并且位于所述基板的整个表面上。

[0115] (12)特征1至10中任一项限定的光电转换元件，其中所述遮光层保持与所述第一半导体层相同的电位。

[0116] (13)特征1至12中任一项限定的光电转换元件，其中所述遮光层是由高熔点材料制成。

[0117] (14)特征1至13中的任一项限定的光电转换元件，其中所述第一半导体层设置在所述基板上方的选择区域中，在所述基板上方且在所述第一半导体层上设置层间绝缘膜，所述层间绝缘膜具有与所述第一半导体层相对的接触孔，所述遮光层的底座面积等于或者大于所述接触孔在所述第一半导体层侧的开口的面积。

[0118] (15)特征1至14中任一项限定的光电转换元件，其中所述第一半导体层是由微晶硅制成。

[0119] (16)特征1至15中的任一项限定的光电转换元件是PIN型光电二极管。

[0120] 本领域技术人员应当理解，依据设计要求和其他因素，可以在本发明随附的权利要求或其等同物的范围内进行各种修改、组合、次组合以及改变。

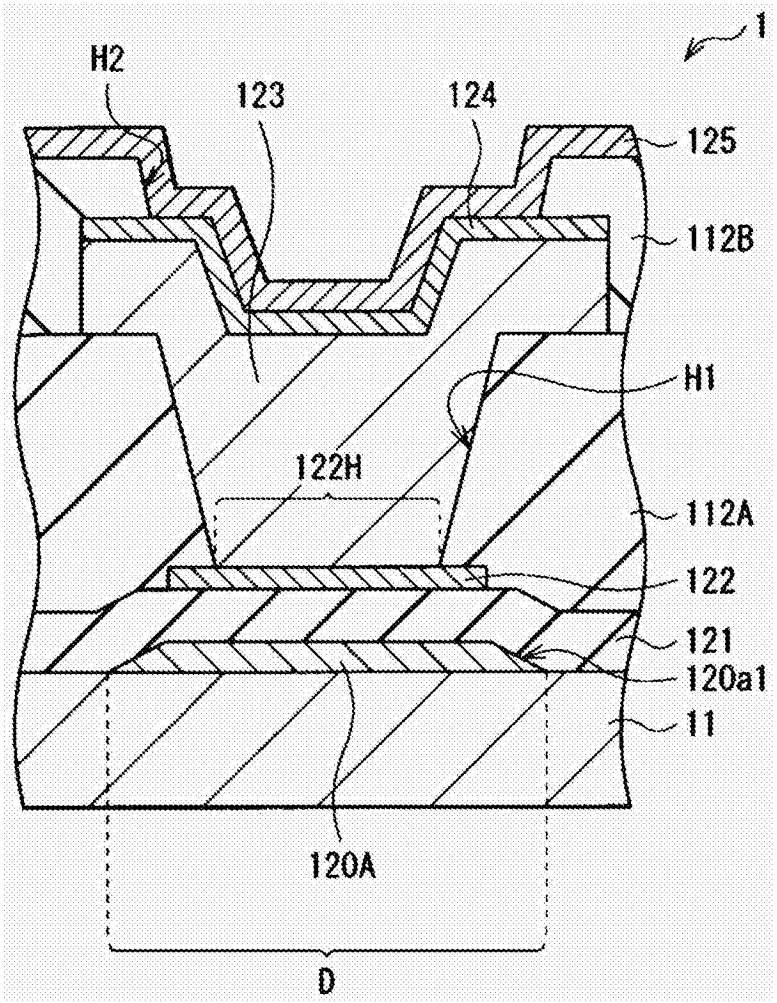

1
H2
123
124
125
112B
H1
122H
112A
122
121
120a1
11
120A
D

图1

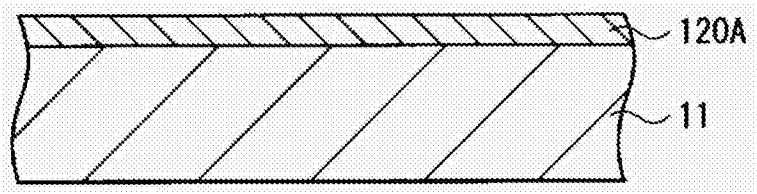

120A
11

图2A

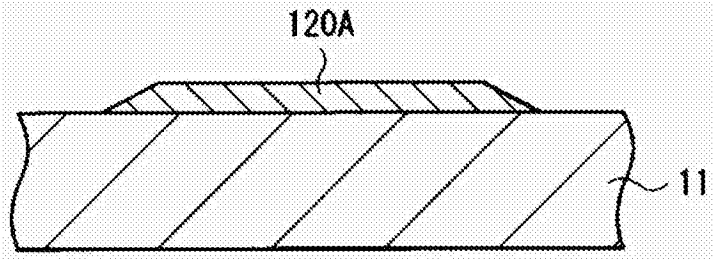

120A
11

图2B

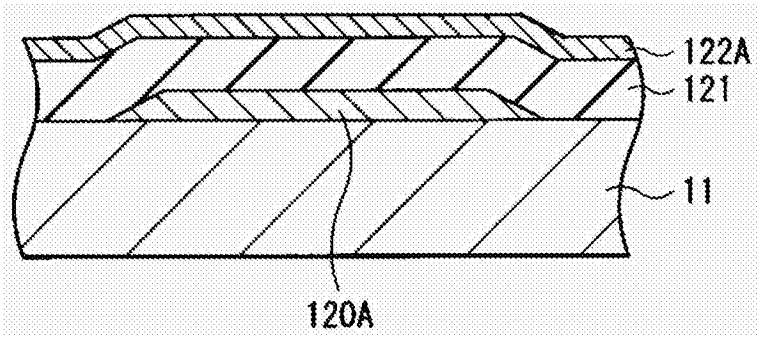


图2C

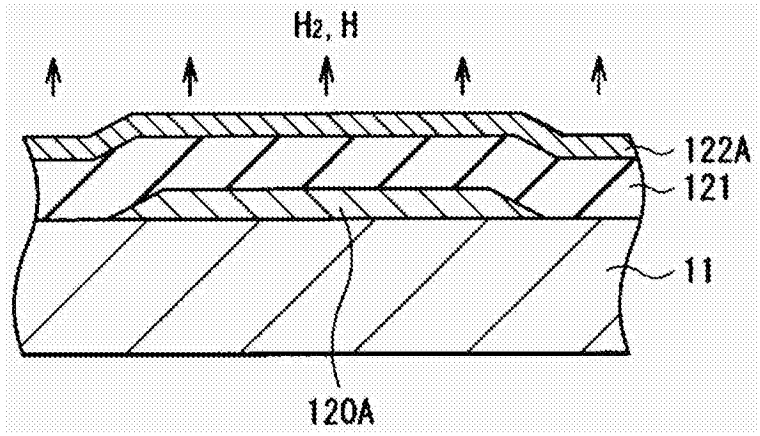


图2D

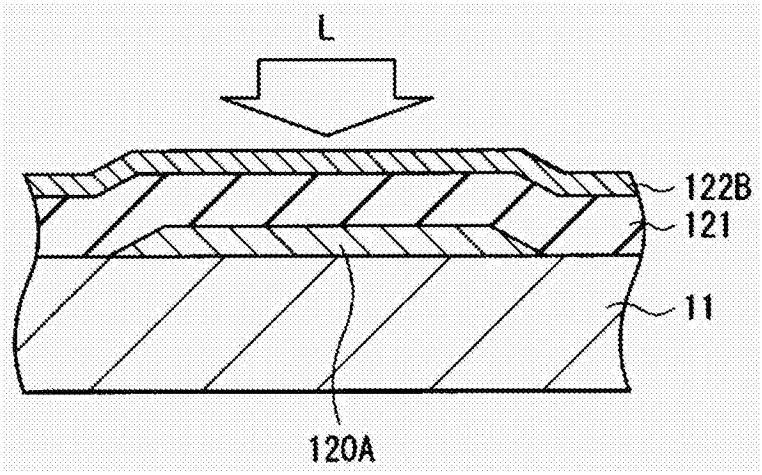


图2E

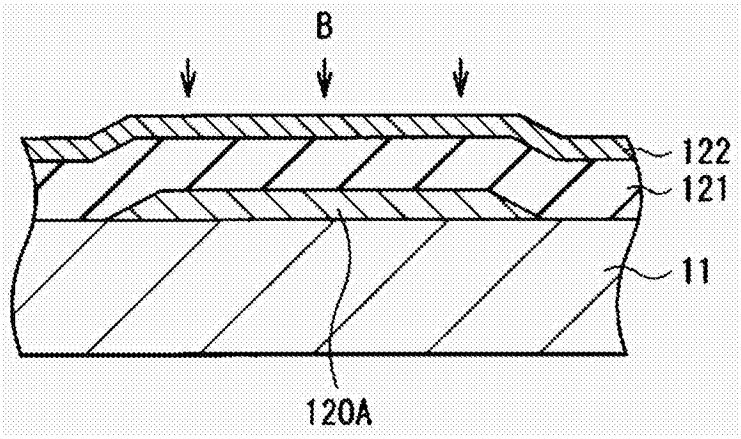


图2F

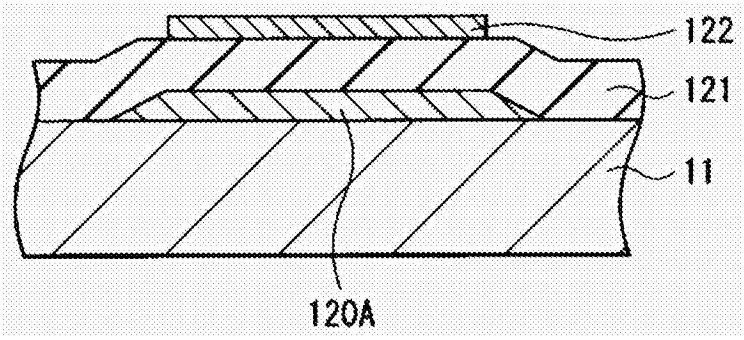


图2G

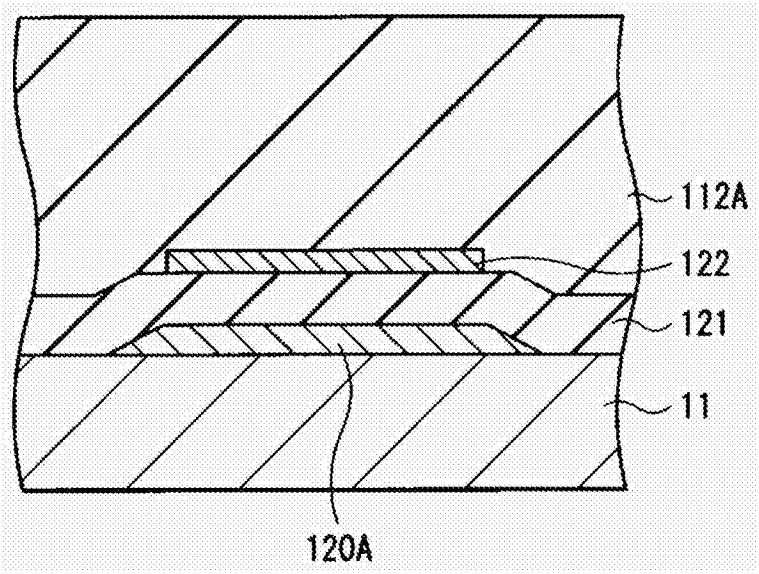


图2H

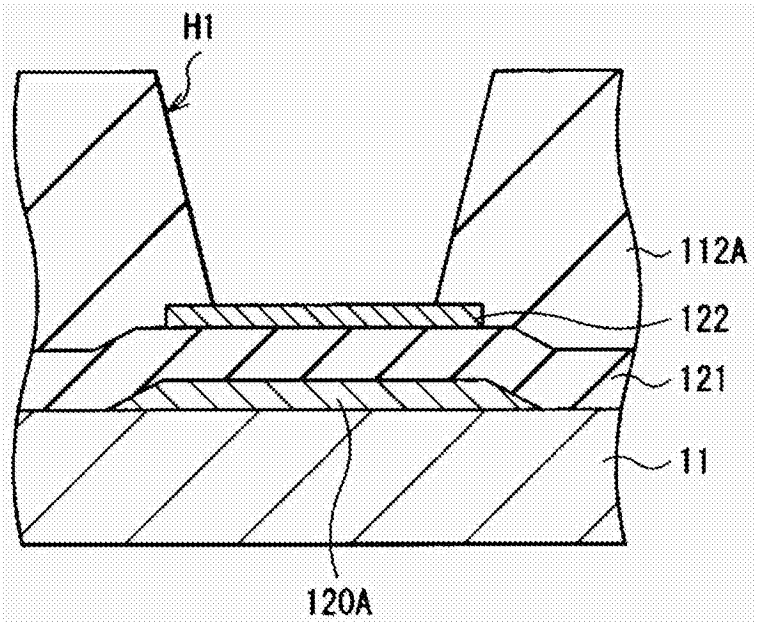


图2I

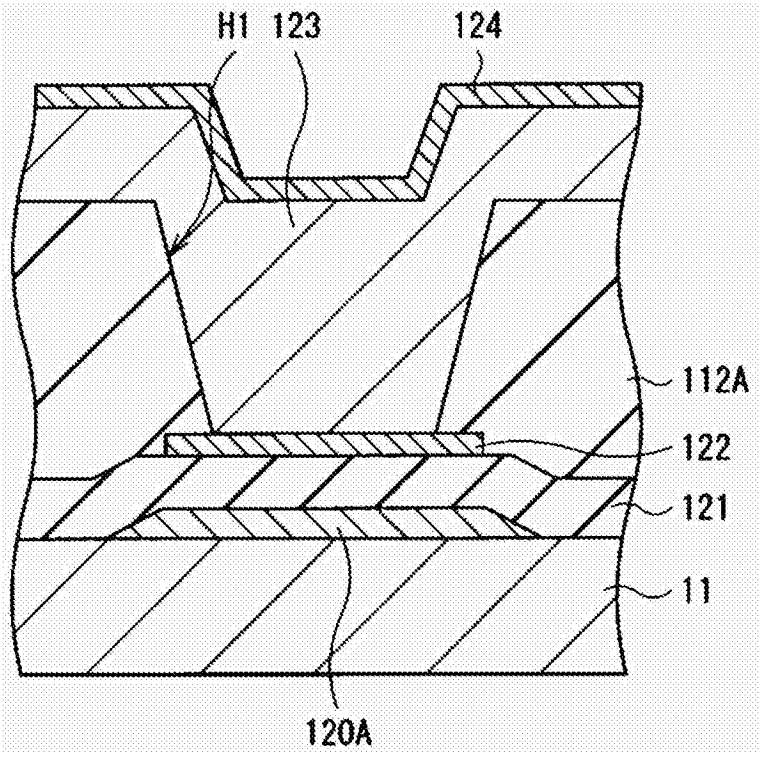


图2J

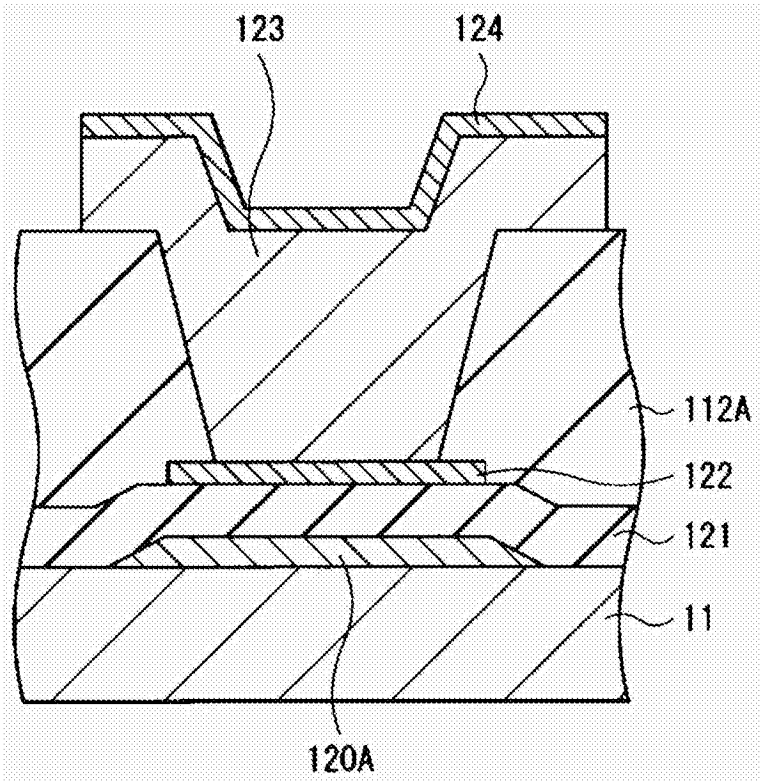


图2K

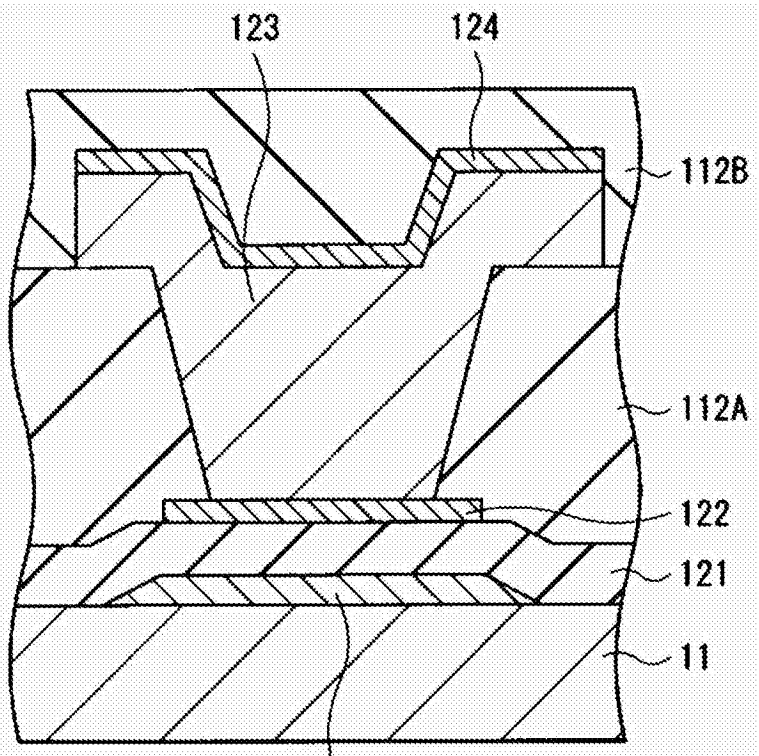

123
124
112B
112A
122
121
11
120A

图2L

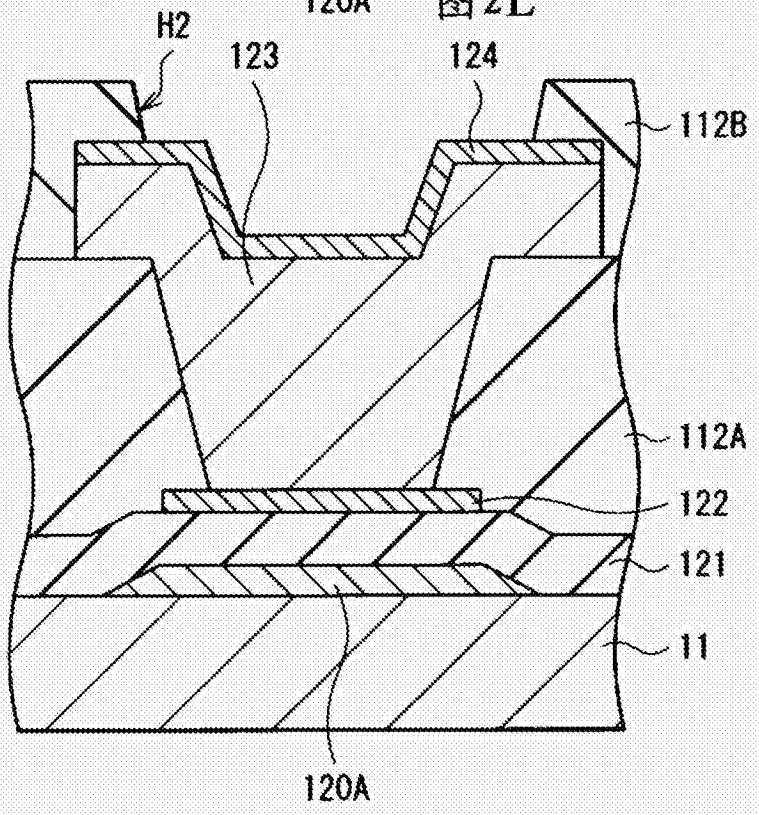

H2
123
124
112B
112A
122
121
11
120A

图2M

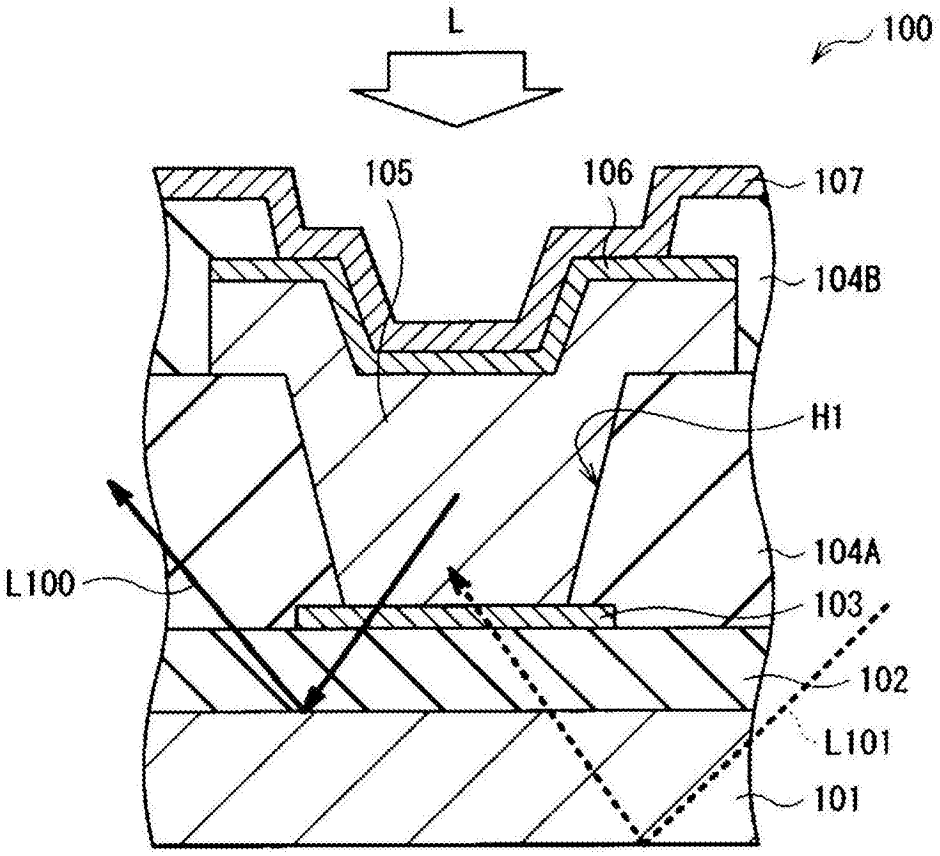


图3

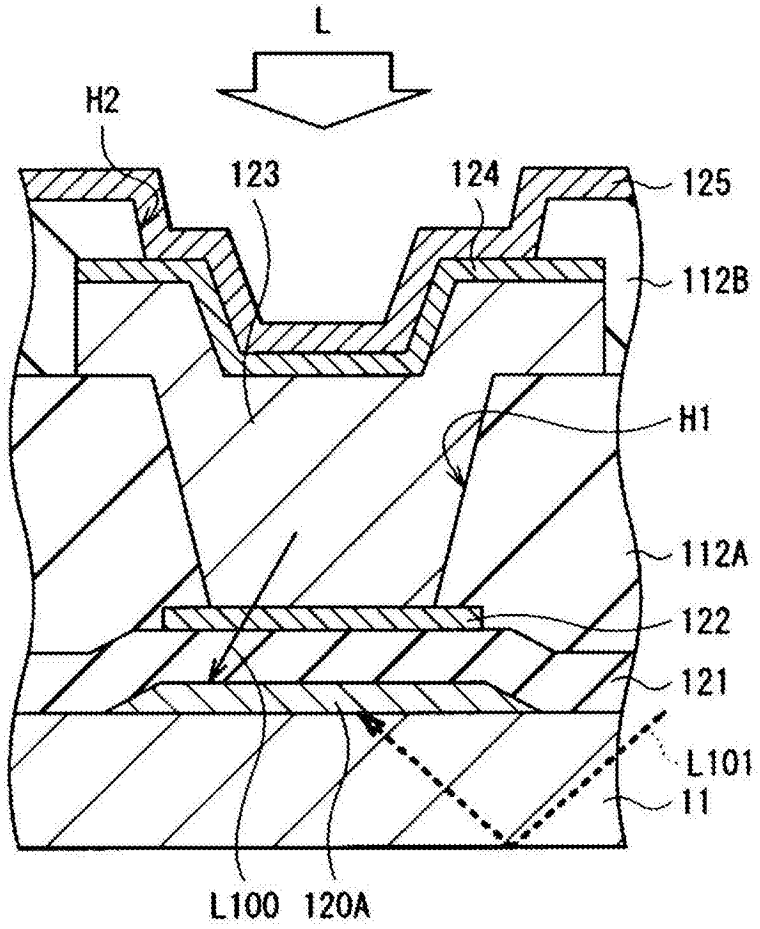

L
H2
123
124
125
112B
H1
112A
122
121
L101
11
L100
120A

图4

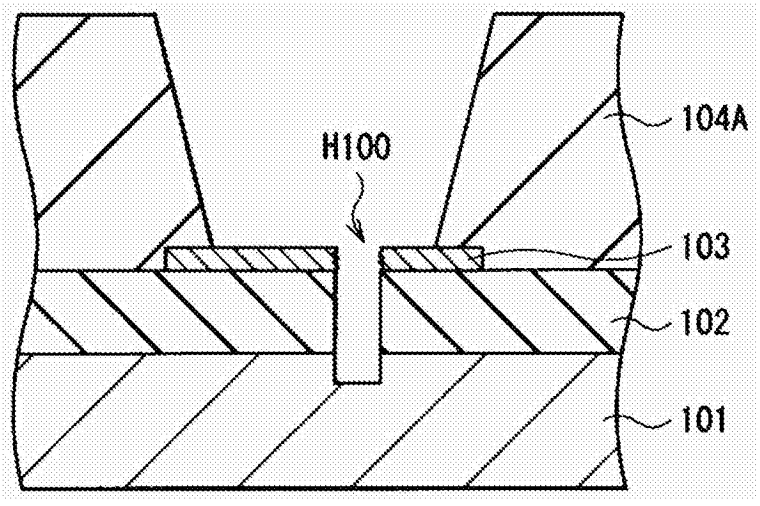

H100
104A
103
102
101

图5A

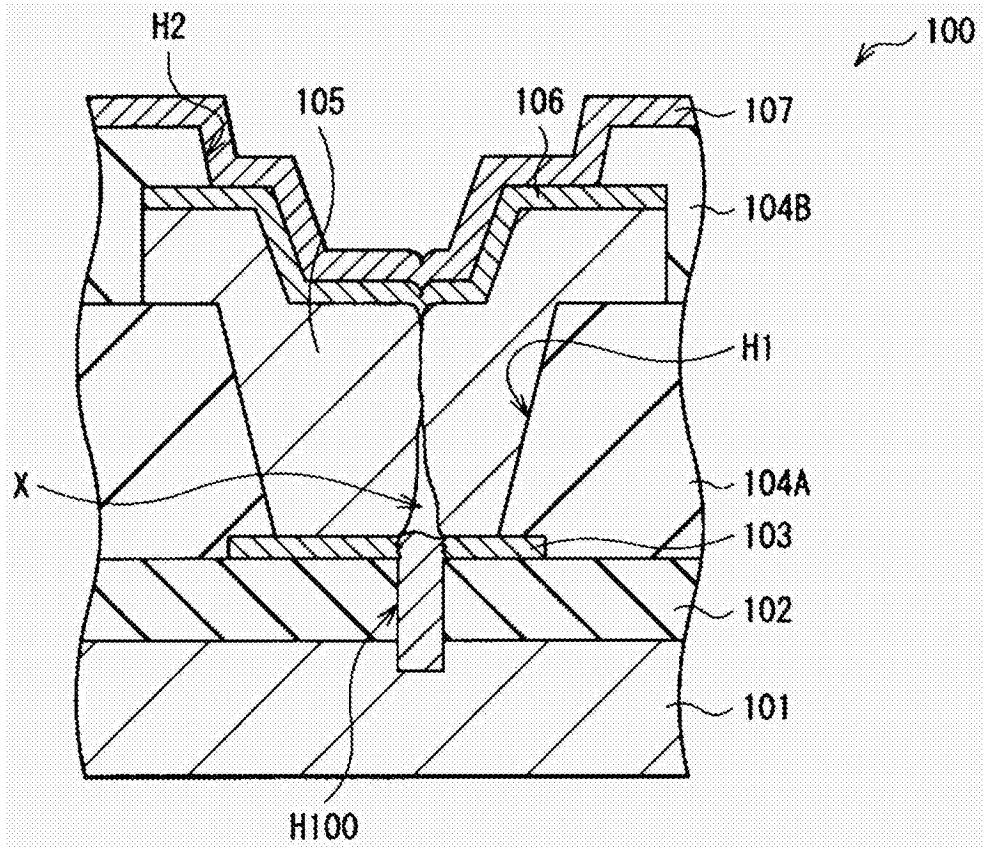

H2
100
105
106
107
104B
H1
X
104A
103
102
101
H100

图5B

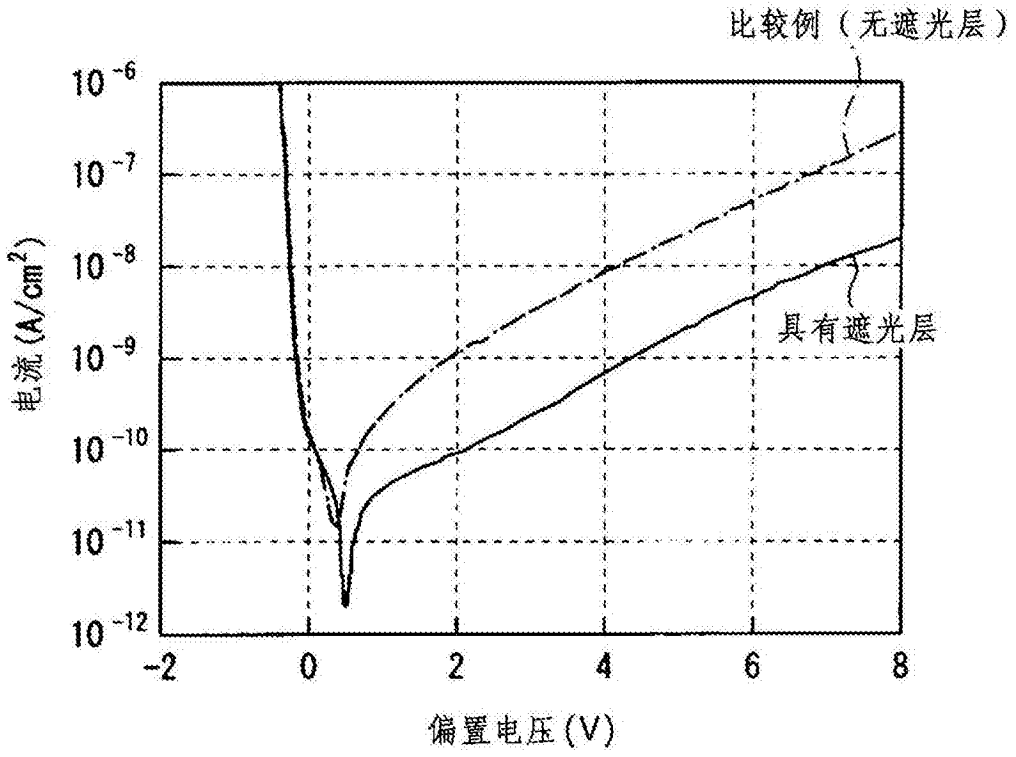

比较例（无遮光层）
具有遮光层
电流 (A/cm²)
10⁻⁶
10⁻⁷
10⁻⁸
10⁻⁹
10⁻¹⁰
10⁻¹¹
10⁻¹²
-2
0
2
4
6
8
偏置电压 (V)

图6

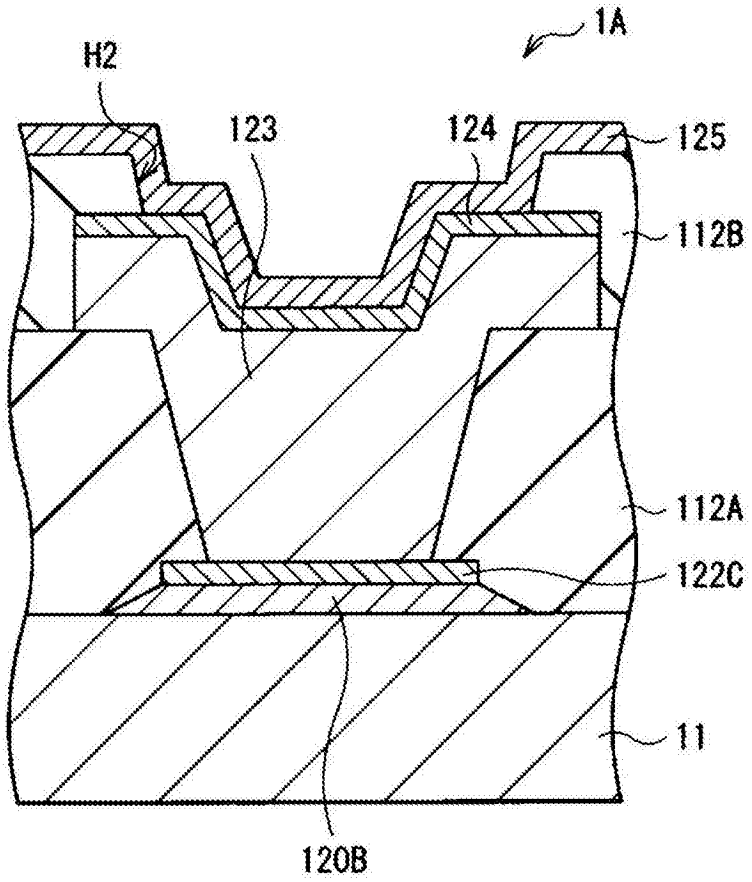


图7

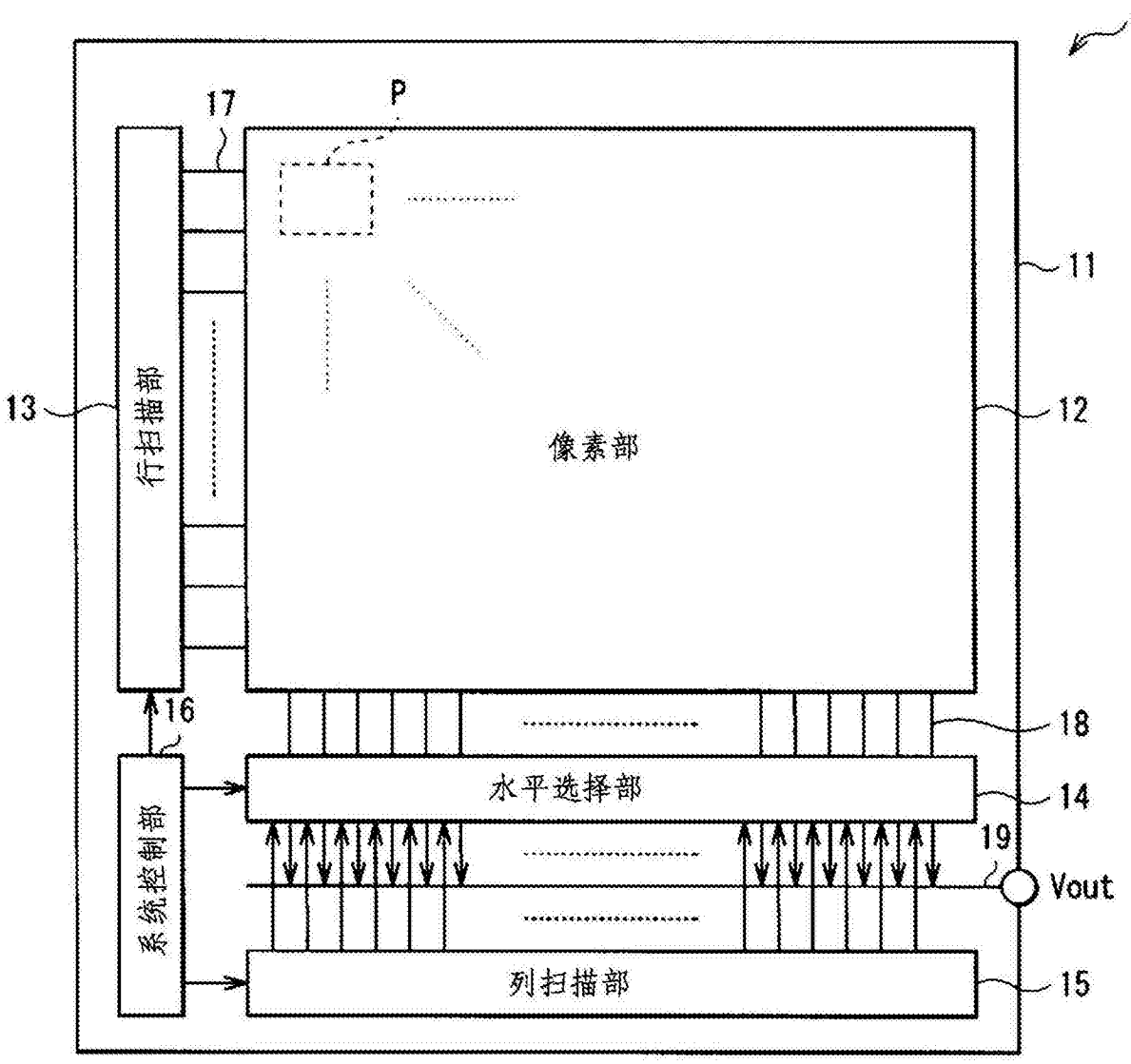


图8

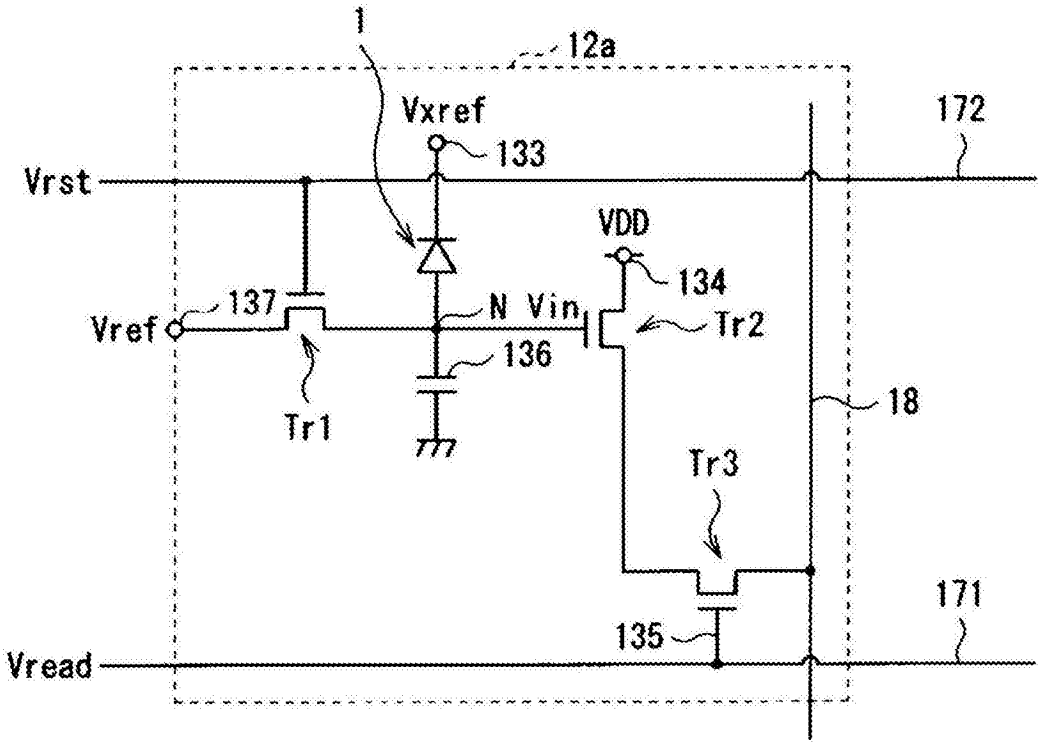

1
12a
Vxref
133
172
Vrst
VDD
134
137
N
Vin
Tr2
Vref
136
Tr1
18
Tr3
171
135
Vread

图9

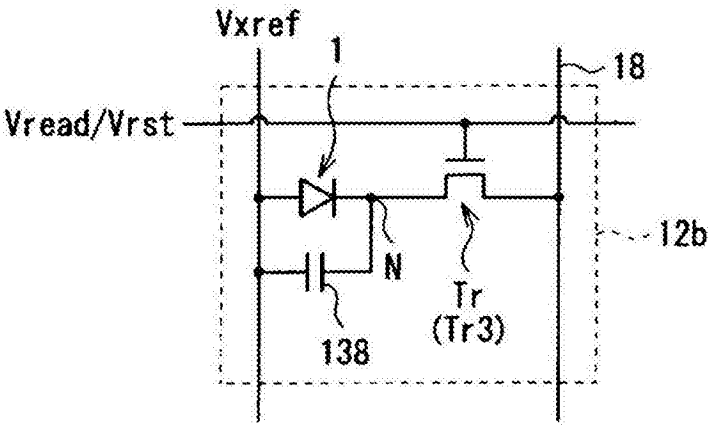

Vxref
1
18
Vread/Vrst
12b
N
Tr
(Tr3)
138

图10

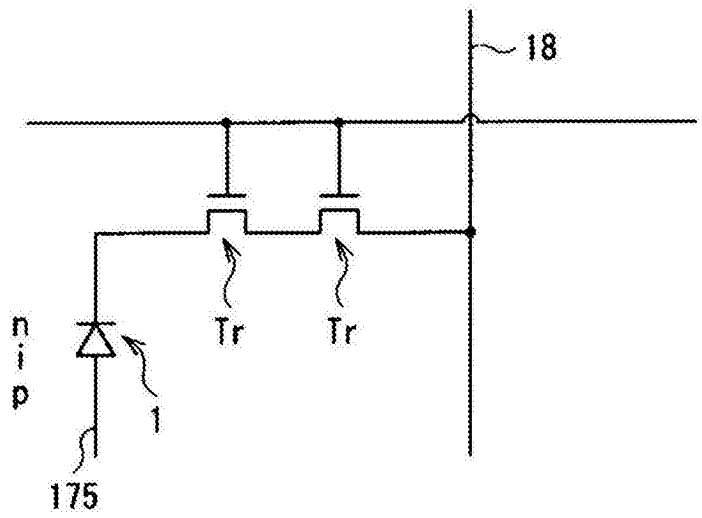


图11

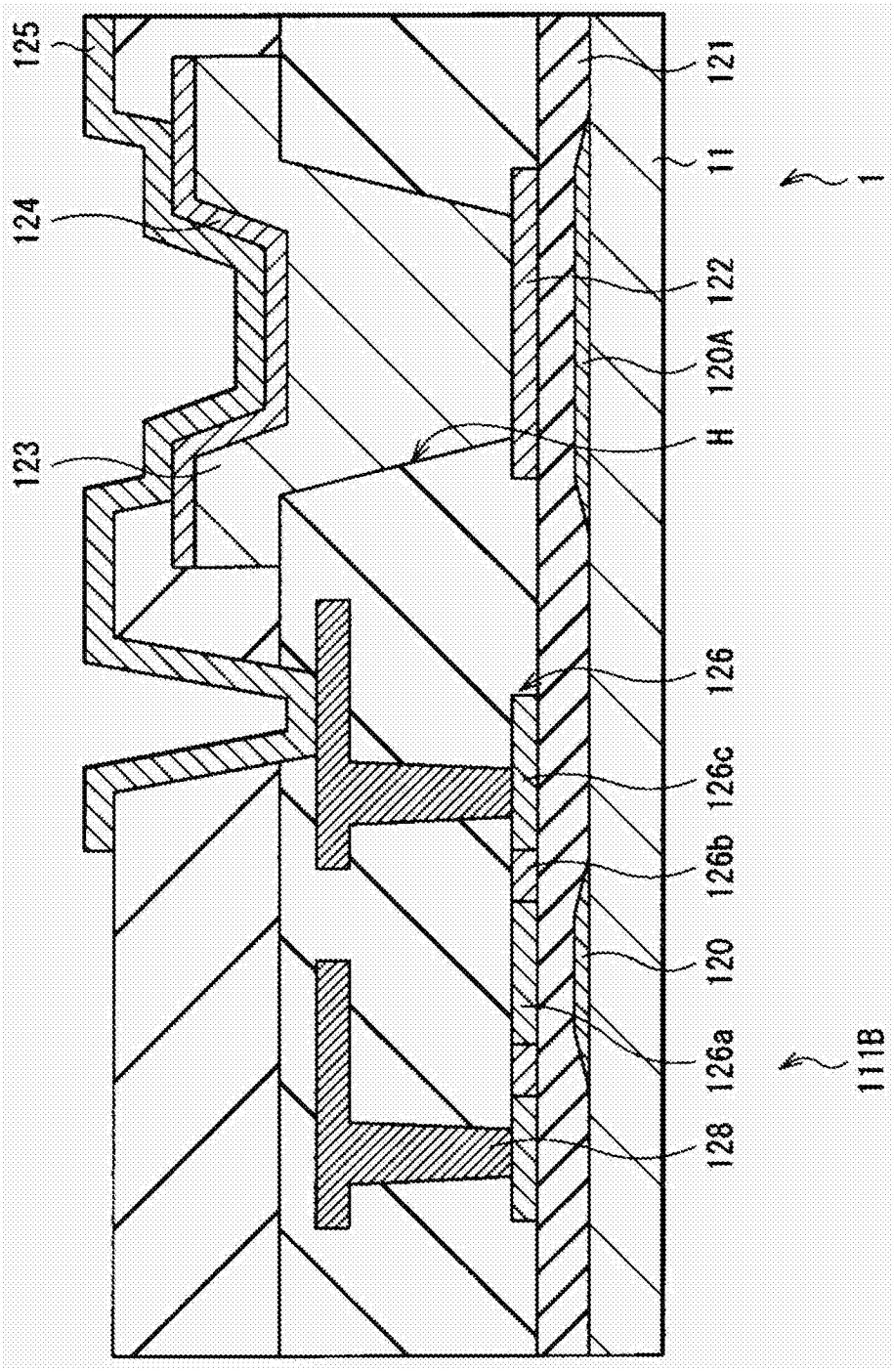


图12

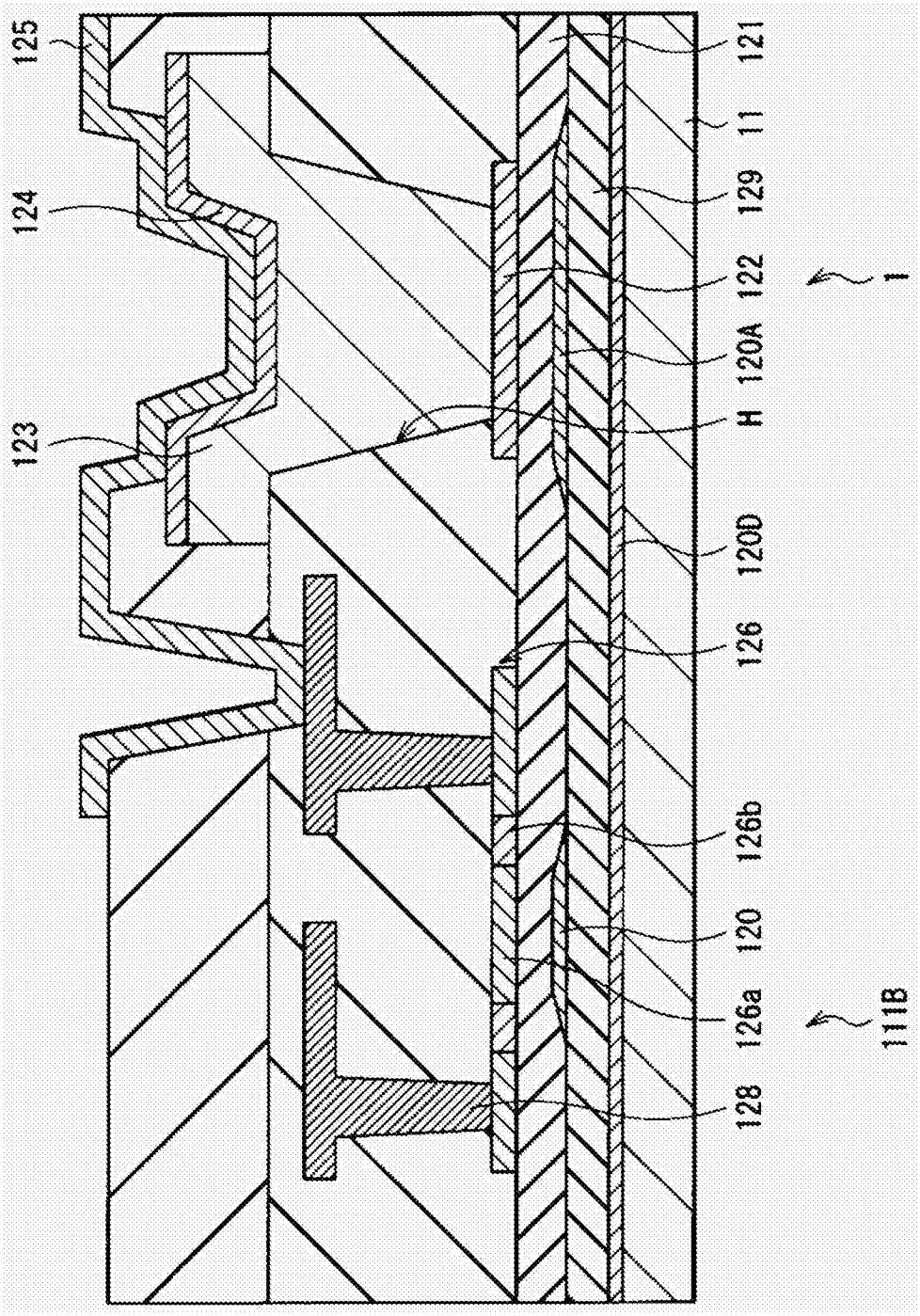

125
124
123
121
11
129
122
1
120A
H
120D
126
126b
120
126a
111B
128

图13

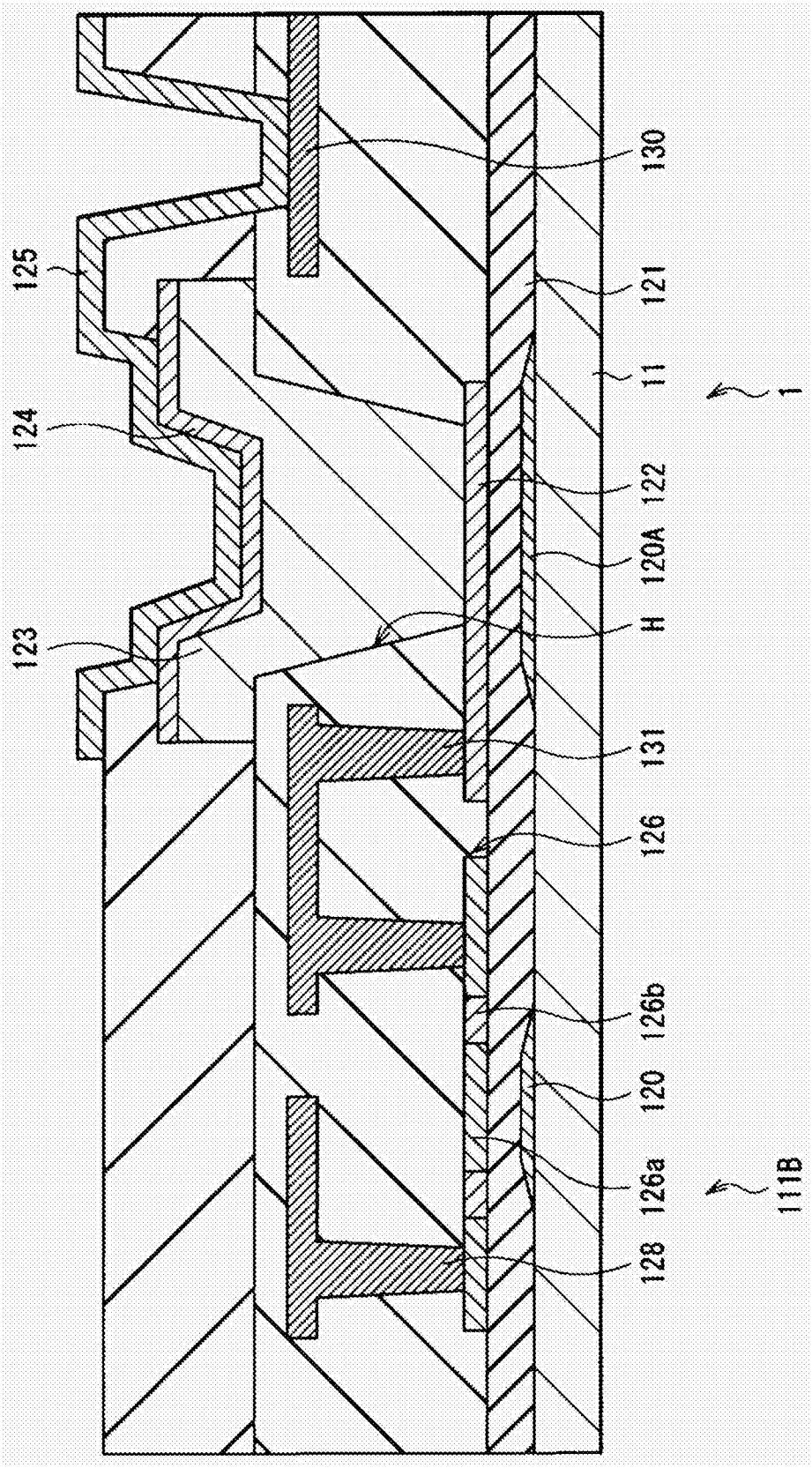

130
125
121
11
1
124
122
120A
H
123
131
126
126b
120
126a
111B
128

图14

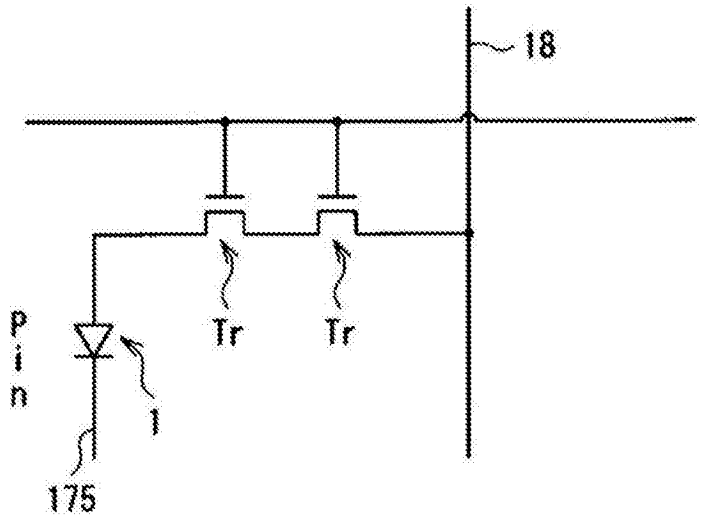


图15

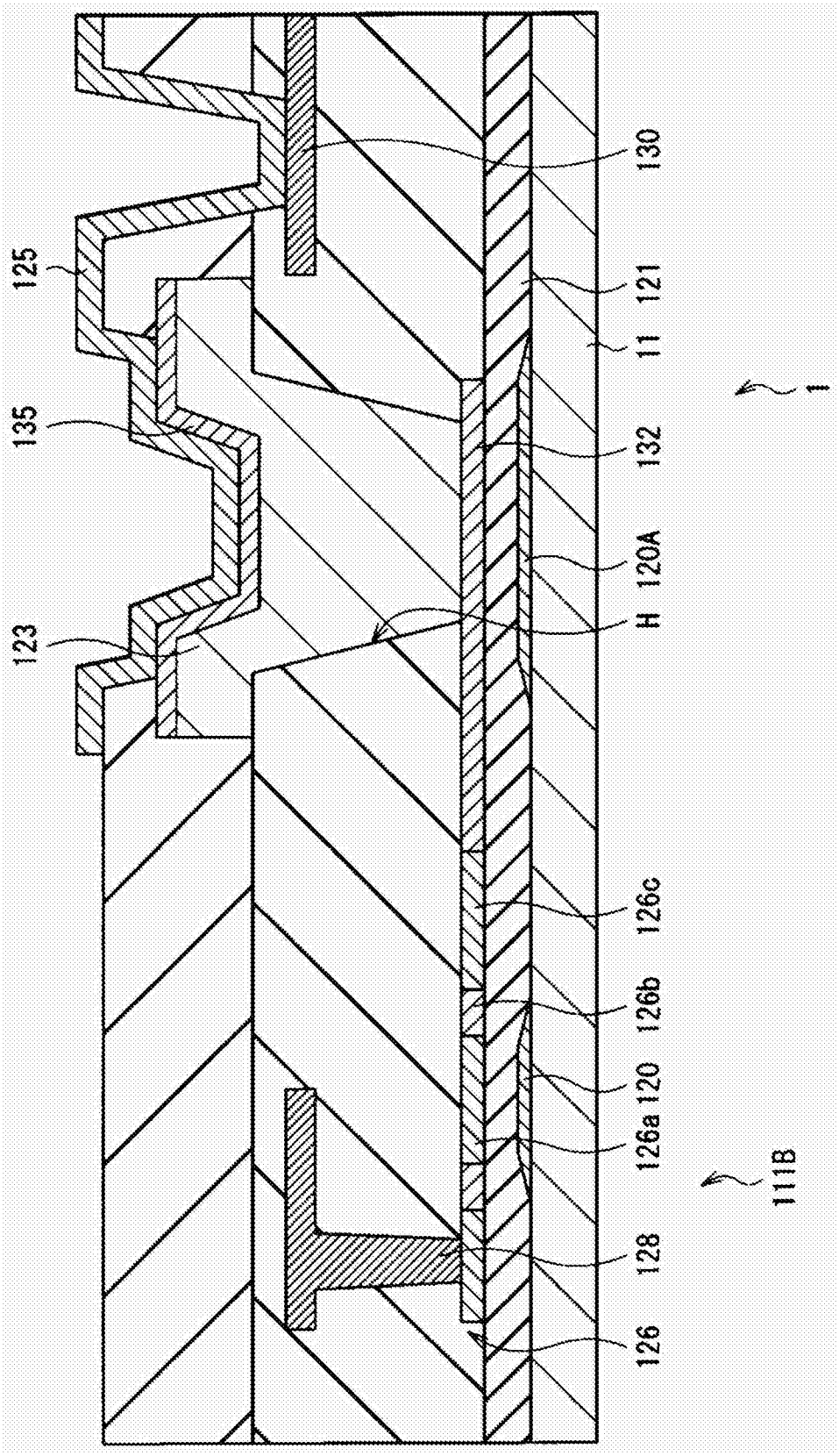

130
125
121
11
1
135
132
120A
H
123
126c
126b
120
126a
111B
128
126

图16