

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 1 月 23 日 (23.01.2020)



(10) 国际公布号
WO 2020/015084 A1

- (51) 国际专利分类号:
H01L 21/84 (2006.01) **H01L 27/12** (2006.01)
- (21) 国际申请号: PCT/CN2018/104467
- (22) 国际申请日: 2018 年 9 月 7 日 (07.09.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201810784374.5 2018 年 7 月 17 日 (17.07.2018) CN
- (71) 申请人: 深圳市华星光电半导体显示技术有限公司(SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518000 (CN)。

- (72) 发明人: 吕晓文 (LV, Xiaowen); 中国广东省深圳市光明新区公明街道塘明大道9-2号, Guangdong 518000 (CN)。
- (74) 代理人: 深圳汇智容达专利商标事务所(普通合伙)(SHENZHEN RONDA PATENT AND TRADEMARK LAW OFFICE); 中国广东省深圳市福田区深南中路求是大厦东座2709-2711, Guangdong 518040 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) Title: ARRAY SUBSTRATE PREPARATION METHOD AND ARRAY SUBSTRATE

(54) 发明名称: 一种阵列基板的制备方法及阵列基板

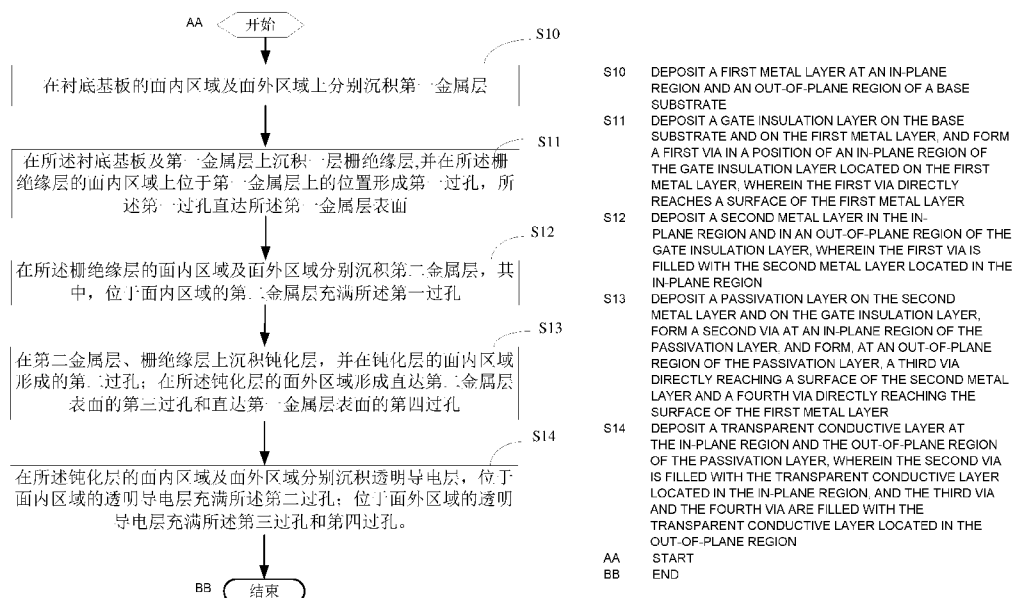


图 4

(57) Abstract: Provided are an array substrate preparation method and an array substrate. The preparation method comprises the following steps: depositing a first metal layer (11) on a base substrate (10); depositing a gate insulation layer (12) on the base substrate (10) and on the first metal layer (11), and forming a first via (120) at an in-plane region thereof; depositing a second metal layer (13) at the in-plane region and at an out-of-plane region of the gate insulation layer (12), wherein the first via (120) is filled with the second metal layer (13) located in the in-plane region; depositing a passivation layer (14) on the second metal layer (13) and on the gate

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

insulation layer (12), and forming a second via (140) at an in-plane region of the passivation layer (14); forming a third via (141) and a fourth via (142) at an out-of-plane region of the passivation layer (14); and depositing a transparent conductive layer (15) in the in-plane region and in the out-of-plane region of the passivation layer (14), wherein the second via (140) is filled with the transparent conductive layer (15) located in the in-plane region, and the third via (141) and the fourth via (142) are filled with the transparent conductive layer located in the out-of-plane region. The method improves product yield.

(57) 摘要: 提供一种阵列基板的制备方法及阵列基板。制备方法包括步骤: 在衬底基板 (10) 上沉积第一金属层 (11); 在衬底基板 (10) 及第一金属层 (11) 上沉积一层栅绝缘层 (12), 并在其面内区域形成第一过孔 (120); 在栅绝缘层 (12) 的面内区域及面外区域分别沉积第二金属层 (13), 其中, 位于面内区域的第二金属层 (13) 充满第一过孔 (120); 在第二金属层 (13)、栅绝缘层 (12) 上沉积钝化层 (14), 并在钝化层 (14) 的面内区域上形成第二过孔 (140); 在钝化层 (14) 的面外区域上分别形成第三过孔 (141)、第四过孔 (142); 在钝化层 (14) 的面内区域及面外区域分别沉积透明导电层 (15), 位于面内区域的透明导电层 (15) 充满第二过孔 (140); 位于面外区域的透明导电层充满第三过孔 (141) 和第四过孔 (142)。可以提高产品良率。

一种阵列基板的制备方法及其阵列基板

本申请要求于 2018 年 7 月 17 日提交中国专利局、申请号为 201810784374.5、发明名称为“一种阵列基板的制备方法及其阵列基板”的中国专利申请的优先权，上述专利的全部内容通过引用结合在本申请中。

技术领域

本发明涉及显示领域，特别涉及一种阵列基板的制备方法及其阵列基板。

背景技术

在薄膜晶体管液晶显示器（TFT-LCD）的阵列基板中，对于 TFT 中的有源层，目前应用较为广泛的是高迁移率的 IGZO（铟镓锌氧化物）材料，同时拼接屏也越来越广泛的应用于我们的生活中。IGZO 有源层的栅绝缘层材料一般采用 SiO_x 或者 $\text{SiO}_x/\text{SiN}_x$ 复合材料，相对 SiN_x 来说， SiO_x 的刻蚀速率较低，刻蚀时间较长。如图 1 示出了现有的一种具有一道挖孔制程的阵列基板的结构示意图。在图 1 中，其采用了背沟道刻蚀型（Back channel etching, BCE）结构的 TFT 的局部结构示意图，主要示出了其包括依次在玻璃基板 10' 上沉积的第一金属层 11'、栅绝缘层 12'、第二金属层 13'（形成 IGZO 有源层和源漏极）、钝化层 14' 和 ITO（铟锡氧化物）层 15'，从中可以看出，其中 ITO 层 15' 与第二金属层 13' 及第一金属层 11' 的连接，是通过在沉积钝化层后进行一次挖孔制程，形成深浅孔而实现。但是这样的制程会存在不足之处，因为为配合深孔刻蚀，浅孔刻蚀时间过长会出现过孔焦化残留，从而导致过孔接触阻抗过大而传导性能不佳，可能会导致显示异常。这种情形一般发生在面内小孔处。

为解决面内过孔残留的问题，在一些制程中会增加一道栅绝缘层挖孔步骤，即在栅绝缘层和钝化层分别进行挖孔，这样不会出现深浅孔的情形。如图 2 所示，示出了现有的一种具有两道挖孔制程的阵列基板的局部结构示意图。但是这种方法虽然可以解决面内过孔残留的问题，但是在如下图 3 所示

的拼接屏中，其中上半屏（AA-1）和下半屏（AA-2）分别与绑定区 17' 连接，但因为上下半屏在制程中会存在电荷不匹配，如果此时上下半屏的面外区域都采用栅绝缘层挖孔制程，则在干燥过程中易累计静电，使上下半屏电荷在公共电极层 16'（COM）的中间分屏位置有压差存在形成静电释放（ESD），造成显示面板无法正常显示，甚至因为 ESD 造成薄膜剥落（Peeling），无法进行后续制程。

发明内容

本发明所要解决的技术问题在于，提供一种阵列基板的制备方法及阵列基板，可以改善面外及面内的产品性能，提高产品良率。

为了解决上述技术问题，本发明的实施例的一方面提供一种阵列基板的制备方法，包括步骤：

在衬底基板的面内区域及面外区域上分别沉积有第一金属层；

在所述衬底基板及第一金属层上沉积一层栅绝缘层，在所述栅绝缘层的面内区域形成第一过孔，所述第一过孔直达面内的所述第一金属层表面；

在所述栅绝缘层的面内区域及面外区域分别沉积有第二金属层，其中，位于面内区域的第二金属层充满所述第一过孔；

在所述第二金属层、栅绝缘层上沉积钝化层，并在所述钝化层的面内区域形成直达面内区域的第二金属层表面的第二过孔；在所述钝化层的面外区域形成直达面外区域的第二金属层表面的第三过孔，在所述钝化层的面外区域形成直达面外区域的第一金属层表面的第四过孔；

在所述钝化层的面内区域及面外区域分别沉积透明导电层，位于面内区域的透明导电层充满所述第二过孔；位于面外区域的透明导电层充满所述第三过孔和第四过孔。

其中，所述栅绝缘层采用 SiO_x 材料，或 $\text{SiO}_x/\text{SiN}_x$ 叠层复合材料，所述透明导电层为 ITO 薄膜层。

其中，所述第一过孔正对且位于面内区域的第一金属层之上，所述第二过孔正对且位于面内区域的第二金属层之上；所述第三过孔正对且位于面外区域的第二金属层之上，所述第四过孔正对且位于面外区域的第一金属层之

上。

其中，所述第一过孔和所述第二过孔相互错开。

其中，所述第二过孔、第三过孔、第四过孔采用同一道光罩获得。

相应地，本发明还提供一种阵列基板，其至少包括：

衬底基板；

在衬底基板的面内区域沉积有第一金属层；

在所述衬底基板及第一金属层上沉积有一层栅绝缘层；

在所述栅绝缘层的面内区域位于第一金属层上的位置形成有第一过孔，
所述第一过孔直达所述第一金属层表面；

在所述栅绝缘层的面内区域沉积有第二金属层，其中，位于面内区域的第二金属层充满所述第一过孔；

在所述第二金属层、栅绝缘层上沉积有一层钝化层；在所述钝化层的面内区域位于所述第二金属层上的位置形成有直达第二金属层表面的第二过孔；

在所述钝化层的面内区域沉积有透明导电层，其中，位于面内区域的透明导电层充满所述第二过孔。

其中，在衬底基板的面外区域上沉积有第一金属层；

在所述栅绝缘层的面外区域沉积有第二金属层；

在所述钝化层的面外区域形成有直达面外的第二金属层表面的第三过孔，在所述钝化层的面外区域上形成有直达面外的第一金属层表面的第四过孔；

在所述钝化层的面外区域沉积有透明导电层，所述透明导电层充满所述第三过孔和第四过孔。

其中，所述栅绝缘层采用 SiO_x 材料，或 $\text{SiO}_x/\text{SiN}_x$ 叠层复合材料，所述透明导电层为 ITO 薄膜层。

其中，所述第一过孔和所述第二过孔相互错开。

其中，所述第二过孔、第三过孔、第四过孔采用同一道光罩获得。

实施本发明实施例，具有如下有益效果：

本发明提供一种阵列基板的制备方法及阵列基板，通过在面内在栅绝

缘层和钝化层分别挖孔的过孔设计，由于不存在深浅孔，可以更方便地控制每一孔的刻蚀时间，避免出现浅孔刻蚀时间过长而出现的焦化残留，从而可以保证面内接触阻抗正常，获得正常显示效果。

同时，在面外的过孔处仍使用钝化层时同时挖深浅孔设计，此时上下半屏的面外区域无需采用单独的栅绝缘层挖孔及干燥制程，故不易累计静电，从而避免上下半屏电荷在公共电极层的拼接处存在压差从而形成静电释放的发生概率，从而可以提高产品良率，降低生产成本。

附图说明

为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其它的附图。

图1是现有技术中一种具有一道挖孔制程的阵列基板的结构示意图；

图2是现有技术中一种具有两道挖孔制程的阵列基板的结构示意图；

图3是现有技术中一种拼接屏的结构示意图；

图4是本发明提供一种阵列基板的制备方法一个实施例的主流程图；

图5是对应于图4各步骤形成的结构示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚完整地描述，显然，所描述的实施例仅仅是本发明的一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动的前提下所获得的所有其它实施例，都属于本发明保护的范围。

在此，还需要说明的是，为了避免因不必要的细节而模糊了本发明，在附图中仅仅示出了与根据本发明的方案密切相关的结构和/或处理步骤，而省略了与本发明关系不大的其他细节。

如图4所示,示出了本发明提供的一种阵列基板的制备方法一个实施例的主流程示意图,一并结合图5所示的制备方法各步骤所对应的结构示意图。在该实施例中,所述制备方法包括如下步骤:

步骤 S10,在衬底基板 10 的面内区域及面外区域上分别沉积第一金属层 11,所述衬底基板 10 可以玻璃基板或 PI 基板;

步骤 S11,在所述衬底基板 10 及第一金属层 11 上沉积一层栅绝缘层 12,在所述栅绝缘层 12 的面内区域位于第一金属层 11 上的位置形成第一过孔 120,所述第一过孔 120 直达所述第一金属层 11 表面;其中,所述栅绝缘层 12 采用 SiO_x 材料,或 $\text{SiO}_x/\text{SiN}_x$ 叠层复合材料;

步骤 S12,在所述栅绝缘层 12 的面内区域及面外区域分别沉积第二金属层 13,其中,位于面内区域的第二金属层 13 充满所述第一过孔 120,从而使第二金属层 13 与第一金属层 11 实现电连接;所述第一过孔 120 正对且位于面内的第一金属层 11 之上。

步骤 S13,在所述第二金属层 13、栅绝缘层 12 上沉积钝化层 14,并在所述钝化层 14 的面内区域位于所述第二金属层 13 上的位置形成直达所述第二金属层 13 表面的第二过孔 140;在所述钝化层 14 的面外区域位于所述第二金属层 13 上的位置形成直达所述第二金属层 13 表面的第三过孔 141,在所述钝化层 14 的面外区域位于所述第一金属层 11 上的位置形成直达所述第一金属层 11 表面的第四过孔 142;其中,所述第一过孔 120 和所述第二过孔 140 相互错开;且在步骤 S13 中,所述第二过孔 140、第三过孔 141、第四过孔 142 通过同一个光罩获得;且,所述第二过孔 140 正对且位于面内的第二金属层 13 之上;所述第三过孔 141 正对且位于面外的第二金属层 13 之上,所述第四过孔 142 正对且位于面外的第一金属层 11 之上。

步骤 S14,在所述钝化层 14 的面内区域及面外区域分别沉积透明导电层 15,位于面内区域的透明导电层 15 充满所述第二过孔 140,从而使透明导电层 15 与第二金属层 13 实现电连接;位于面外区域的透明导电层 15 充满所述第三过孔 141 和第四过孔 142,从而使透明导电层 15 与第二金属层 13、第一金属层 11 实现电连接。在一个例子中,所述透明导电层 15 具体可以是 ITO 薄膜层。

需要说明的是，本发明中“面内区域”是指液晶面板的显示区域，“面外区域”是指围绕前述显示区域而设的液晶面板的非显示区域。

相应地，本发明实施例还提供一种阵列基板，其应用于拼接屏中，其包括：

衬底基板 10；

在衬底基板 10 的面内区域及面外区域上分别沉积有第一金属层 11；

在所述衬底基板 10 及第一金属层 11 上沉积有一层栅绝缘层 12；

在所述栅绝缘层 12 的面内区域位于第一金属层 11 上的位置形成有第一过孔 120，所述第一过孔 120 直达所述第一金属 11 层表面；其中，所述栅绝缘层 12 采用 SiO_x 材料，或 $\text{SiO}_x/\text{SiN}_x$ 叠层复合材料；

在所述栅绝缘层 12 的面内区域及面外区域分别沉积有第二金属层 13，其中，位于面内区域的第二金属层 13 充满所述第一过孔 120；

在所述第二金属层 13、栅绝缘层 12 上沉积有一层钝化层 14；在所述钝化层 14 的面内区域位于所述第二金属层 13 上的位置形成有直达所述第二金属层 13 表面的第二过孔 140，所述第二过孔 140 与所述第一过孔 120 相互错开；在所述钝化层 14 的面外区域位于所述第二金属层 13 上的位置形成有直达所述第二金属层 13 表面的第三过孔 141，在所述钝化层 14 的面外区域位于所述第一金属层 11 上的位置形成有直达所述第一金属层 11 表面的第四过孔 142；在一个例子中，所述第二过孔 140、第三过孔 141、第四过孔 142 采用同一道光罩获得；

在所述钝化层 14 的面内区域及面外区域分别沉积有 ITO 金属层 15，其中，位于面内区域的 ITO 金属层 15 充满所述第二过孔 140；位于面外区域的 ITO 金属层 15 充满所述第三过孔 141 和第四过孔 142。

可以理解的是，本发明提供的阵列基板，由于面外的过孔处仍使用钝化层时同时挖深浅孔设计，由于无需采用单独的栅绝缘层挖孔及干燥制程，故不易累计静电，在应用于上下屏的拼接屏中时，可以避免上下半屏电荷在公共电极层的拼接处存在压差从而形成静电释放的发生概率，从而提高拼接屏的产品良率。

更详细的细节，请参考前述对图 4 和图 5 的描述，在此不进行详述。

实施本发明实施例，具有如下有益效果：

本发明提供一种阵列基板的制备方法及阵列基板，通过在面内在栅绝缘层和钝化层分别挖孔的过孔设计，由于不存在深浅孔，可以更方便地控制每一孔的刻蚀时间，避免出现浅孔刻蚀时间过长而出现的焦化残留，从而可以保证面内接触阻抗正常，获得正常显示效果。

同时，在面外的过孔处仍使用钝化层时同时挖深浅孔设计，此时上下半屏的面外区域无需采用单独的栅绝缘层挖孔及干燥制程，故不易累计静电，从而避免上下半屏电荷在公共电极层的拼接处存在压差从而形成静电释放的发生概率，从而可以提高产品良率，降低生产成本。

需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上所述仅是本申请的具体实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权 利 要 求

1、一种阵列基板的制备方法，其中，包括步骤：

在衬底基板的面内区域及面外区域上分别沉积有第一金属层；

在所述衬底基板及第一金属层上沉积一层栅绝缘层，在所述栅绝缘层的面内区域形成第一过孔，所述第一过孔直达面内区域的所述第一金属层表面；

在所述栅绝缘层的面内区域及面外区域分别沉积有第二金属层，其中，位于面内区域的第二金属层充满所述第一过孔；

在所述第二金属层、栅绝缘层上沉积钝化层，并在所述钝化层的面内区域形成直达面内区域的所述第二金属层表面的第二过孔；在所述钝化层的面外区域形成直达面外区域的所述第二金属层表面的第三过孔，在所述钝化层的面外区域形成直达面外区域的所述第一金属层表面的第四过孔；

在所述钝化层的面内区域及面外区域分别沉积透明导电层，位于面内区域的透明导电层充满所述第二过孔；位于面外区域的透明导电层充满所述第三过孔和第四过孔。

2、如权利要求 1 所述的制备方法，其中，所述栅绝缘层采用 SiO_x 材料，或 $\text{SiO}_x/\text{SiN}_x$ 叠层复合材料，所述透明导电层为 ITO 薄膜层。

3、如权利要求 1 所述的特备方法，其中，所述第一过孔正对且位于面内区域的第一金属层之上，所述第二过孔正对且位于面内区域的第二金属层之上；所述第三过孔正对且位于面外区域的第二金属层之上，所述第四过孔正对且位于面外区域的第一金属层之上。

4、如权利要求 3 所述的制备方法，其中，所述第一过孔和所述第二过孔相互错开。

5、如权利要求 4 所述的制备方法，其中，所述第二过孔、第三过孔、第四过孔采用同一道光罩获得。

6、一种阵列基板，其中，至少包括：

衬底基板；

在衬底基板的面内区域沉积有第一金属层；

在所述衬底基板及第一金属层上沉积有一层栅绝缘层；

在所述栅绝缘层的面内区域位于第一金属层上的位置形成有第一过孔，所述第一过孔直达所述第一金属层表面；

在所述栅绝缘层的面内区域沉积有第二金属层，其中，位于面内区域的第二金属层充满所述第一过孔；

在所述第二金属层、栅绝缘层上沉积有一层钝化层；在所述钝化层的面内区域位于所述第二金属层上的位置形成有直达所述第二金属层表面的第二过孔；

在所述钝化层的面内区域沉积有透明导电层，其中，位于面内区域的透明导电层充满所述第二过孔。

7、如权利要求6所述的阵列基板，其中，其中，

在衬底基板的面外区域上沉积有第一金属层；

在所述栅绝缘层的面外区域沉积有第二金属层；

在所述钝化层的面外区域形成有直达面外区域的第二金属层表面的第三过孔，在所述钝化层的面外区域上形成有直达面外区域的第一金属层表面的第四过孔；

在所述钝化层的面外区域沉积有透明导电层，所述透明导电层充满所述第三过孔和第四过孔。

8、如权利要求7所述的阵列基板，其中，所述栅绝缘层采用 SiO_x 材料，或 $\text{SiO}_x/\text{SiN}_x$ 叠层复合材料，所述透明导电层为 ITO 薄膜层。

9、如权利要求8所述的阵列基板，其中，所述第一过孔和所述第二过孔相互错开。

10、如权利要求 9 所述的阵列基板，其中，所述第二过孔、第三过孔、第四过孔采用同一道光罩获得。

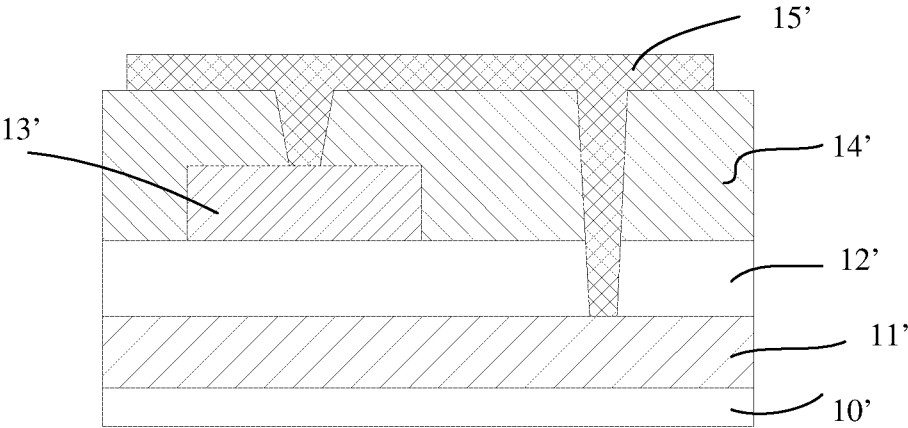


图 1

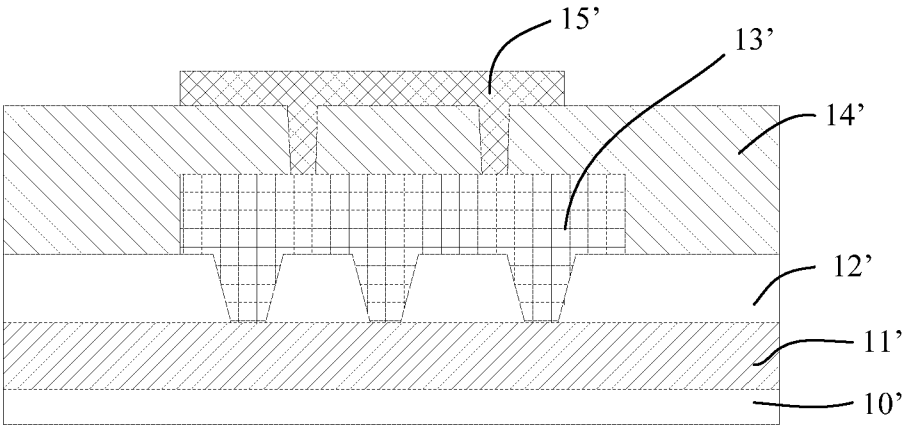


图 2

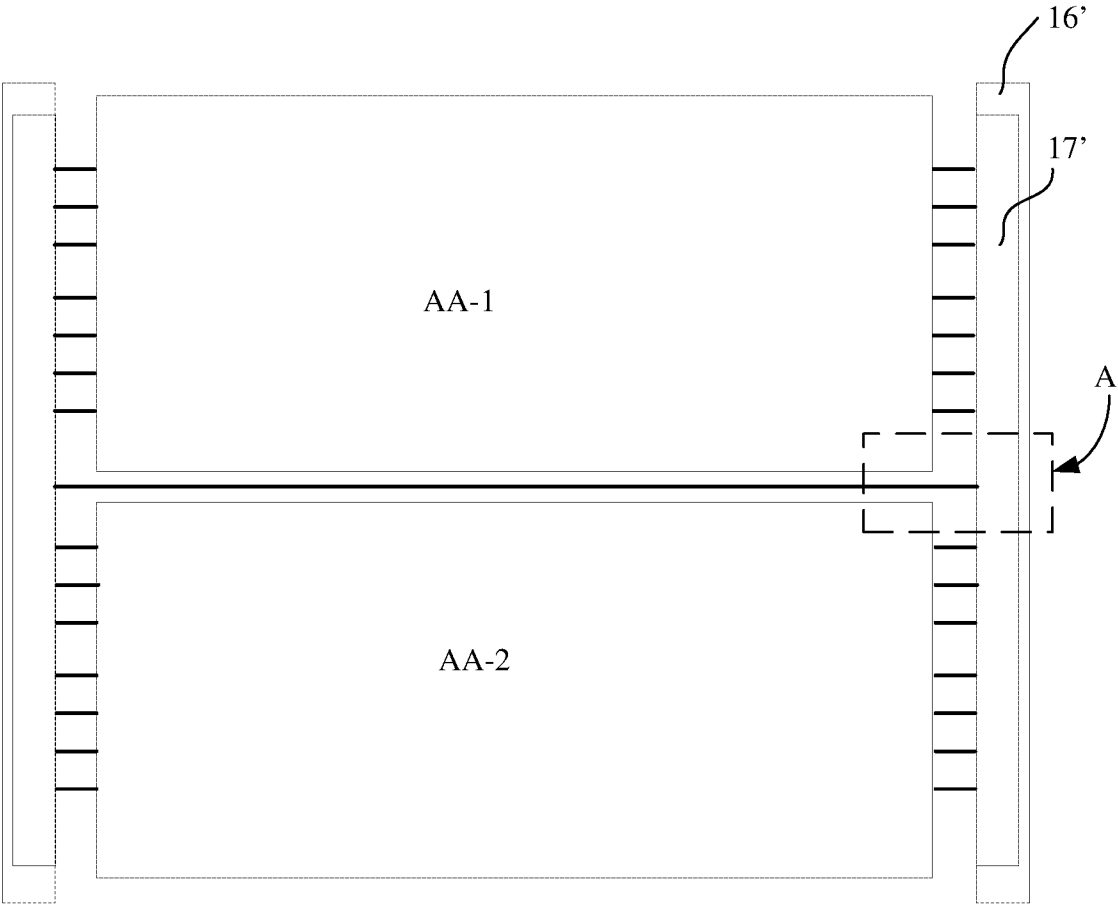


图 3

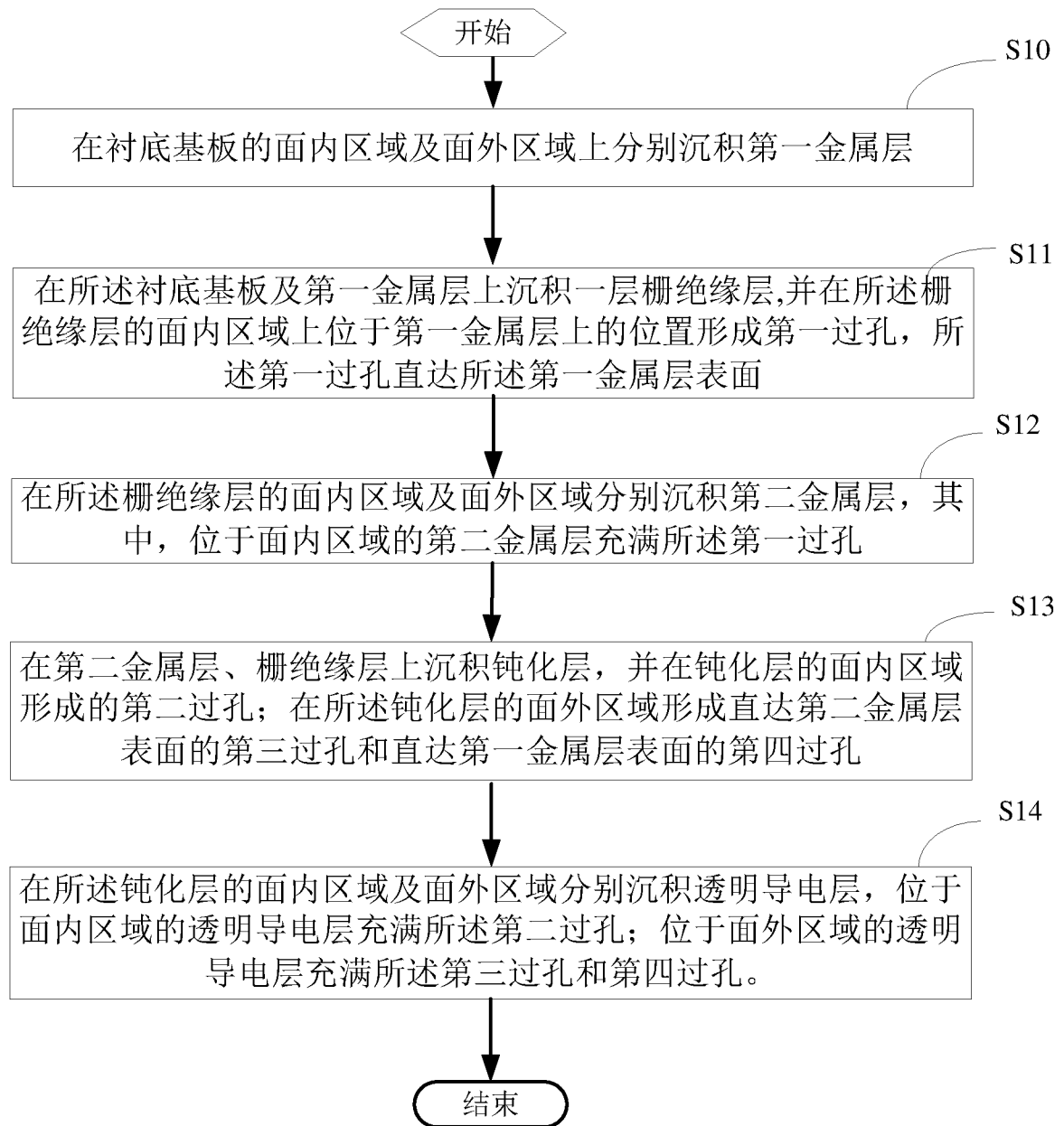


图 4

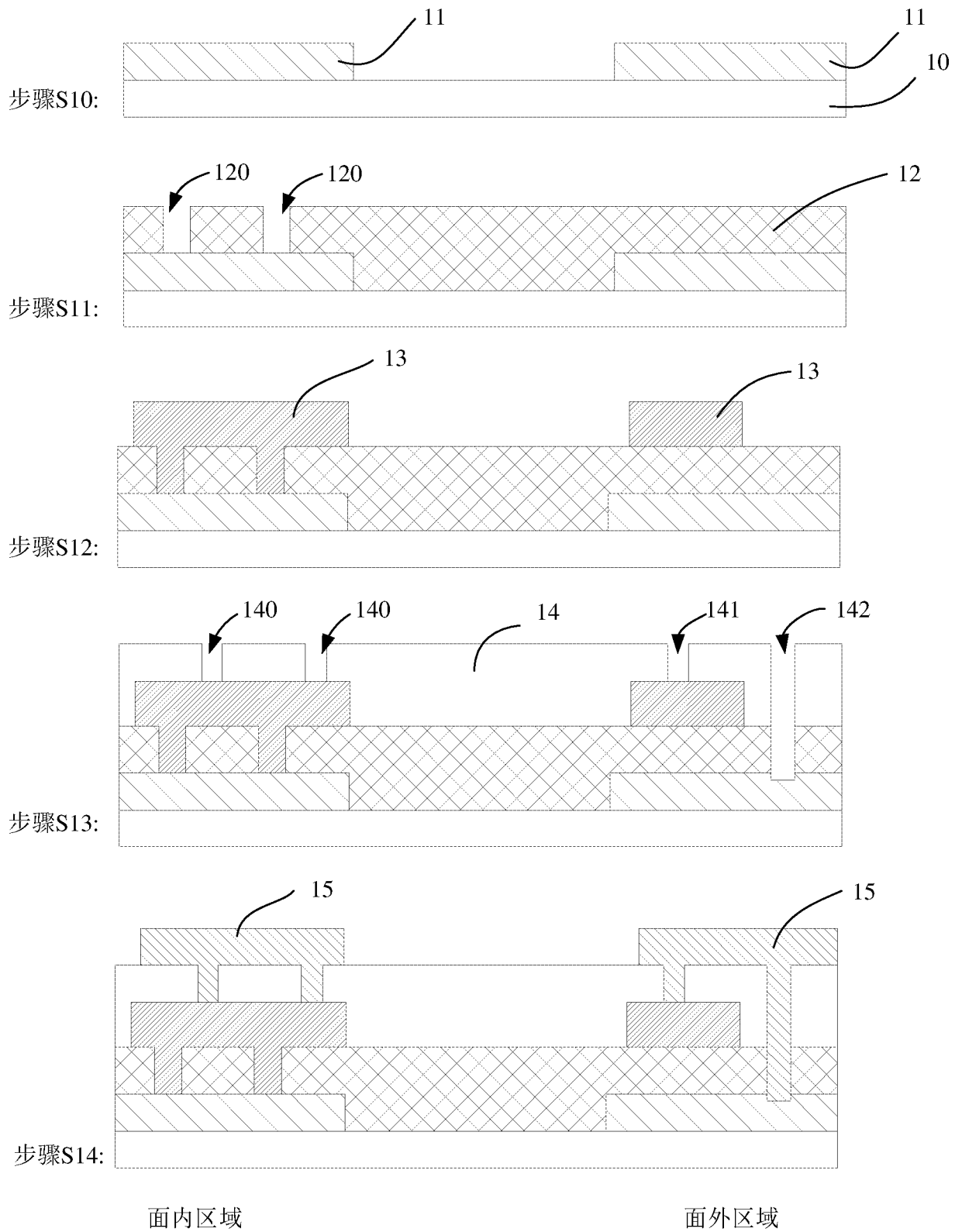


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/104467

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; SIPOABS; CNABS; DWPI; CNTXT; CNKI; IEEE: 显示, 像素, 区, 阵列, 深, 孔, 栅绝缘, 栅介质, 栅电介质, 栅氧, 栅极绝缘, 栅极介质, 栅极电介质, 栅极氧, 栅介电, 栅极介电, 金属层, 导电层, 布线, 走线, display+, pixel?, area, array, deep, hole?, gate, insulat+, dielectric, +oxide, metal+, conduct+, wiring

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 107623009 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 23 January 2018 (2018-01-23) description, paragraphs [0032]-[0052], and figures 1-2H	1-10
Y	CN 104377167 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 25 February 2015 (2015-02-25) description, paragraphs [0067]-[0101], and figures 1-4	1-10
A	CN 107546247 A (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 05 January 2018 (2018-01-05) entire document	5, 10
A	CN 102116976 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 06 July 2011 (2011-07-06) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

09 April 2019

Date of mailing of the international search report

17 April 2019

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/104467

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107623009	A	23 January 2018	None			
CN	104377167	A	25 February 2015	CN	104377167	B	05 April 2017
CN	107546247	A	05 January 2018	None			
CN	102116976	A	06 July 2011	CN	102116976	B	31 October 2012

国际检索报告

国际申请号

PCT/CN2018/104467

A. 主题的分类

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CPRSABS;SIPOABS;CNABS;DWPI;CNTXT;CNKI;IEEE: 显示, 像素, 区, 阵列, 深, 孔, 栅绝缘, 栅介质, 栅电介质, 栅氧, 栅极绝缘, 栅极介质, 栅极电介质, 栅极氧, 栅介电, 栅极介电, 金属层, 导电层, 布线, 走线, display+, pixel?, area, array, deep, hole?, gate, insulat+, dielectric, +oxide, metal+, conduct+, wiring

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 107623009 A (京东方科技集团股份有限公司 等) 2018年 1月 23日 (2018 - 01 - 23) 说明书第[0032]-[0052]段, 图1-2H	1-10
Y	CN 104377167 A (京东方科技集团股份有限公司 等) 2015年 2月 25日 (2015 - 02 - 25) 说明书第[0067]-[0101]段, 图1-4	1-10
A	CN 107546247 A (武汉华星光电半导体显示技术有限公司) 2018年 1月 5日 (2018 - 01 - 05) 全文	5、10
A	CN 102116976 A (北京京东方光电科技有限公司) 2011年 7月 6日 (2011 - 07 - 06) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 4月 9日

国际检索报告邮寄日期

2019年 4月 17日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

田书凤

电话号码 86-010-62411846

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/104467

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	107623009	A	2018年 1月 23日	无	
CN	104377167	A	2015年 2月 25日	CN 104377167	B 2017年 4月 5日
CN	107546247	A	2018年 1月 5日	无	
CN	102116976	A	2011年 7月 6日	CN 102116976	B 2012年 10月 31日