



(12) 发明专利

(10) 授权公告号 CN 102132355 B

(45) 授权公告日 2015. 03. 18

(21) 申请号 200980133256. 7

(22) 申请日 2009. 06. 30

(30) 优先权数据

12/167, 128 2008. 07. 02 US

(85) PCT国际申请进入国家阶段日

2011. 02. 25

(86) PCT国际申请的申请数据

PCT/US2009/049238 2009. 06. 30

(87) PCT国际申请的公布数据

W02010/002879 EN 2010. 01. 07

(73) 专利权人 桑迪士克科技股份有限公司

地址 美国得克萨斯州

(72) 发明人 杰弗里·W·卢茨 李艳

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 黄小临

(51) Int. Cl.

G11C 16/34(2006. 01)

G11C 16/16(2006. 01)

G11C 11/56(2006. 01)

(56) 对比文件

KR 10-2007-0002411 A, 2007. 01. 05, 附图 3-6 以及说明书相应文字部分.

JP 特开平 7-320487 A, 1995. 12. 08, 全文.

US 2002/0057600 A1, 2002. 05. 16, 全文.

US 2005/0012139 A1, 2005. 01. 20, 全文.

US 2003/0206435 A1, 2003. 11. 06, 全文.

审查员 李元

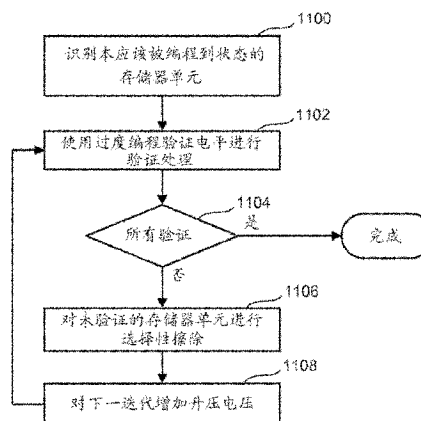
权利要求书3页 说明书19页 附图19页

(54) 发明名称

校正过度编程非易失性存储器

(57) 摘要

一种非易失性存储系统通过对连接到公共字线(或其他类型的控制线)的非易失性存储元件的子集选择性地进行一个或更多擦除操作来校正被过度编程的存储器单元。



1. 一种用于操作非易失性存储器的方法,包括:

编程非易失性存储元件;

识别所述非易失性存储元件的被过度编程的子集;以及

通过对于所述非易失性存储元件的被识别的子集将沟道区的第一集合升压到第一电压范围,而对于未识别为被过度编程的非易失性存储元件不将沟道区的第二集合升压到所述第一电压范围,并将擦除使能电压施加到所述非易失性存储元件的被过度编程的被识别的子集以及未识别为被过度编程的所述非易失性存储元件,来对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行一个或更多擦除操作,所述沟道区的第一集合和所述沟道区的第二集合是公共衬底区的部分,

其中:

所述沟道区的第一集合和所述沟道区的第二集合的所述沟道区与不同的 NAND 串相关联;以及

所述升压至少部分地基于被施加到连接所述 NAND 串的字线的电压信号。

2. 根据权利要求 1 的方法,其中:

所述非易失性存储元件的被识别的子集在 NAND 串的第一集合的不同 NAND 串上;

所述未识别为被过度编程的非易失性存储元件在 NAND 串的第二集合的不同 NAND 串上;

所述 NAND 串的第一集合和所述 NAND 串的第二集合连接到公共字线集;

所述公共字线集包括所选字线和未选字线;

所述非易失性存储元件的被识别的子集和所述 NAND 串的第二集合连接到所述所选字线;以及

所述 NAND 串的第一集合和所述 NAND 串的第二集合连接到分开的位线。

3. 如权利要求 2 的方法,其中:

所述升压包括将升压使能电压施加到所述 NAND 串的第一集合的位线,将升压禁用电压施加到所述 NAND 串的第二集合的位线,并将过驱动信号施加到所述未选字线;

所述施加所述擦除使能电压包括向所述所选字线施加负电压;以及

所述升压还包括截止所述 NAND 串的第一集合的选择栅极。

4. 根据权利要求 2 的方法,其中所述升压包括:

将升压使能电压施加到所述 NAND 串的第一集合的位线,并将升压禁用电压施加到所述 NAND 串的第二集合的位线;

对所述公共衬底区充电,并将电压信号施加到所述未选字线,使得所述 NAND 串的第一集合的所述位线和所述 NAND 串的第二集合的所述位线耦合到所述未选字线,并增大电压;以及

在所述将电压信号施加到所述未选字线之后,将超过所述电压信号的过驱动信号施加到所述未选字线以升压所述沟道区的第一集合。

5. 根据权利要求 1-4 的任意一项的方法,其中:

所述非易失性存储元件连接到公共字线。

6. 根据权利要求 1-4 的任意一项的方法,其中:

所述非易失性存储元件连接到第一类型的控制线的公共控制线;

所述对于所述非易失性存储元件的被识别的子集将所述沟道区的第一集合升压到所述第一电压范围而对于未识别为被过度编程的所述非易失性存储元件不将所述沟道区的第二集合升压到所述第一电压范围包括：将信号集施加到所述第一类型的控制线的其他控制线以便建立所述升压；以及

所述进行一个或更多擦除操作包括：使用到所述其他控制线的所述信号集的更高量值来重复所述升压。

7. 根据权利要求 6 的方法，其中所述进行一个或更多擦除操作包括：在所述升压的所述重复之前，锁定所述第一集合的一些沟道区而不进一步升压。

8. 根据权利要求 1-4 的任意一项的方法，其中：

所述编程包括将所述非易失性存储元件编程到不同的数据状态，包括一个或更多较高状态以及一个或更多较低状态；

所述选择性地进行一个或更多擦除操作包括将与意图要被编程到一个或更多较高状态的非易失性存储元件相关联的沟道升压到比与意图要被编程到一个或更多较低状态的非易失性存储元件相关联的沟道的升压更高的电平。

9. 根据权利要求 1-4 的任意一项的方法，其中：

所述选择性地进行一个或更多擦除操作包括进行多个擦除操作而不在所述多个擦除操作之间进行验证。

10. 根据权利要求 1 的方法，其中：

所述非易失性存储元件是 NAND 闪存器件。

11. 一种非易失性存储装置，包括：

在公共衬底区上的多个非易失性存储元件；以及

与所述多个非易失性存储元件通信的一个或更多管理电路，所述一个或更多管理电路编程所述非易失性存储元件，并识别所述非易失性存储元件的被过度编程的子集，所述一个或更多管理电路对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行一个或更多擦除操作，所述一个或更多擦除操作包括对于所述非易失性存储元件的被识别的子集将沟道区的第一集合升压到第一电压范围，而对未识别为被过度编程的非易失性存储元件不将沟道区的第二集合升压到所述第一电压范围，并将擦除使能电压施加到所述非易失性存储元件的被过度编程的被识别的子集以及未识别为被过度编程的所述非易失性存储元件，所述沟道区的第一集合和所述沟道区的第二集合是所述公共衬底区的部分，

其中：

所述沟道区的第一集合和所述沟道区的第二集合的所述沟道区与不同的 NAND 串相关联；以及

所述升压至少部分地基于被施加到连接所述 NAND 串的字线的电压信号。

12. 根据权利要求 11 的非易失性存储装置，其中：

所述非易失性存储元件的被识别的子集在 NAND 串的第一集合的不同 NAND 串上；

所述未识别为被过度编程的非易失性存储元件在 NAND 串的第二集合的不同 NAND 串上；

所述 NAND 串的第一集合和所述 NAND 串的第二集合连接到公共字线集；

所述公共字线集包括所选字线和未选字线；

所述非易失性存储元件的被识别的子集和所述 NAND 串的第二集合连接到所述所选字线 ; 以及

所述 NAND 串的第一集合和所述 NAND 串的第二集合连接到分开的位线。

13. 根据权利要求 12 的非易失性存储装置, 其中 :

所述升压包括将升压使能电压施加到所述 NAND 串的第一集合的位线, 将升压禁用电压施加到所述 NAND 串的第二集合的位线, 并将过驱动信号施加到所述未选字线 ;

所述施加所述擦除使能电压包括向所述所选字线施加负电压 ; 以及

所述升压还包括截止所述 NAND 串的第一集合的选择栅极。

14. 根据权利要求 12 的非易失性存储装置, 其中 :

所述一个或更多管理电路通过以下来施加所述升压 : 将升压使能电压施加到所述 NAND 串的第一集合的位线, 并将升压禁用电压施加到所述 NAND 串的第二集合的位线, 对所述公共衬底区充电, 并将电压信号施加到所述未选字线, 使得所述 NAND 串的第一集合的所述位线和所述 NAND 串的第二集合的所述位线耦合到所述未选字线, 并增大电压, 并在所述将电压信号施加到所述未选字线之后, 将超过所述电压信号的过驱动信号施加到所述未选字线以升压所述沟道区的第一集合。

15. 一种非易失性存储装置, 包括 :

第一类型的控制线的公共控制线 ;

连接到所述公共控制线的非易失性存储元件 ;

用于编程所述非易失性存储元件的部件 ;

用于识别所述非易失性存储元件的被过度编程的子集的部件 ; 以及

用于通过以下来对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行擦除操作的部件 : 将擦除条件应用于所述非易失性存储元件的被过度编程的被识别的子集, 包括将信号集施加到所述第一类型的控制线的其他控制线以便建立所述擦除条件, 并使用被施加到所述其他控制线的所述信号集的更高量值重复所述擦除条件的所述应用, 所述其他控制线连接到未被选择用于所述擦除操作的非易失性存储元件,

其中 :

所述擦除条件包括对于所述非易失性存储元件的被识别的子集将沟道区的第一集合升压到第一电压范围, 而对未识别为被过度编程的非易失性存储元件不将沟道区的第二集合升压到所述第一电压范围,

所述沟道区的第一集合和所述沟道区的第二集合的沟道区与不同的 NAND 串相关联 ; 以及

所述升压至少部分地基于被施加到连接所述 NAND 串的字线的电压信号。

校正过度编程非易失性存储器

技术领域

[0001] 本发明涉及非易失性存储器的技术。

背景技术

[0002] 半导体存储器已经变得更普遍用在各种电子设备中。例如,非易失性半导体存储器用在蜂窝电话、数码相机、个人数字助理、移动计算设备、非移动计算设备和其他设备中。电可擦除可编程只读存储器 (EEPROM) 和闪存阵列最普遍的非易失性半导体存储器中。

[0003] EEPROM 和闪存两者利用位于半导体衬底中的沟道区上方并与之隔离的浮置栅极。该浮置栅极位于源极和漏极区之间。在浮置栅极上方并与之隔离地提供控制栅极。晶体管的阈值电压由保留在浮置栅极 (或其他电荷存储区) 上的电荷量控制。即,在晶体管导通前必须施加到控制栅极以允许其源极和漏极之间的导电的电压的最小量由浮置栅极 (或其他电荷存储区) 上的电荷的水平控制。

[0004] 当编程 EEPROM 或诸如 NAND 闪存器件的闪存器件时,通常编程电压被施加到控制栅极,并且位线接地。来自沟道的电子被注入到浮置栅极中。当电子在浮置栅极中累积时,浮置栅极变为充负电,并且存储器单元的阈值电压升高,使得存储器单元处于已编程状态。通常的编程处理将编程电压作为量值随时间增加的一系列脉冲而施加到控制栅极。在这些编程脉冲之间是验证操作,这些验证操作确定存储器单元是否已经达到其目标阈值电压。可以在题为“Source Side Self Boosting Technique For Non-Volatile Memory (非易失性存储器的源极侧自升压技术)”的美国专利 6859397 以及题为“Detecting Over Programmed Memory (检测过度编程的存储器)”的美国专利 6917545 中找到关于编程的更多信息,两者通过全部引用被并入于此。

[0005] 一些 EEPROM 和闪存器件具有用于存储两个范围的电荷的浮置栅极 (或其他电荷存储区),因此存储器单元可以在两个状态 (已擦除状态和已编程状态) 之间被编程 / 擦除。这样的闪存器件有时被称为二进制存储器器件。

[0006] 通过识别由禁止 (forbidden) 范围分隔的多个不同的允许 / 有效编程阈值电压范围来实现多状态存储器器件。每个不同的阈值电压范围对应于与在存储器器件中被编码的数据位的集合的预定值相关联的数据状态。

[0007] 在许多情况下,需要并行编程多个存储器单元,以便例如生产可以在合理时间量内被编程的商业上可期望的存储器系统。但是,当要同时编程大量存储器单元时可能出现这个问题。这是因为每个存储器单元的特性由于包括存储器单元的半导体器件的结构和操作方面的微小变化而不同;因此,通常将出现不同存储器单元的编程速度的变化。这导致了存储器单元变得比其他存储器单元更快地被编程,以及一些存储器单元将可能被编程到与意图的不同的状态。多个存储器单元的更快编程可能导致超过 (over-shooting) 期望的阈值电压电平范围,在正被存储的数据中产生错误。

[0008] 通常,当数据正被编程时,对于存储器器件的验证处理将试图保证存储器单元的阈值电压高于最小电平。但是,许多存储器器件在常规编程处理期间通常不保证阈值电压

的上限。因此,可能出现包括升高阈值电压超过期望状态的范围的过度编程。过度编程可能导致存储器单元存储不正确的数据,由此导致在随后的读操作期间的错误。

发明内容

[0009] 提供了一种可以校正过度编程的系统。

[0010] 一个实施例包括:编程非易失性存储元件;识别所述非易失性存储元件的被过度编程的子集;以及对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行一个或更多擦除操作。该一个或更多擦除操作包括:对于所述非易失性存储元件的被识别的子集将沟道区的第一集合升压到第一电压范围,而对于未识别为被过度编程的非易失性存储元件不将沟道区的第二集合升压到所述第一电压范围,并将擦除使能电压施加到所述非易失性存储元件的被过度编程的被识别的子集以及未识别为被过度编程的所述非易失性存储元件。所述沟道区的第一集合和所述沟道区的第二集合是公共衬底区的部分。

[0011] 一个实施例包括:编程连接到公共字线并位于 NAND 串的集合的不同 NAND 串上的非易失性存储元件;识别所述非易失性存储元件的被过度编程的子集;以及通过选择性地升压 NAND 串的子集并将使能电压施加到 NAND 串的集合以便降低 NAND 串的子集上的非易失性存储元件的阈值电压,来对非易失性存储元件的被过度编程的被识别的子集选择性地进行一个或更多擦除操作。NAND 串的子集包括非易失性存储元件的被过度编程的子集。

[0012] 一个实施例包括:编程连接到第一类型的控制线的公共控制线的非易失性存储元件;识别非易失性存储元件的被过度编程的子集;以及对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行擦除操作。选择性地进行擦除操作包括:将擦除条件应用于所述非易失性存储元件的被过度编程的被识别的子集,包括将信号集施加到所述第一类型的控制线的其他控制线以便建立所述擦除条件,并使用被施加到所述其他控制线的所述信号集的更高量值来重复所述擦除条件的应用。所述其他控制线连接到未被选择用于所述擦除操作的非易失性存储元件。

[0013] 一个示例实现方式包括:在公共衬底区上的多个非易失性存储元件;以及与所述多个非易失性存储元件通信的一个或更多管理电路。所述一个或更多管理电路编程所述非易失性存储元件,识别所述非易失性存储元件的被过度编程的子集,并对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行一个或更多擦除操作。所述一个或更多擦除操作包括:对于所述非易失性存储元件的被识别的子集将沟道区的第一集合升压到第一电压范围,而对未识别为被过度编程的非易失性存储元件不将沟道区的第二集合升压到所述第一电压范围,并将擦除使能电压施加到所述非易失性存储元件的被过度编程的被识别的子集以及未识别为被过度编程的所述非易失性存储元件。所述沟道区的第一集合和所述沟道区的第二集合是所述公共衬底区的部分。

[0014] 一个示例实现方式包括:在公共衬底区上的多个非易失性存储元件;用于编程所述非易失性存储元件的部件;用于识别所述非易失性存储元件的被过度编程的子集的部件;以及用于对所述非易失性存储元件的被过度编程的被识别的子集选择性地进行一个或更多擦除操作。所述一个或更多擦除操作包括:对于所述非易失性存储元件的被识别的子集将沟道区的第一集合升压到第一电压范围,而对未识别为被过度编程的非易失性存储元件不将沟道区的第二集合升压到所述第一电压范围,并将擦除使能电压施加到所述非易失

性存储元件的被过度编程的被识别的子集以及未识别为被过度编程的所述非易失性存储元件。所述沟道区的第一集合和所述沟道区的第二集合是所述公共衬底区的部分。

附图说明

- [0015] 图 1 是 NAND 串的顶视图。
- [0016] 图 2 是 NAND 串的等效电路图。
- [0017] 图 3 是非易失性存储器系统的方框图。
- [0018] 图 4 是绘出存储器阵列的一个实施例的方框图。
- [0019] 图 5 是绘出感测块的一个实施例的方框图。
- [0020] 图 6A-C 绘出阈值电压分布。
- [0021] 图 7 是描述操作非易失性存储器的处理的一个实施例的流程图。
- [0022] 图 8 是描述对非易失性存储器编程的处理的一个实施例的流程图。
- [0023] 图 9 是描述进行选择擦除处理的处理的一个实施例的流程图。
- [0024] 图 10 是选择性擦除操作的时序图。
- [0025] 图 11 绘出在选择性擦除操作期间的 NAND 串。
- [0026] 图 12A 和 12B 绘出在选择性擦除操作期间 NAND 串的截面部分。
- [0027] 图 13 是描述进行选择擦除操作的处理的一个实施例的流程图。
- [0028] 图 14 是选择性擦除操作的时序图。
- [0029] 图 15 绘出在选择性擦除操作期间的 NAND 串。
- [0030] 图 16A 和 16B 绘出在选择性擦除操作期间 NAND 串的截面部分。
- [0031] 图 17 是描述使用多个擦除脉冲而没有中间的验证操作来选择性地擦除非易失性存储器的处理的一个实施例的流程图。
- [0032] 图 18 是使用多个擦除脉冲而没有中间验证操作来选择性地擦除非易失性存储器的时序图。
- [0033] 图 19 是描述两遍编程处理的一个实施例的流程图。
- [0034] 图 20 绘出阈值电压分布。
- [0035] 图 21 是描述编程并选择性地擦除非易失性存储器的处理的一个实施例的流程图。
- [0036] 图 22 是描述编程并选择性地擦除非易失性存储器的顺序的表格。
- [0037] 图 23 绘出阈值电压分布。
- [0038] 图 24 绘出阈值电压分布。
- [0039] 图 25 绘出阈值电压分布。
- [0040] 图 26A 是描述包括通过使用选择性擦除处理来校正过度编程的编程处理的一个实施例的流程图。
- [0041] 图 26B 是描述包括通过使用选择性擦除处理来校正过度编程的编程处理的一个实施例的流程图。
- [0042] 图 27 是描述通过使用选择性擦除处理来校正过度编程的编程处理的一个实施例的流程图。
- [0043] 图 28 是描述在编程处理期间校正过度编程的编程处理的一个实施例的流程图。

具体实施方式

[0044] 闪存系统的一个例子使用 NAND 结构,该 NAND 结构包括夹在两个选择栅极之间串联地布置多个晶体管。串联的晶体管和选择栅极被称为 NAND 串。图 1 是示出一个 NAND 串的顶视图。图 2 是其等效电路。图 1 和图 2 中所示的 NAND 串包括串联并夹在第一(或漏极侧)选择栅极 120 和第二(或源极侧)选择栅极 122 之间的四个晶体管 100、102、104 和 106。选择栅极 120 经由位线触点(contact)126 将 NAND 串连接到位线。选择栅极 122 将 NAND 串连接到源极线 128。通过向选择线 SGD 施加适当的电压来控制选择栅极 120。通过向选择线 SGS 施加适当的电压来控制选择栅极 122。晶体管 100、102、104 和 106 的每个具有控制栅极和浮置栅极。例如,晶体管 100 具有控制栅极 100CG 和浮置栅极 100FG。晶体管 102 包括控制栅极 102CG 和浮置栅极 102FG。晶体管 104 包括控制栅极 104CG 和浮置栅极 104FG。晶体管 106 包括控制栅极 106CG 和浮置栅极 106FG。控制栅极 100CG 连接到字线 WL3,控制栅极 102CG 连接到字线 WL2,控制栅极 104CG 连接到字线 WL1,并且控制栅极 106CG 连接到字线 WL0。

[0045] 注意,尽管图 1 和图 2 示出了 NAND 串中的四个存储器单元,但是四个存储器单元的使用被提供仅作为例子。NAND 串可以具有少于四个存储器单元或者多于四个存储器单元。例如,一些 NAND 串将包括八个存储器单元、16 个存储器单元、32 个存储器单元、64 个存储器单元、128 个存储器单元等等。在此的讨论不限于 NAND 串中的任何特定数量的存储器单元。

[0046] 使用 NAND 结构的闪存系统的通常架构将包括几个 NAND 串。每个 NAND 串通过由选择线 SGS 控制的其源极选择栅极而连接到源极线,并通过由选择线 SGD 控制的其漏极选择栅极而连接到其相关联的位线。每个位线以及经由位线触点而连接到该位线的相应(一个或多个)NAND 串包括存储器单元的阵列的列。与多个 NAND 串共享位线。通常,位线在与字线垂直的方向上在 NAND 串之上运行,并连接到一个或多个感测放大器(sense amplifier)。

[0047] 在以下美国专利/专利申请中提供了 NAND 型闪存及其操作的相关例子,其全部通过引用合并于此:美国专利 No. 5570315、美国专利 No. 5774397、美国专利 No. 6046935、美国专利 No. 6456528、以及美国专利公开 No. US2003/0002348。

[0048] 除了 NAND 闪存之外,也可以使用其他类型的非易失性存储器件。例如,还从使用介电层来存储电荷的存储器单元来制造非易失性存储器件。代替早前描述的导电的浮置栅极元件,使用介电层。利用介电存储元件的这种存储器件已经由 Eitan 等人的“NROM: A Novel Localized Trapping, 2-Bit Nonvolatile Memory Cell”IEEE Electron Device Letters, vol. 21, no. 11, 2000 年 11 月, 543-545 页描述。ONO 介电层跨越源极和漏极扩散之间的沟道而延伸。用于一个数据位的电荷被局限在与漏极相邻的介电层中,并且用于另一数据位的电荷被局限在与源极相邻的介电层中。美国专利 no. 5768192 和 6011725 公开了具有夹在两个二氧化硅层之间的俘获(trapping)电介质的非易失性存储器单元。通过分别读取在电介质内的空间分离的电荷存储区域的二进制状态来实现多状态数据存储。也可以使用其他类型的非易失性存储器。

[0049] 图 3 图示了具有用于并行读和编程一页(或其他单位的)存储器单元(例如 NAND 多状态闪存)的读/写电路的存储器件 210。存储器件 210 可以包括一个或多个存储

器晶片或芯片 212。存储器晶片 212 包括存储器单元的（二维或三维）阵列 200、控制电路 220 和读 / 写电路 230A 和 230B。在一个实施例中，以对称的方式在阵列的相对侧上实现各种外围电路对存储器阵列 200 的存取，使得每侧的存取线和电路的密度降低一半。读 / 写电路 230A 和 230B 包括多个感测块 300，其允许并行读或编程一页存储器单元。存储器阵列 200 可由字线经由行解码器 240A 和 240B 以及由位线经由列解码器 242A 和 242B 寻址。字线和位线是控制线的例子。在通常的实施例中，控制器 244 与一个或多个存储器晶片 212 被包括在相同的存储器器件 210 中（例如可移除存储卡或包装（package）中）。经由线路 232 在主机和控制器之间以及经由线路 234 在控制器和一个或多个存储器晶片 212 之间传送命令和数据。

[0050] 控制电路 220 与读 / 写电路 230A 和 230B 协作以对存储器阵列 200 进行存储器操作。控制电路 220 包括状态机 222、芯片上地址解码器 224 和功率控制模块 226。状态机 222 提供对存储器操作的芯片级控制。芯片上地址解码器 224 提供在由主机或存储器控制器使用的地址与由解码器 240A、240B、242A 和 242B 使用的硬件地址之间的地址接口。功率控制模块 226 控制在存储器操作期间向字线和位线提供的功率和电压。在一个实施例中，功率控制模块 226 包括可以创建大于供应电压的电压的一个或多个电荷泵。

[0051] 在一个实施例中，控制电路 220、功率控制电路 226、解码器电路 224、状态机电路 222、解码器电路 242A、解码器电路 242B、解码器电路 240A、解码器电路 240B、读 / 写电路 230A、读 / 写电路 230B 和 / 或控制器 244 之一或任意组合可以被称作为一个或多个管理或控制电路。该一个或多个管理或控制电路进行在此所述的处理。

[0052] 图 4 描绘了存储器单元阵列 200 的示例结构。在一个实施例中，存储器单元的阵列被划分成大量的存储器单元的块（例如块 0-1023，或另一量）。在一个实施例中，块是传统擦除的单位。还可以使用其他擦除的单位。

[0053] 块包含经由位线（例如位线 BL0-BLX）和字线的公共集合（WL0、WL1、WL2、WL3）被存取的 NAND 串的集合。图 4 示出了串联连接以形成 NAND 串的四存储器单元。尽管示出了四个存储器单元被包括在每个 NAND 串中，但是可以使用多于或少于四个（例如 16、32、64、128 或另一数量的存储器单元可以在 NAND 串上）。NAND 串的一端经由（连接到选择栅极漏极线 SGD 的）漏极选择栅极而连接到相应位线，并且另一端经由（连接到选择栅极源极线 SGS 的）源极选择栅极而连接到源极线。在一个实施例中，每个 NAND 串包括两个哑存储器单元，在 NAND 串的每端处有一个。哑存储器单元不用于存储数据。

[0054] 每个块通常被划分成大量页。在一个实施例中，页是编程的单位。也可以使用其他编程单位。一页或多页数据通常被存储在一行存储器单元中。例如，一页或多页数据可以被存储在与公共字线连接的存储器单元中。一页可以存储一个或多个扇区。扇区包括用户数据和开销数据（也称为系统数据）。开销数据通常包括头部信息和已经从扇区的用户数据计算出的纠错码（EEC）。控制器（或状态机、或其他组件）在数据正被编程到阵列中时计算 ECC，并且还在从该阵列读数据时检查该 ECC。或者，ECC 和 / 或其他开销数据被存储在与它们相关的用户数据不同的页中、或者甚至不同块中。用户数据的扇区通常是 512 字节，对应于磁盘中的扇区的大小。大量页形成块，从 8 页到例如直到 32、64、128 或更多页不等。也可以使用不同大小的块、页和扇区。

[0055] 在一些实施例中，存储器单元包括三阱（triple well），该三阱包括 p 衬底、在该 p

衬底内的 n 阱以及在该 n 阱内的 p 阱。沟道区、源极区和漏极区通常位于 p 阱中。p 阱和 n 阱被认为是衬底的部分。在一个实施例中,存储器单元的整个阵列在一个 p 阱内,且 p 阱内的沟槽 (trench) 提供在 NAND 串之间的电隔离。在一个实施方式中,共享相同位线集的另一 p 阱内的所有块被称为平面 (plane)。在其他实施例中,不同的块可以位于不同的 p 阱中。

[0056] 另外,器件可以具有相反的极性,使得三阱包括 n 衬底、在 n 衬底内的 p 阱、以及在 p 阱内的 n 阱。在此配置中,沟道区、源极区和漏极区通常位于 n 阱中。

[0057] 图 5 是被分区为称作感测模块 480 的核心部分和公共部分 490 的单个感测块 300 的方框图。在一个实施例中,将存在用于每个位线的单独的感测模块 480 和用于多个感测模块 480 的集合的一个公共部分 490。在一个例子中,感测块将包括一个公共部分 490 和八个感测模块 480。一组中的每个感测模块将经由数据总线 472 与相关联的公共部分通信。可以在美国专利申请公开 2006/0140007 中找到一个例子,其通过全部参考合并于此。

[0058] 感测模块 480 包括感测电路 470,其确定在连接的位线中的导电电流是在预定水平之上还是之下。在一些实施例中,感测模块 480 包括统称为感测放大器的电路。感测模块 480 还包括用于设置在所连接的位线上的电压情况的位线锁存器 482。例如,被锁存在位线锁存器 482 中的预定状态将导致连接的位线被拉到指定编程禁止的状态 (例如 Vdd)。

[0059] 公共部分 490 包括处理器 492、数据锁存器的集合 494 和耦接在数据锁存器的集合 494 与数据总线 420 之间的 I/O 接口 496。处理器 492 进行计算。例如,其功能之一是确定在被感测的存储器单元中存储的数据,并将所确定的数据存储在数据锁存器的集合中。数据锁存器的集合 494 用于存储在读操作期间由处理器 492 确定的数据位。其还用于存储在编程操作期间从数据总线 420 输入的数据位。输入的数据位表示要被编程到存储器中的写数据。I/O 接口 496 提供在数据锁存器 494 和数据总线 420 之间的接口。

[0060] 在读或感测期间,系统的操作在状态机 222 的控制下,状态机 222 (使用功率控制 226) 控制不同的控制栅极电压向 (一个或多个) 被寻址的存储器单元的供应。随着其按步经过与存储器所支持的各个存储器状态对应的各个预定的控制栅极电压,感测模块 480 可以行进 (trip) 在这些电压之一处,并且将从感测模块 480 经由总线 472 提供输出给处理器 492。在那时,处理器 492 通过考虑感测模块的 (一个或多个) 行进事件以及关于经由输入线路 493 来自状态机施加的控制栅极电压的信息,来确定得到的存储器状态。然后,其计算该存储器状态的二进制编码,并将得到的数据位存储到数据锁存器 494 中。在核心部分的另一实施例中,位线锁存器 482 起着双重作用,作为锁存感测模块 480 的输出的锁存器以及还作为如上所述的位线锁存器。

[0061] 预期一些实现方式将包括多个处理器 492。在一个实施例中,每个处理器 492 将包括输出线 (图 5 中未绘出),使得每个输出线在一起被布线为或 (wired-OR)。在一些实施例中,输出线在被连接到布线为或的线之前被反相 (invert)。该配置使得能够在编程验证处理期间迅速确定编程处理已在何时完成,因为接收布线为或的线的状态机可以确定正被编程的所有位已在何时达到期望的电平。例如,当每位已达到其期望的电平时,对于该位的逻辑 0 将被发送到布线为或的线 (或数据 1 被反相)。当所有位输出数据 0 (或数据 1 被反相) 时,则状态机得知要终止编程处理。在每个处理器与八个感测模块通信的实施例中,状态机可能 (在一些实施例中) 需要读布线为或的线八次,或者逻辑被添加到处理器 492 以

累积相关联位线的结果,使得状态机仅需要读布线为或的线一次。

[0062] 数据锁存器堆叠 494 包含对应于感测模块的数据锁存器的堆叠。在一个实施例中,每个感测模块 480 存在三个(或四个或另外数量的)数据锁存器。在一个实施例中,锁存器每个是一位。

[0063] 在编程或验证期间,要编程的数据从数据总线 420 存储到数据锁存器的集合 494 中。在验证处理期间,处理器 492 相对于期望的存储器状态而监视验证的存储器状态。当两者一致时,处理器 492 设置位线锁存器 482 以便使得位线被拉至指定编程禁止的状态。这禁止耦接到位线的存储器单元被进一步编程,即使其在其控制栅极上经历了编程脉冲。在其他实施例中,处理器最初加载位线锁存器 482,并且感测电路在验证处理期间将其设置为禁止值。

[0064] 在一些实施方式中(但不是一定要的),数据锁存器被实现为移位寄存器,从而在其中存储的并行数据被转换为用于数据总线 420 的串行数据,并反之亦然。在一个优选实施例中,对应于 m 个存储器单元的读/写块的所有数据锁存器可以被链接在一起以形成块移位寄存器,从而数据块可以通过串行传送而被输入或输出。具体地,读/写模块的堆(bank)被适配为使得它的数据锁存器的集合中的每个数据锁存器将按顺序把数据移入或移出数据总线,就像它们是整个读/写块的移位寄存器的一部分一样。

[0065] 可在以下文件中找到关于感测操作和感测放大器的另外的信息:(1)2004 年 3 月 25 日公开的美国专利申请公开 No. 2004/0057287,“Non-Volatile Memory And Method With Reduced Source Line Bias Errors”;(2)2004 年 6 月 10 日公开的美国专利申请公开 No. 2004/0109357,“Non-Volatile Memory And Method With Improved Sensing”;(3)美国专利申请公开 No. 20050169082;(4)2005 年 4 月 5 日提交的发明人 Jian Chen 的题为“Compensating for Coupling During Read Operations of Non-Volatile Memory”的美国专利公开 No. 2006/0221692;以及(5)2005 年 12 月 28 日提交的、发明人 Siu Lung Chan 和 Raul-Adrian Cernea 的题为“Reference Sense Amplifier For Non-Volatile Memory”的美国专利申请公开 No. 2006/0158947。所有就在上面列出的五篇专利文献通过引用全文被合并于此。

[0066] 在成功编程处理的结尾时,存储器单元的阈值电压应该在对于已编程的存储器单元的阈值电压的一个或多个分布内或者在对于已擦除的存储器单元的阈值电压的分布内,如适当的。图 6A 图示了当每个存储器单元存储两位数据时存储器单元阵列的示例阈值电压分布(每个对应于一个数据状态)。但是,其他实施例可以使用每个存储器单元多于或少于两位数据。例如,也可以使用每个存储器单元三位数据、每个存储器单元四位数据、或其他量。图 6A 示出了对于已擦除的存储器单元的第一阈值电压分布/数据状态 S0。还示出了对于已编程存储器单元的三个阈值电压分布/数据状态 S1、S2 和 S3。在一个实施例中,S0 中的阈值电压是负的,并且 S1、S2 和 S3 中的阈值电压是正的。在一些实施例中,多个阈值电压分布对应于负阈值电压。

[0067] 图 6A 的每个不同的阈值电压分布对应于具有针对该数据位的集合的预定值的数据状态。被编程到存储器单元中的数据与存储器单元的阈值电压电平之间的具体关系取决于对单元采用的数据编码方案。例如,美国专利 No. 6222762 和 2003 年 6 月 13 日提交的美国专利申请公开 No. 2004/0255090 “Tracking Cells For A memory System”描述了用于

多状态闪存单元的各种数据编码方案,两者通过全部参考合并于此。在一个实施例中,使用格雷码分配将数据值分配给阈值电压范围 / 数据状态,使得如果浮置栅极的阈值电压错误地偏移到其相邻物理状态,则将仅影响一位。一个例子将“11”分配给阈值电压分布 / 数据状态 S0、将“10”分配给阈值电压分布 / 数据状态 S1、将“00”分配给阈值电压分布 / 数据状态 S2,并将“01”分配给阈值电压分布 / 数据状态 S3。在此例子中,如果存储器单元被擦除,并且要编程的数据是 11,则存储器单元不需要改变其阈值电压,因为其已经处于 S0,这与 11 相关联。如果存储器单元被擦除,并且要编程的数据是 00,则存储器单元的阈值电压需要移动到 S2。

[0068] 图 6A 还示出了用于从存储器单元读数据的读参考电压 V_{r1} 、 V_{r2} 和 V_{r3} 。通过测试给定存储器单元的阈值电压是在 V_{r1} 、 V_{r2} 和 V_{r3} 以上还是以下,系统可以确定存储器单元处于什么阈值电压分布 / 数据状态。

[0069] 图 6A 还示出了三个验证参考电压 V_{v1} 、 V_{v2} 和 V_{v3} 。当将存储器单元编程到数据状态 S1 时,系统将测试那些存储器单元是否具有大于或等于 V_{v1} 的阈值电压。当将存储器单元编程到数据状态 S2 时,系统将测试存储器单元是否具有大于或等于 V_{v2} 的阈值电压。当将存储器单元编程到数据状态 S3 时,系统将确定存储器单元是否具有大于或等于 V_{v3} 的其阈值电压。

[0070] 在一个实施例中,已知为全序列编程,可以将存储器单元从已擦除的阈值电压分布 / 数据状态 S0 直接编程到已编程阈值电压分布 / 数据状态 S1、S2 或 S3 的任意一个。例如,要被编程的全体存储器单元可以首先被擦除,使得全体中的所有存储器单元都处于已擦除阈值电压分布 / 数据状态 S0。在一些存储器单元正从阈值电压分布 / 数据状态 S0 被编程到阈值电压分布 / 数据状态 S1 时,其他存储器单元正从阈值电压分布 / 数据状态 S0 被编程到阈值电压分布 / 数据状态 S2 和 / 或从阈值电压分布 / 数据状态 S0 被编程到阈值电压分布 / 数据状态 S3。由图 6A 的三个曲线箭头图示地绘出全序列编程。

[0071] 存储器单元可能经受与在相同字线、相同位线或相邻字线和相邻位线上的邻近存储器单元的电容性耦合。该电容性耦合用于升高存储器单元的表观 (apparent) 阈值电压,因为邻近存储器单元已经被编程;但是,浮置栅极可能没有增加或损失电荷量。许多存储器单元的表观阈值电压的增加导致阈值电压分布加宽,如图 6B 所绘。在严重的电容性耦合的一些情况下,已擦除状态的阈值电压可能被加宽到其与第一已编程状态重叠的点。例如,图 6B 示出了与阈值电压分布 / 数据状态 S1 重叠的阈值电压分布 / 数据状态 S0,因为阈值电压分布 / 数据状态 S0 已经由于与邻近存储器单元的电容性耦合而被加宽了。在一些情况下,由其阈值电压相重叠的存储器单元组成的页或扇区不能正确地被读回,因为系统将不能确定这些单元是处于状态 0 还是状态 1。

[0072] 在此提出的技术选择性地地进行擦除操作,以再擦除 (re-erase) 应该处于已擦除状态 0、但由于电容性耦合 (或其他原因) 而具有出现在已擦除数据状态 S0 的阈值电压分布之外的阈值电压的那些存储器单元。进行选择性的擦除而不有意地擦除本应该被编程的任何存储器单元中的已编程数据。因此,在一个实施例中,图 6B 的阈值电压分布 / 数据状态 S0 将被收紧为变得如同图 6C 的阈值电压分布 / 数据状态 S0,其中该阈值电压分布 / 数据状态 S0 中的所有存储器单元具有在擦除验证电平 E_v 以下的阈值电压。在一个实施例中, $E_v = 0$ 伏。状态 S1、S2 和 S3 中的存储器单元在选择性擦除期间将不经历擦除操作。

[0073] 图 7 是描述操作非易失性存储器的处理的流程图。在步骤 548 中,接收编程的请求和要编程的数据。存储该数据。该数据可以被存储在控制器、状态机、缓存器中或别处。在图 7 的处理的一个实施方式中,存储器单元被预编程,以便维持在存储器单元上的均匀损耗 (even wear) (步骤 550)。在一个实施例中,存储器单元被预编程到状态 S3 (最高状态)、随机样式 (pattern) 或任何其他样式。在一些实现方式中,不需要进行预编程。

[0074] 在步骤 552 中,存储器单元在编程之前 (按块或其他单位) 被擦除。在一个实施例中,通过将 p 阱升高到擦除电压 (例如 20 伏) 达足够的时间段并将所选块的字线接地、同时源极和位线浮置来擦除存储器单元。在未被选择来擦除的块中,字线被浮置。由于电容性耦合,未选的字线、位线、选择线和公共源极线也被升高到擦除电压的很大分数,由此阻止对未被选择来擦除的块的擦除。因此,在被选择来擦除的块中,强电场被施加到所选存储器单元的隧道氧化物层,并且随着通常通过 Fowler-Nordheim 隧穿机制将浮置栅极的电子发射到衬底侧,所选存储器单元被擦除。随着电子从浮置栅极转移到 p 阱区,所选单元的阈值电压降低。可以对整个存储器阵列、对各个块或者单元的另一单位进行擦除。在一个实施例中,在擦除存储器单元之后,所有已擦除的存储器单元将处于数据状态 S0 (见图 6A)。擦除处理的一个实现方式包括将几个擦除脉冲施加到 p 阱并在擦除脉冲之间验证存储器单元是否具有低于 V_{ev} 的阈值电压。

[0075] 在步骤 554, (可选地) 进行软编程以缩窄已擦除存储器单元的擦除阈值电压的分布。一些存储器单元由于擦除处理而可能处于比所需更深的擦除状态。软编程可以施加编程脉冲到控制栅极以将更深擦除的存储器单元的阈值电压移动得更接近擦除验证电平 E_v 。例如,参见图 6A,步骤 554 可以包括收紧与状态 S0 相关联的阈值电压分布。在步骤 556,编程该块的存储器单元。可以使用上述的各种电路在状态机的指导下进行图 7 的处理。在其他实施例中,可以使用上述的各种电路在控制器的指导下进行图 7 的处理。在步骤 558, (在控制器和 / 或状态机的指导下) 存储器系统选择性地对应该处于已擦除状态但是具有出现在已擦除数据状态的阈值电压分布之外的阈值电压的那些存储器单元进行擦除操作 (例如再擦除)。进行选择性擦除而不有意地擦除本应该被编程的任何存储器单元中的已编程数据。在存储器单元已被编程和 (可能地) 选择性再擦除之后,可以读存储器单元 (步骤 560), 并且读取的数据可以被报告给控制器和 / 或与控制器通信的主机。

[0076] 图 8 是描述对连接到公共字线的存储器单元进行编程的处理的一个实施例的流程图。在图 7 的步骤 556 期间,图 8 的处理可以进行一次或多次。例如,图 8 的处理可以用于进行图 6A 的全序列编程,在该情况下,图 8 的处理将对每个字线进行一次。在一个实施例中,按照从最接近源极线的字线开始并朝向位线移动 (work) 的顺序进行编程处理。图 8 的处理还可以用于进行字线的一页 (或部分页或其他单位) 的数据的编程或者多遍编程处理中的一遍。也可以使用其他布置。在状态机 222 的指导下进行图 8 的处理。在此所述的用于擦除的技术可以与许多不同的编程方案一起使用。

[0077] 通常,在编程操作期间施加到控制栅极的编程电压 (V_{pgm}) 被施加为一系列编程脉冲。在编程脉冲之间的是用于使能验证的验证脉冲的集合。在许多实现方式中,编程脉冲的量值随每个相继的脉冲而增加预定步长大小。在图 8 的步骤 608 中,编程电压 V_{pgm} 被初始化为开始量值 (例如 $\sim 12-16V$ 或另一合适的电平), 并且编程计数器 PC 被初始化在 1。在步骤 610 中,编程电压 V_{pgm} 的编程脉冲被施加到所选字线 (被选择用于编程的字线)。

未选字线接收一个或多个升压电压（例如～9 伏）以进行本领域中已知的升压方案。如果存储器单元应该被编程，则相应的位线接地。另一方面，如果存储器单元应该维持在其当前阈值电压，则相应的位线连接到 V_{DD} （近似地 2.5 伏）以禁止编程（锁定存储器单元为不编程）。可以在美国专利 6859397 和美国专利申请公开 No. 20080123425 中找到关于升压方案的更多信息，其两者通过全部参考合并于此。

[0078] 在步骤 610 中，编程脉冲被同时施加到连接到所选字线的所有存储器单元，使得连接到所选字线的被选择用于编程的所有存储器单元一起被编程。以此方式，连接到所选字线的所有存储器单元将同时使其阈值电压改变，除非它们已被锁定为不编程。

[0079] 在步骤 612 中，使用适当的目标电平的集合来验证所选存储器单元的状态。图 8 的步骤 612 包括进行一个或更多验证操作。一般，在验证操作和读操作期间，所选字线连接到对每个读和验证操作规定了其电平以便确定所关注的存储器单元的阈值电压是否达到该电平的电压（例如参见用于验证的图 6A 的 V_{v1} 、 V_{v2} 和 V_{v3} 以及用于读的 V_{r1} 、 V_{r2} 和 V_{r3} ）。在施加字线电压之后，测量存储器单元的导电电流以确定存储器单元是否响应于施加到字线的电压而导通。如果测量导电电流为大于某个值，则认为存储器单元导通，并且施加到字线的电压大于该存储器单元的阈值电压。如果测量导电电流为不大于该某个值，则认为存储器单元未导通，并且施加到字线的电压不大于该存储器单元的阈值电压。

[0080] 存在许多方式来测量在读或验证操作期间的存储器单元的导电电流。在一个例子中，通过存储器单元对感测放大器中的专用电容器放电或充电的速率来测量该存储器单元的导电电流。在另一例子中，所选存储器单元的导电电流允许（或不能允许）包括该存储器单元的 NAND 串对相应位线放电，其中该位线被预充电到已知的电压。在一个时间段后测量该位线上的电压以查看其是否已经被放电。注意，可以与在鲍尔默领域中已知的用于验证/读的不同方法一起使用在此所述的技术。可以在通过全部参考被合并于此的以下专利文献中找到关于验证/读的更多信息：(1) 美国专利申请公开 No. 2004/0057287, “Non-Volatile Memory And Method With Reduced Source Line Bias Errors”; (2) 美国专利申请公开 No. 2004/0109357, “Non-Volatile Memory And Method With Improved Sensing”; (3) 美国专利申请公开 No. 20050169082; 以及 (4) 题为“Compensating for Coupling During Read Operations of Non-Volatile Memory”的美国专利公开 2006/0221692。

[0081] 如果检测到所选存储器单元的阈值电压已经达到适当的目标电平，则例如通过在随后的编程脉冲期间将其位线电压升高到 V_{DD} 来锁定该存储器单元以不能进一步编程。

[0082] 回去看图 8，在步骤 614 中，检查是否所有存储器单元都已达到其目标阈值电压。如果是，则编程处理完成且成功，因为所有所选存储器单元都被编程并验证到了其目标状态。在步骤 616 中报告状态“通过 (PASS)”。注意，在一些实现方式中，在步骤 614 中，检查是否至少预定数量的存储器单元已被恰当地编程。该预定数量可以小于所有存储器单元的数量，从而允许编程处理在所有存储器单元达到其适当的阈值电平之前停止。可以在读处理期间使用错误校正来校正未被成功编程的存储器单元。

[0083] 如果在步骤 614 中确定不是所有存储器单元都已达到其目标阈值电压，则编程处理继续。在步骤 618 中，针对编程限制值 (PL) 来检查编程计数器 PC。编程限制值 PL 的一个例子是 20；但是，可以使用其他值。如果编程计数器 PC 不小于编程限制值，则在步骤 630 中确定还未被成功编程的存储器单元的数量是否等于或小于预定数量。如果未被成功编程

的存储器单元的数量等于或小于该预定数量,则认为编程处理成功,并在步骤 632 中报告通过的状态。在许多情况下,可以在读处理期间使用错误校正来校正未被成功编程的存储器单元。但是,如果未被成功编程的存储器单元的数量大于该预定数量,则认为编程处理不成功,并在步骤 634 中报告失败 (FAIL) 的状态。

[0084] 如果在步骤 618 中确定编程计数器 PC 小于编程限制值 PL,则该处理在步骤 620 继续,在该时间期间,编程计数器 PC 被递增 1,并且编程电压 V_{pgm} 步进到下一量值。例如,下一脉冲将具有比前一脉冲大一个步长大小 (例如 0.1-0.4 伏的步长大小) 的量值。在步骤 620 后,处理循环回到步骤 610,并且另一编程脉冲被施加到所选字线,并且处理继续。

[0085] 图 9 是描述对于应该处于已擦除状态但是具有出现在已擦除数据状态的阈值电压分布之外的阈值电压的那些存储器单元选择性地擦除操作的处理的流程图。在一个实施例中,对一条所选字线进行图 9 的处理,使得对与该一条所选字线连接的那些存储器单元进行选择性擦除。在其他变型中,连接到不同字线的存储器单元可以同时经历选择性擦除处理。

[0086] 在步骤 650 中,识别本应该维持已擦除的存储器单元。例如,如果状态 S0 对应于数据 11,状态 S1 对应于数据 10,状态 S2 对应于数据 00,并且状态 S3 对应于数据 01,则本应该存储数据 11 的所有存储器单元应该维持已擦除 (例如维持在状态 S0)。存在许多适合的方式来识别本应该维持已擦除的存储器单元。在一个例子中,当前正被编程或最近被编程的数据可以被存储在缓存器中 (在 RAM 中或闪存中)。在步骤 650 中,可以从该缓存器读取该数据,并且系统将使用控制器 (见图 3)、状态机 (见图 3) 或处理器 492 (见图 4) 来识别本应该存储数据 11 的存储器单元。在另一实施例中,可以从控制器向状态机或处理器 492 重新发出数据以便确定哪些存储器单元本应该存储数据 11。在另一实施例中。当前正被编程或最近被编程的数据可以被存储在数据锁存器 494 中并由处理器 492 使用来确定哪些存储器单元本应该存储数据 11。

[0087] 在步骤 652 中,对连接到所选字线的存储器单元进行擦除验证操作。擦除验证操作确定存储器单元是否已被恰当地编程。在一个例子中,擦除验证操作确定存储器单元的阈值电压是否大于擦除验证比较电压 V_{ev} (见图 6A)。所选字线接收擦除验证比较电压 V_{ev} ,并且未选字线接收过驱动电压 (近似为 8 到 10 伏),有时也称为 V_{read} 。如上关于图 8 的步骤 612 所述,在施加适当的字线电压 (其将电压提供给控制栅极) 后,观测 / 测量所选存储器单元的导电电流以确定这些存储器单元是否正导电。响应于擦除验证电压 V_{ev} 而导电的存储器单元被认为具有在状态 S0 内的阈值电压,因此被恰当地编程。响应于接收到擦除验证电压 V_{ev} 而不导电并本应该处于擦除状态 S0 内的存储器单元被推断为具有出现在存储数据状态 S0 的阈值电压分布之外 (例如之上) 的阈值电压。在步骤 654 中,如果所有存储器单元验证了 (即所有存储器单元响应于 V_{ev} 而导电),则图 9 的处理完成。在一个实施例中,如果至少预定数量的存储器单元通过了步骤 652 中的擦除验证处理,则图 9 的处理完成。如果少于所有的存储器单元适当地验证了 (或少于预定数量的存储器单元验证了),则处理在步骤 656 继续,并且对本应该处于擦除状态 S0 中但是未通过步骤 652 的验证处理的那些存储器单元进行选择性擦除操作。通过步骤 652 处的验证处理的任何存储器单元将被锁定以不进行步骤 656 的选择性擦除处理,如下所述。在进行步骤 656 的选择性擦除处理之后,处理循环回到步骤 652,并进行另一擦除验证处理。进行步骤 652、654 和 656 的循

环,直到所有存储器单元验证或者预定数量的存储器单元恰当地验证。在其他实施例中,可以通过最大的迭代次数来限制该循环。

[0088] 图 10 是描述图 9 的步骤 656 的选择性擦除操作的流程图。图 10 示出连接到将被选择性擦除的存储器单元的位线、连接到将不被擦除的存储器单元的位线、SGD、未选字线、所选字线、SGS、源极线、具有被选择性擦除的存储器单元的 NAND 串的沟道、没有被选择性擦除的任何存储器单元的 NAND 串的沟道以及 p 阱的电压信号。图 10 的处理具有三个步骤。在步骤 1 期间,连接到将被擦除的存储器单元的位线在 t_1 被充电到 V_{dd} (近似 2-2.5 伏)。连接到不将被擦除的存储器单元 (因为它们被编程,或因为它们本应该被擦除并且它们通过了擦除验证操作) 的位线维持在 0 伏。源极线和 SGD 在 t_1 也升高到 V_{dd} 。字线、SGS 和 p 阱都仍维持在 0 伏。步骤 2 包括对 NAND 串的沟道升压。在时间 t_2 ,升压电压 V_{pass} 被施加到未选字线。在一个实施例中, V_{pass} 近似是 10 伏。将未选字线 (至少部分地) 升压到 V_{pass} 致使沟道区被升压用于具有被选择要被擦除的存储器单元的那些 NAND 串。这些沟道区将被升压到近似 6 伏 (或者 6 伏附近的电压范围)。因为那些 NAND 串的位线处于 V_{dd} ,所以漏极侧的选择栅极变得截止,这允许沟道升压。不具有被选择来擦除的存储器单元的 NAND 串将使其沟道维持在 0 伏 (或者 0 伏附近的电压范围)。步骤 3 包括将负电压施加到所选字线以使得擦除。例如,Verase (近似 -10 伏) 在 t_3 被施加到所选字线。所选字线上的负电压和在被升压的沟道中的正电压创建了选择性地擦除连接到所选字线的并且在具有被升压的沟道的 NAND 串上的那些存储器单元的大电场 (field)。在一个实施例中,该擦除包括从浮置栅极移除电子以便降低阈值电压。在一个例子中,电子被转移到源极 / 漏极区。在另一实施例中,不将电子转移出浮置栅极,而是在所选字线 / 控制栅极下的接合处可能存在栅极诱导漏极泄漏 (Gate Induced Drain Leakage, GIDL) 来使得空穴 (hole) 被注入到浮置栅极中。

[0089] 注意,每次进行步骤 656 时,进行图 10 的处理。在一个实施例中, V_{pass} 的值可以对于步骤 656 的每次迭代而递增。

[0090] 图 11 示出在图 10 的步骤 3 期间的 NAND 串的集合。如可见,所选字线 (WL2) 接收 Verase,并且未选字线接收 V_{pass} 。在此例子中,存储器单元 724 和 725 被选择来擦除。存储器单元 724 和 725 两者都连接到 WL2、公共字线。如所绘,未选的存储器单元也连接到公共字线。包括要被擦除的存储器单元的 NAND 串的位线接收 V_{dd} 。例如,包括存储器单元 724 的 NAND 串 746 的位线正接收 V_{dd} 。不具有正被擦除的存储器单元的 NAND 串 (例如 NAND 串 748) 的位线接收 0 伏。仅仅具有接收 V_{dd} 的位线的那些 NAND 串将具有升压的沟道。具有接收 0V 的位线的 NAND 串不具有升压的沟道。注意,图 11 所绘的 NAND 串都处于相同的衬底区中 (例如相同的 p 阱中)。

[0091] 图 12A 示出在图 10 所绘的擦除处理的步骤 3 期间的 NAND 串 746 (表示具有将被擦除的存储器单元的 NAND 串) 的截面部分。图 12B 示出在图 10 所绘的擦除处理的步骤 3 期间的 NAND 串 748 (表示不具有将被擦除的存储器单元的 NAND 串) 的截面部分。图 12A 的 NAND 串 746 包括五个存储器单元 720、722、724、726 和 728。NAND 串 746 还包括源极侧选择栅极 730、漏极侧选择栅极 732、源极线 736 和位线 738。如可见,存储器单元 720、722、726 和 728 经由各自的字线在其控制栅极处接收 V_{pass} 。被选择来擦除的存储器单元 724 接收 Verase。源极侧选择栅极 730 接收 0 伏。源极线 736 接收 V_{dd} ,并且位线 738 接收 V_{dd} 。

NAND 串 746 的各个存储器单元的源极 / 漏极区以及在浮置栅极下方（除了在存储器单元 724 的浮置栅极下方之外）的反型层（inversion layer）形成被称为 NAND 串 746 的沟道区 742 的等势区。在图 12A 中绘出的该沟道区 742 被升压到 6 伏。升压的沟道区 742 被图示地绘出在 p 阱区 739 的顶部。在存储器单元 724 的浮置栅极以下的沟道区升压区域中存在空隙。

[0092] 图 12B 示出不包括被选择来擦除的存储器单元的 NAND 串 748（见图 11）。NAND 串 748 包括存储器单元 750、752、754、756 和 758。NAND 串 748 还包括源极侧选择栅极 760、漏极侧选择栅极 762、源极线 736、位线 764 和源极 / 漏极区 770。如可见，位线 764 接收 0 伏，其防止漏极侧选择栅极 762 被截止；因此，NAND 串的沟道区不像图 12A 所绘的方式那样升压。图 11、12A 和 12B 绘出如何能够选择连接到公共字线的一些存储器单元来擦除同时连接到同一字线的其他存储器单元将不被擦除。

[0093] 在一些实施例中，使用负字线电压需要对于行解码器的三阱结构以及用于供应该电压的负泵（pump）。在某些情况下，这样的布置可能是昂贵的。图 13 是描述对连接到字线的存储器单元的子集进行选择擦除操作的处理的另一实施例的流程图。可以在图 9 的步骤 656 期间进行的图 13 的处理包括四个步骤。在步骤 800 中，要被擦除的存储器单元的位线将被充电到 Vdd，并且不将被擦除的存储器单元的位线保持在 0 伏。在步骤 802，p 阱和整个平面的所有字线将被充电到电压 Vwell（例如近似是 10 伏）。这将通过电压 Vwell 而将位线相耦合。被充电到 Vdd 的位线将保持与处于 0 伏的位线相比的电压差。p 阱充电可以偏移（与字线相比）二极管压降（drop）（或多于二极管压降）以防止位线接合的正向（forward）偏压。在步骤 804 中，被选择来擦除的存储器单元的块的字线将被充电到 Vwell+Vpass（近似 17 伏），以便对具有将被擦除的存储器单元的 NAND 串的沟道进行升压。被升压的沟道将处于近似 15 伏。在步骤 806，将通过将所选字线降低到 0 伏而擦除所选存储器单元。

[0094] 图 14 是提供图 13 的处理的更多细节的时序图。图 14 示出与图 13 相同的四个步骤。在第一步骤（预充电位线 - 步骤 800）中，将被擦除的那些存储器单元的位线被升高到 Vdd，公共源极线被升高到 Vdd，未连接到具有将被擦除的存储器单元的 NAND 串的位线保持在 0 伏，并且图 14 中绘出的所有其他信号也保持在 0 伏。

[0095] 在第二步骤（充电 WL 和阱 - 步骤 802）中，在时间 t2，未选字线和所选字线从 0 伏被充电到 Vwell。另外，在 t2 时，SGD 从 0 伏升高到 Vwell+2 伏，并且 SGS 从 0 伏升高到 Vwell。将字线升高到 Vwell 致使对于与要被擦除的存储器单元相关联的位线、将位线耦合到 Vwell+Vdd（近似 10 伏）。不与要被擦除的存储器单元相关联的位线将保持在 Vwell。在 t2，p 阱也被升高到 Vwell，其致使 NAND 串的沟道被升高到 Vwell。

[0096] 在第三步骤（升压擦除沟道 - 步骤 804），在时间 t3，整个块的未选字线和所选字线被升高到 Vwell+Vpass（近似 17 伏），这（至少部分地）致使要被擦除的存储器单元的 NAND 串的沟道区的升压被升压到 Vwell+ 升压电压（例如近似 15 伏）或者在该电平附近的电压范围。因为漏极侧选择栅极由于所选存储器单元的位线处于 Vwell+Vdd 而被截止，因此发生该升压。由于未选存储器单元的位线仅处于 Vwell，那些漏极侧选择栅极不截止，并且不将被擦除的存储器单元的 NAND 串沟道将不被升压到 Vwell+ 升压电压，而是将保持在 Vwell 或在该电平附近的电压范围。

[0097] 在步骤四,所选字线在时间 t_4 使其电压降低到 0 伏以使能擦除。被选择来擦除的存储器单元将具有跨过控制栅极和沟道的 15 伏,这提供了适于擦除的条件。同一 NAND 串中的未选存储器单元将在字线处具有 17 伏并在沟道处具有 15 伏,这不提供适于擦除的条件。同一所选字线上的未选存储器单元将在控制栅极处具有 0 伏并在沟道处具有 10 伏,这不提供适于擦除的条件。在一个实施例中,擦除包括从浮置栅极移除电子以降低阈值电压。在一个例子中,电子被转移到沟道区。

[0098] 在另一实施例中,不将电子转移出浮置栅极,而是在所选字线 / 控制栅极下的接合处可能存在栅极诱导漏极泄漏 (GIDL) 来使得空穴注入到浮置栅极中。

[0099] 图 15 示出在图 13 的步骤 806 期间 NAND 串的示例集合,其中 (NAND 串 830 上的) 存储器单元 854 和存储器单元 855 被选择来擦除。尽管图 15 仅示出了要被选择性擦除的两个存储器单元,但是在其他例子中,可以选择连接到同一所选字线 (WL2) 的更多或更少存储器单元来擦除。选择性擦除允许选择少于连接到所选字线的所有存储器单元来擦除。如可见,具有将被擦除的存储器单元的 NAND 串 (例如 NAND 串 830) 的位线处于 $V_{well}+V_{dd}$, 而不具有要被擦除的存储器单元的其他 NAND 串 (例如 NAND 串 832) 具有处于 V_{well} 的位线。所选字线接收 0 伏,而未选字线接收 $V_{well}+V_{pass}$ 。注意,图 15 中所绘的 NAND 串全部处于相同的衬底区中 (因此处于相同的 p 阱上)。

[0100] 图 16A 示出在图 13 的步骤 806 期间 NAND 串 830 (表示具有将被擦除的存储器单元的 NAND 串) 的截面部分。NAND 串 830 包括存储器单元 850、852、854、856 和 858。NAND 串 830 还包括源极侧选择栅极 860、漏极侧选择栅极 862、源极线 866 和位线 868。图 16A 示出了升压的沟道区域 872,其被升压到近似 15 伏。

[0101] 图 16B 示出在图 13 的步骤 806 期间 NAND 串 832 (表示不具有将被擦除的存储器单元的 NAND 串) 的截面部分。NAND 串 832 包括存储器单元 880、882、884、886 和 888。NAND 串 832 还包括源极侧选择栅极 890、漏极侧选择栅极 892、公共源极线 866 和位线 896。NAND 串 832 包括升压的沟道区 874。但是,该升压的沟道区仅被升压到近似 10 伏,如上所述;因此,擦除不会有意地发生。

[0102] 回去看图 9,步骤 656 包括对被选择来擦除的存储器单元进行一个或更多擦除操作。在图 10 和 14 的实施例中,在步骤 656 的每个迭代期间对所选存储器单元进行一个擦除操作。在其他实施例中,可以在步骤 656 的每个迭代中进行多个擦除操作 (进行或不进行中间的验证操作)。此外,图 13 和 14 中所绘的四个步骤操作的一个变型可以包括预充电位线 (800) 和充电字线 (802) 仅一次,然后重复升压沟道 (804) 和擦除 (806) 多次。

[0103] 图 17 是描述进行多个擦除操作同时预充电位线并充电字线仅一次的处理的一个实施例的流程图。在图 17 的步骤 902 中,位线被充电,如图 13 的步骤 800 中进行的那样。在步骤 904,字线和阱被充电,如图 13 的步骤 802 中进行的那样。在图 17 的步骤 906 中,升高的沟道被升压,如图 13 的步骤 804 中进行的那样。注意,在步骤 906 中,未选字线接收 V_{pass} 。在步骤 908 中,所选字线被降低到 0 伏,并且电子被从浮置栅极移除。在步骤 910 中,擦除沟道再次被升压。步骤 910 类似于图 13 的步骤 804;但是,未选字线和所选字线将接收 $V_{well}+V_{pass}+\Delta V_{pass}$ 。在一个例子中, ΔV_{pass} 可以从 0.2 伏到 0.5 伏任意。在步骤 912 中,随着电子被转移出浮置栅极,所选字线被降低到 0 伏并且存储器单元被擦除。步骤 912 类似于步骤 806。在步骤 914 中,擦除沟道被升压 (类似于步骤 804);但是,字线将接

收 $V_{well}+V_{pass}+2\Delta V_{pass}$ 。未来的迭代将使用 $3\Delta V_{pass}$ 、 $4\Delta V_{pass}$ 等等。在步骤 916, 随着电子被移出浮置栅极, 所选字线被降低到 0 伏, 并且所选存储器单元被擦除, 类似于步骤 806。分别重复升压和擦除, 直到步骤 918 和 920。图 17 的处理示出在预充电位线 (步骤 902) 并充电字线 (步骤 904) 一次之后, 擦除沟道的升压和擦除处理可以重复多次而不需要再次预充电位线并充电字线。重复擦除沟道的升压和擦除处理可以进行两次或更多次。不存在所需重复的特定数量。

[0104] 图 18 是图示地绘出图 17 的步骤 902-912 的时序图。本领域技术人员将知道如何使用图 18 的教导来外推和进行图 17 的其他步骤。如可以从图 18 可见, 在 t_1 利用 V_{dd} 初始地预充电要被擦除的存储器单元的位线 (902)。要被擦除的存储器单元的位线在 t_2 耦合到 $V_{well}+V_{dd}$ (904), 并保持在该电平至 t_8 。不要被擦除的存储器单元的位线在 t_2 耦合到 V_{well} , 并保持在那里至 t_8 。SGD 在 t_2 从 0 伏升高到 $V_{well}+2$ 伏 (或 V_{dd}), 并保持在那里至 t_8 。未选字线在 t_2 从 0 伏升高到 V_{well} , 然后在 t_3 升高到 $V_{well}+V_{pass}$ (906)。在步骤 908 后, 在 t_5 , 未选字线降低到 V_{well} , 作为恢复阶段的部分。当在步骤 910 中再次进行沟道的升压时, 未选字线升高到 $V_{well}+V_{pass}+\Delta V_{pass}$, 如上所述。图 17 的处理的未来的迭代将把未选字线升高到 $V_{well}+V_{pass}+n\Delta V_{pass}$ 。所选字线在 t_2 升高到 V_{well} (904), 然后在 t_4 降低到擦除电压 0 伏 (908)。在 t_5 时的恢复阶段期间, 在擦除和下一升压之间, 所选字线将再次升高到 V_{well} 。所选字线将在 t_7 降低到 0 伏以使能选择性擦除 (912)。该处理将继续把所选字线升高到 V_{well} 用于升压擦除沟道阶段, 然后将其降低到 0 伏用于擦除操作的完成。SGS 在时间 t_2 从 0 伏升高到 V_{well} , 并停留在那里至 t_8 。公共源极线在 t_1 升高到 V_{dd} , 然后在 t_2 升高到 V_{well} , 其停留在那里至 t_8 。p 阱在 t_2 被升高到 V_{well} , 并停留在那里至 t_8 。由于在 t_2 将 p 阱升高到 V_{well} , 所有 NAND 串的沟道在 t_2 也升高到 V_{well} (904)。本应该将被擦除的 NAND 串的沟道在 t_3 将被升压到 $V_{well}+$ 升压电压 (906), 在 t_5 降低到 V_{well} , 并然后在 t_6 升高到 $V_{well}+$ 另外的升压电平 (910)。在图 17 的处理期间, 该沟道将继续在 V_{well} 和 $V_{well}+$ 升压之间切换。

[0105] 在一个实施例中, 可以将选择性擦除作为包括粗略阶段和精细阶段的两阶段 (或更多阶段) 擦除处理的部分来进行。在粗略阶段期间, 可以进行图 17 的处理而不在擦除操作之间验证地进行两个或更多擦除操作。在预定数量的擦除操作后, 将完成粗略阶段。然后将通过进行图 9 的处理来开始精细阶段, 其中图 14 的处理用于实现步骤 656。粗略阶段擦除得较快, 但是精度更小。精细阶段擦除得较慢, 但精度更高。

[0106] 在编程期间, 用于实现紧密阈值电压分布而不会不合理地减慢编程处理的一个方案是使用两 (或更多) 遍编程处理。第一遍、粗略编程阶段包括尝试以较快方式升高阈值电压, 相对较少地关注对紧密阈值电压分布的实现。第二遍、精细编程阶段尝试以较慢方式升高阈值电压, 以便达到目标阈值电压同时也实现紧密阈值电压分布。

[0107] 图 19 是描述两遍编程处理的一个实施例的流程图。在步骤 932, 进行第一遍。在一个实施例中, 第一遍是粗略编程阶段。所选存储器单元将被编程到一个或更多粗略验证电平。一旦所有的所选存储器单元都达到其各自的粗略验证电平, 则粗略编程阶段就将完成。在步骤 934, 进行第二遍。在一个实施例中, 第二遍是在完成了粗略编程阶段之后进行的精细编程阶段。所选存储器单元将被编程到一个或多个精细验证电平。一旦所有的所选存储器单元都达到其各自的精细验证电平, 则精细编程阶段就将完成。在一些实施例中, 对

于粗略阶段,施加到字线的编程脉冲与精细阶段相比在量值上将更长或更高。在其他实施例中,粗略阶段的位线电压将在 0 伏,并且精细阶段的位线电压将在 0 伏和 Vdd 之间的电平(例如~1 伏)。也可以使用粗略/精细编程方法的各个替换和实施例。在一些实施例中,可以存在多于一个粗略阶段和/或多于一个精细阶段。也可以使用其他类型的多遍编程处理、包括不同于粗略/精细的处理以及包括具有多于两遍的处理。

[0108] 图 20 示出与数据状态 S0、S1、S2 和 S3 相关联的阈值电压分布的集合。对于每个数据状态,绘出粗略验证电平 (Vvc) 并绘出精细验证电平 (Vvf)。例如,在要被编程到数据状态 S1 的存储器单元的粗略阶段期间,验证电平将是 Vvc1,并且在精细阶段期间,将针对 Vvf1 再次验证存储器单元。被编程到数据状态 S2 的存储器单元将在粗略阶段期间针对 Vvc2 被验证,并在精细阶段期间针对 Vvf2 再次被验证。被编程到状态 S3 的存储器单元将在粗略阶段期间针对 Vvc3 被验证,并在精细阶段期间针对 Vvf3 再次被验证。

[0109] 上述的图 7 中绘出的操作的方法构思了其中存储器单元被编程、并在完成编程之后进行选择擦除处理的实施例。在另一实施例中,可以按混合方式进行编程处理和选择性擦除处理。例如,可以在编程的粗略阶段之后并在编程的精细阶段之前进行选择擦除。在另一实施例中,可以在编程某些数据之后并在编程其他数据之前进行选择擦除。

[0110] 图 21 是描述混合两遍编程处理和选择性擦除处理的一个实施例的流程图。在一个实施例中,两遍编程处理是其中第一遍是粗略阶段并且第二遍是精细阶段的粗略/精细编程处理。也可以使用其他两遍编程处理。在图 21 的实施例中,在第一遍和第二遍之间进行选择擦除处理,以便再擦除已经使其阈值电压错误地移动的存储器单元。在该实施例中,也在根据两遍编程处理的第一遍而编程了相邻字线之后进行选择擦除处理。该操作的顺序将减少与相邻存储器单元的耦合的影响。

[0111] 图 21 从字线 WLn 上的存储器单元的角度说明了该处理。在图 21 的步骤 952 中,连接到字线 WLn 的存储器单元根据两遍编程处理的第一遍(例如粗略阶段)而被编程。在步骤 954 中,连接到字线 WLn 的存储器单元经历上述的选择性擦除处理,以便再擦除本应该被擦除但是具有升高到擦除阈值电压以上的阈值电压的那些存储器单元。步骤 954 包括进行图 9 的处理。但是,在对连接到相邻字线 WLn+1 的存储器单元编程了两遍编程处理的第一遍之后进行步骤 954 的处理。因此,如果步骤 952 包括编程在字线 WL1 上的存储器单元,则步骤 954 的选择性擦除将在对于字线 WL2 上的存储器单元进行了粗略编程之后进行。在步骤 956 中,将在对于字线 WLn+1 进行了选择性擦除处理之后,对连接到 WLn 的存储器单元进行两遍编程处理的第二遍。在一个实施例中,对于一块中的所有字线进行图 21 的处理。在其他实施例中,可以仅对字线的子集进行该处理。

[0112] 图 22 是示出对五条字线上的存储器单元编程两遍编程处理的第一遍、两遍编程处理的第二遍以及选择性擦除处理的顺序的表。首先,对 WL0 进行第一编程遍。随后,对字线 WL1 进行第一编程遍,然后,对字线 WL0 进行选择擦除处理,然后,对字线 WL2 进行第一编程遍,然后,对字线 WL1 进行选择擦除处理,然后,对字线 WL0 进行第二编程遍,然后,对 WL3 进行第一编程遍,然后,对 WL2 进行选择擦除,然后,对 WL1 进行第二编程遍,然后,对 WL4 进行第一编程遍,然后,对 WL3 进行选择擦除,然后,对 WL2 进行第二编程遍,等等。图 22 所绘的操作的顺序可以外推到多于五条字线。

[0113] 图 23 示出从根据图 21 和 22 的编程处理得到的阈值电压分布的集合。绘出了状

态 S0、S1、S2 和 S3(其表示在精细阶段之后的最终阈值电压分布)。在状态 S1、S2 和 S3 的每个之后是以虚线描绘的阈值电压分布,其表示在粗略阶段之后的相应阈值电压分布。如可见,最终分布(其从精细阶段得到)窄得多并且稍高。

[0114] 在另一实施例中,图 21 和 22 的两遍编程技术可以用于将数据编程到 8 个数据状态 S0-S7。在第一遍期间,将分别使用验证点 Vint1、Vint2 和 Vint3 将存储器单元编程到阈值电压分布 960、962 和 964。在编程处理的第二遍期间,存储器单元可以被移动到两个可能的数据状态之一。处于数据状态 S0 中的存储器单元可以保持在 S0,或者可以使用验证过的点 Vf1 将其编程到数据状态 S1。可以分别使用验证过的点 Vf2 和 Vf3 将在阈值电压分布 960 中的存储器单元编程到数据状态 S2 或数据状态 S3。可以分别使用验证过的点 Vf4 和 Vf5 将在阈值电压分布 962 中的存储器单元编程到数据状态 S4 或数据状态 S5。可以分别使用验证过的点 Vf6 和 Vf7 将在阈值电压分布 964 中的存储器单元编程到数据状态 S6 或数据状态 S7。在第一遍之后并在第二遍之前,进行选择性的擦除处理,如上关于图 21 和 / 或 22 所述。

[0115] 当编程存储器单元时,无论其使用单一遍还是多遍编程处理,某些存储器单元都可能变得被过度编程。例如,意图要被编程到数据状态 S2 的存储器单元可能使其阈值电压升高到大于状态 S2 的阈值电压分布的电平。图 25 示出了具有一些被过度编程的存储器单元的阈值电压分布的集合。如可见,数据状态 S1-S7 具有在其阈值电压分布的右侧的尾部。这些尾部表示被过度编程的存储器单元。在图 25 的图中还绘出了被过度编程的验证点 (Vop1、Vop2、Vop3、Vop4、Vop5、Vop6 和 Vop7)。在具有大于相关联的过度编程验证点的阈值电压的具体阈值电压分布中的那些存储器单元被认为过度编程。

[0116] 在一些器件中,较低的数据状态(例如 S1、S2、S3)比较高状态经历更多过度编程。在一些器件中,较高数据状态不经历过度编程。

[0117] 在一个实施例中,以上关于图 10-18 所述的选择性擦除处理可以用于校正被过度编程的存储器单元。图 26A 和 26B 提供了使用上述的选择性擦除方法来校正被过度编程的存储器单元的两个示例处理。

[0118] 在图 26A 的步骤 1002 中,存储器单元被预编程(类似于图 7 的步骤 550)。在步骤 1004 中,一块(或其他单位的)存储器单元被擦除(类似于图 7 的步骤 552)。在步骤 1006 中,可选地存储器单元可以被软编程(类似于图 7 的步骤 554)。在步骤 1008 中,使用本领域中已知的各种适当的编程处理的任意一个来编程存储器单元。在步骤 1010 中,校正被过度编程的存储器单元。因此,26A 的处理将在完成步骤 1008 的编程之后校正被过度编程的存储器单元。

[0119] 图 26B 的处理将在编程处理期间混合存储器单元的编程和被过度编程的存储器单元的校正。在步骤 1002 中,存储器单元的块被预编程。在步骤 1004 中,擦除该块(或其他单位的)存储器单元。在步骤 1006 中,可选地可以软编程存储器单元。在步骤 1020 中,存储器单元被编程,并且使用选择性擦除处理校正被过度编程的那些存储器单元,使得按混合的方式进行编程和选择性擦除。以下提供更多细节。

[0120] 图 27 是描述校正被过度编程的存储器单元的一个实施例的流程图。在一个实施例中,一次对一个数据状态进行图 27 的方法。例如,可以对 S1 进行图 27 的方法。随后,可以对 S2 进行图 27 的方法,等等。在步骤 1100 中,系统将识别本应该被编程到所考虑的数据

据状态的存储器单元。如上所述,该信息可以通过从控制器获取信息、从缓存器(RAM或非易失性存储器)获取信息或者从数据锁存器 494 获取信息来得到。在步骤 1102 中,使用与所考虑的数据状态相关联的适当的过度编程验证电平(例如 Vop1、Vop2、Vop3、Vop4、Vop5、Vop6 或 Vop7)来进行验证处理。例如,如果正对数据状态 S1 进行图 12 的处理,则将使用 VOP1 进行步骤 1102 的验证处理。VOP1 的电压将(经由字线)被施加到存储器单元的控制栅极以针对数据状态 1 确定其是否被过度编程。如果所有存储器单元未被过度编程并且所有都正确地验证(步骤 1104),则图 27 的处理完成。或者,如果足够的存储器单元恰当地验证,则可以认为处理完成。如果所有存储器单元没有恰当地验证(步骤 1104),则进行选择性擦除操作,使得在步骤 1102 中未验证的那些存储器单元选择性地经历一个或更多擦除操作来降低其阈值电压,使得阈值电压将低于适当的过度编程验证电平。图 10-18 的处理可以用于实现步骤 1106。在步骤 1108 中,对于步骤 1102-1108 的下一迭代递增升压电压(Vpass),并且处理循环回到步骤 1102,并进行验证处理。循环 1102-1108 将重复直到所有或预定数量的存储器单元已经成功被验证。随着在步骤 1102 中存储器单元验证,它们被锁定不能进一步擦除。

[0121] 在一个实现方式中,在图 26A 的步骤 1010 期间进行图 27 的处理。在一个实施例中,将对每个编程状态单独进行图 27 的处理,使得如果存在七个编程状态(S1-S7),则在图 26A 的步骤 1010 期间将进行图 27 的处理七次,并且如果存在三个编程状态(S1-S3),则在图 26A 的步骤 1010 期间将进行图 27 的处理三次。在另一实施例中,可以同时对所有数据状态进行图 27 的处理,使得步骤 1100 将识别每个存储器单元应该处于哪个数据状态,并且步骤 1102 将包括对每个数据状态进行验证操作,并且本地处理器 482 将保持跟踪要存储哪个验证操作的结果。这样,可以仅进行图 27 的处理一次。

[0122] 图 28 提供了图 26B 的步骤 1020 的实现方式的一个例子。在步骤 1120 中,编程一个单位的存储器单元。该编程可以包括每个存储器单元编程一位数据、每个存储器单元编程两位数据、每个存储器单元编程三位数据等等。在一个实施例中,存储器单元的单位可以是连接到公共字线的所有存储器单元,一页中的所有存储器单元、一个扇区中的所有存储器单元,或者其他单位。在步骤 1122 中,系统将校正在步骤 1120 的最近迭代中被编程的存储器单元的该单位中的被过度编程的存储器单元。可以使用图 27 的处理实现步骤 1122。例如,步骤 1122 可以包括对每个数据状态进行图 27 的处理一次。或者,步骤 1122 可以包括同时对所有数据状态进行图 27 的处理一次,如上所述。在步骤 1124 中,确定是否存在任何更多的单位要编程。如果不存在,则处理完成。如果存在更多的单位要编程,则图 28 的方法循环回到步骤 1120 并编程存储器单元的下一单位,然后将在步骤 1122 中针对存储器单元的该单位校正被过度编程的存储器单元。步骤 1120 和 1122 的迭代将对需要被编程的存储器单元的所有单位进行重复。

[0123] 在一些实施例中,过度编程对于较低数据状态是更大的问题;因此,系统将仅对较低状态校正过度编程。

[0124] 在一些实施例中,选择性擦除处理可以用于校正过度编程而不在选择性擦除的每个迭代之间进行擦除验证。例如,可以进行图 27 的步骤 1106 多次而不进行步骤 1102。一个这样的实现方式使用图 17 和 18 的处理。

[0125] 为了例示和描述的目的已经给出了本发明的以上详细描述。不意图详尽或将本发

明限制到所公开的精确形式。根据以上教导,许多修改和变更是可能的。选择所描述的实施例以便最佳地说明本发明的原理及其实际应用,由此使得本领域技术人员能够在各种实施例中并利用适合于意图的具体使用各种修改来最佳地利用本发明。意图要本发明的范围由附于此的权利要求限定。

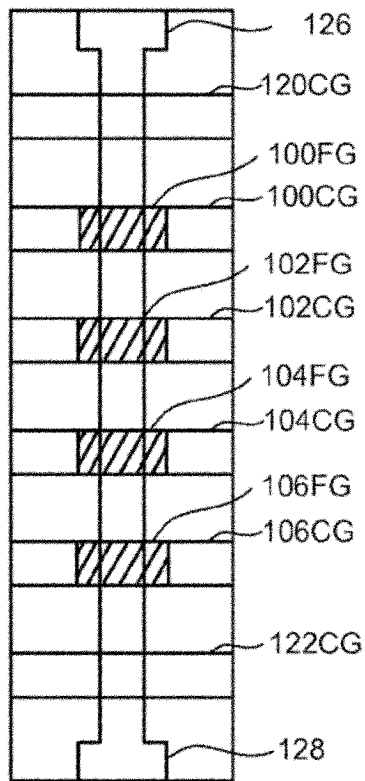


图 1

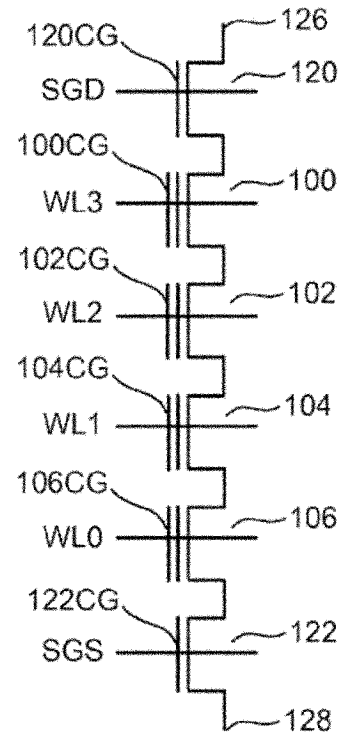


图 2

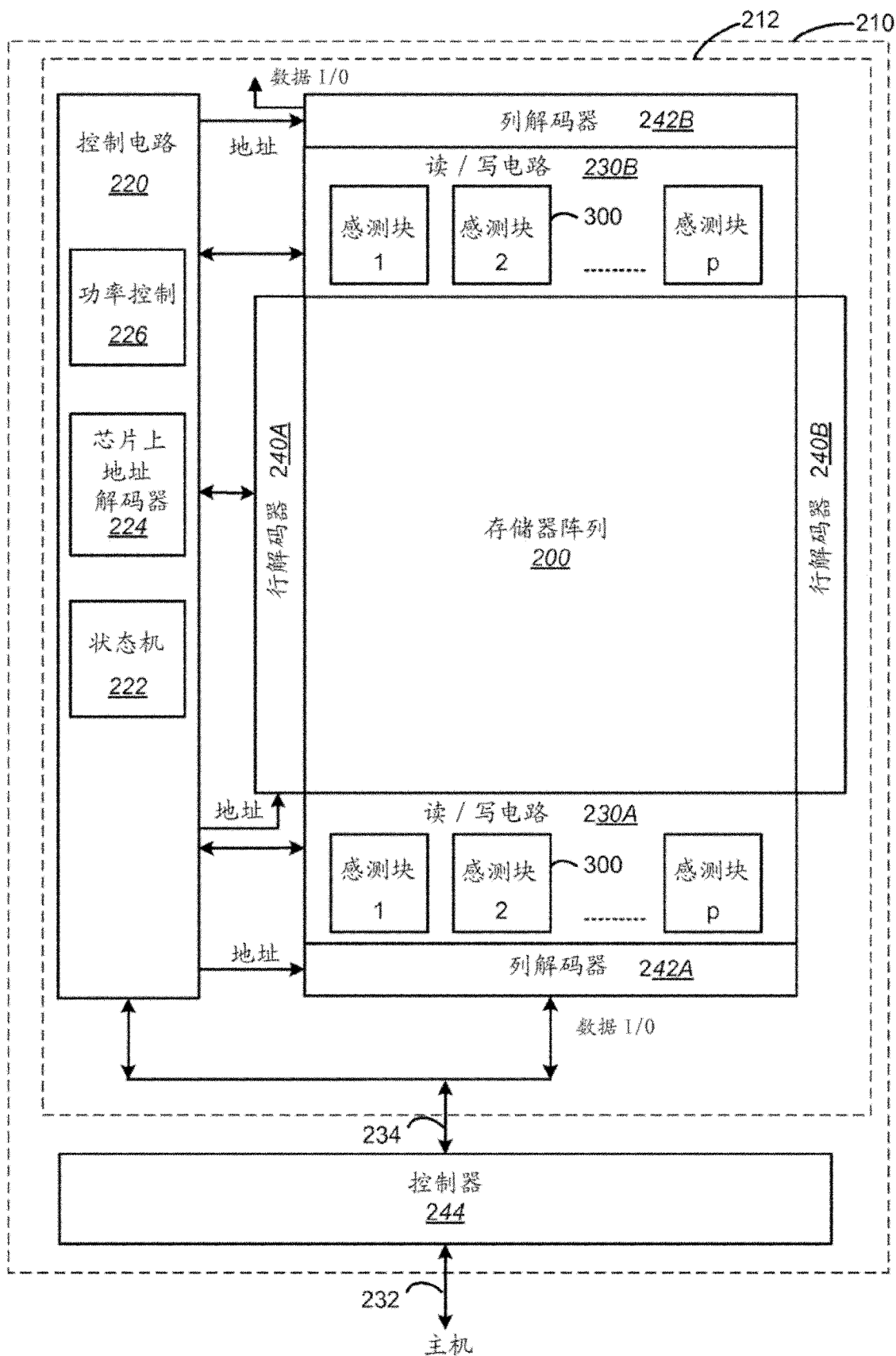


图 3

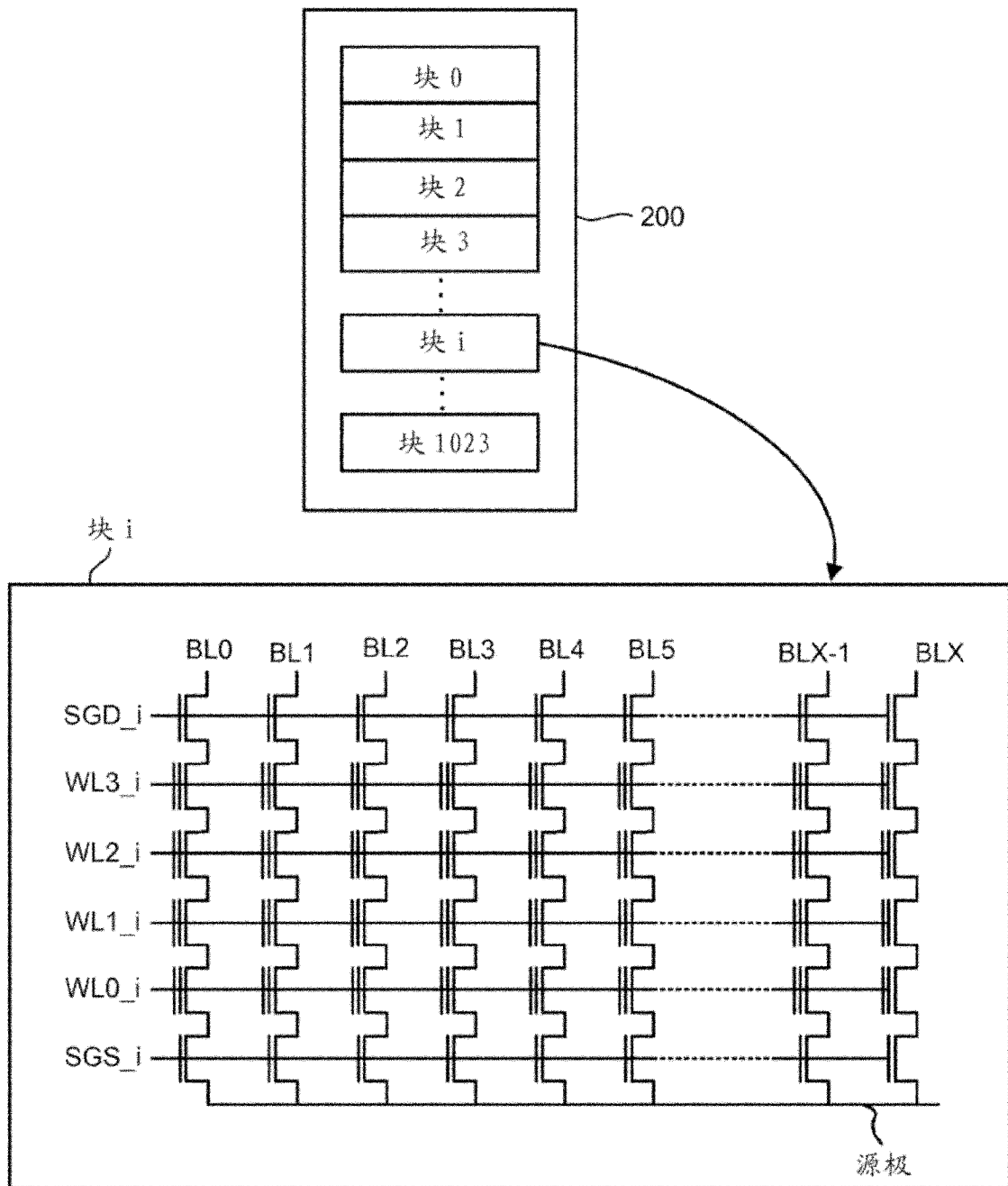


图 4

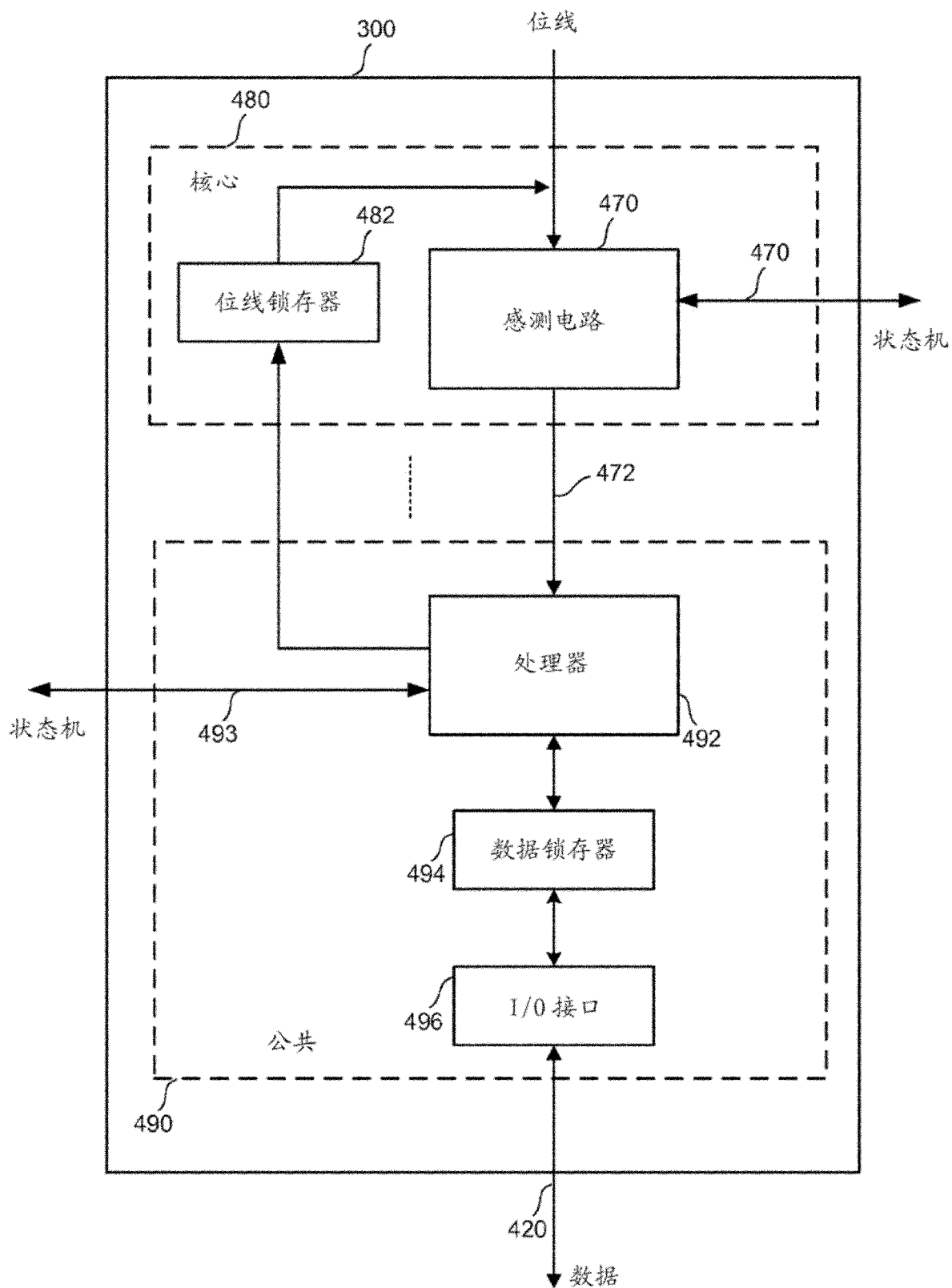


图 5

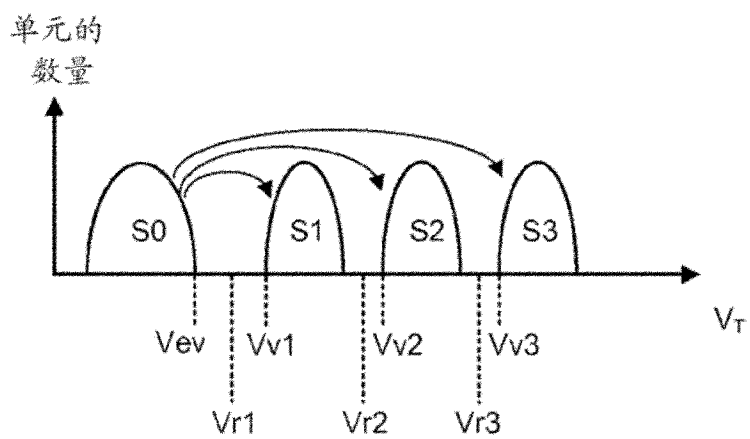


图 6A

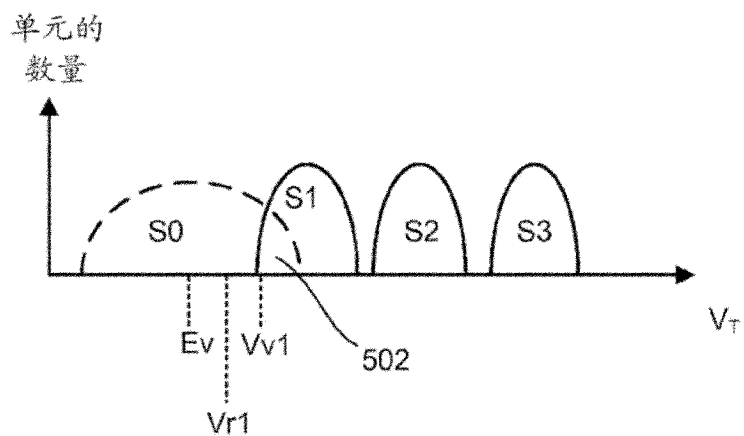


图 6B

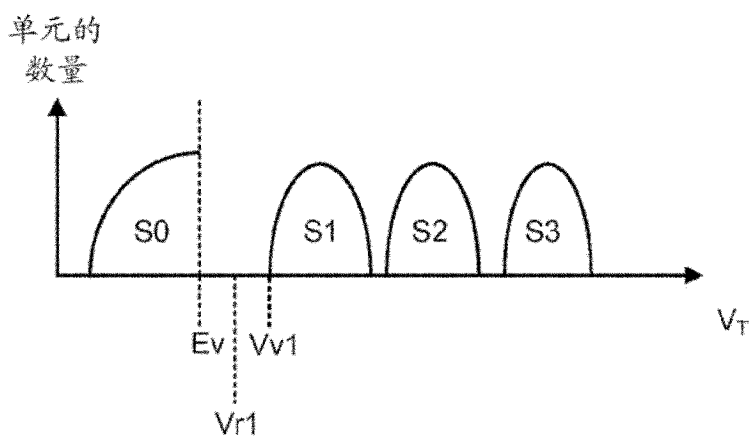


图 6C

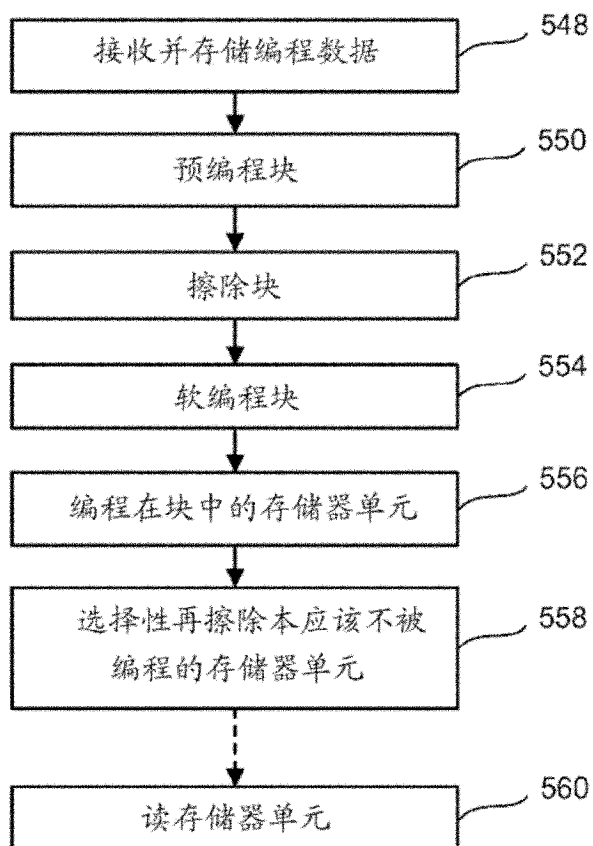


图 7

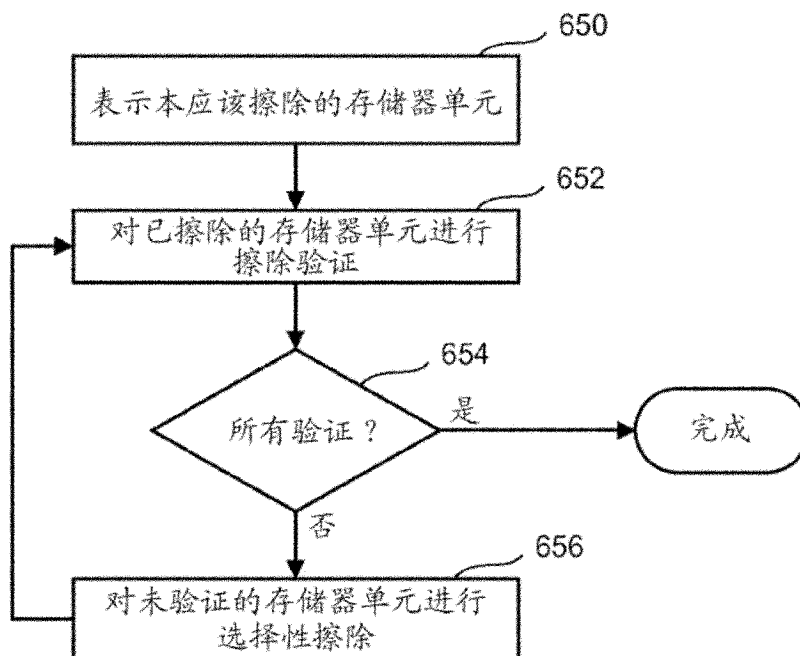


图 9

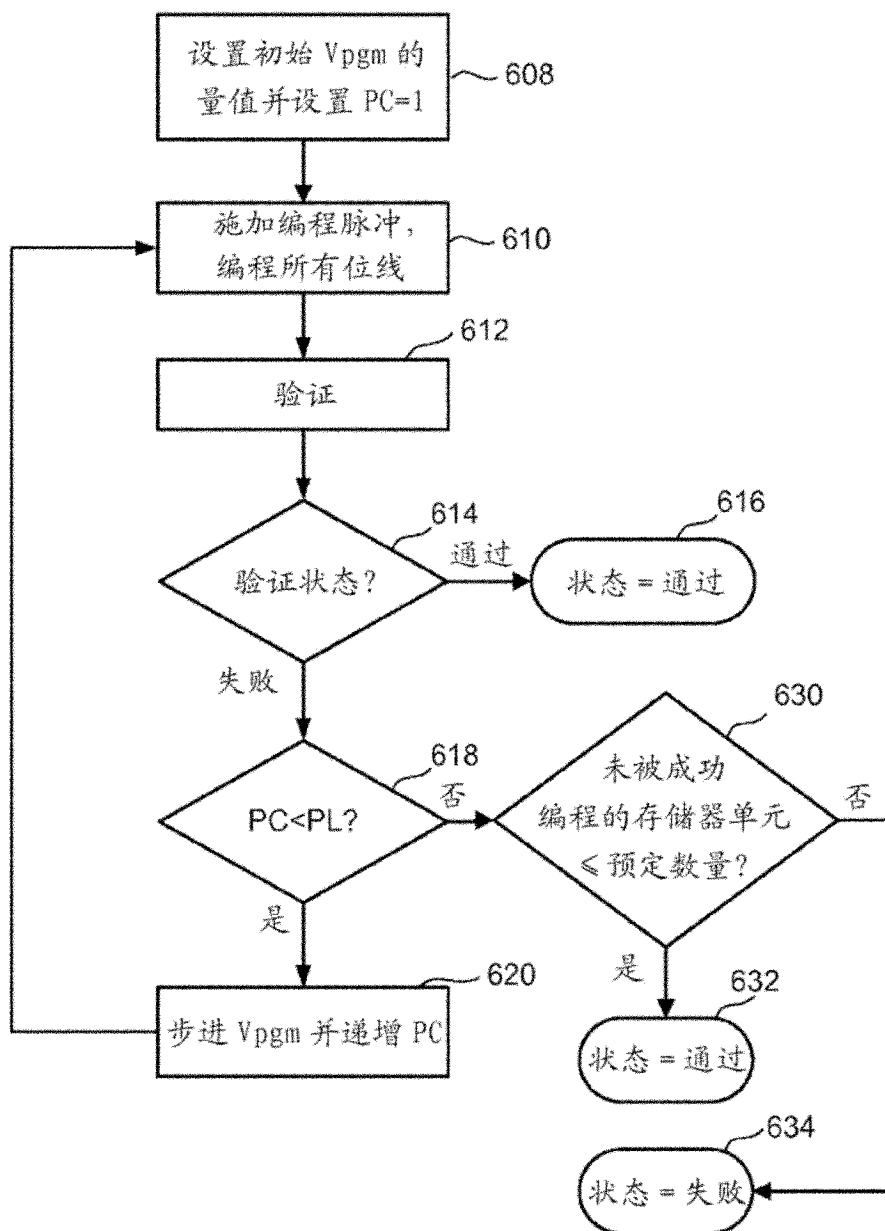


图 8

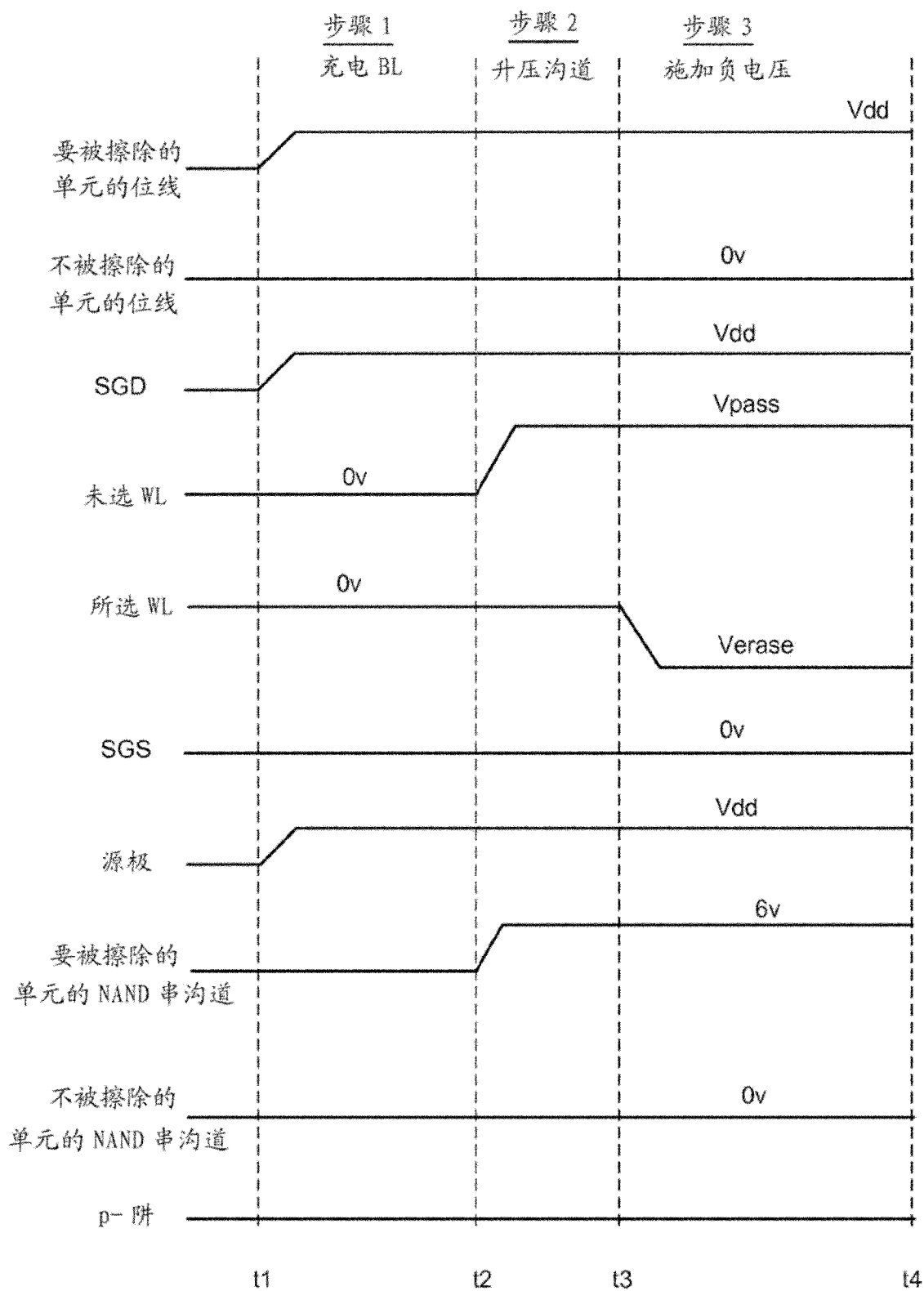


图 10

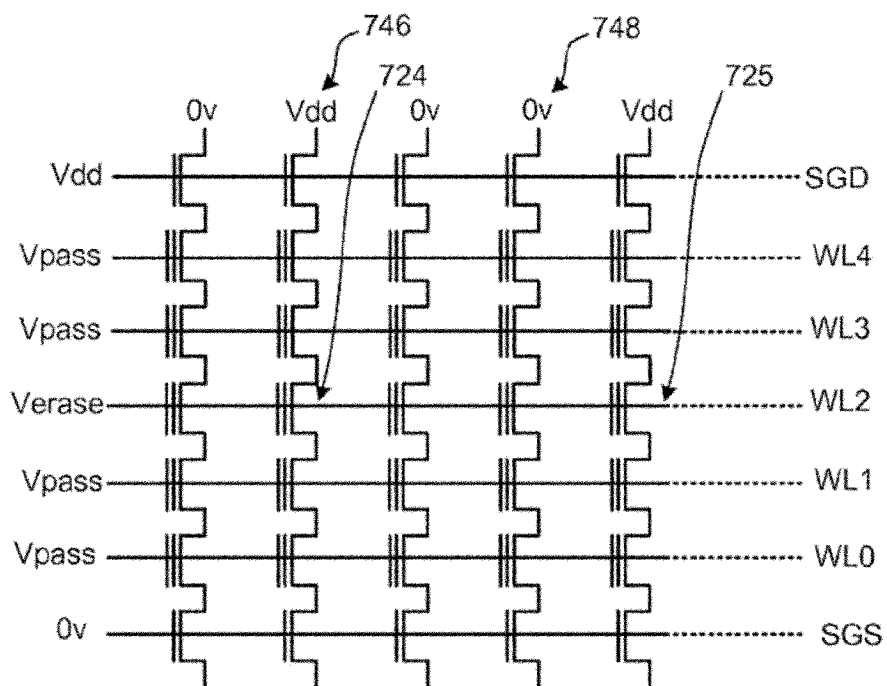


图 11

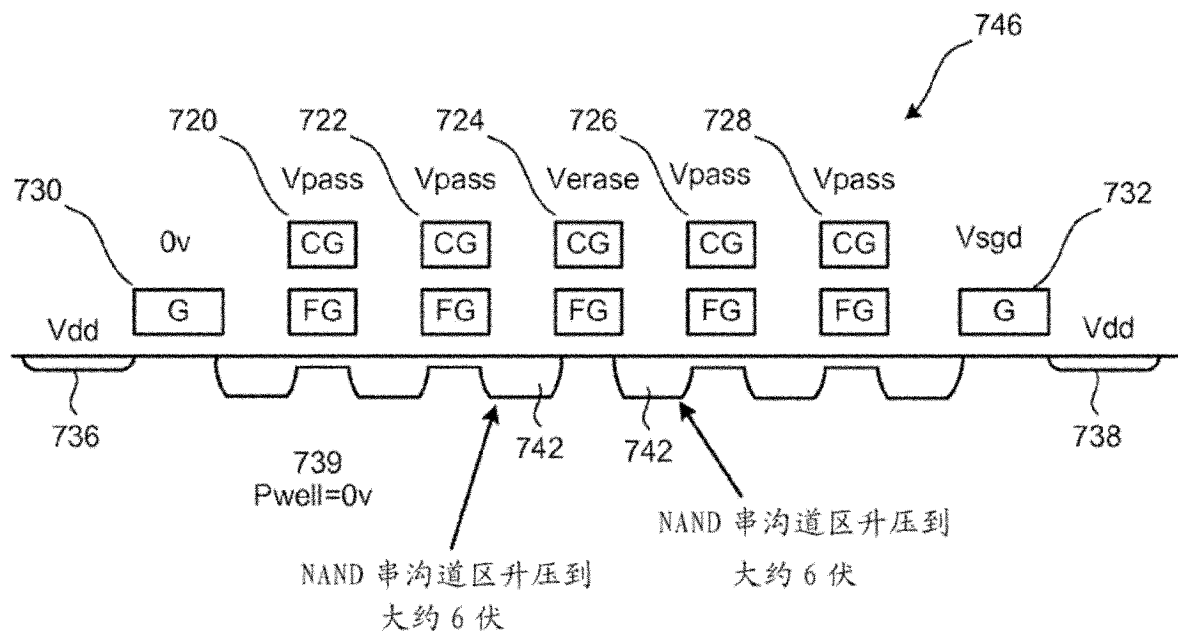


图 12A

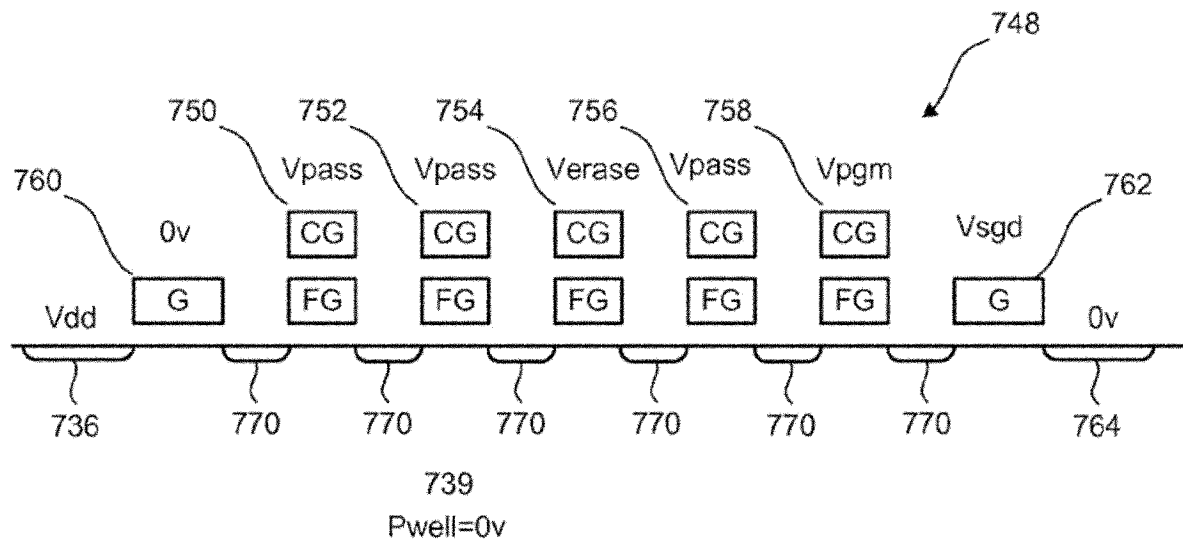


图 12B

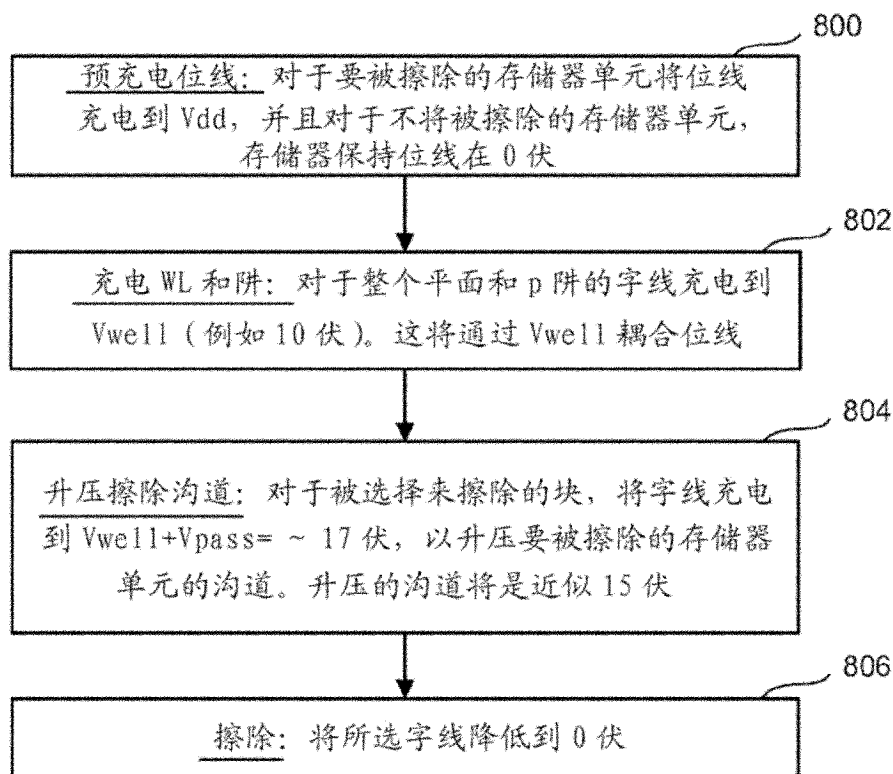


图 13

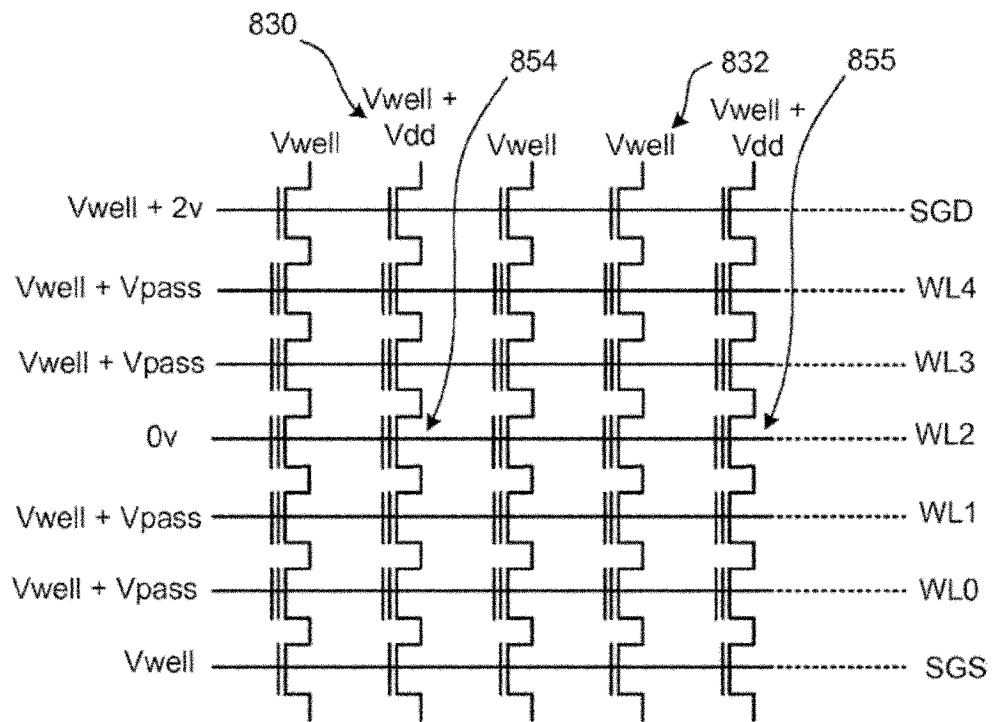


图 15

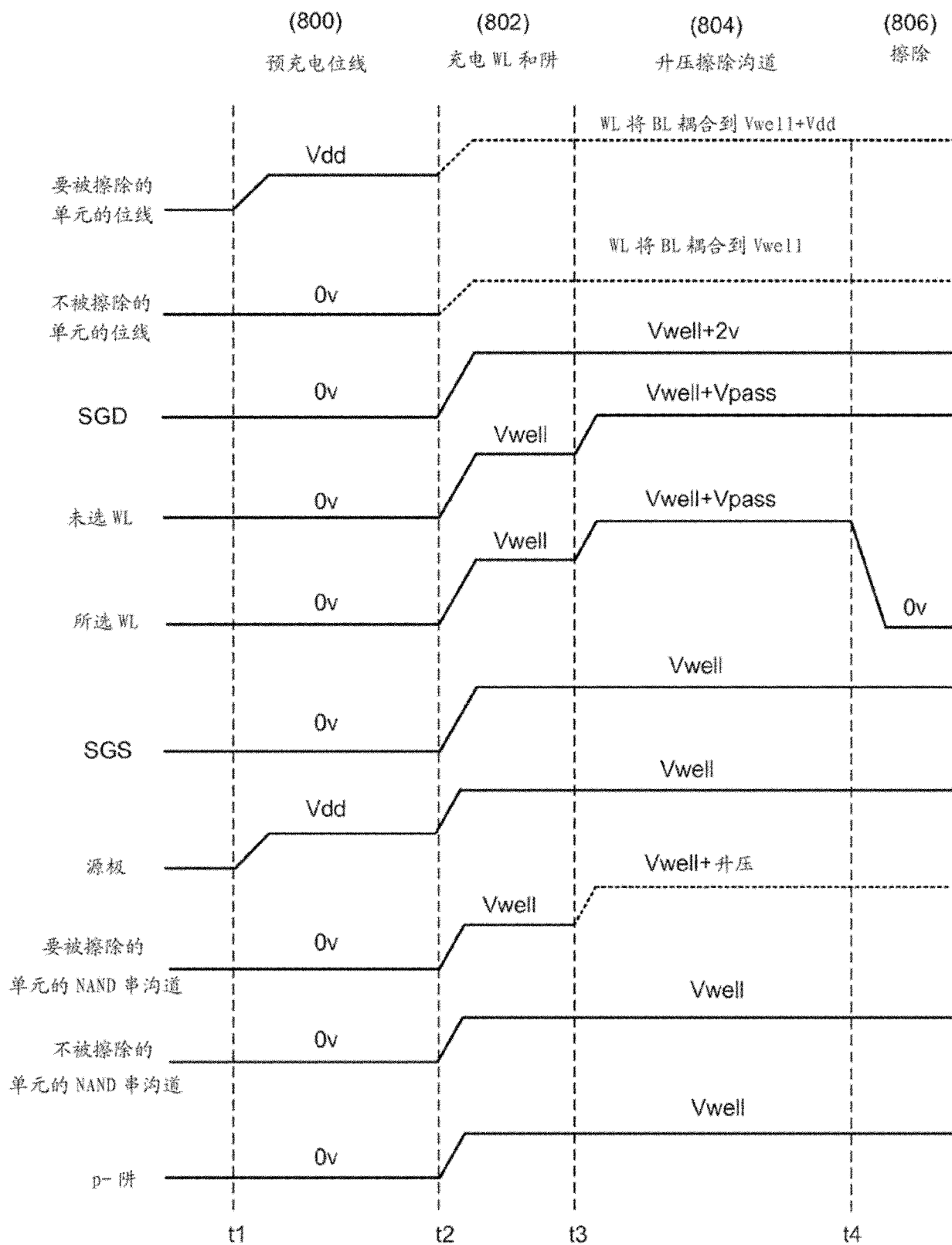


图 14

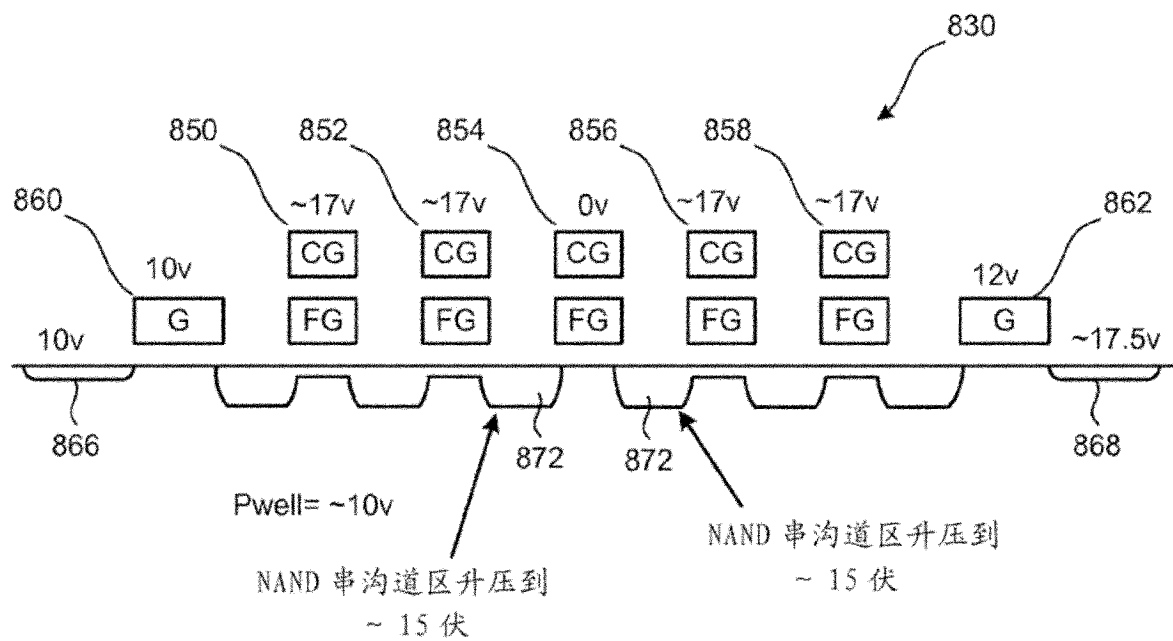


图 16A

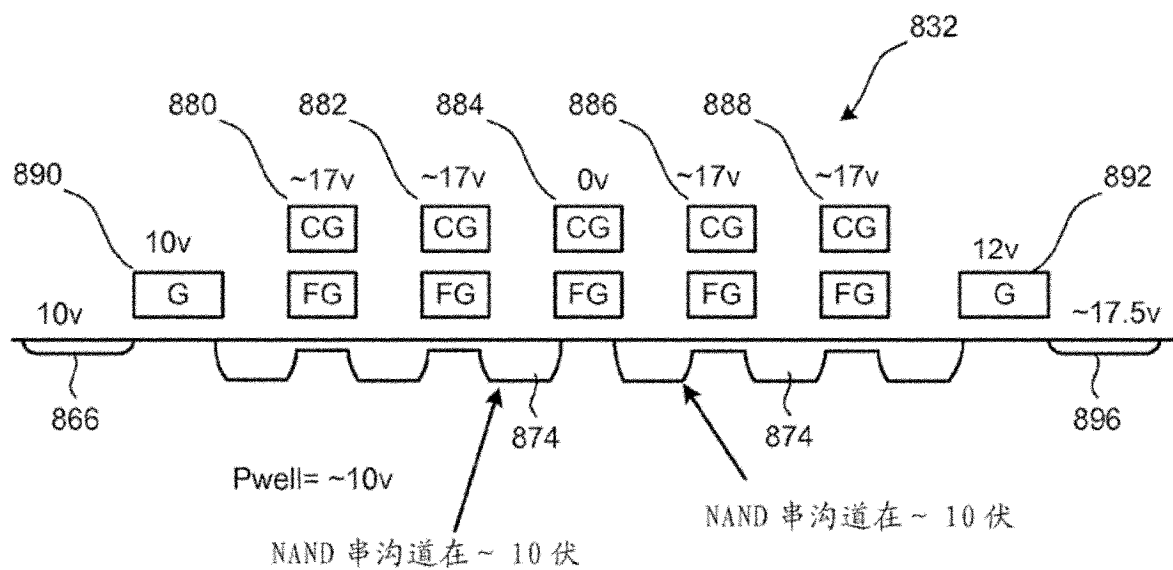


图 16B

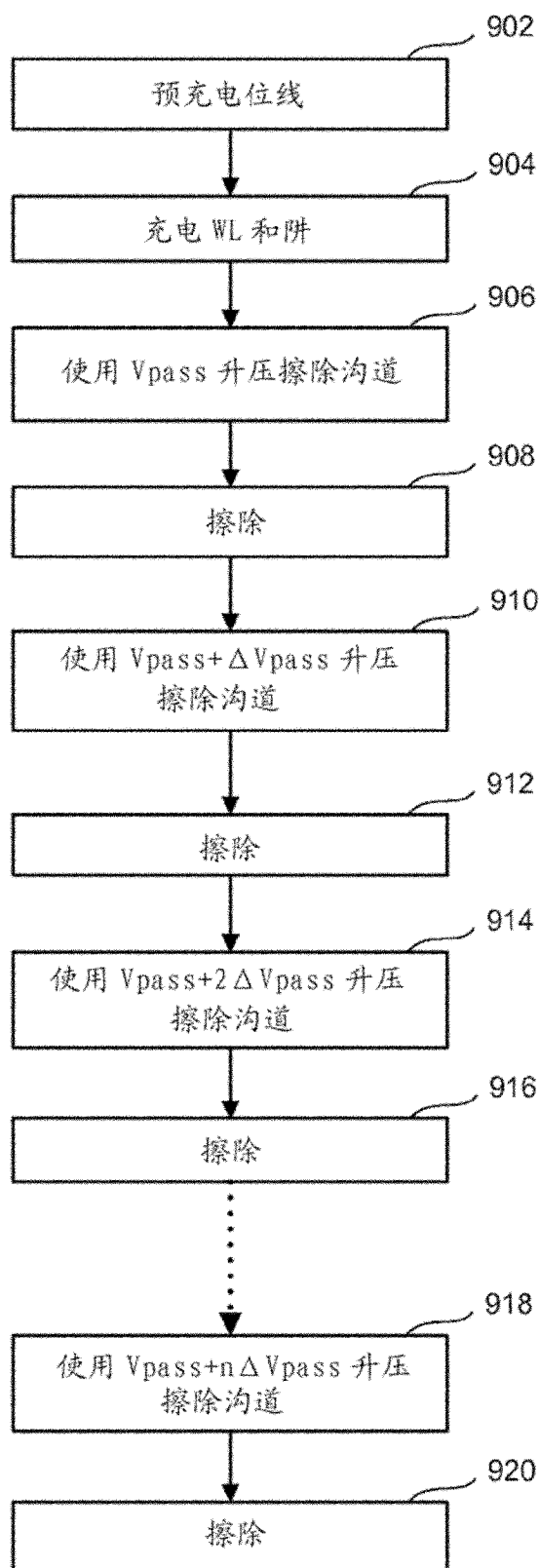


图 17

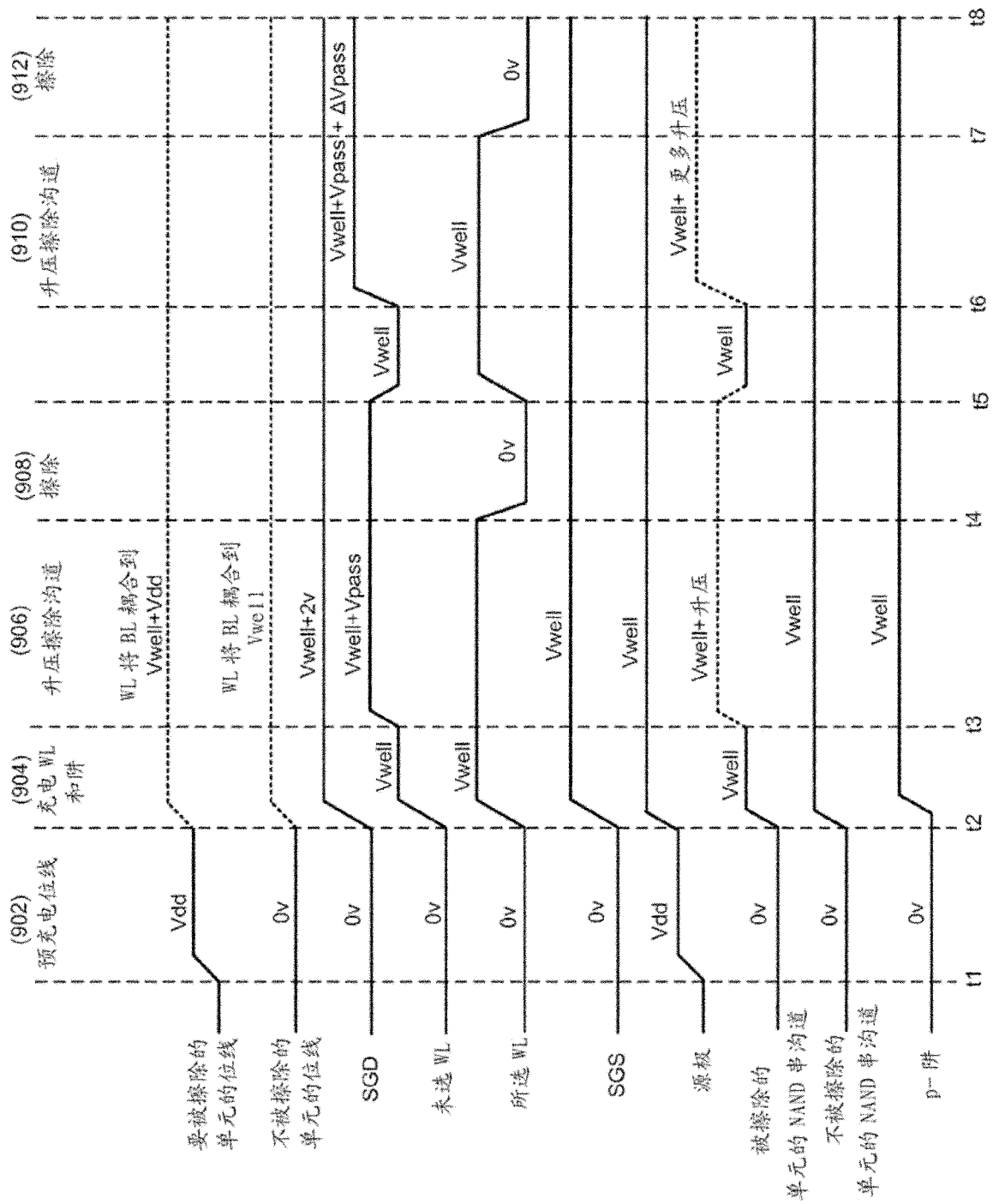


图 18

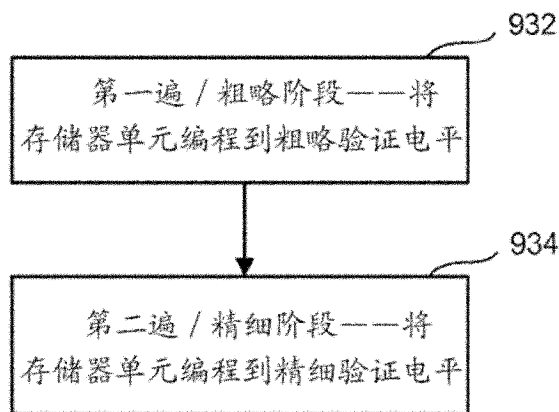


图 19

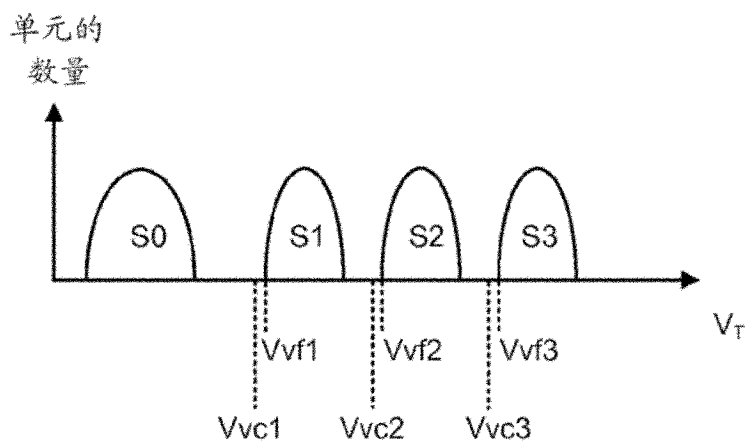


图 20

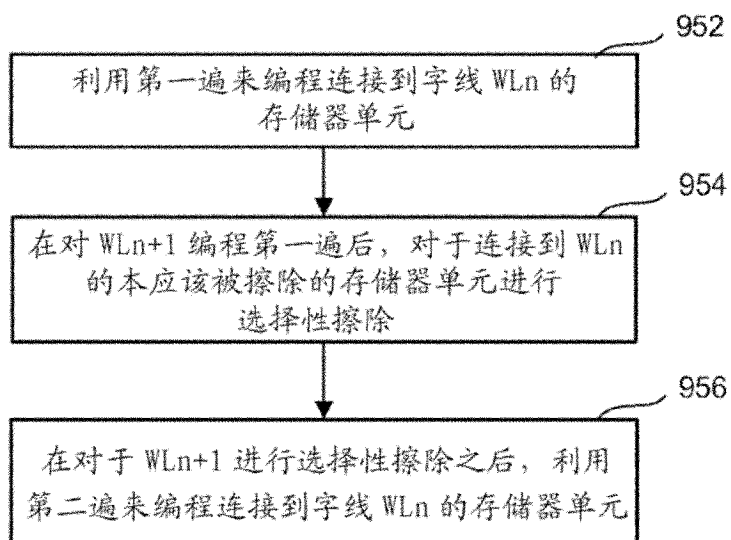


图 21

字线	编程第一遍	选择性擦除	编程第二遍
4	10	13	15
3	7	11	14
2	4	8	12
1	2	5	9
0	1	3	6

图 22

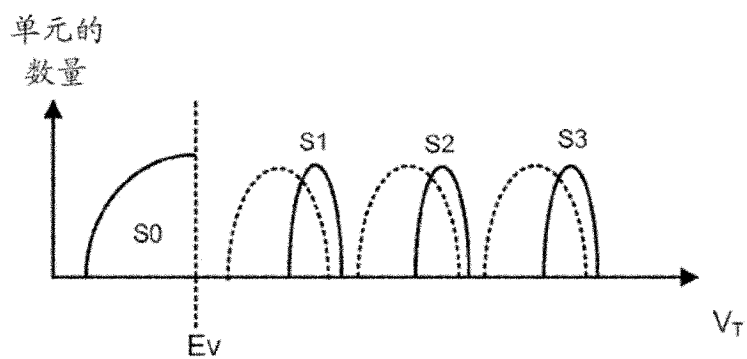


图 23

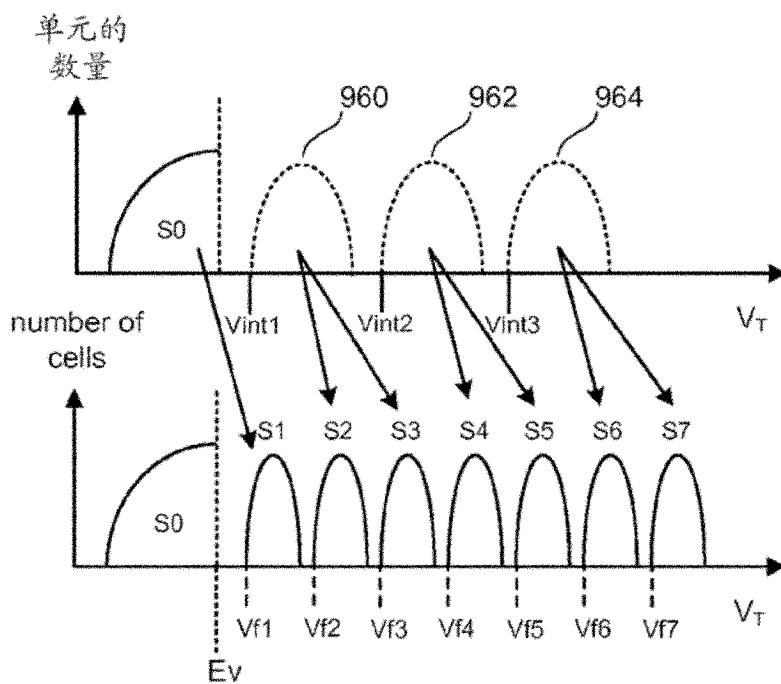


图 24

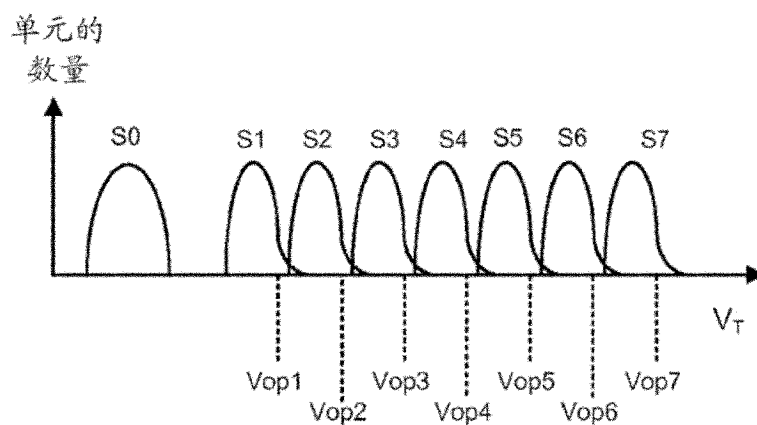


图 25

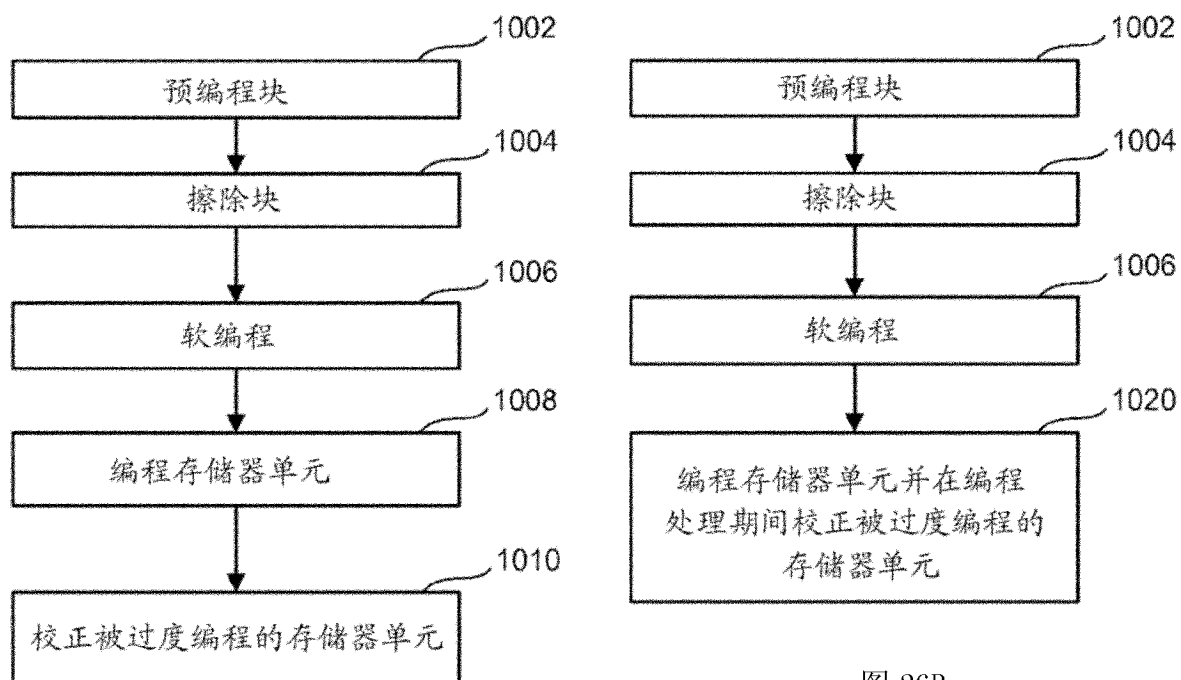


图 26B

图 26A

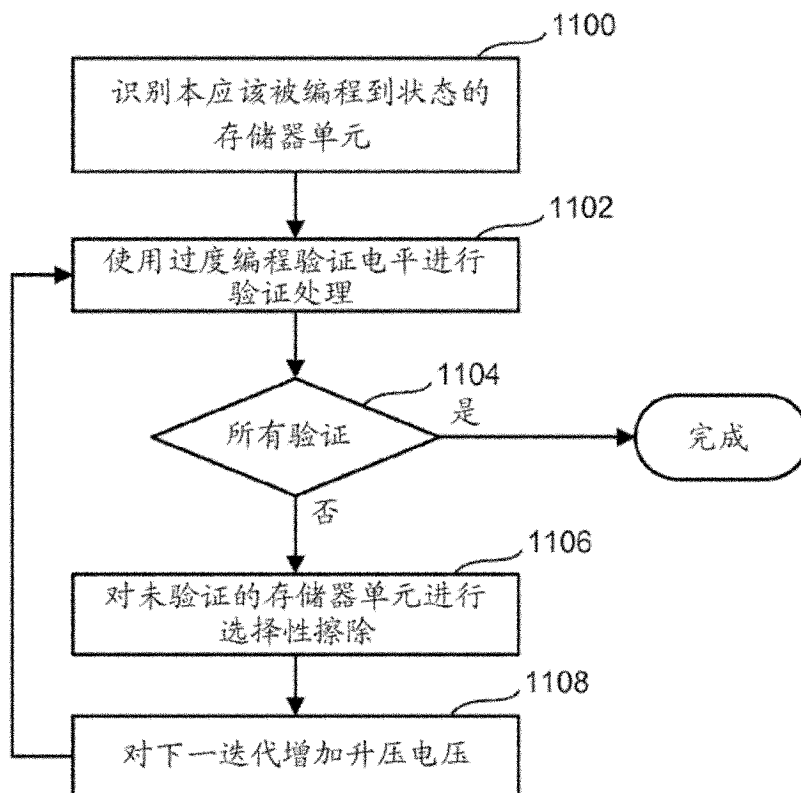


图 27

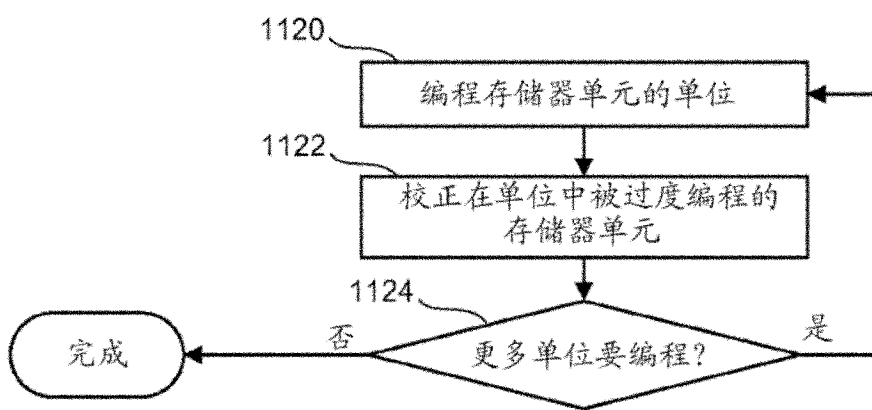


图 28