

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G11C 16/02 (2006.01)

G11C 16/04 (2006.01)

G11C 16/06 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610071668.0

[45] 授权公告日 2009 年 3 月 25 日

[11] 授权公告号 CN 100472655C

[22] 申请日 2006.3.30

[21] 申请号 200610071668.0

[30] 优先权

[32] 2005.4.1 [33] JP [31] 106446/2005

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 三角贤治 小岛诚

[56] 参考文献

JP2002208291A 2002.7.26

审查员 林亮亮

[74] 专利代理机构 永新专利商标代理有限公司

代理人 王英

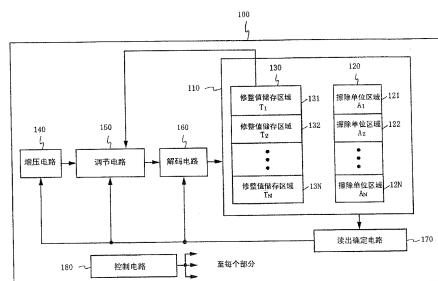
权利要求书 7 页 说明书 31 页 附图 19 页

[54] 发明名称

具有阈值电压控制功能的非易失性存储器

[57] 摘要

即使擦除单位区域之间重写操作的次数不同，也可以提高所有擦除单位区域的重写操作的次数。闪存 EEPROM 100 包括修整值储存区域 130，其用于储存对应于存储单元阵列 110 中包括的每个擦除单位区域 120 的修整值。在对特定擦除单位区域 120 进行擦除操作和写入操作时，调节电路 150 将增压电路 140 增压的电压转换为对应于擦除单位区域 120 的修整值的电平。在由于重写操作次数增加而使读出确定电路 170 检测出异常时，将修整值更新为使调节电路 150 提高输出电压的值。



1、一种电可擦除可编程非易失性存储器，包括：

多个擦除单位区域，其中每个都包括在擦除操作中被同时选择的多个非易失性存储单元晶体管；

相应于所述各个擦除单位区域设置的多个输出调节值储存部分，其以非易失性的方式储存所述各个擦除单位区域的输出调节值；

电压产生电路，其产生具有对于每个所述擦除单位区域的擦除操作和写入操作所需的电平的电压；

电压调节电路，其根据提供给它的相应一个输出调节值来调节在所述电压产生电路中产生的电压电平；

读出确定电路，其在对每个所述擦除单位区域的擦除操作和写入操作之后对数据进行确定；以及

控制电路，其在对每个所述擦除单位区域的擦除操作和写入操作中工作。

2、根据权利要求 1 所述的非易失性存储器，其中该读出确定电路根据与进行读出操作时所使用的标准不同的标准来进行所述确定步骤。

3、根据权利要求 2 所述的非易失性存储器，其中当进行该确定步骤时，该读出确定电路向电流检测型读出放大器电路施加参考电流，该参考电流大于进行普通的读出操作时所施加的参考电流。

4、根据权利要求 2 所述的非易失性存储器，其中当进行该确定步骤时，该读出确定电路向该存储单元晶体管施加栅极电压，该栅极电压高于进行普通的读出操作时所施加的栅极电压。

5、根据权利要求 1 所述的非易失性存储器，其中该电压调节电路包括将输出电压限制在存储单元晶体管的击穿电压规格范围内的限幅电路。

6、根据权利要求 1 所述的非易失性存储器，其中该控制电路进行以下步骤：

 选择所述擦除单位区域之一；
 向该电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；并且
 进行控制使得：作为对所选择的擦除单位区域进行擦除操作和写入操作之后的确定步骤的结果，该读出确定电路检测出异常时，将储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值更新为使输出电压比以前更高的值；此后，再次对所选择的擦除单位区域进行擦除操作和写入操作。

7、根据权利要求 6 所述的非易失性存储器，其中，每次更新储存在该输出调节值储存部分中的输出调节值时，该控制电路在对该输出调节值储存部分的擦除操作之后进行写入操作。

8、根据权利要求 6 所述的非易失性存储器，其中，当第一次更新储存在该输出调节值储存部分中的输出调节值时，该控制电路在对该输出调节值储存部分的擦除操作之后进行写入操作，而当第二次和以后更新储存在该输出调节值储存部分中的输出调节值时，该控制电路在不对该输出调节值储存部分进行擦除操作的情况下进行写入操作。

9、根据权利要求 8 所述的非易失性存储器，其中该电压调节电

路根据在提供的输出调节值中具有预定值的比特数，输出彼此相差的值在 0.1 到 0.4V 的范围内的电压。

10、根据权利要求 1 所述的非易失性存储器，还包括临时储存将要提供给该电压调节电路的该输出调节值的输出调节值临时保持电路。

11、根据权利要求 10 所述的非易失性存储器，其中该控制电路进行以下步骤：

选择所述擦除单位区域之一；

向该电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；

进行控制，使得：作为对所选择的擦除单位区域进行擦除操作和写入操作之后的确定步骤的结果，该读出确定电路检测出异常时，在该输出调节值临时保持电路中设置使输出电压比之前更高的输出调节值，并且将所设置的输出调节值提供给该电压调节电路；此后，再次对所选择的擦除单位区域进行擦除操作和写入操作；并且

在对所选择的擦除单位区域正常地进行擦除操作和写入操作之后，将储存在该输出调节值临时保持电路中的该输出调节值设置在对应于所选择的擦除单位区域的输出调节值储存部分中。

12、根据权利要求 10 所述的非易失性存储器，还包括临时储存由该读出确定电路进行的确定步骤的结果的错误标记电路。

13、根据权利要求 12 所述的非易失性存储器，其中该控制电路进行以下步骤：

选择所述擦除单位区域之一；

向该电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；

进行控制，使得：作为对所选择的擦除单位区域进行擦除操作和写入操作之后的确定步骤的结果，该读出确定电路检测出异常时，在该输出调节值临时保持电路中设置使输出电压比之前更高的输出调节值，并且将所设置的输出调节值提供给该电压调节电路；此后，再次对所选择的擦除单位区域进行擦除操作和写入操作；并且

在对所选择的擦除单位区域正常地进行擦除操作和写入操作之后，只有当该错误标记电路中储存有异常时，才将储存在该输出调节值临时保持电路中的该输出调节值设置到对应于所选择的擦除单位区域的该输出调节值储存部分中。

14、根据权利要求 1 所述的非易失性存储器，还包括对应于各个擦除单位区域设置的多个监视比特，并且每个监视比特由与所述擦除单位区域的相同类型的存储单元晶体管组成，

其中在对对应的擦除单位区域进行擦除操作时可以对该监视比特进行擦除操作，而且在对包括在对应的擦除单位区域中的所有或者一部分存储单元晶体管进行写入操作时，对该监视比特进行写入操作。

15、根据权利要求 14 所述的非易失性存储器，其中该控制电路进行以下步骤：

选择所述擦除单位区域之一；

向该电压调节电路提供储存在对应于所选择的擦除单位区域的该输出调节值储存部分中的输出调节值；和

进行控制，使得：作为对所选择的擦除单位区域进行擦除操作和写入操作之后的确定步骤的结果，该读出确定电路检测出异常时，将

使输出电压比以前更高的输出调节值提供给该电压调节电路；此后，再次对所选择的擦除单位区域进行擦除操作和写入操作，

其中该读出确定电路对相应于所选择的擦除单位区域的监视比特进行该确定步骤。

16、根据权利要求 1 所述的非易失性存储器，还包括临时储存将要设置在该输出调节值储存部分中的多个输出调节值的数据锁存电路。

17、根据权利要求 16 所述的非易失性存储器，其中该控制电路进行以下步骤：

选择所述擦除单位区域之一；

向该电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；

进行控制，使得：作为对所选择的擦除单位区域进行擦除操作和写入操作之后的确定步骤的结果，该读出确定电路检测出异常时，将使输出电压比以前更高的输出调节值提供给该电压调节电路；此后，再次对所选择的擦除单位区域进行擦除操作和写入操作，

当已经对所选择的擦除单位区域正常地进行擦除操作和写入操作时，将提供给该电压调节电路的该输出调节值设置在该数据锁存电路中；并且

在对所有的所述擦除单位区域正常地进行擦除操作和写入操作之后，将储存在该数据锁存电路中的所述多个输出调节值设置在该输出调节值储存部分中。

18、根据权利要求 1 所述的非易失性存储器，还包括固定输出调节值储存部分，用于储存将要提供给该电压调节电路的固定输出调节

值。

19、根据权利要求 18 所述的非易失性存储器，其中该控制电路进行以下步骤：

选择所述擦除单位区域之一；

向该电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；并且

进行控制，使得：作为对所选择的擦除单位区域进行擦除操作和写入操作之后的确定步骤的结果，该读出确定电路检测出异常时，将使输出电压比以前更高的输出调节值提供给该电压调节电路；此后，再次对所选择的擦除单位区域进行擦除操作和写入操作，

其中在将该固定输出调节值储存部分中储存的该输出调节值提供给该电压调节电路时，进行对擦除单位区域的擦除操作和写入操作之一。

20、根据权利要求 19 所述的非易失性存储器，其中在将该固定输出调节值储存部分中储存的该输出调节值提供给该电压调节电路时，进行对擦除单位区域的擦除操作和写入操作之一，即对存储单元晶体管的特性改变的影响较小的一个操作。

21、根据权利要求 15 所述的非易失性存储器，其中，在第一次对所选择的擦除单位区域进行擦除操作和写入操作时，该控制电路根据对所选择的擦除单位区域中包括的所有数据的确定步骤的结果来更新将要提供给该电压调节电路的输出调节值，而在第二次和以后对所选择的擦除单位区域进行擦除操作和写入操作时，该控制电路根据对相应于所选择的擦除单位区域的监视比特的确定步骤的结果来更新将要提供给该电压调节电路的输出调节值。

22、根据权利要求 21 所述的非易失性存储器，其中，在第二次和以后对所选择的擦除单位区域进行擦除操作和写入操作时，将已经对所选择的擦除单位区域正常地进行擦除操作和写入操作时的输出调节值提供给该电压调节电路，此后，再次对所选择的擦除单位区域进行擦除操作和写入操作。

23、根据权利要求 1 所述的非易失性存储器，还包括输出忙信号的忙电路，该忙信号表示正在对该擦除单位区域和该输出调节值储存部分之一进行擦除操作和写入操作。

具有阈值电压控制功能的非易失性存储器

技术领域

本发明涉及电可擦除和可编程的非易失性存储器。具体而言，本发明涉及控制阈值电压以缓解相对于存储单元晶体管的电应力、由此提高重写操作次数的非易失性存储器。

发明背景

作为电可擦除和可编程非易失性存储器，已知有 EEPROM（电可擦除可编程只读存储器）和闪存 EEPROM，例如，如日本专利特开平公开 No. 2002-208291 中所公开的。图 19 是示出上述公开中所介绍的闪存 EEPROM 的结构的示图。图 19 的闪存 EEPROM 1900 包括存储单元阵列 1910、增压电路 140、调节电路 150、解码电路 160、读出确定电路 170 和控制电路 180。

存储单元阵列 1910 包括布置成阵列的多个存储单元晶体管。每个存储单元晶体管具有浮动栅极，以用于积聚电荷，从而以非易失的方式储存数据。对存储单元晶体管进行将电荷注入浮动栅极的步骤（下文称为“写操作”）和释放积聚在浮动栅极中的电荷的步骤（下文称为“擦除操作”）。下文中，“擦除操作”和“写操作”的组合称为“重写操作”。

在针对存储单元晶体管的上述两个步骤中，以可以被同时选择的多个存储单元晶体管为单位来进行该擦除操作，例如存储单元阵列 1910 中的行或列。可以以上述方式被同时选择和擦除的多个存储单元晶体管的组称为“擦除单位区域（erase unit area）”。图 19 的存储单元阵列 1910 包括 n 个擦除单位区域 121 到 12N。除此以外，存

储单元阵列 1910 还包括下述修整值(trimming value)储存区域 1930。

通常，在闪存 EEPROM 中，为了对存储单元晶体管进行擦除操作或写操作，需要比电源电压更高的电压（下文分别称为“擦除电压”和“写电压”，而且这两个电压总称为“擦除/写电压”）。为了这个目的，闪存 EEPROM 1900 包括增压电路 140。

在闪存 EEPROM 1900 中，如下所述对存储单元晶体管进行重写操作。在进行重写操作时，要重写的擦除单位区域 120 的地址和要重写的数据通过 I/O 缓冲器（未示出）输入。解码电路 160 根据输入的地址选择位线和字线（未示出）。结果，选择要重写的擦除单位区域 120。增压电路 140 将电源电压增压到擦除/写电压。修整值储存区域 1930 是包括在存储单元阵列 1910 中的非易失性存储区域，它储存擦除/写电压的输出调节值（下文称为“修整值”）。在修整值储存区域 1930 中，预先设置合适的修整值作为初始值。调节电路 150 根据在修整值储存区域 1930 中储存的修整值来调节擦除/写电压的电平。读出确定电路 170 在对擦除单位区域 120 进行重写操作后对存储单元晶体管的阈值电压进行确定步骤。控制电路 180 控制闪存 EEPROM 1900 的每个部分。

在擦除操作中，其电平由调节电路 150 调节的擦除电压施加到解码电路 160 选择的擦除单位区域 120。在施加了擦除电压的存储单元晶体管中，积聚在浮动栅极的电荷被释放，从而其阈值电压 V_t 降低。存储单元晶体管的这种状态称为“擦除状态”。擦除状态对应于储存数据“1”的逻辑状态。

在写操作中，其电平由调节电路 150 调节的写电压施加到解码电路 160 选择的擦除单位区域 120。在施加了写电压的存储单元晶体管中，电荷从外部注入到浮动栅极中，以提高阈值电压 V_t 。存储单元晶体管的这种状态称为“写状态”。写状态对应于储存数据“0”的逻辑状态。

在闪存 EEPROM 1900 中，在对存储单元晶体管反复进行写操作时，存储单元晶体管的特性逐渐降低，导致存储单元晶体管的阈值电压改变。图 20 是示出闪存 EEPROM 1900 中的重写操作次数和阈值电压 V_t 之间的关系的示图。在图 20 中，横轴代表重写操作的次数，而纵轴代表存储单元晶体管的阈值电压。

首先将说明用实线表示的特性。如图 20 的实线所示，在对存储单元晶体管反复进行重写操作时，写操作后的阈值电压 V_0 逐渐降低，而擦除操作之后的阈值电压 V_1 逐渐增加。当这些阈值电压偏离它们各自的初始状态中的正确值时，不再能正确地读出存储单元晶体管中积聚的数据。

为了防止这种读出错误，当检测到存储单元晶体管的特性降低时，闪存 EEPROM 1900 将擦除/写电压改变为比以前更高的值。例如，当擦除操作之后的阈值电压 V_1 超过参考电压 V_x 时，读出确定电路 170 确定发生异常。当读出确定电路 170 确定发生异常时，控制电路 180 将修整值储存区域 1930 中储存的修整值变为一个值，该值使调节电路 150 输出的擦除/写电压比以前更高。

在图 20 的例子中，当重写操作的次数达到 N_1 时，擦除操作后的阈值电压 V_1 超过参考电压 V_x ，并且确定发生异常。这时，将修整值储存区域 1930 中储存的修整值更新为使调节电路 150 输出的擦除/写电压比以前更高的值。因此，使调节电路 150 输出的擦除/写电压比以前更高，从而将写操作之后的阈值电压 V_0 和擦除操作之后的阈值电压 V_1 恢复为防止读出错误的电平。

在重写操作的次数超过 N_1 之后，写操作之后的阈值电压 V_0 仍然逐渐降低，而擦除操作之后的阈值电压 V_1 仍然逐渐上升。当重写操作的次数最终达到 N_2 时，擦除操作之后的阈值电压 V_1 再次超过参考电压 V_x ，从而再次确定发生异常。这时，进行和重写操作次数达到 N_1 时同样的步骤，使得调节电路 150 输出的擦除/写电压甚至更高，

从而将写操作之后的阈值电压 V_0 和擦除操作之后的阈值电压 V_1 再次恢复为防止读出错误的电平。

通过以上述方式控制修整值，即使在对存储单元晶体管反复进行重写操作时，存储单元晶体管的表观特性也保持在与重写操作次数较少时同样的状态。因此，根据闪存 EEPROM 1900，可以提高重写操作的次数。

但是，可能不能对所有的擦除单位区域均匀地进行对存储单元晶体管的重写操作，即，在擦除单位区域之间，重写操作的次数可能变化。尽管这样，但是上述常规闪存 EEPROM 1900 采用单个修整值来控制存储单元阵列中包括的所有存储单元晶体管的阈值电压。因此，在擦除单位区域中重写操作的次数不同时，重写操作的次数可能不会令人满意地提高。

将参考图 20 中的虚线表示的特性来说明这一点。例如，假设闪存 EEPROM 1900 包括重写操作次数多的擦除单位区域和重写操作次数少的擦除单位区域。在这种情况下，对于重写操作次数多的擦除单位区域，通过控制修整值可以将存储单元晶体管的表观特性保持在令人满意的状态。但是，在闪存 EEPROM 1900 中，修整值的更新也对重写操作次数少的擦除单位区域有影响。因此，对于重写操作次数少的擦除单位区域中包括的存储单元晶体管，在特性降低不大之前就更新修整值，而且每次更新修整值时，写操作后的阈值电压 V_0 和擦除操作后的阈值电压 V_1 逐渐偏离它们各自的初始值中的适当值（参见图 20 中的虚线）。

如上所述，在闪存 EEPROM 1900 中，在重写操作次数少的擦除单位区域中包括的存储单元晶体管会获得异常的擦除和写特性。但是，当过大的擦除/写电压施加给存储单元晶体管时，穿过设置在存储单元晶体管的浮动栅极下面的隧道氧化物膜的总电量增加，从而施加比所需要的更高的电场。由于在这种重写操作期间的电应力，可能会缩

短在重写操作次数少的擦除单位区域中包括的存储单元晶体管的寿命。

发明内容

因此，本发明的目的是提供一种非易失性存储器，其中，即使在擦除单位区域中重写操作的次数不同，也可以提高所有擦除单位区域的重写操作次数。

为了实现所述目的，本发明提供一种电可擦除可编程非易失性存储器，包括：多个擦除单位区域，每个都包括在擦除操作中同时选择的多个非易失性存储单元晶体管；多个输出调节值储存部分，其相应于各个擦除单位区域设置并且以非易失方式储存各个擦除单位区域的输出调节值；电压产生电路，产生具有针对每个擦除单位区域的擦除操作和写操作所需的电平的电压；电压调节电路，根据提供给它的相应一个输出调节值来调节电压产生电路中产生的电压的电平；读出确定电路，在对每个擦除单位区域的擦除操作和写操作之后对数据进行确定；以及控制电路，在对每个擦除单位区域的擦除操作和写操作中操作。因此，对于重写操作次数多的擦除单位区域，通过更新输出调节值使存储单元晶体管的表观特性保持在令人满意的状态，而对于重写操作次数少的擦除单位区域，可以抑制输出调节值的更新。因此，即使在擦除单位区域之间的重写操作次数不同时，也可以防止不必要的电应力施加给重写操作次数少的擦除单位区域，并且提高所有擦除单位区域的重写操作次数。

在这种情况下，读出确定电路可以根据比进行读出操作时更严格的标准来进行确定步骤。当进行确定步骤时，读出确定电路可以给电流检测型读出放大电路施加参考电流，该参考电流提供比进行读出操作时更严格的标准。或者，读出确定电路可以向存储单元晶体管施加栅极电压，该栅极电压提供比进行读出操作时更严格的标准。由此，

可以在较早的阶段检测出存储单元晶体管的特性下降，从而可以对存储单元晶体管更可靠地进行擦除操作和写操作。

电压调节电路可以包括将输出电压限制在存储单元晶体管的击穿电压规格范围内的限幅电路 (limiter circuit)。因此，即使在电压调节电路的输出电压高时，也可以防止擦除单位区域内包括的存储单元晶体管被损坏。

控制电路可以执行以下步骤：选择擦除单位区域中的一个区域，向电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值，并且进行控制，使得在读出确定电路作为对所选择的擦除单位区域进行擦除操作和写操作之后的确定步骤的结果而检测出异常时，储存在对应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值被更新为使输出电压比以前更高的值，此后，再次对所选择的擦除单位区域进行擦除操作和写操作。具体而言，每次更新储存在输出调节值储存部分中的输出调节值时，控制电路可以在对输出调节值储存部分的擦除操作之后进行写操作。或者，当第一次更新储存在输出调节值储存部分中的输出调节值时，控制电路可以在对输出调节值储存部分的擦除操作之后进行写操作，而且当第二次和以后更新储存在输出调节值储存部分中的输出调节值时，控制电路可以进行写操作，而没有对输出调节值储存部分的擦除操作。在后面的情况下，电压调节电路根据提供的输出调节值中具有预定值的比特数，优选输出彼此相差选自 0.1 到 0.4V 的范围内的值的电压。因此，使得不需要擦除输出调节值所需的时间，导致重写时间减少。

该非易失性存储器还可以包括临时储存将要提供给电压调节电路的输出调节值的输出调节值临时保持电路。在这种情况下，控制电路优选进行以下步骤：选择擦除单位区域中的一个区域；向电压调节电路提供储存在对应于所选择的擦除单位区域的输出调节值储存部

分中的输出调节值；进行控制，使得在读出确定电路作为对所选择的擦除单位区域进行擦除操作和写操作之后的确定步骤的结果而检测出异常时，在输出调节值临时保持电路中设置使输出电压比之前更高的输出调节值，并且将所设置的输出调节值提供给电压调节电路，此后，再次对所选择的擦除单位区域进行擦除操作和写操作；并且在正常地对所选择的擦除单位区域进行擦除操作和写操作之后，将储存在输出调节值临时保持电路中的输出调节值设置在对应于所选择的擦除单位区域的输出调节值储存部分中。由此，使得不需要擦除输出调节值所需的时间，导致重写时间减少。

此外，该非易失性存储器还可以包括临时储存由读出确定电路进行的确定步骤的结果的错误标记电路。在这种情况下，控制电路优选仅在对所选择的擦除单位区域进行正常的擦除操作和写操作之后在错误标记电路中储存有异常情况时，才将储存在输出调节值临时保持电路中的输出调节值设置到对应于所选择的擦除单位区域的输出调节值储存部分中。因此，当不更新输出调节值时，可以进一步减少重写时间。

该非易失性存储器还可以包括对应于各个擦除单位区域提供的多个监视比特（monitor bit），并且每个监视比特由与擦除单位区域中的相同类型的存储单元晶体管组成，其中在对相应的擦除单位区域进行擦除操作时可以对监视比特进行擦除操作，而且在对包括在对应的擦除单位区域中的所有或者一部分存储单元晶体管进行写操作时可以对监视比特进行写操作。在这种情况下，控制电路进行以下步骤：选择擦除单位区域中的一个区域；向电压调节电路提供储存在相应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；进行控制，使得在读出确定电路作为对所选择的擦除单位区域进行擦除操作和写操作之后的确定步骤的结果而检测出异常时，使输出电压比以前更高的输出调节值被提供给电压调节电路，此后，再次对所选择的

擦除单位区域进行擦除操作和写操作，并且读出确定电路对相应于所选择的擦除单位区域的监视比特进行确定步骤。因此，读出确定电路可以在较早的阶段检测出异常，因而可以在较早的阶段将电压调节电路的输出电压调节为高电平，由此可以更可靠地对存储单元晶体管进行擦除操作和写操作。

该非易失性存储器还可以包括临时储存将要设置在输出调节值储存部分中的多个输出调节值的数据锁存电路。在这种情况下，控制电路优选进行以下步骤：选择擦除单位区域中的一个区域；向电压调节电路提供储存在相应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；进行控制，使得在读出确定电路作为对所选择的擦除单位区域进行擦除操作和写操作之后的确定步骤的结果而检测出异常时，使输出电压比以前更高的输出调节值被提供给电压调节电路，此后，再次对所选择的擦除单位区域进行擦除操作和写操作；当已经对所选择的擦除单位区域正常地进行擦除操作和写操作时，将提供给电压调节电路的输出调节值设置在数据锁存电路中；并且在对所有的擦除单位区域正常地进行擦除操作和写操作之后，将储存在数据锁存电路中的多个输出调节值设置在输出调节值储存部分中。由此，可以减少对输出调节值储存部分的写操作次数，从而减少更新输出调节值所需的时间，并且抑制输出调节值储存部分中包括的存储单元晶体管退化，因此可以提高存储单元晶体管的重写操作的次数。

该非易失性存储器还可以包括固定输出调节值储存部分，其储存将要提供给电压调节电路的固定输出调节值。在这种情况下，控制电路优选进行以下步骤：选择擦除单位区域中的一个区域；向电压调节电路提供储存在相应于所选择的擦除单位区域的输出调节值储存部分中的输出调节值；并且进行控制，使得在读出确定电路作为对所选择的擦除单位区域进行擦除操作和写操作之后的确定步骤的结果而检测出异常时，使输出电压比以前更高的输出调节值被提供给电压调

节电路，此后，再次对所选择的擦除单位区域进行擦除操作和写操作。在将固定输出调节值储存部分中储存的输出调节值提供给电压调节电路时，优选进行对擦除单位区域的擦除操作和写操作之一。具体而言，在将固定输出调节值储存部分中储存的输出调节值提供给电压调节电路时，更优选进行对擦除单位区域的擦除操作和写操作之一，即对存储单元晶体管特性改变的影响更小的一个操作。因此，当存在即使重写操作次数增加而其写操作后的阈值电压也不改变太多的存储单元晶体管时，可以增加所有擦除单位区域的重写操作次数。

在包括监视比特的非易失性存储器中，当第一次对所选择的擦除单位区域进行擦除操作和写操作时，控制电路可以根据对所选择的擦除单位区域中包括的所有数据的确定步骤的结果来更新将要提供给电压调节电路的输出调节值，而且当第二次和以后对所选择的擦除单位区域进行擦除操作和写操作时，控制电路可以根据对相应于所选择的擦除单位区域的监视比特的确定步骤的结果来更新将要提供给电压调节电路的输出调节值。由此，即使在擦除单位区域中重写操作的次数不同，也可以使所有擦除单位区域的重写操作次数增加，而不受这种变化的影响。或者，当第二次和以后对所选择的擦除单位区域进行擦除操作和写操作时，控制电路可以进行控制，使得已经对所选择的擦除单位区域正常地进行擦除操作和写操作时的输出调节值被提供给电压调节电路，此后再次对所选择的擦除单位区域进行擦除操作和写操作。由此，可以更可靠地对存储单元晶体管进行擦除操作和写操作。

该非易失性存储器还可以包括输出忙信号的忙电路（busy circuit），该忙信号表示正在对擦除单位区域和输出调节值储存部分之一进行擦除操作和写操作。由此，可以提高非易失性存储器的外部可控制性。

从结合附图对本发明的以下详细说明将使本发明的这些和其它

目的、特点、方案和优点变得更加显而易见。

附图说明

图 1 是示出根据本发明第一实施例的闪存 EEPROM 结构的示图；

图 2 是示出对本发明第一实施例的闪存 EEPROM 的重写操作的流程图；

图 3 是示出对根据本发明第二实施例的闪存 EEPROM 的重写操作的流程图；

图 4 是示出根据本发明第三实施例的闪存 EEPROM 结构的示图；

图 5 是示出对本发明第三实施例的闪存 EEPROM 的重写操作的流程图；

图 6 是示出根据本发明第四实施例的闪存 EEPROM 结构的示图；

图 7 是示出对本发明第四实施例的闪存 EEPROM 的重写操作的流程图；

图 8 是示出根据本发明第五实施例的闪存 EEPROM 结构的示图；

图 9 是示出对本发明第五实施例的闪存 EEPROM 的重写操作的流程图；

图 10A 和 10B 是解释在本发明第五实施例的闪存 EEPROM 中使用监视比特的方法的示图；

图 11 是示出根据本发明第六实施例的闪存 EEPROM 结构的示图；

图 12 是示出对本发明第六实施例的闪存 EEPROM 的重写操作的流程图；

图 13 是示出根据本发明第七实施例的闪存 EEPROM 结构的示图；

图 14 是示出在闪存 EEPROM 中重写操作的次数和阈值电压之间的关系（第一例子）的示图；

图 15 是示出在闪存 EEPROM 中重写操作的次数和阈值电压之间的关系（第二例子）的示图；

图 16 是示出对本发明第八实施例的闪存 EEPROM 的重写操作的流程图；

图 17 是示出对本发明第九实施例的闪存 EEPROM 的重写操作的流程图；

图 18 是示出根据本发明第十实施例的闪存 EEPROM 结构的示图；

图 19 是示出常规闪存 EEPROM 结构的示图；以及

图 20 是示出在常规闪存 EEPROM 中重写操作的次数和阈值电压之间的关系的示图。

具体实施方式

下文中，将参考附图说明本发明的实施例。在附图中，在所有不同的图中，相似的附图标记通常表示相同的部分，并且这里不再重复说明。而且，在所有不同的流程图中，相似的步骤号通常表示相同的步骤，并且这里不再重复说明。

第一实施例

图 1 是示出根据本发明第一实施例的闪存 EEPROM 结构的示图。

图 1 的闪存 EEPROM 100 包括存储单元阵列 110、增压电路 140、调节电路 150、解码电路 160、读出确定电路 170 和控制电路 180。存储单元阵列 110 包括 N 个擦除单位区域 121 到 12N，以及 N 个修整值储存区域 131 到 13N。在这些元件中，增压电路 140 用作电压产生电路，调节电路 150 用作电压调节电路，而修整值储存区域 131 到 13N 用作输出调节值储存部分。

存储单元阵列 110 包括布置成阵列的多个存储单元晶体管。每个存储单元晶体管具有用于积聚电荷以便以非易失的方式储存数据的浮动栅极。对存储单元晶体管进行向浮动栅极中注入电荷的步骤（下文称为“写操作”）和释放在浮动栅极中积聚的电荷的步骤（下文称

为“擦除操作”。

擦除单位区域 121 到 12N 中的每一个都是一组可以被同时选择和擦除的多个存储单元晶体管。修整值储存区域 131 到 13N 设置为对应于各个擦除单位区域 121 到 12N，并且以非易失的方式储存用于相应的各个擦除单位区域的修整值（用于擦除/写电压的输出调节值）。例如，修整值储存区域 131 储存用于擦除单位区域 121 的修整值 T_1 ，而修整值储存区域 132 储存用于擦除单位区域 122 的修整值 T_2 。将修整值储存区域 131 到 13N 中储存的修整值 T_1 到 T_N 的初始值设置为适用于例如闪存 EEPROM 100 的出货测试（shipment testing）步骤的值。

在闪存 EEPROM 100 中，如下重写第 i (i 是大于等于 1 并且小于等于 N 的整数) 擦除单位区域中包括的存储单元晶体管。在进行重写操作时，第 i 擦除单位区域 120 的地址和要被写的数据通过 I/O 缓冲器（未示出）输入。解码电路 160 根据输入的地址选择位线和字线（未示出）。由此，选择了第 i 擦除单位区域 120 及其相应的第 i 修整值储存区域 130。增压电路 140 将电源电压升到擦除/写电压。调节电路 150 根据第 i 修整值储存区域 130 中储存的修整值 T_i 调节擦除/写电压的电平。在对第 i 擦除单位区域 120 的重写操作之后，读出确定电路 170 对存储单元晶体管的阈值电压进行确定步骤。控制电路 180 控制闪存 EEPROM 100 的每个部分。

图 2 是示出对闪存 EEPROM 100 的重写操作的流程图。在进行重写操作时，闪存 EEPROM 100 根据输入的地址选择地址（步骤 S210）。更具体而言，在步骤 S210 中，解码电路 160 根据通过 I/O 缓冲器输入的地址来选择位线和字线。由此，选择要被写入的擦除单位区域 120，并且同时选择了与所选择的擦除单位区域 120 对应的修整值储存区域 130。

接着，闪存 EEPROM 100 设置初始修整值（步骤 S220）。更具体而言，在步骤 S220 中，控制电路 180 进行控制，使得在步骤 S210（或

者下述步骤 S271) 中选择的修整值储存区域 130 中储存的修整值被提供给调节电路 150。例如，当在步骤 S210 中选择第 i 擦除单位区域 120 时，在步骤 S220 之后，将储存在与第 i 擦除单位区域 120 对应的第 i 修整值储存区域 130 中的修整值 T_i 给予调节电路 150。

接着，闪存 EEPROM 100 设置将要提供给存储单元阵列 110 的电压的初始值（步骤 S230）。更具体而言，在步骤 S230 中，控制电路 180 控制启动增压电路 140。由此，在进行步骤 S230 之后，增压电路 140 使电源电压升到擦除/写电压，并且调节电路 150 根据输入的修整值调节擦除/写电压的电平，并且将电平调整过的擦除/写电压提供给通过解码电路 160 选择的擦除单位区域 120。

例如，在步骤 S210 中选择第 i 擦除单位区域 120 时，在步骤 S230 之后，其电平用储存在第 i 修整值储存区域 130 中的修整值 T_i 调节的擦除/写电压被提供给第 i 擦除单位区域 120。下文中，其电平通过调节电路 150 调节的擦除电压和写电压分别被称为调节后擦除电压和调节后写电压，而且总称为调节后擦除/写电压。

接着，闪存 EEPROM 100 对在步骤 S210 等中选择的擦除单位区域 120 进行擦除操作（步骤 S240）。更具体而言，在步骤 S240 中，将调节后擦除电压施加给在步骤 S210 等中选择的擦除单位区域 120。由此，在所选择的擦除单位区域 120 中包括的每个存储单元晶体管中，积聚在浮动栅极中的电荷被释放，从而阈值电压 V_t 降低。因此，使得在所选择的擦除单位区域中包括的所有存储单元晶体管都进入被擦除状态（储存数据“1”）。

接着，闪存 EEPROM 100 对在步骤 S210 中选择的擦除单位区域 120 进行写操作（步骤 S241）。更具体而言，在步骤 S240 中，将调节后写电压施加给在步骤 S210 等中选择的擦除单位区域 120，并且相继选择将写入数据“0”的存储单元晶体管。由此，在所选择的擦除单位区域 120 中包括的存储单元晶体管中，电荷从外部注入到将写入

数据“0”的存储单元晶体管的浮动栅极中，从而其阈值电压 V_t 上升。因此，使得在所选择的擦除单位区域 120 中包括的一部分存储单元晶体管进入被写状态（储存数据“0”）。在进行步骤 S240 和 S241 之后，使得所选择的擦除单位区域 120 进入其中储存了任意包括“0”和“1”的数据的状态。

接着，在闪存 EEPROM 100 中，对在步骤 S210 等中选择的擦除单位区域 120 进行读出确定（步骤 S250）。更具体而言，在步骤 S250 中，对于在步骤 S210 等中选择的擦除单位区域 120，读出确定电路 170 检查处于擦除状态的存储单元晶体管的阈值电压（下文称为“擦除操作后阈值电压 V_1 ”）或者处于写入状态的存储单元晶体管的阈值电压（下文称为“写操作后阈值电压 V_0 ”）是否满足预定的标准。当满足该标准时读出确定电路 170 确定没发生异常，而当不满足该标准时确定发生异常。

例如，读出确定电路 170 可以具有相对于擦除操作后阈值电压 V_1 的参考电压 V_x ，并且当擦除操作后阈值电压 V_1 的实际值超过参考电压 V_x 时，确定发生异常。或者，读出确定电路 170 可以具有相对于写操作后阈值电压 V_0 的参考电压 V_y ，并且当擦除操作后阈值电压 V_1 的实际值低于参考电压 V_y 时，确定发生异常。或者，读出确定电路 170 具有参考电压 V_x 和 V_y ，并且当擦除操作后阈值电压 V_1 的实际值超过参考电压 V_x 或者当擦除操作后阈值电压 V_1 的实际值低于参考电压 V_y 时，确定发生异常。

读出确定电路 170 可以检查所选择的擦除单位区域 120 中包括的所有或者一部分存储单元晶体管是否满足上述标准。

当作为读出确定的结果确定发生异常时（在步骤 S250 中的 NG），闪存 EEPROM 100 擦除用于在步骤 S210 等中选择的擦除单位区域 120 的修整值（步骤 S260），并且写入用于所选择的擦除单位区域 120 的新的修整值（步骤 S261）。更具体而言，在步骤 S210 等中选择第 i

擦除单位区域 120 时，在步骤 S260 中，将调节后擦除电压施加给第 i 修整值储存区域 130。由此，第 i 修整值储存区域 130 储存一个其所有比特都是“1”的修整值。接着，在步骤 S261 中，将调节后写电压施加给第 i 修整值储存区域 130，从而适当地选择将写入数据“0”的存储单元晶体管。由此，使第 i 修整值储存区域 130 进入一种状态，在该状态中储存了任意包括“0”和“1”的新的修整值。

在步骤 S261 中，设置使得调节后擦除/写电压比以前更高的修整值作为新的修整值。例如，当调节电路 150 被构造成在输入修整值增加时输出更高的电压时，在步骤 S261 中，将新的修整值设置为比以前更高。相反，当调节电路 150 被构造成当输入修整值增加时输出更低的电压时，在步骤 S261 中，将新的修整值设置为比以前更小。由此，在进行步骤 S261 之后，比以前更高的调节后擦除/写电压被施加给步骤 S210 等中选择的擦除单位区域 120。

在步骤 S261 之后，写操作的控制进行到步骤 S240。此后，闪存 EEPROM 100 反复进行擦除修整值、写入修整值、从擦除单位区域擦除数据以及向擦除单位区域写入数据的步骤，直到在步骤 S250 中确定没有发生异常为止。

在步骤 S250 中确定没有发生异常的时候（步骤 S250 中的 OK），闪存 EEPROM 100 结束对步骤 S210 等中选择的擦除单位区域 120 的重写操作，以及对相应于所选择的擦除单位区域 120 的修整值储存区域 130 中储存的修整值的更新步骤。接着，闪存 EEPROM 100 确定是否结束该过程（步骤 S270）。更具体而言，在步骤 S270 中，控制电路 180 检查是否存在剩余的要重写的擦除单位区域，并且当存在剩余的要重写的擦除单位区域时，确定继续该程序，或者当不存在剩余的要重写的擦除单位区域时，确定结束该程序。

当确定继续该程序时（步骤 S270 中的 NO），闪存 EEPROM 100 选择下一个地址（步骤 S271）。更具体而言，在步骤 S271 中，解码电

路 160 根据这样输入的下一个地址来选择位线和字线。由此，选择要重写的下一个擦除单位区域 120，并且同时选择相应于所选择的擦除单位区域的修整值储存区域 130。

在步骤 S271 之后，写操作的控制进行到步骤 S220。此后，闪存 EEPROM 100 反复进行选择下一个地址的步骤，并且对所选地址进行步骤 S220 到 S261，直到在步骤 S270 中确定程序结束为止。当在步骤 S270 中确定程序结束时（在步骤 S270 中的 YES），闪存 EEPROM 100 结束重写操作。

在进行图 2 的程序时，储存在修整值储存区域 130 中的修整值可以或者可以不被更新。在任何一种情况下，修整值储存区域 130 都以非易失的方式储存修整值。因此，用于特定擦除单位区域 120 的修整值直到对擦除单位区域 120 进行下一次重写操作时才更新。在下一次重写操作中，储存在修整值储存区域 130 中的修整值在步骤 S220 中用作初始修整值。因此，通过使用之前获得的修整值作为初始值来进行写操作，可以减少擦除和写入修整值所需的时间。

如上所述，第一实施例的闪存 EEPROM 包括用于储存每个擦除单位区域的修整值的修整值储存区域，并且当对特定的擦除单位区域进行重写操作时，施加其电平用对应于该擦除单位区域的修整值来调节的擦除/写电压。由此，对于重写操作次数多的擦除单位区域，通过更新修整值而使存储单元晶体管的表观特性保持在令人满意的状态，而对于重写操作次数少的擦除单位区域，可以抑制修整值的更新。因此，即使在擦除单位区域中重写操作的次数不同，也可以防止向重写操作次数少的擦除单位区域产生不必要的电应力，而且提高所有擦除单位区域的重写操作的次数。因此，第一实施例的闪存 EEPROM 对用于需要频繁的重写操作的 IC 卡等等的存储器来说特别有用。

在前面的说明中，在步骤 S250 中，假设读出确定电路 170 使用用于擦除操作后阈值电压 V1 的参考电压 Vx 等等来进行读出确定。或

者，可以使用其它标准。尤其是如果读出确定电路 170 根据比普通的读出操作更严格的标准来进行读出确定，就可以更早地检测到存储单元晶体管的特性下降，从而可以更可靠地对擦除单位区域进行重写操作。

例如，闪存 EEPROM 可以在向读出确定电路 170 中包括的电流检测型读出放大电路施加比普通的读出操作更大的参考电流之后来确定擦除操作后阈值电压 V_1 。在这种情况下，与普通读出操作期间相比，读出确定期间的读出电流减小了。因此，根据比进行普通读出操作更严格的标准，可以在更早的阶段检测出特性下降，即，擦除操作后阈值电压 V_1 没有充分降低。

或者，闪存 EEPROM 可以在比进行普通读出操作时更高的栅电压施加给要读出的存储单元晶体管的栅极端子之后确定写操作后阈值电压 V_0 。在这种情况下，与进行普通读出操作时相比，在读出确定期间的读出电流增加。因此，根据比进行普通读出操作时更严格的标准，可以在更早的阶段检测出特性下降，即，写操作后阈值电压 V_0 没有充分增加。

第二实施例

根据本发明第二实施例的闪存 EEPROM 具有与第一实施例（参见图 1）相同的结构。图 3 是示出在第二实施例的闪存 EEPROM 中的重写操作的流程图。该流程图是通过在图 2 的流程图中用步骤 S360 代替步骤 S260 而获得。

第二实施例的闪存 EEPROM 与第一实施例的闪存 EEPROM 的区别如下。在第二实施例的闪存 EEPROM 中，当输入的修整值中包括的“0”的数量增加时，调节电路 150 输出更高电平的调节后擦除/写电压。

在第一实施例的闪存 EEPROM 中，在步骤 S260 中擦除修整值。相反，在第二实施例的闪存 EEPROM 中，如图 3 所示，只有在第一次进

行步骤 S360 时（即，只有在第一次对所选择的修整值进行步骤 S360 时），才擦除修整值。因此，当对擦除单位区域的重写操作控制第一次到达步骤 S360 时，进行擦除修整值的步骤。但是，当重写操作的控制第二次和之后到达步骤 S360 时，不进行步骤。结果，修整值的所有比特初始设置为“1”，并且此后，每个比特只从“1”变到“0”。例如，当修整值具有 8 比特的大小时，修整值中包括的“0”的数量单调地从 0（初始状态）增加到 1、2、3…。

在闪存 EEPROM 中，对每个擦除单位区域进行擦除操作，因此，擦除操作比写操作花费更长的时间。例如，在典型的闪存 EEPROM 中，擦除一个擦除单位区域所需的时间是几毫秒。因此，如果每次在如第一实施例的闪存 EEPROM 中一样更新修整值时都擦除修整值，则对擦除单位区域进行重写操作所需的时间变长。

为了避免这种情况，在第二实施例的闪存 EEPROM 中，当修整值第一次被更新时擦除修整值，但是，当第二次和此后更新修整值时，不擦除修整值，而且在修整值中包括的“1”只变为“0”（只进行写操作）。如上所述，调节电路 150 随着输入的修整值中包括的“0”的数量增加而输出更高电平的调节后擦除/写电压。因此，由于通过进行步骤 S261 而使修整值中包括的“0”的数量增加，调节电路 150 输出的调节后擦除/写电压变得比以前更高。

如上所述，根据第二实施例的闪存 EEPROM，当第二次和之后更新修整值时不擦除修整值。因此，除了提高所有擦除单位区域的重写操作的次数的效果，还使得擦除修整值所需的时间（例如几毫秒）变得不必要，导致重写时间减少。

在第二实施例的闪存 EEPROM 中，当修整值中包括的“0”的数量增加一时，调节后擦除/写电压的上升（下文简称为“增量”）优选为在大约 0.1 到 0.4V 的范围内。当增量小于 0.1V（例如几十毫伏）时，储存修整值所需的比特数增加。但是，例如，由于读出确定电路 170

进行读出确定的误差，在实践上难于以几十毫伏的单位来控制调节后擦除/写电压。因此，无法期望储存修整值所需的比特数的增加具有相当的效果，因此，增量优选为大约 0.1V 或更大。另一方面，假设增量大于 0.4V（例如 0.5V），当调节后擦除/写电压阶梯式地上升时，步骤的数量不足，导致不能使所有的擦除单位区域提高重写操作的数量。因此，增量优选为大约 0.4V 或更小。

调节电路 150 还可以包括限幅电路，该限幅电路将输出电压限制在高击穿电压晶体管的击穿电压规格的范围内。通过提供这种限幅电路，即使在调节后擦除/写电压高时，也可以防止擦除单位区域中包括的存储单元晶体管被损坏。

第三实施例

图 4 是示出根据本发明第三实施例的闪存 EEPROM 结构的示图。图 4 的闪存 EEPROM 400 是通过向第二实施例的闪存 EEPROM 中添加修整值临时保持电路 405 而获得的。图 5 是示出在第三实施例的闪存 EEPROM 400 中的重写操作的流程图。该流程图是通过将图 3 的流程图中的步骤 S260 和 S361 变为步骤 S560 和 S561，并且在步骤 S260 和 S361 的原始位置添加步骤 S551 而获得的。

第三实施例的闪存 EEPROM 与第二实施例的闪存 EEPROM 的不同之处如下。第三实施例的闪存 EEPROM 400 除了第二实施例的闪存 EEPROM 的元件以外，还包括修整值临时保持电路 405。修整值临时保持电路 405 是例如由 CMOS 电路或类似电路组成的易失性存储部分。在作为读出确定的结果确定发生异常时，修整值临时保持电路 405 临时储存临时设置的修整值（下文称为“临时修整值”）。

在第二实施例的闪存 EEPROM 中，当作为读出确定的结果确定发生异常时，只在第一次删除修整值（步骤 S360）并写入新的修整值（步骤 S261）。相反，在第三实施例的闪存 EEPROM 400 中，当作为

读出确定的结果确定发生异常时，改变保持在修整值临时保持电路 405 中的临时修整值（步骤 S551），并且当作为读出确定的结果确定没有发生异常时，只在第一次擦除修整值（步骤 S560），并且写入新的修整值（步骤 S561），如图 5 所示。

更具体而言，当第一次对步骤 S210 等等选择的擦除单位区域 120 进行步骤 S551 时，控制电路 180 在修整值临时保持电路 405 中设置初始临时修整值，然后进行控制，使得在修整值临时保持电路 405 中保持的临时修整值被提供给调节电路 150。作为初始临时修整值，优选使用用于在步骤 S210 等等中选择的擦除单位区域 120 的修整值（该值储存在对应的修整值储存区域 130 中），或者也可以使用其它的值（例如，其所有比特都是“1”的值）。

当第二次或之后对步骤 S210 等等选择的擦除单位区域 120 进行步骤 S551 时，控制电路 180 读出在修整值临时保持电路 405 中保持的临时修整值，并且在修整值临时保持电路 405 中设置一个临时修整值，该临时修整值使得调节后擦除/写电压比使用临时修整值时更高。

因此，在第一次对步骤 S210 等等选择的擦除单位区域 120 进行步骤 S551 之后，其电平用修整值临时保持电路 405 中保持的临时修整值来调节的擦除/写电压被提供给所选择的擦除单位区域 120。此后，闪存 EEPROM 400 反复进行更新临时修整值、擦除相对于擦除单位区域的数据以及向擦除单位区域写入数据的步骤，直到作为读出确定的结果确定没有发生异常为止。

在闪存 EEPROM 400 中，当作为读出确定的结果确定没有发生异常时（步骤 S250 中的 OK），进行仅第一次擦除修整值的步骤（步骤 S560）和写入新的修整值的步骤（步骤 S561）。步骤 S560 和 S561 的细节和图 3 流程图中的步骤 S360 和 S261 相同。

如上所述，在第三实施例的闪存 EEPROM 中，临时修整值保持在修整值临时保持电路中，该修整值临时保持电路可以比修整值储存

区域更高的速度来读取，并且在重写操作正常结束时的临时修整值被写入修整值储存区域。由此，除了提高所有擦除单位区域的重写操作次数的效果之外，还不再需要擦除修整值所需的时间（例如几十毫秒），从而可以减少重写时间。

第四实施例

图 6 是示出根据本发明第四实施例的闪存 EEPROM 结构的示图。图 6 的闪存 EEPROM 600 是通过向第三实施例的闪存 EEPROM 400 中添加错误标记电路 605 而获得的。图 7 是示出在第四实施例的闪存 EEPROM 600 中的重写操作的流程图。该流程图是通过在图 5 的流程图中添加步骤 S730、S751 和 S780，并且用步骤 S781 代替步骤 S560 而得到的。

第四实施例的闪存 EEPROM 与第三实施例的闪存 EEPROM 的不同之处如下。第四实施例的闪存 EEPROM 600 除了第三实施例的闪存 EEPROM 400 的元件之外还包括错误标记电路 605。错误标记电路 605 是储存错误标记并且例如由 CMOS 电路等等组成的易失性储存部分。

如图 7 所示，闪存 EEPROM 600 在对擦除单位区域进行擦除操作和写操作之前清除储存在错误标记电路 605 中的错误标记（步骤 S730），并且当作为读出确定的结果确定发生异常时（步骤 S250 中的 NG），改变临时修整值（步骤 S551）并将错误标记设置在错误标记电路 605 中（步骤 S751）。

当作为读出确定的结果确定没有发生异常时（步骤 S250 中的 OK），写入操作的控制进行到步骤 S780。当错误标记设置在错误标记电路 605 中时（步骤 S780 中的 YES），闪存 EEPROM 600 擦除对应于步骤 S210 等等中所选择的擦除单位区域 120 的修整值（步骤 S781），并且写入对应于该擦除单位区域的新的修整值（步骤 S561）。步骤 S781 和 S561 的细节和图 2 流程图的步骤 S260 和 S261 的细节相同。

如上所述，第四实施例的闪存 EEPROM 在错误标记电路中保持读出确定的结果，并且仅在错误标记电路中储存了异常时才更新修整值。因此，当作为读出确定的结果确定没有发生异常时，闪存 EEPROM 不更新修整值。因此，根据第四实施例的闪存 EEPROM，除了第三实施例的闪存 EEPROM 的效果之外，在不更新修整值时，还可以进一步减少重写时间。

第五实施例

图 8 是示出根据本发明第五实施例的闪存 EEPROM 结构的示图。图 8 的闪存 EEPROM 800 是通过在第四实施例的闪存 EEPROM 600 中用存储单元阵列 805 代替存储单元阵列 110 而获得的。存储单元阵列 805 是通过向存储单元阵列 110 添加 N 个监视比特 811 到 81N 而获得的。图 9 是示出第五实施例的闪存 EEPROM 的重写操作的流程图。该流程图是通过在图 7 的流程图中用步骤 S940、S941 和 S950 代替步骤 S240、S241 和 S250 而获得的。

第五实施例的闪存 EEPROM 与第四实施例的闪存 EEPROM 的不同之处如下。第五实施例的闪存 EEPROM 800 除了第四实施例的闪存 EEPROM 的元件之外还包括构成非易失性储存部分的 N 个监视比特 811 到 81N。监视比特 811 到 81N 设置在存储单元阵列 805 中，分别对应于擦除单位区域 121 到 12N。监视比特 811 到 81N 中的每一个都由与擦除单位区域 120 中包括的存储单元晶体管相同类型的存储单元晶体管组成。

如图 9 所示，当对步骤 S210 等等选择的擦除单位区域 120 进行擦除操作时，闪存 EEPROM 800 还对相应的监视比特 810 进行擦除操作（步骤 S940）。当对步骤 S210 等等选择的擦除单位区域 120 进行写操作时，闪存 EEPROM 800 总是将“0”写到对应的监视比特 810（步骤 S941）。在进行读出确定时，闪存 EEPROM 800 使用监视比特 810（步骤 S950）。

下面将参考图 10A 和 10B 说明使用闪存 EEPROM 800 的监视比特 810 的方法。图 10A 示出在闪存 EEPROM 800 中，擦除单位区域 120 中包括的特定存储单元晶体管（下文称为“擦除单位区域 A”）的重写操作次数和阈值电压之间的关系。图 10B 示出在闪存 EEPROM 800 中，储存对应于擦除单位区域 A 的监视比特 810（下文称为“监视比特 M”）的存储单元晶体管的重写操作次数和阈值电压之间的关系。在图 10A 和 10B 中，空心三角形表示对擦除单位区域 A 或监视比特 M 的擦除操作（使用数据“1”的擦除操作），实心圆表示向擦除单位区域 A 或监视比特 M 写入数据“0”，空心圆表示向擦除单位区域 A 写入数据“1”，而十字叉表示没选择擦除单位区域 A。

如图 10A 所示，当选择擦除单位区域 A 时，对擦除单位区域 A 进行擦除操作和写操作（写入数据“0”或“1”）。同时，对监视比特 M 进行擦除操作和写操作（写入数据“0”），如图 10B 所示。在没选择擦除单位区域 A 时，不对擦除单位区域 A 和监视比特 M 进行步骤。

闪存 EEPROM 800 中包括的存储单元晶体管随着写入数据“0”的次数增加而退化。因此，当对闪存 EEPROM 800 反复进行重写操作时，储存监视比特 810 的存储单元晶体管的特性比擦除单位区域 120 中包括的所有存储单元晶体管更早（或以相同速度）退化。因此，在用监视比特 810 进行读出确定时，比用擦除单位区域 120 进行读出确定更早地或者与其同时检测出异常。

如上所述，对于每个擦除单位区域，第五实施例的闪存 EEPROM 具有其特性比擦除单位区域的特性更早退化的监视比特，并且利用监视比特进行读出确定。因此，闪存 EEPROM 比对擦除单位区域进行读出确定时更早地检测到异常，因此在较早的阶段将调节后擦除/写电压调节为高电平。因此，根据第五实施例的闪存 EEPROM，可以更可靠地对存储单元晶体管进行重写操作。

第六实施例

图 11 是示出根据本发明第六实施例的闪存 EEPROM 结构的示图。

图 11 的闪存 EEPROM 1100 是通过在第五实施例的闪存 EEPROM 800 中用存储单元阵列 1110 代替存储单元阵列 805，并且向其添加数据锁存电路 1105 而得到的。如存储单元阵列 805 一样，存储单元阵列 1110 包括 N 个擦除单位区域 121 到 12N、N 个修整值储存区域 131 到 13N 以及 N 个监视比特 811 到 81N。注意，在存储单元阵列 1110 中，N 个修整值储存区域 131 到 13N 可以被同时选择和擦除。图 12 是示出在第六实施例的闪存 EEPROM 1100 中的重写操作的流程图。该流程图是通过在图 9 的流程图中用步骤 S1205 代替步骤 S781 和 S561，并且向其添加步骤 S1215 和 S1216 而获得的。

第六实施例的闪存 EEPROM 与第五实施例的闪存 EEPROM 的不同之处如下。第六实施例的闪存 EEPROM 1100 除了第五实施例的闪存 EEPROM 800 的元件之外，还包括数据锁存电路 1105。数据锁存电路 1105 是例如由 CMOS 电路等等组成的易失性储存部分。数据锁存电路 1105 临时储存将要设置在修整值储存区域 131 到 13N 中的 N 个修整值。

如图 12 所示，当在结束对特定擦除单位区域 120 的擦除操作和写操作时错误标记储存在错误标记电路 605 中时（步骤 S780 中的 YES），闪存 EEPROM 1100 将储存在修整值临时保持电路 405 中的临时修整值写入数据锁存电路 1105 中（步骤 S1205）。因此，在结束对一个擦除单位区域 120 的重写操作时，闪存 EEPROM 1100 不更新储存在修整值储存区域 130 中的修整值。因此，在数据锁存电路 1105 中，相继设置对应于擦除单位区域 121 到 12N 的修整值 T_1 到 T_N 。

如上所述，在闪存 EEPROM 1100 中包括的修整值储存区域 131 到 13N 可以被同时选择和擦除。在结束对所有擦除单位区域 121 到 12N 的写入操作之前，闪存 EEPROM 1100 同时擦除储存在修整值储存区域

131 到 13N 中的 N 个修整值 T_1 到 T_N (步骤 S1215)，并且将储存在数据锁存电路 1105 中的 N 个修整值写入修整值储存区域 131 到 13N 中(步骤 S1216)。

更具体而言，在步骤 S1215 中，调节后擦除电压被同时施加给修整值储存区域 131 到 13N。由此，储存在修整值储存区域 131 到 13N 中的 N 个修整值被同时擦除。在步骤 S1216 中，在将调节后写电压施加给修整值储存区域 131 到 13N 时，从每个修整值储存区域中包括的存储单元晶体管中依次选择对应于数据锁存电路 1105 中储存的修整值中的“0”比特的存储单元晶体管。由此，将修整值储存区域 131 到 13N 中储存的 N 个修整值更新为储存在数据锁存电路 1105 中储存的值。

注意，为了按照图 12 的流程图正确地进行写入操作，例如，在步骤 S220 中设置初始修整值时，闪存 EEPROM 1100 将设置的修整值写入数据锁存电路 1105 中。

如上所述，在结束对特定擦除单位区域的写入操作时，第六实施例的闪存 EEPROM 在数据锁存电路中保持写入操作中使用的修整值，并且在结束对所有擦除单位区域的写入操作之前，将对应于每个擦除单位区域的修整值更新为保持在数据锁存电路中的修整值。由此，可以减少对修整值储存区域的写入操作次数，从而进一步减少更新修整值所需的时间，并且抑制修整值储存区域中包括的存储单元晶体管退化，由此提高重写操作的次数。

第七实施例

图 13 是示出根据本发明第七实施例的闪存 EEPROM 结构的示图。图 13 的闪存 EEPROM 1300 是通过在第五实施例的闪存 EEPROM 800 中用存储单元阵列 1310 代替存储单元阵列 805 而获得的。存储单元阵列 1310 是通过向存储单元阵列 805 添加固定修整值储存区域 1305 而

获得的。

第七实施例的闪存 EEPROM 与第五实施例的闪存 EEPROM 的不同之处如下。第七实施例的闪存 EEPROM 1300 除了第五实施例的闪存 EEPROM 800 的元件之外，还包括固定修整值储存区域 1305。固定修整值储存区域 1305 是设置在存储单元阵列 1310 中的非易失性储存部分。固定修整值储存区域 1305 固定地储存修整值，该修整值不受擦除单位区域 120 或监视比特 810 的重写操作次数的影响。下文中，储存在固定修整值储存区域 1305 中的修整值称为“固定修整值”。

如闪存 EEPROM 800 一样，闪存 EEPROM 1300 按照图 9 的流程图进行重写操作。注意，在步骤 S941 中，在对擦除单位区域 120 和监视比特 810 进行写操作时，闪存 EEPROM 1300 使用固定修整值。因此，在进行写入操作时，其电平用固定修整值来调节的固定写电压被提供给所选择的擦除单位区域 120。

下文中，将参考图 14 和 15 说明提供固定的调节后写电压的作用。图 14 和 15 是示出在闪存 EEPROM 中重写操作的次数和阈值电压之间的关系的示图。在图 14 和 15 中，横轴表示重写操作的次数，而纵轴表示存储单元晶体管的阈值电压。图 14 和 15 示出写入操作后阈值电压 V_0 和擦除操作后阈值电压 V_1 如何随重写操作次数的增加而改变。

根据图 14 所示的特性，随着重写操作次数增加，擦除操作后阈值电压 V_1 上升，而写入操作后阈值电压 V_0 以与擦除操作后阈值电压 V_1 基本上相同的速度下降。例如，在对闪存 EEPROM 进行漏极边缘 (drain edge) 的 Fowler Nordheim (FN) 擦除和写入操作时观察到这种特性。在进行漏极边缘的 FN 擦除和写入操作时，电子通过隧道氧化物膜的漏极边缘而穿过浮动栅极和沟道，并且电子被隧道氧化物膜以随机的方式俘获。俘获电子的漏极边缘变为隧道氧化物膜的一部分，从而减小了提高有效阈值电压的效果。另一方面，阈值电压由于重写操作引起的 gm (互导) 特性降低而增加，从而减小写入操作期

间的 FN 电流，导致阈值振幅（擦除操作后阈值电压 V1 和写入操作后阈值电压 V0 之间的差值：也称为“窗口宽度”）减小。因此，擦除操作后阈值电压 V1 随着重写操作次数增加而上升，而写入操作后阈值电压 V0 以基本上与擦除操作后阈值电压 V1 相同的速度降低。

在存储单元晶体管的特性如上所述降低时，通过随着重写操作次数的增加而提高调节后擦除/写入电压，可以提高重写操作的次数，如已经在第一到第六实施例中介绍的那样。

然而，存储单元晶体管的特性可以通过和上述不同的方式而降低，如图 15 所示。在图 15 的特性中，随着重写操作次数增加，擦除操作后阈值电压 V1 上升，并且写入操作后阈值电压 V0 也上升，但是上升速率较慢。例如，在对闪存 EEPROM 进行利用整个沟道的 FN 擦除和写入操作时观察到这种特性。在进行利用整个沟道的 FN 擦除和写入操作时，电子通过隧道氧化物膜的整个表面在浮动栅极和沟道之间穿过，从而以随机的方式在隧道氧化物膜的整个表面上俘获电子。在测量或读出阈值电压时，漏极电流根据阈值电压流动，该阈值电压是根据施加给存储单元晶体管栅极端子的电压和在其浮动栅极积聚的电荷量而确定的。但是，由于在隧道氧化物膜的整个表面上俘获电子，所以有效阈值电压增加。而且，阈值电压由于重写操作引起的 gm 特性下降而进一步上升。同时，由于 FN 电流在重写操作期间降低，所以阈值振幅变窄。因此，擦除操作后阈值电压 V1 随着重写操作次数增加而上升，并且写入操作后阈值电压 V0 也上升，但是上升速率较慢。

同样在这种情况下，如第一到第六实施例所述，通过随着重写操作的次数增加而使调节后擦除电压和调节后写入电压都上升，也可以提高重写操作的次数。但是，在这种情况下，通过在随着重写操作次数增加而提高擦除电压的同时固定写入电压，也可以增加重写操作的次数。通过使用这种固定的写入电压，可以防止写入操作后阈值电压

V_0 上升到高于所需的电平，因此可以实现以下效果，例如减少穿过隧道氧化物膜的电荷量、电场弛豫等等。

如上所述，第七实施例的闪存 EEPROM 包括储存固定修整值的固定修整值储存区域，并且使用其电平用该固定修整值来调节的电压来进行重写操作。由此，对于包括即使在重写操作次数增加时其阈值电压也改变不多的存储单元晶体管的闪存 EEPROM，对于所有的擦除单位区域来说，可以提高重写操作的次数。注意，对于其中随着重写操作次数增加、擦除操作后阈值电压的改变比写入操作后阈值电压慢得多的闪存 EEPROM，可以使用其电平用固定修整值调节的电压来进行擦除操作。

第八实施例

根据本发明第八实施例的闪存 EEPROM 具有和第五实施例相同的结构（参见图 8）。图 16 是示出在第八实施例的闪存 EEPROM 中进行的重写操作的流程图。如图 16 所示，第八实施例的闪存 EEPROM 在第一次对每个擦除单位区域 120 进行重写操作时进行步骤 S1605，并且在第二次和之后对每个擦除单位区域 120 进行重写操作时进行步骤 S1615。典型地，在闪存 EEPROM 的出货之前，在出货测试步骤中进行步骤 S1605，并且在闪存 EEPROM 的出货之后，在实际使用环境中反复进行步骤 S1615。下文中，步骤 S1605 中的操作被称为“出货前重写操作”，而步骤 S1615 中的操作被称为“出货后重写操作”。

出货前重写操作与图 2 的重写操作相同。注意，在步骤 S250a 中，对在步骤 S210a 等等中选择的擦除单位区域中包括的所有存储单元晶体管进行读出确定。由此，在出货前重写操作结束时，确保正确地重写擦除单位区域 121 到 12N 的修整值（即，可以用于正确地重写擦除单位区域 121 到 12N 中包括的、并且具有最差特性的存储单元晶体管的修整值）被设置在各个修整值储存区域 131 到 13N 中。如上所述，

如果使用给定为初始值的修整值，则可以在确保正确的重写操作的状态下出货第八实施例的闪存 EEPROM。

出货后重写操作是通过在图 9 的流程图中省略步骤 S551 并且在步骤 S751b 之后设置步骤 S780b 而实现的。在出货后重写操作中，当作为使用监视比特的读出确定的结果确定发生异常时（步骤 S950b 中的 YES），在错误标记电路 605 中设置错误标记（步骤 S751b）。在设置错误标记时（步骤 S780b 中的 YES），进行擦除修整值的步骤（步骤 S781b）和写入修整值的步骤（步骤 S561b）。由此，在出货后重写操作中，利用监视比特进行读出确定，而且在确定对应于特定擦除单位区域的监视比特中发生异常时，更新对应于擦除单位区域的修整值。

因此，在出货后重写操作中，比在使用擦除单位区域进行读出确定时更早地检测出异常，因此在较早的阶段将调节后擦除/写电压调节到高电平。由此，可以可靠地对存储单元晶体管进行重写操作。

如上所述，使得第八实施例的闪存 EEPROM 进入以下状态，即在进行出货前重写操作之后确保重写操作，并且甚至在进行随后的出货后重写操作之后，可以可靠和正确地连续进行重写操作。因此，即使在存储单元晶体管的特性以比特为单位变化时，也可以不受这种变化的影响而提高所有擦除单位区域的重写操作的次数。

第九实施例

根据本发明第九实施例的闪存 EEPROM 具有和第五实施例相同的结构（参见图 8）。图 17 是示出在第九实施例的闪存 EEPROM 中的重写操作的流程图。图 17 的流程图是通过在图 16 的流程图中用步骤 S1715 替代步骤 S1615 而获得的。步骤 S1715 是通过向步骤 S1615 添加步骤 S940c 和 S941c 而获得的。在第九实施例中，在步骤 S1715 中的操作称为出货后重写操作。

在出货后重写操作中，第九实施例的闪存 EEPROM 在完成对一个擦除单位区域 120 的程序之前进行步骤 S940c 和 S941c。更具体而言，在建立确保重写操作的修整值之后，闪存 EEPROM 再次使用该修整值对擦除单位区域 120 和监视比特 810 进行擦除操作（步骤 S940c），并且对擦除单位区域 120 和监视比特 810 进行写入操作（步骤 S941c）。注意，在步骤 S941c 中，总是将数据“0”写入监视比特 810。因此，通过在建立确保重写操作的修整值之后进行重写操作，可以更可靠地对存储单元晶体管进行重写操作。

第十实施例

图 18 是示出根据本发明第十实施例的闪存 EEPROM 结构的示图。图 18 的闪存 EEPROM 1800 是通过向第七实施例的闪存 EEPROM 1300 添加忙电路 1805 而获得的。如闪存 EEPROM 1300 一样，闪存 EEPROM 1800 按照图 9 的流程图进行重写操作。

第十实施例的闪存 EEPROM 与第七实施例的闪存 EEPROM 的不同之处如下。第十实施例的闪存 EEPROM 1800 除了第七实施例的闪存 EEPROM 的元件之外，还包括忙电路 1805。忙电路 1805 输出表示闪存 EEPROM 1800 正在操作的忙信号。例如，作为在步骤 S950 中的读出确定的结果确定发生异常时，忙电路 1805 会在对擦除单位区域 120 的擦除或写入操作期间输出忙信号。或者，作为在步骤 S950 中的读出确定的结果确定发生异常时，忙电路 1805 可以在对修整值储存区域 130 的擦除或写入操作期间输出忙信号。或者，作为在步骤 S950 中的读出确定的结果确定发生异常时，忙电路 1805 可以在对擦除单位区域 120 和修整值储存区域 130 中任何一个的擦除或写入操作期间输出忙信号。

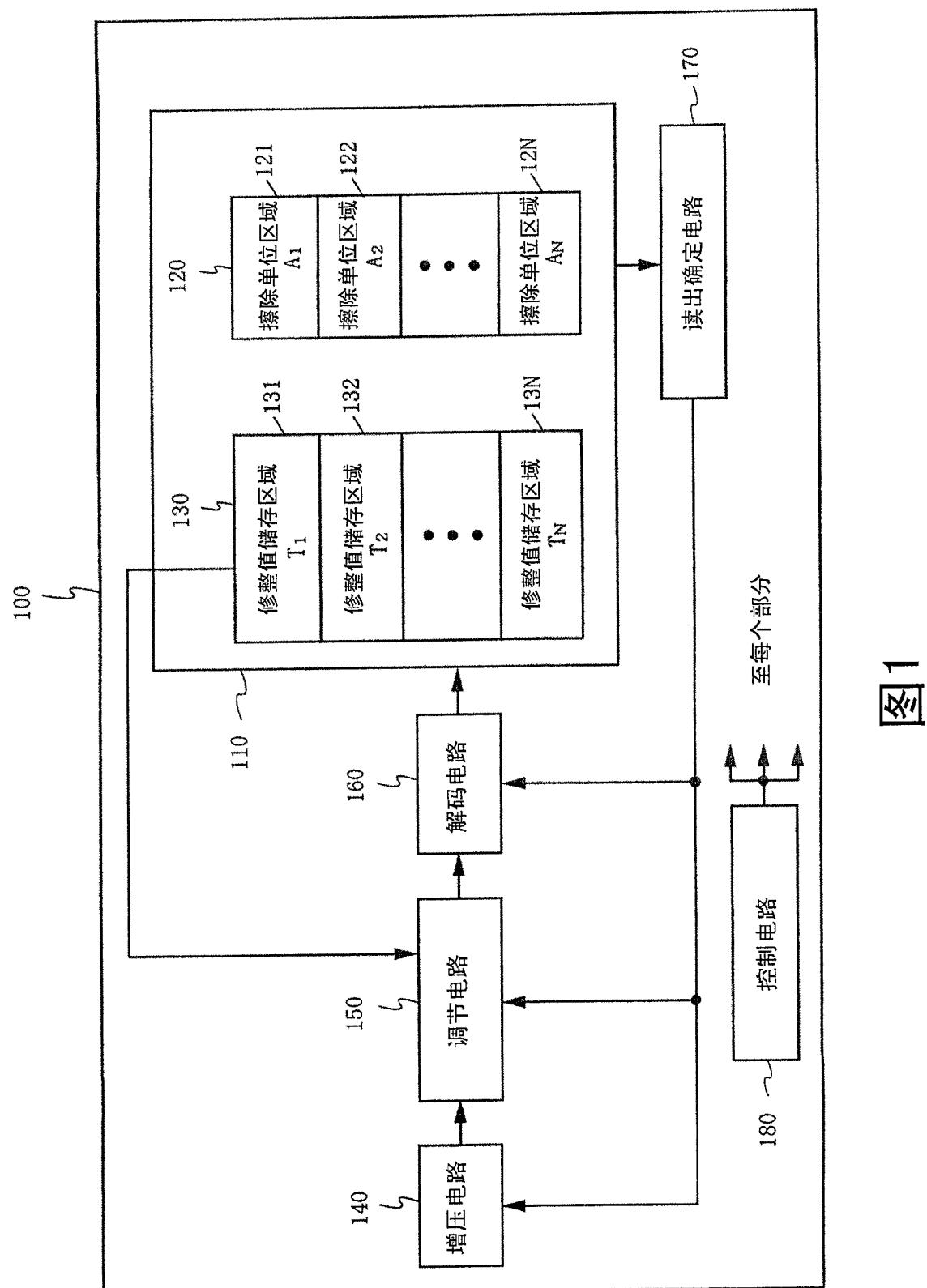
如上所述，第十实施例的闪存 EEPROM 包括输出忙信号的忙电路。因此，除了增加所有擦除单位区域的重写操作次数的效果之外，还可

以提高闪存 EEPROM 的外部可控制性。

到此为止已经说明了第一到第十实施例的闪存 EEPROM。这些实施例的闪存 EEPROM 的特征可以任意组合以构成其它的闪存 EEPROM，只要这些特征彼此不抵消就可以。

在上述实施例中，作为非易失性存储器，已经对闪存 EEPROM 进行了说明。此外，本发明还可以应用于 EEPROM、FeRAM（铁电存储器）、MRAM（磁非易失性存储器）等等。

尽管已经详细说明了本发明，但是前面的说明完全是说明性的，而不是限制性的。应当理解，在不脱离本发明范围的情况下可以设计出大量其它的修改和变化形式。



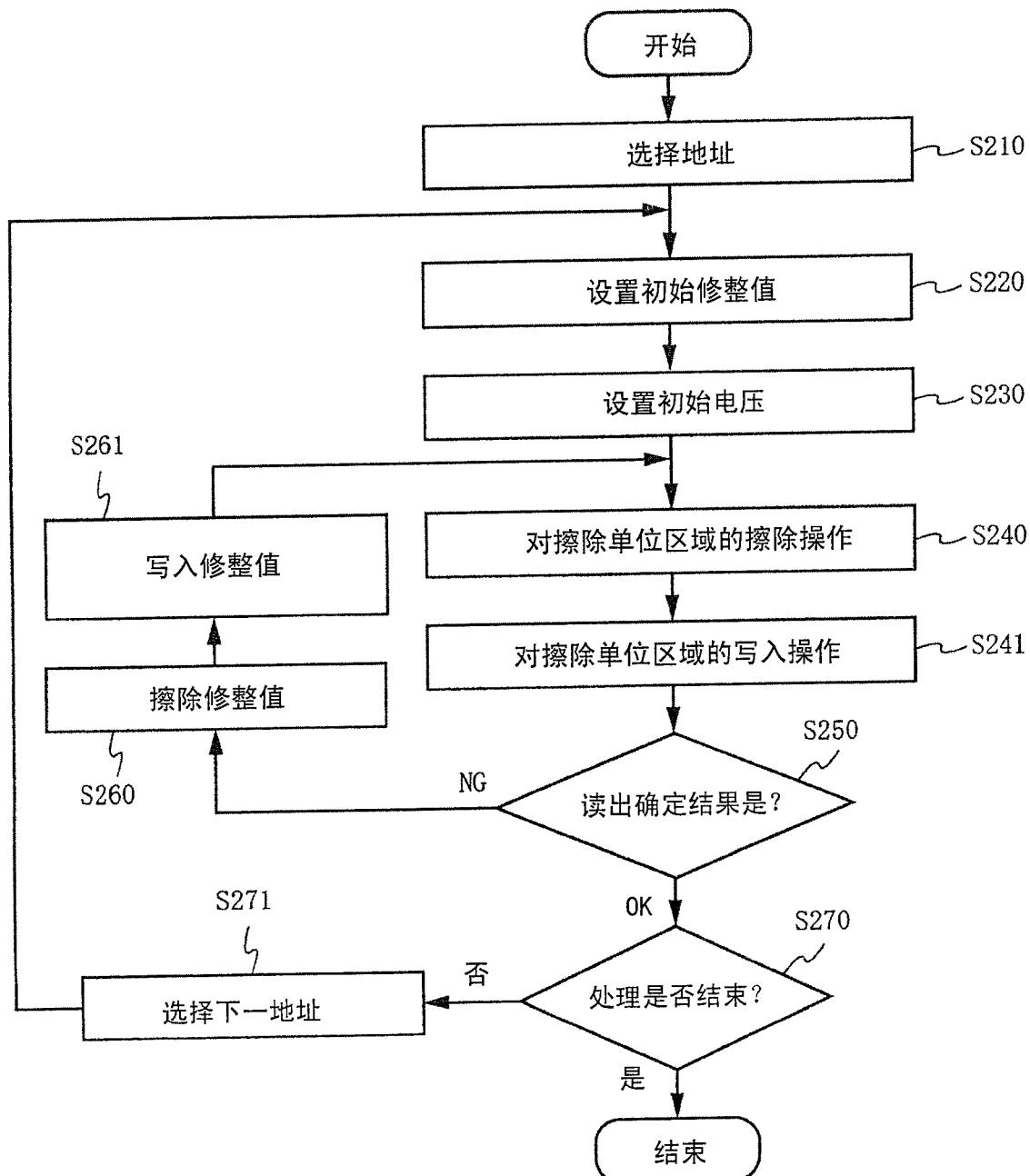


图2

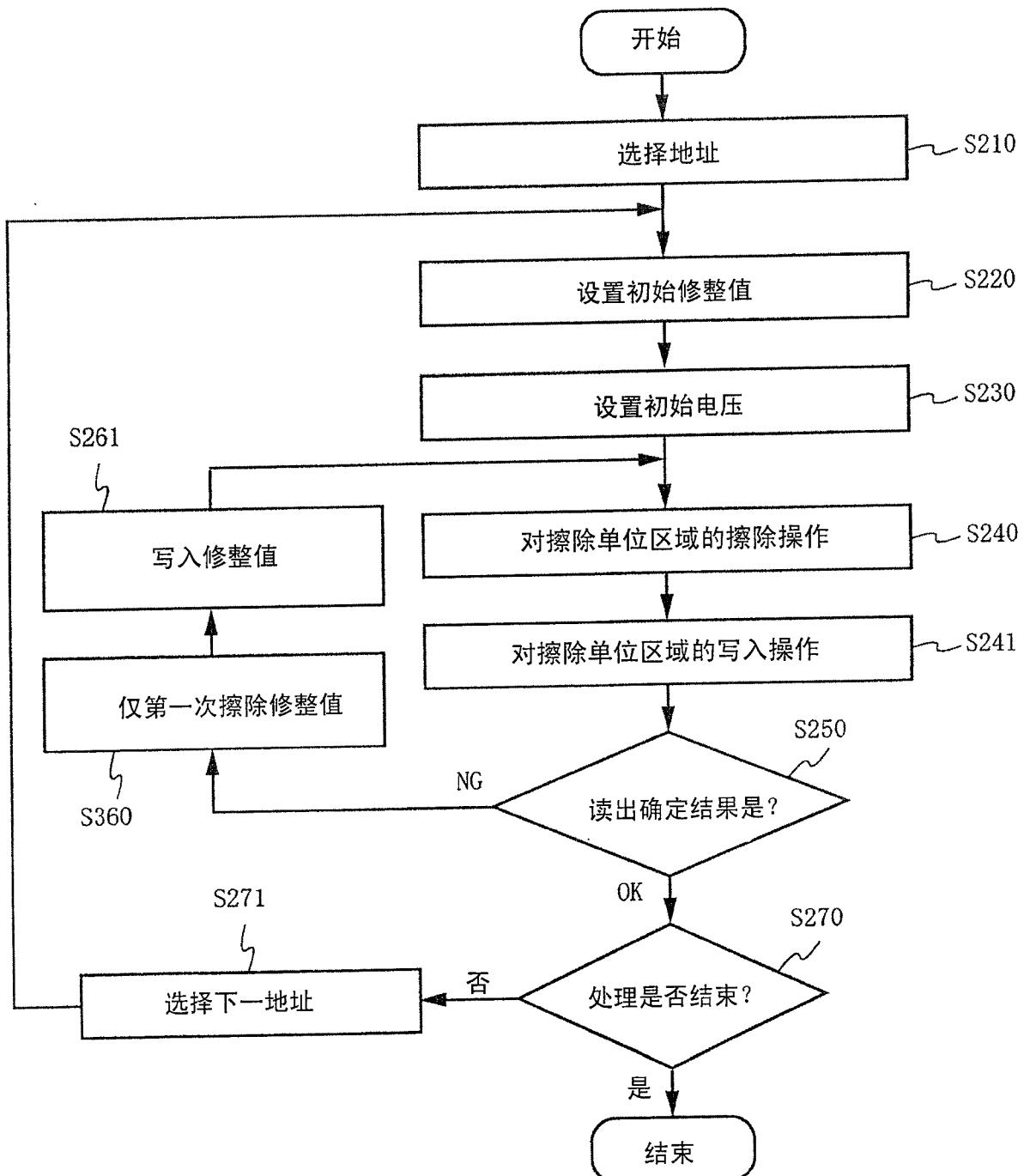
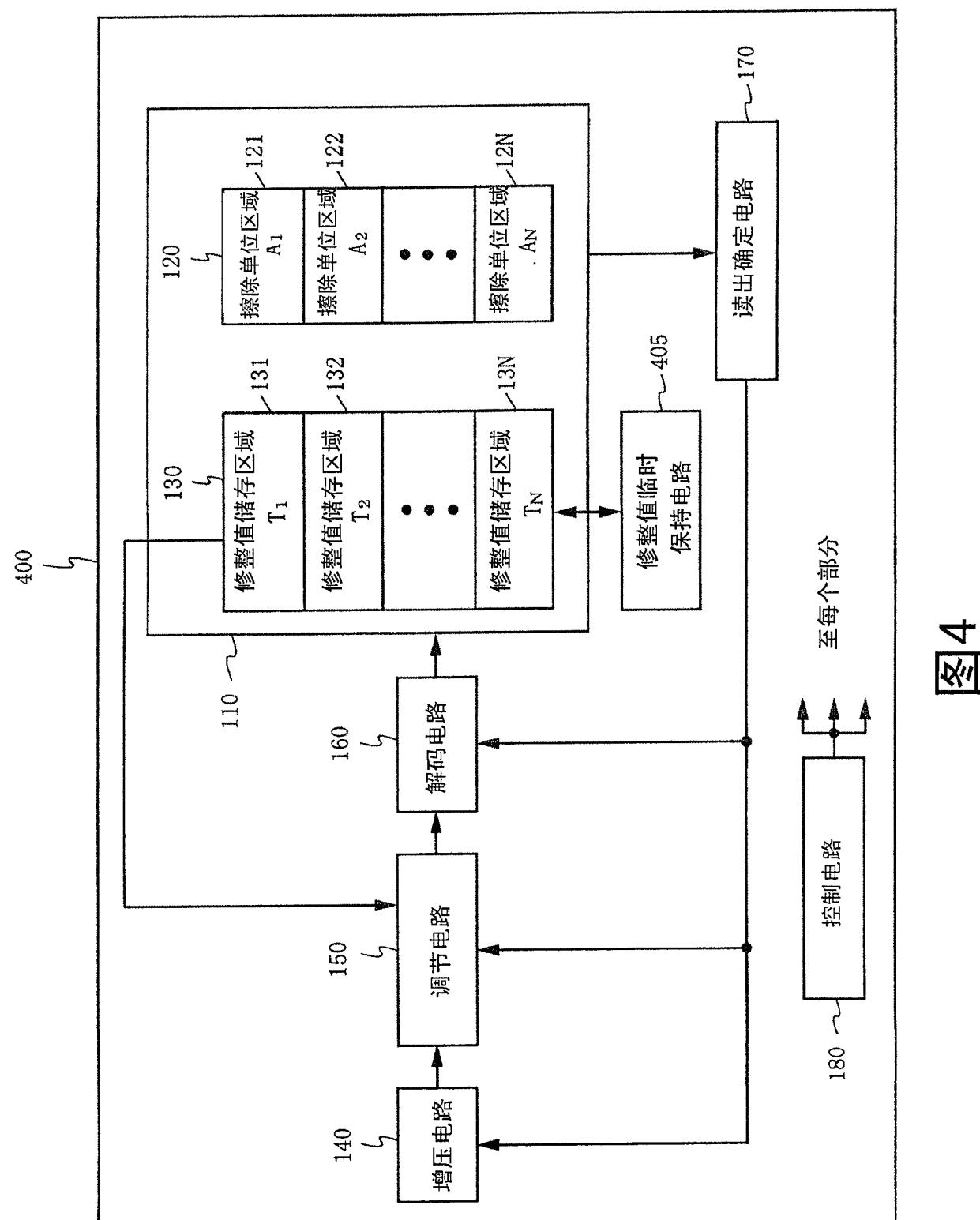


图3



4

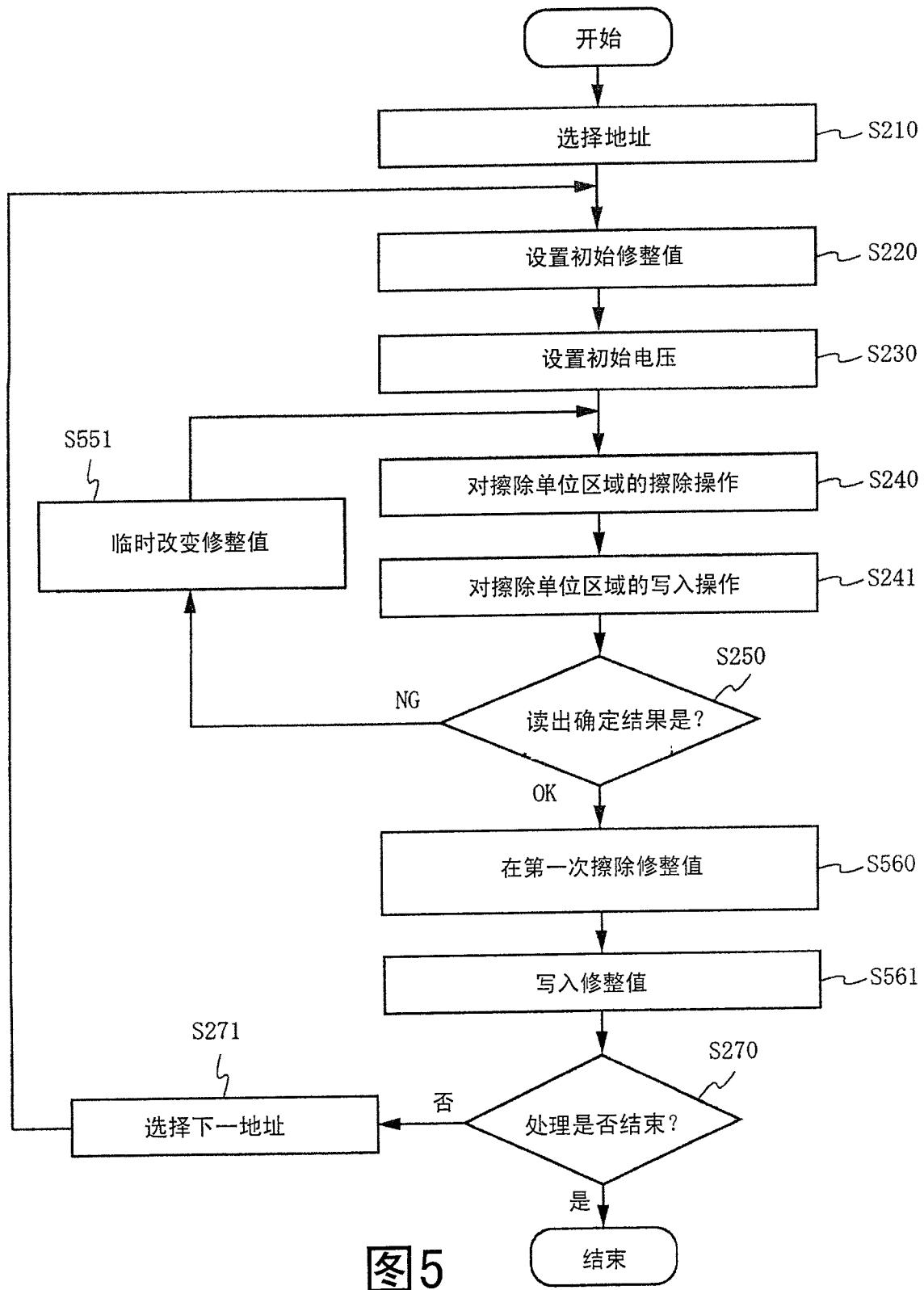


图5

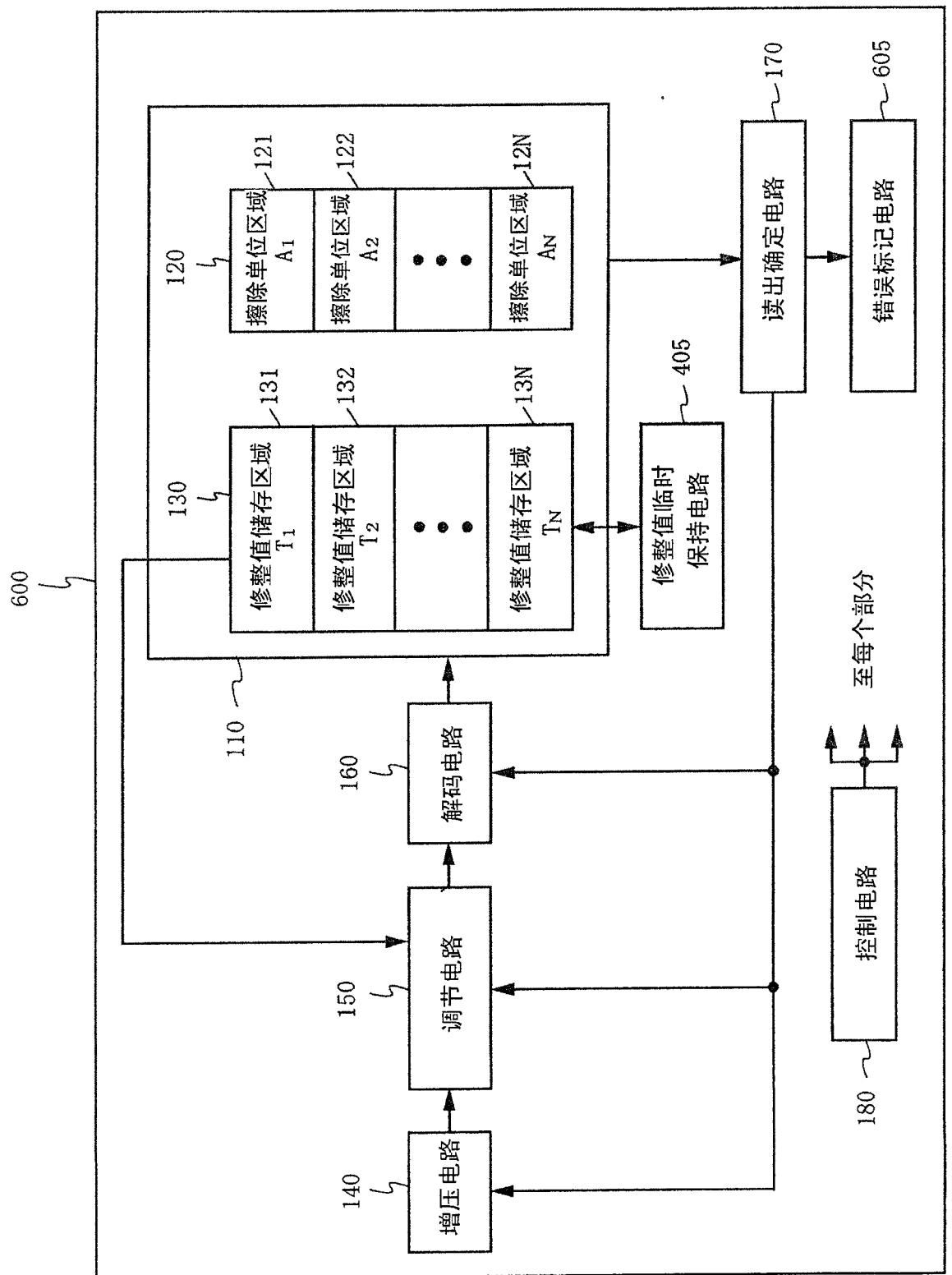


图 6

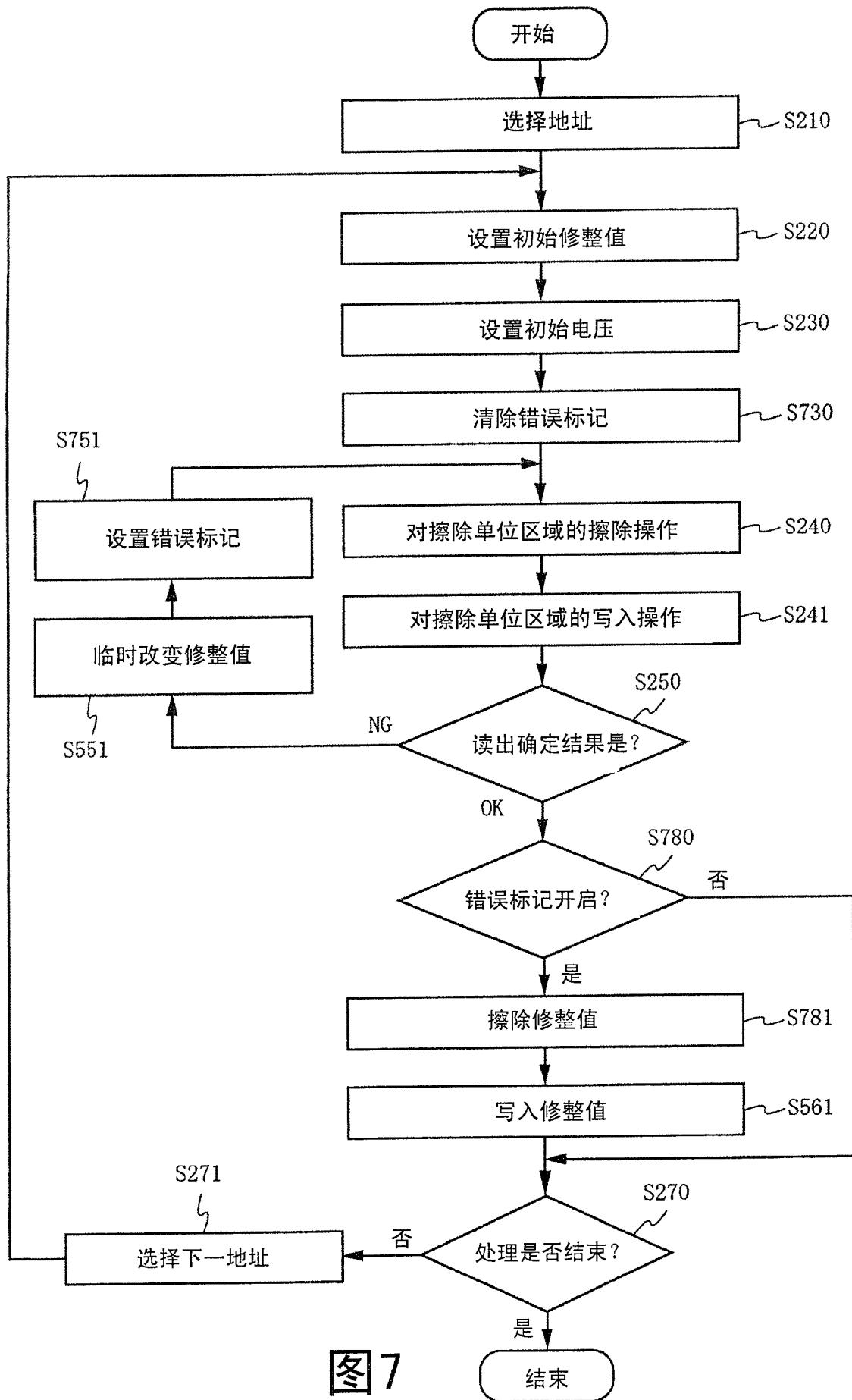
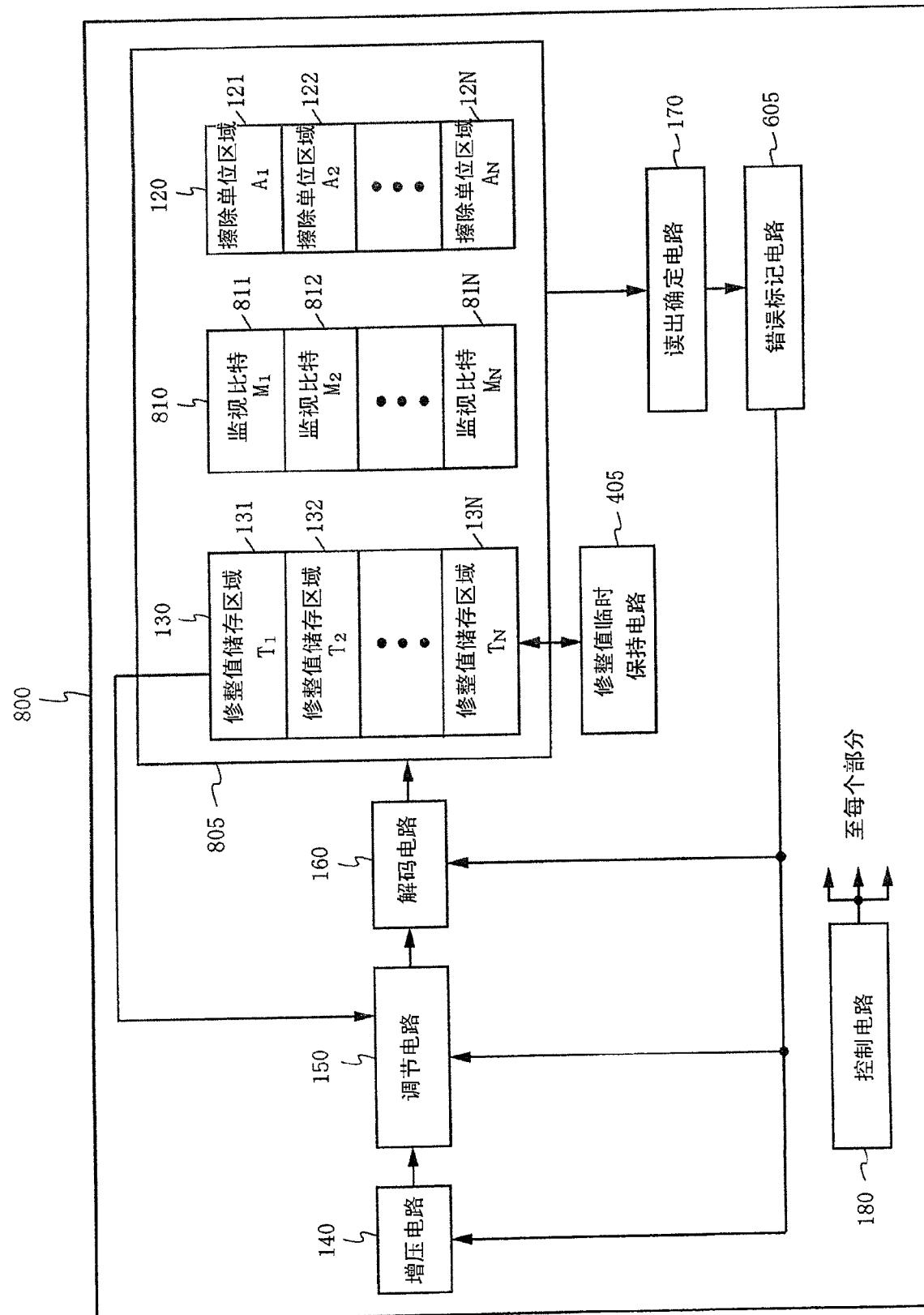
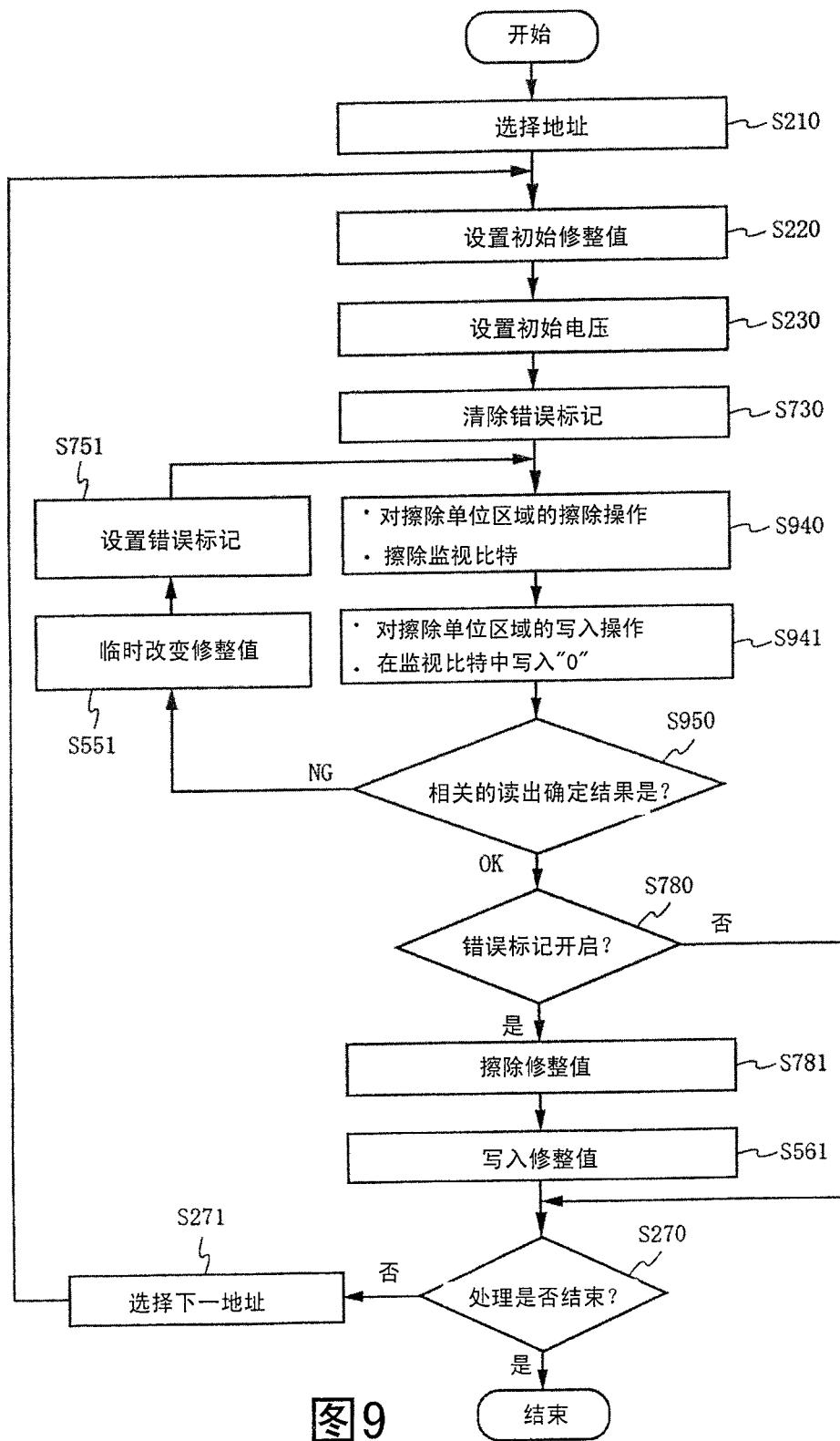


图 7

结束





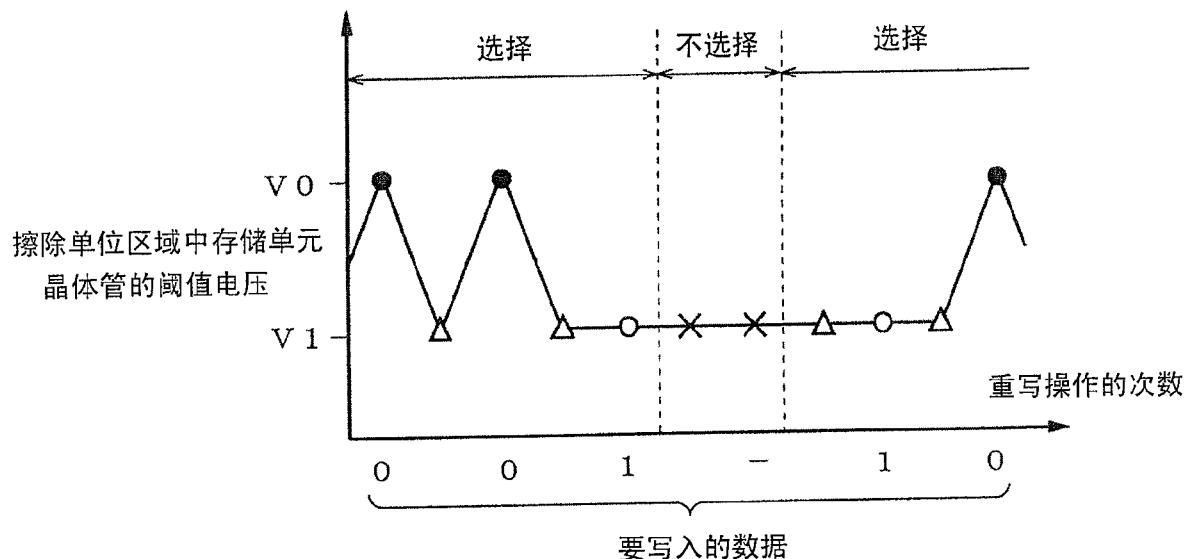


图10A

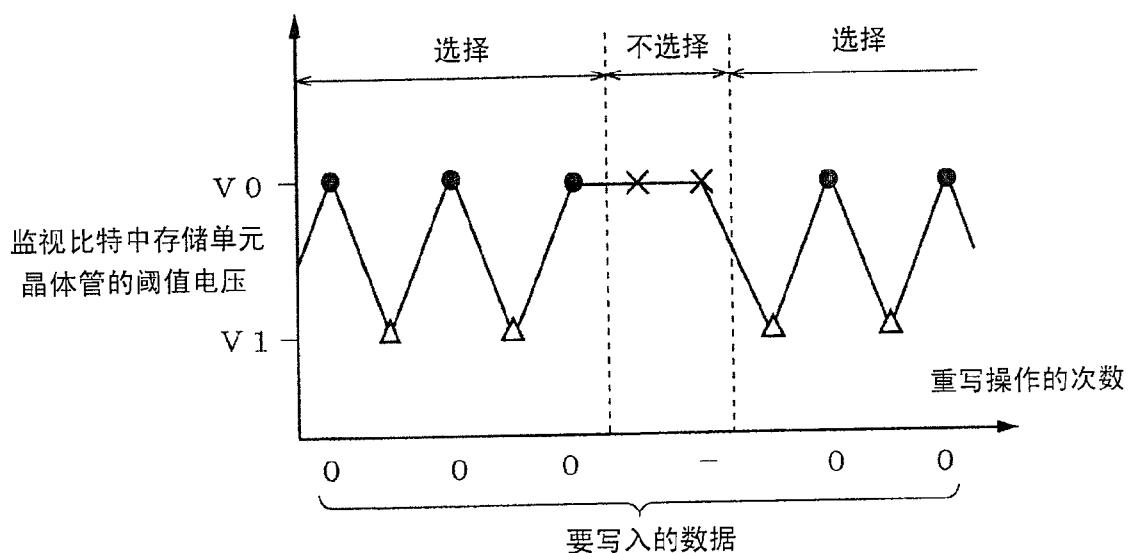


图10B

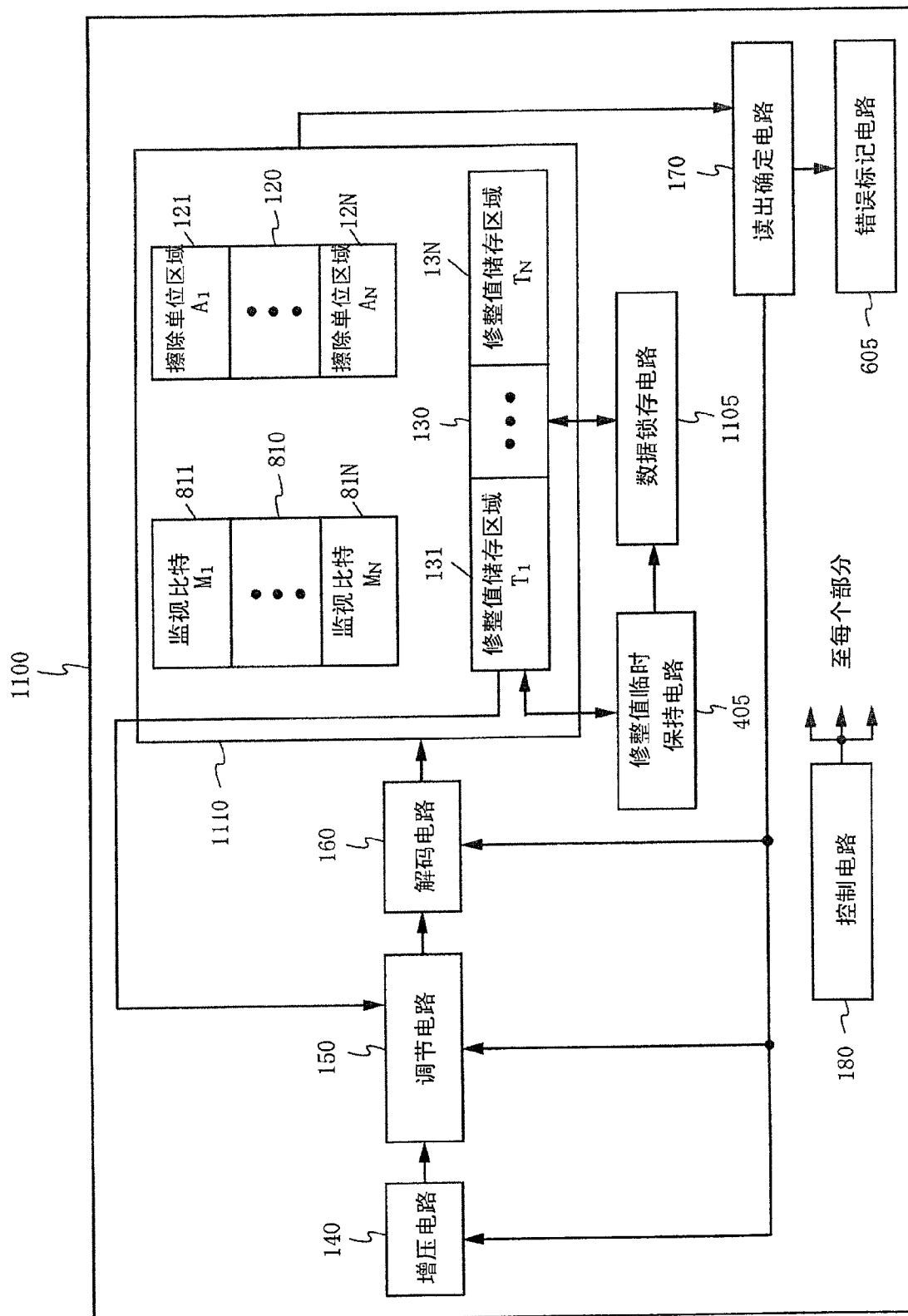


图 11

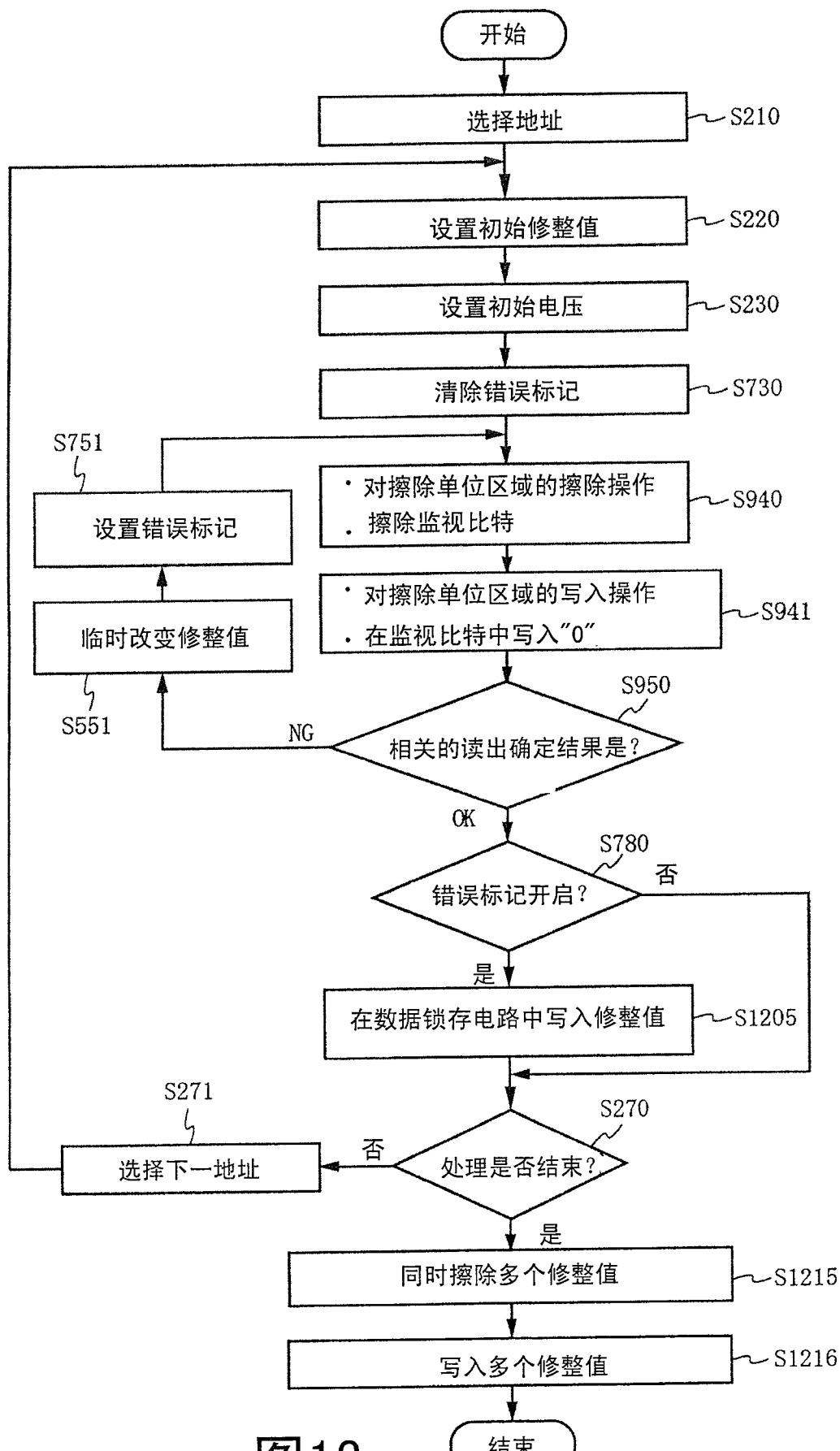
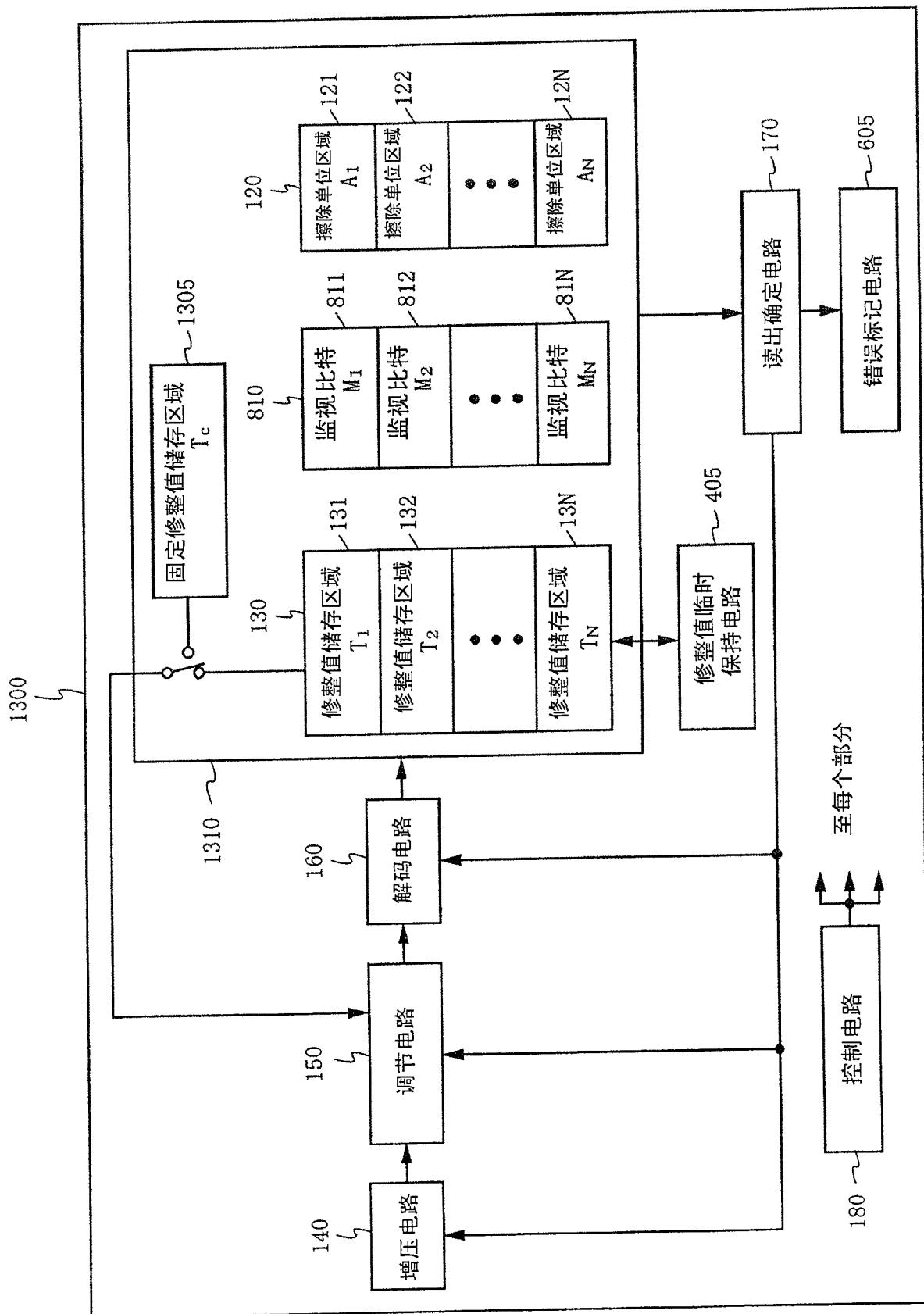


图 12

图 13



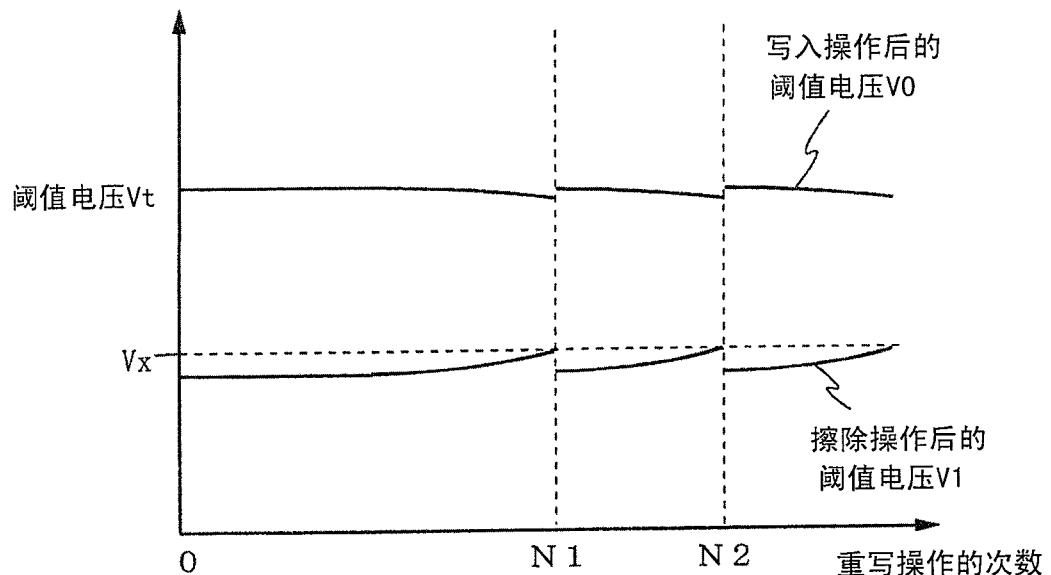


图 14

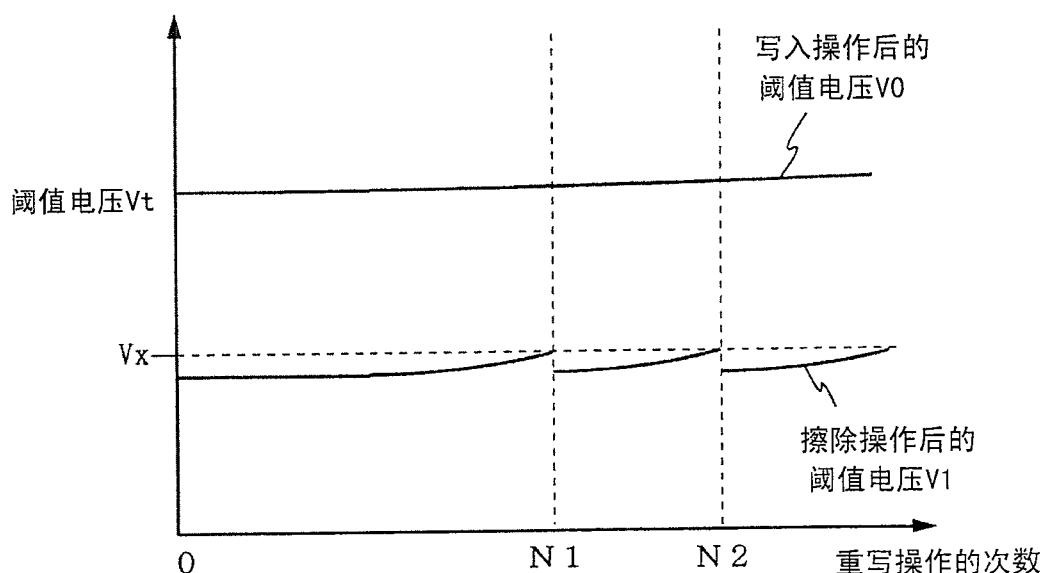
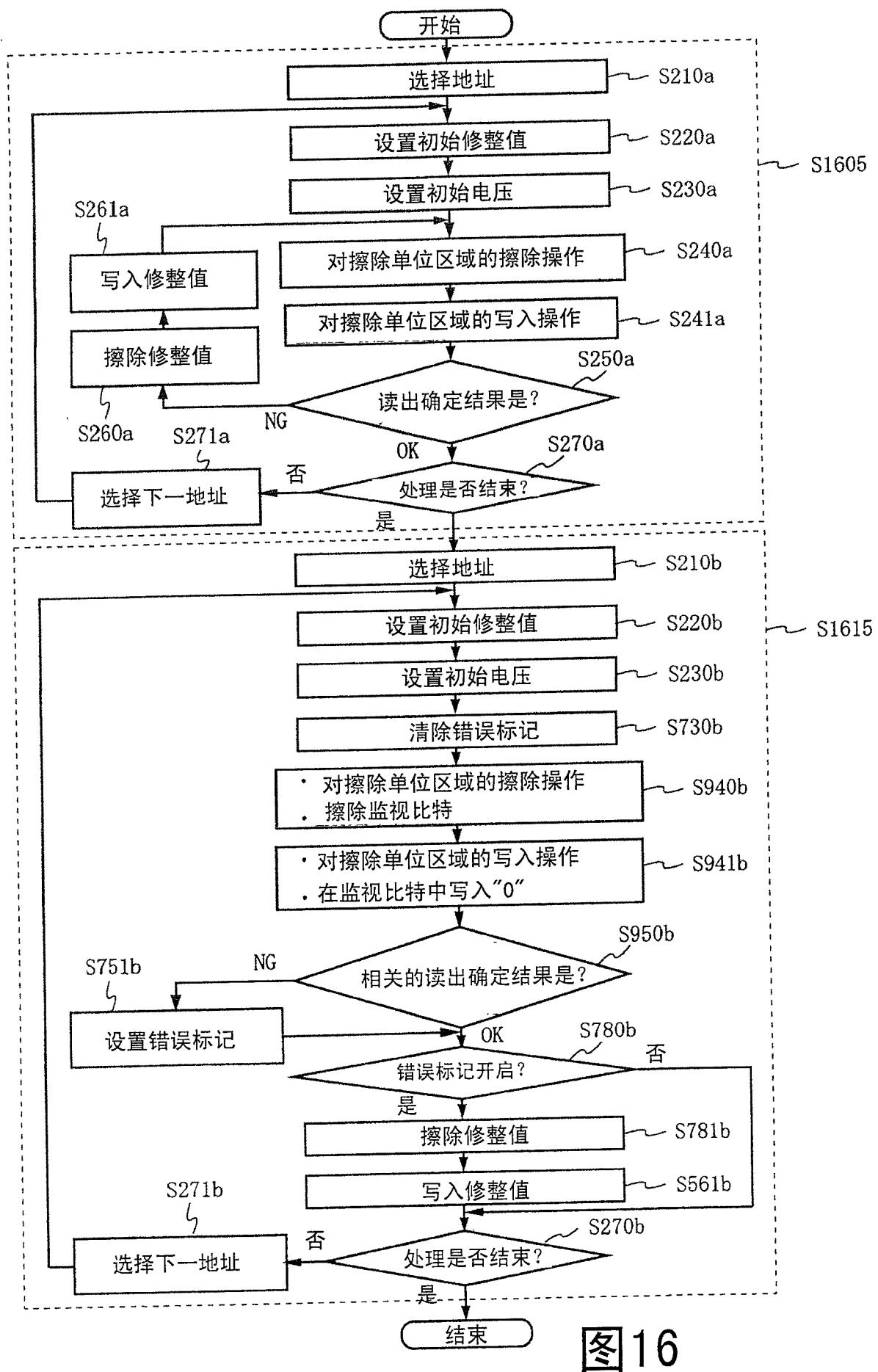
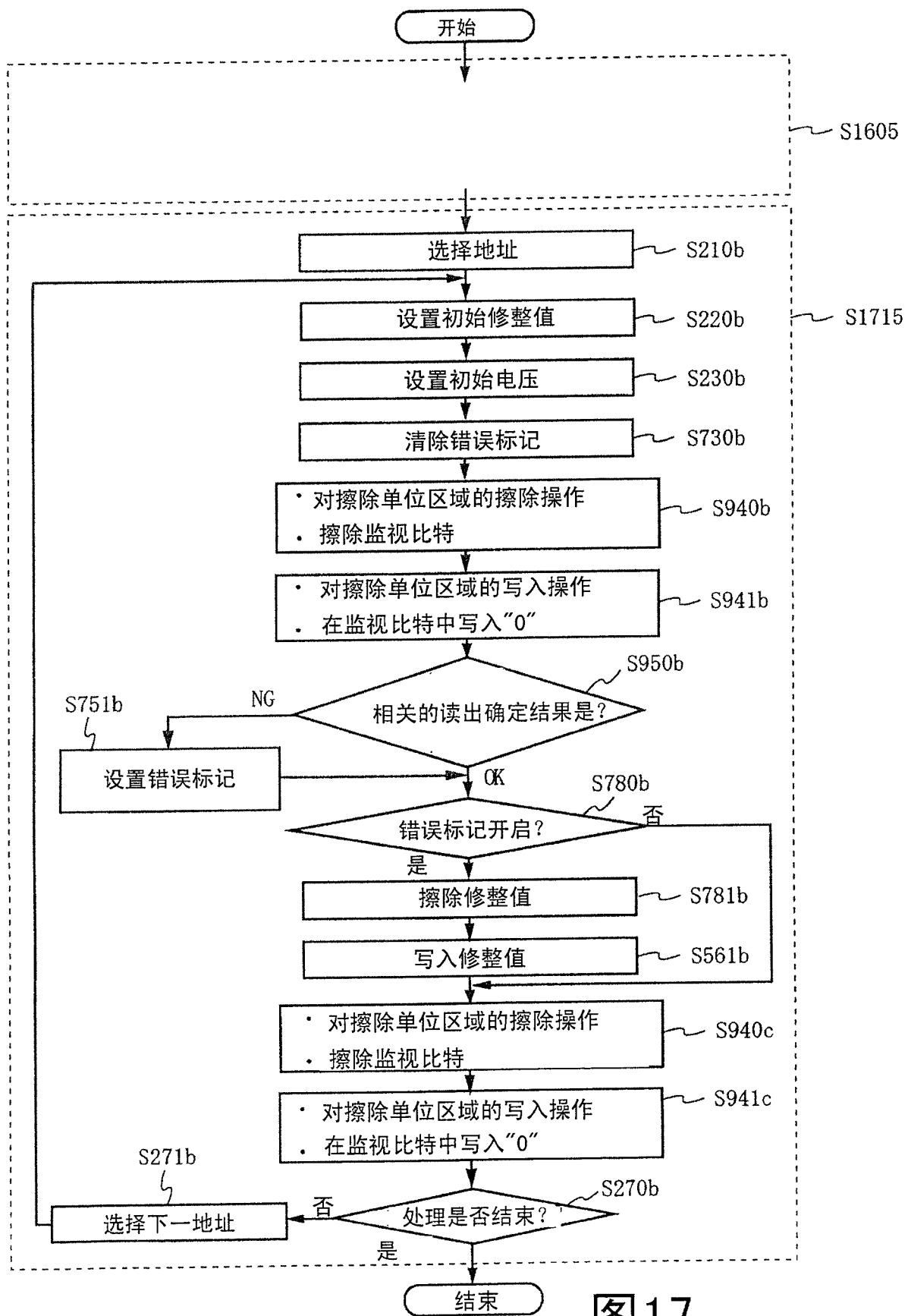


图 15





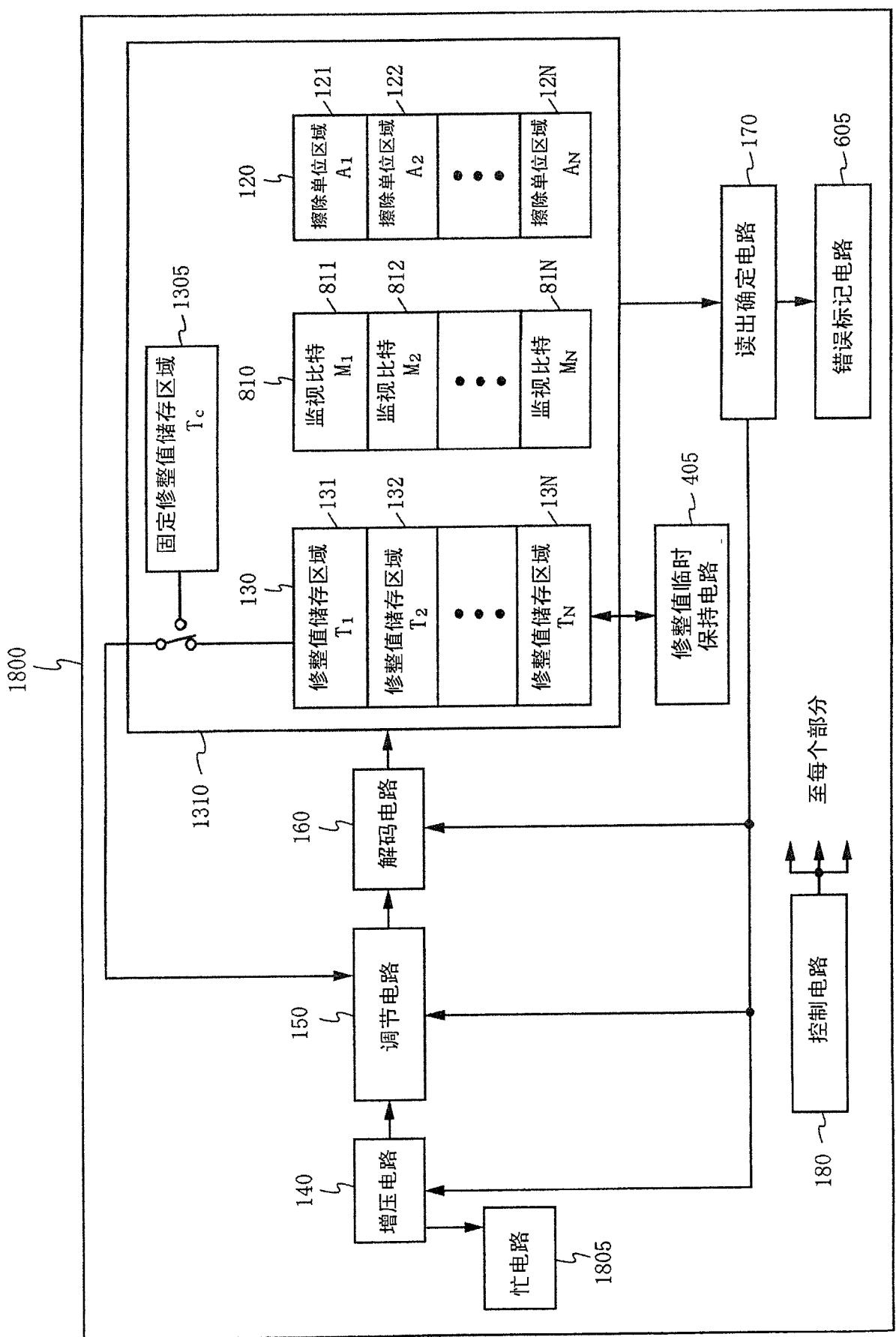


图 18

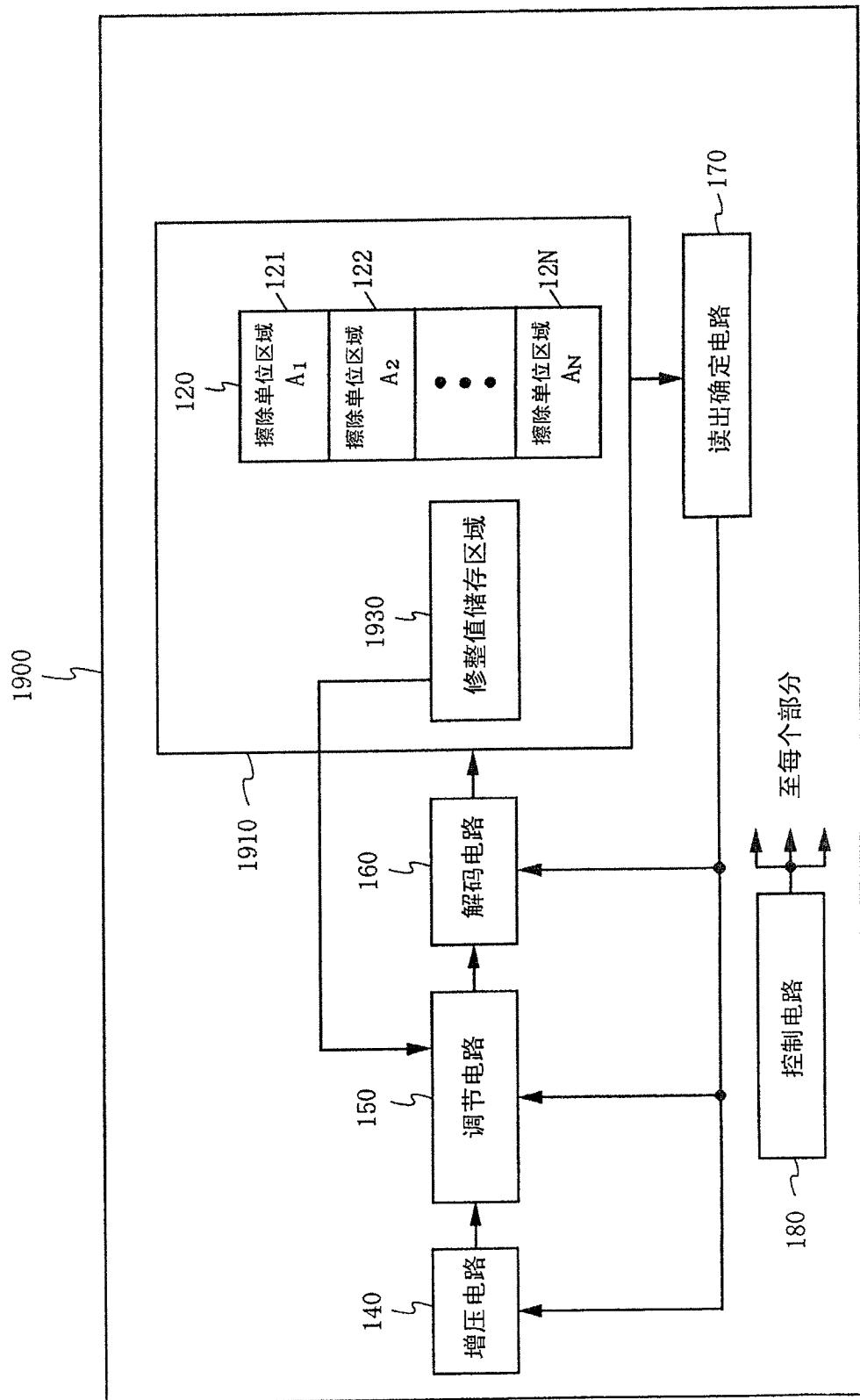


图19

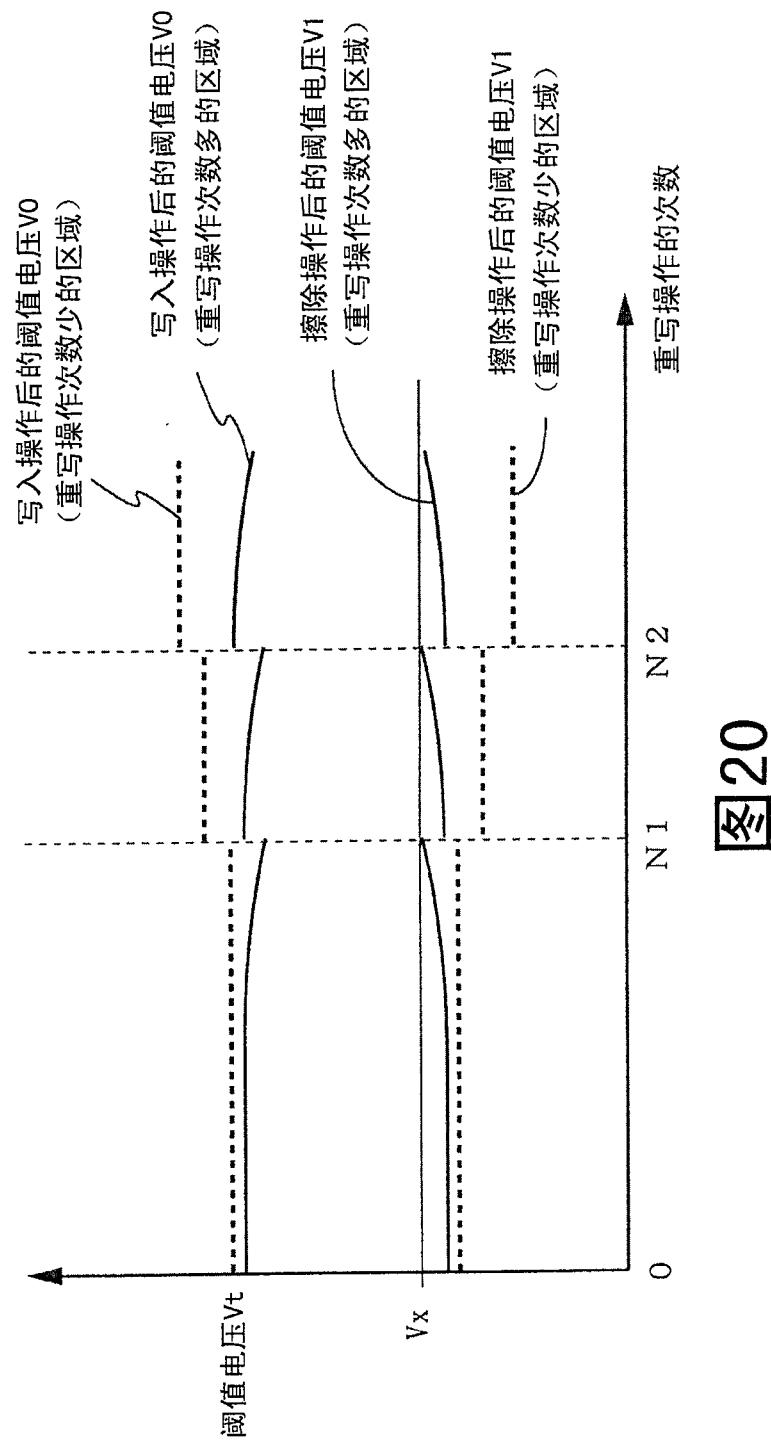


图20