



(21)申請案號：109121228

(22)申請日：中華民國 109 (2020) 年 06 月 22 日

(51)Int. Cl. : H10F39/12 (2025.01)

H04N25/70 (2023.01)

(30)優先權：2019/06/26 日本

2019-119167

(71)申請人：日商索尼半導體解決方案公司(日本) SONY SEMICONDUCTOR SOLUTIONS CORPORATION (JP)

日本

(72)發明人：宮崎俊彥 MIYAZAKI, TOSHIHIKO (JP)；川原雄基 KAWAHARA, YUKI (JP)；鈴木毅 SUZUKI, TSUYOSHI (JP)；飯島匡 IJIMA, TADASHI (JP)

(74)代理人：陳長文

(56)參考文獻：

TW 201838096A

US 2012/0105696A1

US 2018/0240797A1

審查人員：劉漢胤

申請專利範圍項數：10 項 圖式數：118 共 291 頁

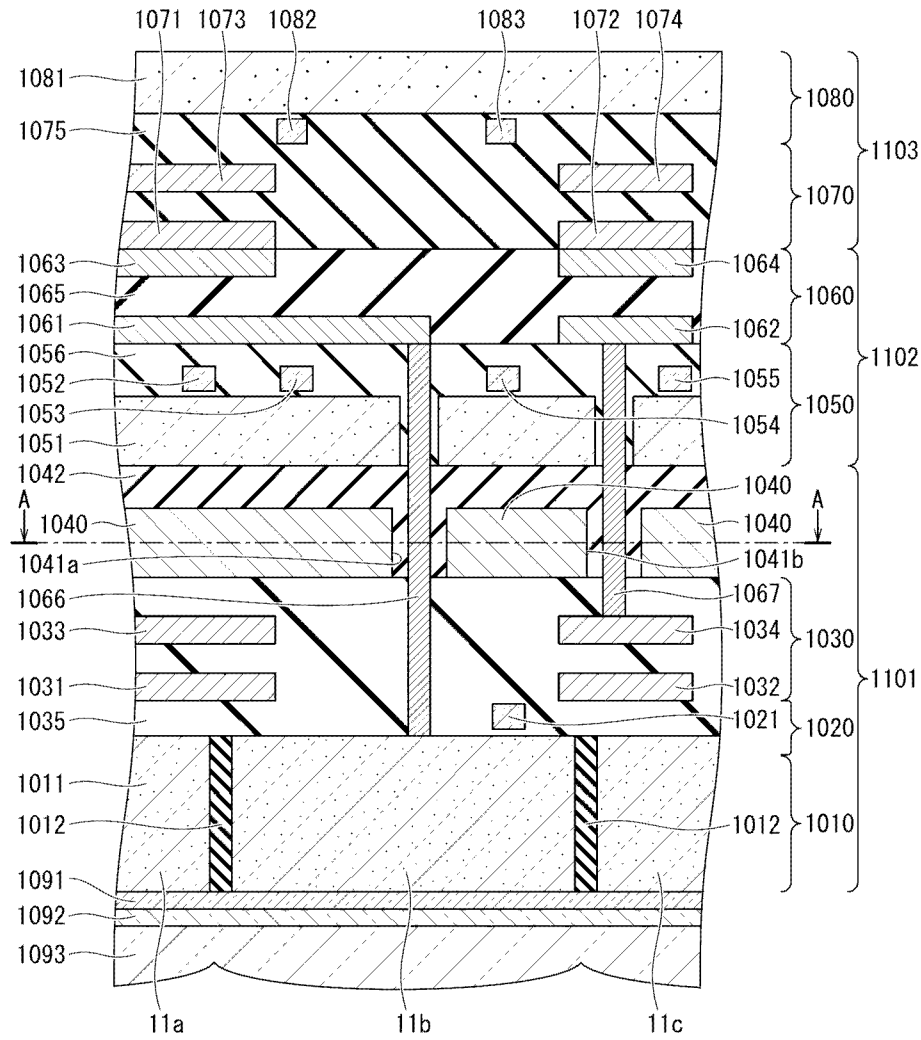
(54)名稱

半導體裝置

(57)摘要

本發明提供一種可抑制於複數個基板之積層構造中，上下基板上所形成之元件間之雜訊或熱傳播，從而可抑制元件特性劣化之半導體裝置。半導體裝置具備：第 1 基板，其包含含有第 1 主動元件之第 1 元件層、配置於第 1 元件層上之第 1 配線層、及配置於第 1 配線層上且含有導電性材料之屏蔽層；及第 2 基板，其包含配置於屏蔽層上且含有第 2 主動元件之第 2 元件層、及配置於第 2 元件層上之第 2 配線層；且該半導體裝置係第 1 基板與第 2 基板積層而構成。

指定代表圖：



【圖19】

符號簡單說明：

- 11a:正面
- 1010:感測器層
- 1011:Si 基板
- 1012:元件分離部
- 1020:第 1 元件層
- 1021:第 1 主動元件
- 1030:第 1 配線層
- 1031:配線
- 1032:配線
- 1033:配線
- 1034:配線
- 1035:層間絕緣膜
- 1040:屏蔽層
- 1041a:開口部
- 1041b:開口部
- 1042:層間絕緣膜
- 1050:第 2 元件層
- 1051:Si 基板
- 1052,1053,1054,1055:  
第 2 主動元件
- 1056:層間絕緣膜
- 1060:第 2 配線層
- 1061,1062,1063,1064:  
配線
- 1065:層間絕緣膜
- 1066:連接配線
- 1067:連接配線
- 1070:第 3 配線層
- 1071,1072,1073,1074:  
配線
- 1075:層間絕緣膜
- 1080:第 3 元件層
- 1081:Si 基板
- 1082,1083:第 3 主動元  
件
- 1091:平坦化膜
- 1092:彩色濾光片

I878310

TW I878310 B

1093:微透鏡

1101:第 1 基板

1102:第 2 基板

1103:第 3 基板



I878310

## 【發明摘要】

## 【中文發明名稱】

半導體裝置

## 【中文】

本發明提供一種可抑制於複數個基板之積層構造中，上下基板上所形成之元件間之雜訊或熱傳播，從而可抑制元件特性劣化之半導體裝置。半導體裝置具備：第1基板，其包含含有第1主動元件之第1元件層、配置於第1元件層上之第1配線層、及配置於第1配線層上且含有導電性材料之屏蔽層；及第2基板，其包含配置於屏蔽層上且含有第2主動元件之第2元件層、及配置於第2元件層上之第2配線層；且該半導體裝置係第1基板與第2基板積層而構成。

## 【指定代表圖】

圖19

## 【代表圖之符號簡單說明】

11a:正面

1010:感測器層

1011:Si基板

1012:元件分離部

1020:第1元件層

1021:第1主動元件

1030:第1配線層

1031:配線

1032:配線

1033:配線  
1034:配線  
1035:層間絕緣膜  
1040:屏蔽層  
1041a:開口部  
1041b:開口部  
1042:層間絕緣膜  
1050:第2元件層  
1051:Si基板  
1052, 1053, 1054, 1055:第2主動元件  
1056:層間絕緣膜  
1060:第2配線層  
1061, 1062, 1063, 1064:配線  
1065:層間絕緣膜  
1066:連接配線  
1067:連接配線  
1070:第3配線層  
1071, 1072, 1073, 1074:配線  
1075:層間絕緣膜  
1080:第3元件層  
1081:Si基板  
1082, 1083:第3主動元件  
1091:平坦化膜

1092:彩色濾光片

1093:微透鏡

1101:第1基板

1102:第2基板

1103:第3基板

## 【發明說明書】

### 【中文發明名稱】

半導體裝置

### 【技術領域】

#### 【0001】

本發明之技術(本技術)係關於一種半導體裝置及其製造方法。

### 【先前技術】

#### 【0002】

先前，已知有藉由將分別形成有電晶體等元件之複數個基板積層，而於縱向上增大元件密度之方法(參照專利文獻1)。該方法之特徵在於，並非僅僅使用1個平面，而是每積層一次便2個平面、3個平面地增加元件數。在用於面積有限之元件之情形時，可使元件增大，而於較小之面積中構成複雜之電路。

#### 【0003】

於影像感測器中，像素尺寸固定，針對每個像素所形成之元件面積受到像素尺寸限定。因此，無法自由變更元件之大小，進而增加元件數以使電路複雜化之操作存在極限，因此，對如影像感測器般元件面積受到限制之裝置而言，藉由複數個基板之積層構造來增大元件面積成為非常有效之方法。

[先前技術文獻]

[專利文獻]

#### 【0004】

[專利文獻1]日本專利特開2014-99582號公報

**【發明內容】****[發明所欲解決之問題]****【0005】**

於複數個基板之積層構造中，電磁波、紅外線、突波等雜訊或熱可能會在上下基板上所形成之元件間相互傳播，從而導致元件特性劣化。

**【0006】**

本技術之目的在於，提供一種可抑制於複數個基板之積層構造中上下基板上所形成之元件間之雜訊或熱傳播，從而可抑制元件特性劣化之半導體裝置及其製造方法。

**[解決問題之技術手段]****【0007】**

本技術之一態樣之半導體裝置之要點在於具備：第1基板，其包含含有第1主動元件之第1元件層、配置於第1元件層上之第1配線層、及配置於第1配線層上且含有導電性材料之屏蔽層；及第2基板，其包含含有配置於屏蔽層上之第2主動元件之第2元件層、及配置於第2元件層上之第2配線層；且該半導體裝置係第1基板與第2基板積層而構成。

**【0008】**

本技術之另一態樣之半導體裝置之製造方法之要點在於包含如下步驟：於包含第1主動元件之第1元件層上形成第1配線層；於第1配線層上形成含有導電性材料之屏蔽層，藉此形成包含第1元件層、第1配線層及屏蔽層之第1基板；準備形成有包含第2主動元件之第2元件層之第2基板；及將第2基板之上述第2元件層側貼合於第1基板之屏蔽層側，藉此於屏蔽層上形成第2元件層，於第2元件層上形成第2配線層。

**【0009】**

本技術之另一態樣之半導體裝置之要點在於具備：第1基板，其包含含有第1主動元件之第1元件層、及配置於上述第1元件層上之第1配線層；及第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且該半導體裝置係上述第1基板與上述第2基板積層而構成，於上述第1基板與上述第2基板之間具備含有導電性材料之電磁遮蔽層。

**【0010】**

本技術之另一態樣之半導體裝置之製造方法之要點在於包含如下步驟：於包含第1主動元件之第1元件層上形成第1配線層，藉此形成包含上述第1元件層及上述第1配線層之第1基板；準備第2基板；於上述第1基板或上述第2基板形成含有導電性材料之電磁遮蔽層；介隔上述電磁遮蔽層將上述第1基板與上述第2基板貼合；於上述第2基板上形成包含第2主動元件之第2元件層；及於上述第2元件層上形成第2配線層。

**【0011】**

本技術之另一態樣之半導體裝置之要點在於具備：第1基板，其包含含有第1主動元件之第1元件層、配置於上述第1元件層上之第1配線層、及配置於上述第1元件層下之光電轉換部；及第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且該半導體裝置係上述第1基板與上述第2基板積層而構成，於上述第2主動元件與上述光電轉換部之間具備由折射率高於周圍之材料構成之光衰減部。

**【0012】**

本技術之另一態樣之半導體裝置之製造方法之要點在於包含如下步

驟：於包含第1主動元件之第1元件層上形成第1配線層，於上述第1元件層下形成光電轉換部，藉此形成包含上述第1元件層、上述第1配線層及上述光電轉換部之第1基板；準備第2基板；於上述第2基板形成由折射率高於周圍之材料構成之光衰減部；將上述第1基板與上述第2基板之上述光衰減部側貼合；於上述第2基板上形成包含第2主動元件之第2元件層；及於上述第2元件層上形成第2配線層。

### 【0013】

本技術之另一態樣之半導體裝置之要點在於具備：第1基板，其包含含有第1主動元件之第1元件層、配置於上述第1元件層上之第1配線層、及配置於上述第1元件層下之光電轉換部；第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；及抗反射部，其由折射率較上述第2基板中所包含之半導體材料低之材料構成；且該半導體裝置係上述第1基板與上述第2基板積層而構成，至少於上述第2主動元件與上述光電轉換部之間配置有上述抗反射部。

### 【0014】

本技術之另一態樣之半導體裝置之製造方法之要點在於包含如下步驟：於包含第1主動元件之第1元件層上形成第1配線層，於上述第1元件層下形成光電轉換部，藉此形成包含上述第1元件層、上述第1配線層及上述光電轉換部之第1基板；準備第2基板；於上述第2基板形成抗反射部，該抗反射部由折射率較上述第2基板中所包含之半導體材料低之材料構成；將上述第1基板與上述第2基板之上述抗反射部側貼合；於上述第2基板上形成包含第2主動元件之第2元件層；及於上述第2元件層上形成第2配線層。

**【圖式簡單說明】****【0015】**

圖1係表示本技術之第1實施形態之攝像裝置的概略構成之一例之圖。

圖2係表示圖1之感測器像素及讀出電路之一例之圖。

圖3係表示複數個讀出電路與複數條垂直信號線之連接態樣之一例之圖。

圖4係表示圖1之攝像裝置之垂直方向的剖面構成之一例之圖。

圖5係表示圖1之攝像裝置之垂直方向的剖面構成之一例之圖。

圖6係表示圖1之攝像裝置之水平方向的剖面構成之一例之圖。

圖7係表示圖1之攝像裝置之水平方向的剖面構成之一例之圖。

圖8係表示圖1之攝像裝置之水平方向的剖面構成之一例之圖。

圖9係表示圖1之攝像裝置之水平方向的剖面構成之一例之圖。

圖10係表示具備上述實施形態及其變化例之攝像裝置之攝像裝置的電路構成之一例之圖。

圖11係表示以積層3個基板之方式構成圖10之攝像裝置之例的圖。

圖12係表示於設置有感測器像素之基板及設置有讀出電路之基板分開地形成有邏輯電路之例之圖。

圖13係表示於第3基板形成有邏輯電路之例之圖。

圖14係表示具備上述實施形態及其變化例之攝像裝置之攝像系統的概略構成之一例之圖。

圖15係表示圖14之攝像系統之攝像步序之一例的圖。

圖16係表示本技術之第1實施形態之半導體裝置之概略構成圖。

圖17係本技術之第1實施形態之半導體裝置之基板積層化的概念圖。

圖18係本技術之第1實施形態之半導體裝置之像素區域的等效電路。

圖19係本技術之第1實施形態之半導體裝置之像素區域的主要部分剖視圖。

圖20係從圖19之A-A方向觀察到之水平方向之剖視圖。

圖21係本技術之第1實施形態之半導體裝置之製造方法的工序剖視圖。

圖22係本技術之第1實施形態之半導體裝置之製造方法的繼圖21之後之工序剖視圖。

圖23係本技術之第1實施形態之半導體裝置之製造方法的繼圖22之後之工序剖視圖。

圖24係本技術之第1實施形態之半導體裝置之製造方法的繼圖23之後之工序剖視圖。

圖25係本技術之第1實施形態之半導體裝置之製造方法的繼圖24之後之工序剖視圖。

圖26係本技術之第1實施形態之半導體裝置之製造方法的繼圖25之後之工序剖視圖。

圖27係本技術之第1實施形態之半導體裝置之製造方法的繼圖26之後之工序剖視圖。

圖28係本技術之第1實施形態之半導體裝置之製造方法的繼圖27之後之工序剖視圖。

圖29係本技術之第1實施形態之半導體裝置之製造方法的繼圖28之後之工序剖視圖。

圖30係本技術之第1實施形態之半導體裝置之製造方法的繼圖29之後之工序剖視圖。

圖31係本技術之第1實施形態之半導體裝置之製造方法的繼圖30之後之工序剖視圖。

圖32係本技術之第1實施形態之半導體裝置之製造方法的繼圖31之後之工序剖視圖。

圖33係本技術之第2實施形態之半導體裝置之像素區域的主要部分剖視圖。

圖34係從圖33之A-A方向觀察到之水平方向之剖視圖。

圖35A係本技術之第3實施形態之半導體裝置之像素區域的主要部分剖視圖。

圖35B係表示本技術之第3實施形態之半導體裝置之電磁遮蔽層1302與第1主動元件1221之位置關係的模式圖。

圖36A係本技術之第3實施形態之半導體裝置之製造方法的工序剖視圖。

圖36B係本技術之第3實施形態之半導體裝置之製造方法的工序剖視圖。

圖36C係本技術之第3實施形態之半導體裝置之製造方法的工序剖視圖。

圖36D係本技術之第3實施形態之半導體裝置之製造方法的工序剖視圖。

圖37係表示本技術之第3實施形態之變化例1的半導體裝置之製造方法之模式剖視圖。

圖38係本技術之第3實施形態之變化例2的半導體裝置之像素區域之主要部分剖視圖。

圖39係表示本技術之第3實施形態之變化例3的半導體裝置之電磁遮蔽層1302之模式剖視圖。

圖40A係表示本技術之第3實施形態之變化例4的半導體裝置之電磁遮蔽層1302之模式剖視圖，且係像素區域之主要部分剖視圖。

圖40B係表示本技術之第3實施形態之變化例4的半導體裝置之電磁遮蔽層1302與第1主動元件1221之位置關係之模式圖。

圖41A係表示本技術之第3實施形態之變化例5的半導體裝置之電磁遮蔽層1302的模式剖視圖，且係像素區域之主要部分剖視圖。

圖41B係表示本技術之第3實施形態之變化例5的半導體裝置之電磁遮蔽層1302的模式剖視圖，且係表示電磁遮蔽層1302與第1主動元件1221之位置關係之模式圖。

圖42係本技術之第4實施形態之半導體裝置之像素區域的主要部分剖視圖。

圖43A係將光衰減部1501、1502之周圍放大後表示之模式圖，圖43A係表示入射至光衰減部1501、1502之光之路徑之剖視圖。

圖43B係將光衰減部1501、1502之周圍放大後表示之模式圖，且係表示光衰減部1501、1502之配置例之模式頂視圖。

圖44A係本技術之第4實施形態之半導體裝置之製造方法的工序剖視圖。

圖44B係本技術之第4實施形態之半導體裝置之製造方法的繼圖44A之後之工序剖視圖。

圖44C係本技術之第4實施形態之半導體裝置之製造方法的繼圖44B之後之工序剖視圖。

圖45D係本技術之第4實施形態之半導體裝置之製造方法的繼圖44C之後之工序剖視圖。

圖45E係本技術之第4實施形態之半導體裝置之製造方法的繼圖45D之後之工序剖視圖。

圖45F係本技術之第4實施形態之半導體裝置之製造方法的繼圖45E之後之工序剖視圖。

圖46G係本技術之第4實施形態之半導體裝置之製造方法的繼圖45F之後之工序剖視圖。

圖46H係本技術之第4實施形態之半導體裝置之製造方法的繼圖46G之後之工序剖視圖。

圖47I係本技術之第4實施形態之半導體裝置之製造方法的繼圖46H之後之工序剖視圖。

圖47J係本技術之第4實施形態之半導體裝置之製造方法的繼圖47I之後之工序剖視圖。

圖48係本技術之第4實施形態之變化例1之半導體裝置的局部放大剖視圖。

圖49係本技術之第4實施形態之變化例2之半導體裝置的局部放大剖視圖。

圖50A係本技術之第4實施形態之變化例2之半導體裝置之製造方法之工序剖視圖。

圖50B係本技術之第4實施形態之變化例2之半導體裝置之製造方法的

繼圖50A之後之工序剖視圖。

圖50C係本技術之第4實施形態之變化例2之半導體裝置之製造方法的

繼圖50B之後之工序剖視圖。

圖51D係本技術之第4實施形態之變化例2之半導體裝置之製造方法的繼圖50C之後之工序剖視圖。

圖51E係本技術之第4實施形態之變化例2之半導體裝置之製造方法的繼圖51D之後之工序剖視圖。

圖51F係本技術之第4實施形態之變化例2之半導體裝置之製造方法的繼圖51E之後之工序剖視圖。

圖52G係本技術之第4實施形態之變化例2之半導體裝置之製造方法的繼圖51F之後之工序剖視圖。

圖52H係本技術之第4實施形態之變化例2之半導體裝置之製造方法的繼圖52G之後之工序剖視圖。

圖53係本技術之第4實施形態之變化例3之半導體裝置的局部放大剖視圖。

圖54A係本技術之第4實施形態之變化例3之半導體裝置之製造方法之工序剖視圖。

圖54B係本技術之第4實施形態之變化例3之半導體裝置之製造方法的繼圖54A之後之工序剖視圖。

圖54C係本技術之第4實施形態之變化例3之半導體裝置之製造方法的繼圖54B之後之工序剖視圖。

圖55D係本技術之第4實施形態之變化例3之半導體裝置之製造方法的繼圖54C之後之工序剖視圖。

圖55E係本技術之第4實施形態之變化例3之半導體裝置之製造方法的繼圖55D之後之工序剖視圖。

圖55F係本技術之第4實施形態之變化例3之半導體裝置之製造方法的繼圖55E之後之工序剖視圖。

圖56係本技術之第4實施形態之變化例4之半導體裝置的局部放大剖視圖。

圖57係本技術之第4實施形態之變化例5之半導體裝置的局部放大剖視圖。

圖58係本技術之第5實施形態之半導體裝置之局部放大剖視圖。

圖59係表示抗反射部1701與連接配線1666之位置關係之模式圖。

圖60係本技術之第5實施形態之半導體裝置之製造方法之工序剖視圖。

圖61係本技術之第5實施形態之半導體裝置之製造方法的繼圖60之後之工序剖視圖。

圖62係本技術之第5實施形態之變化例1之半導體裝置的局部放大剖視圖。

圖63係本技術之第5實施形態之變化例1的半導體裝置之製造方法之工序剖視圖。

圖64係本技術之第5實施形態之變化例2之半導體裝置的局部放大剖視圖。

圖65係本技術之第5實施形態之變化例2的半導體裝置之製造方法之工序剖視圖。

圖66係本技術之第5實施形態之變化例3之半導體裝置的局部放大剖

視圖。

圖67係本技術之第5實施形態之變化例4之半導體裝置的局部放大剖

視圖。

圖68係本技術之第5實施形態之變化例5之半導體裝置的局部放大剖

視圖。

圖69係本技術之另一實施形態之電子機器之概略構成圖。

圖70係表示本發明之一實施形態之攝像裝置的功能構成之一例之方塊圖。

圖71係表示圖70所示之攝像裝置之概略構成之俯視模式圖。

圖72係表示沿著圖71所示之III-III'線之剖面構成之模式圖。

圖73係圖70所示之像素共有單元之等效電路圖。

圖74係表示複數個像素共有單元與複數條垂直信號線之連接態樣之一例之圖。

圖75係表示圖72所示之攝像裝置之具體構成之一例的剖視模式圖。

圖76A係表示圖75所示之第1基板之主要部分的平面構成之一例之模式圖。

圖76B係表示圖76A所示之第1基板之主要部分及焊墊部之平面構成之模式圖。

圖77係表示圖75所示之第2基板(半導體層)之平面構成之一例的模式圖。

圖78係表示圖75所示之第1配線層、與像素電路及第1基板之主要部分的平面構成之一例之模式圖。

圖79係表示圖75所示之第1配線層及第2配線層之平面構成之一例的

模式圖。

圖80係表示圖75所示之第2配線層及第3配線層之平面構成之一例的模式圖。

圖81係表示圖75所示之第3配線層及第4配線層之平面構成之一例的模式圖。

圖82係用以說明向圖72所示之攝像裝置輸入之輸入信號之路徑的模式圖。

圖83係用以說明圖72所示之攝像裝置之像素信號之信號路徑的模式圖。

圖84係表示圖77所示之第2基板(半導體層)之平面構成之一變化例的模式圖。

圖85係表示圖84所示之像素電路、與第1配線層及第1基板之主要部分之平面構成之模式圖。

圖86係表示圖85所示之第1配線層、與第2配線層之平面構成之一例之模式圖。

圖87係表示圖86所示之第2配線層、與第3配線層之平面構成之一例之模式圖。

圖88係表示圖87所示之第3配線層、與第4配線層之平面構成之一例之模式圖。

圖89係表示圖76A所示之第1基板之平面構成之一變化例的模式圖。

圖90係表示圖89所示之第1基板上所積層之第2基板(半導體層)的平面構成之一例之模式圖。

圖91係表示圖90所示之像素電路、與第1配線層之平面構成之一例之

模式圖。

圖92係表示圖91所示之第1配線層、與第2配線層之平面構成之一例之模式圖。

圖93係表示圖92所示之第2配線層、與第3配線層之平面構成之一例之模式圖。

圖94係表示圖93所示之第3配線層、與第4配線層之平面構成之一例之模式圖。

圖95係表示圖89所示之第1基板之平面構成之另一例的模式圖。

圖96係表示圖95所示之第1基板上所積層之第2基板(半導體層)的平面構成之一例之模式圖。

圖97係表示圖96所示之像素電路、與第1配線層之平面構成之一例之模式圖。

圖98係表示圖97所示之第1配線層、與第2配線層之平面構成之一例之模式圖。

圖99係表示圖98所示之第2配線層、與第3配線層之平面構成之一例之模式圖。

圖100係表示圖99所示之第3配線層、與第4配線層之平面構成之一例之模式圖。

圖101係表示圖72所示之攝像裝置之另一例之剖視模式圖。

圖102係用以說明向圖101所示之攝像裝置輸入之輸入信號之路徑的模式圖。

圖103係用以說明圖101所示之攝像裝置之像素信號之信號路徑的模式圖。

圖104係表示圖75所示之攝像裝置之另一例之剖視模式圖。

圖105係表示圖73所示之等效電路之另一例之圖。

圖106係表示圖76A等所示之像素分離部之另一例之俯視模式圖。

圖107係表示本發明之第7實施形態之攝像裝置之構成例的厚度方向之剖視圖。

圖108係表示本發明之第7實施形態之攝像裝置之構成例的厚度方向之剖視圖。

圖109係表示本發明之第7實施形態之攝像裝置之構成例的厚度方向之剖視圖。

圖110係表示本發明之第7實施形態之複數個像素單元之布局例的水平方向之剖視圖。

圖111係表示本發明之第7實施形態之複數個像素單元之布局例的水平方向之剖視圖。

圖112係表示本發明之第7實施形態之複數個像素單元之布局例的水平方向之剖視圖。

圖113係表示具備上述實施形態及其變化例之攝像裝置之攝像系統的概略構成之一例之圖。

圖114係表示圖113所示之攝像系統之攝像步序之一例的圖。

圖115係表示車輛控制系統之概略構成之一例之方塊圖。

圖116係表示車外資訊檢測部及攝像部之設置位置之一例之說明圖。

圖117係表示內視鏡手術系統之概略構成之一例之圖。

圖118係表示相機鏡頭及CCU之功能構成之一例之方塊圖。

## 【實施方式】

**【0016】**

以下，參照圖式來說明本技術之第1～第7實施形態。於以下說明所參照之圖式之記載中，對相同或類似之部分附上相同或類似之符號。但，應注意圖式係模式性之圖，厚度與平面尺寸之關係、各層之厚度之比率等與現實情況不同。因此，具體厚度或尺寸應參考以下說明加以判斷。又，當然，圖式彼此間亦包含相互之尺寸關係或比率不同之部分。再者，本說明中所記載之效果僅為例示而非限定者，亦可具有其他效果。

**【0017】**

(第1實施形態)

[構成]

圖1係表示本技術之第1實施形態之攝像裝置1的概略構成之一例之圖。攝像裝置1具備3個基板(第1基板10、第2基板20、第3基板30)。攝像裝置1係將3個基板(第1基板10、第2基板20、第3基板30)貼合而構成之三維構造之攝像裝置。第1基板10、第2基板20及第3基板30依序積層。

**【0018】**

第1基板10於半導體基板11具有進行光電轉換之複數個感測器像素12。複數個感測器像素12於第1基板10之像素區域13內設置成方陣狀。第2基板20於半導體基板21上針對每4個感測器像素12分別具有1個讀出電路22，該讀出電路22將基於從感測器像素12輸出之電荷之像素信號輸出。半導體基板21相當於本技術之「第2半導體基板」之一具體例。第2基板20具有於列方向上延伸之複數條像素驅動線23、及於行方向上延伸之複數條垂直信號線24。第3基板30於半導體基板31上具有對像素信號進行處理之邏輯電路32。半導體基板31相當於本技術之「第3半導體基板」之一

具體例。邏輯電路32例如具有垂直驅動電路33、行信號處理電路34、水平驅動電路35及系統控制電路36。邏輯電路32(具體而言為水平驅動電路35)向外部輸出每個感測器像素12之輸出電壓 $V_{out}$ 。於邏輯電路32中，例如可於與源極電極及汲極電極相接之雜質擴散區域之表面，形成低電阻區域，該低電阻區域包含 $CoSi_2$ 或 $NiSi$ 等使用自對準矽化物(Self Aligned Silicide)工藝而形成之矽化物。

#### 【0019】

垂直驅動電路33例如以列為單位依序選擇複數個感測器像素12。行信號處理電路34例如對從垂直驅動電路33所選擇之列之各感測器像素12輸出之像素信號實施相關雙取樣(Correlated Double Sampling : CDS)處理。行信號處理電路34例如藉由實施CDS處理而提取像素信號之信號位準，保持與各感測器像素12之受光量相應之像素資料。水平驅動電路35例如將行信號處理電路34中所保持之像素資料依序輸出至外部。系統控制電路36例如控制邏輯電路32內之各區塊(垂直驅動電路33、行信號處理電路34及水平驅動電路35)之驅動。

#### 【0020】

圖2係表示感測器像素12及讀出電路22之一例之圖。以下，如圖2所示，對4個感測器像素12共有1個讀出電路22之情形進行說明。此處，所謂「共有」係指4個感測器像素12之輸出被輸入至共通之讀出電路22。

#### 【0021】

各感測器像素12具有相互共通之構成要素。圖2中，為了將各感測器像素12之構成要素相互區分，而對各感測器像素12之構成要素之符號之末尾賦予識別編號(1、2、3、4)。以下，於必須將各感測器像素12之構成

要素相互區分之情形時，對各感測器像素12之構成要素之符號之末尾賦予識別編號，於無需將各感測器像素12之構成要素相互區分之情形時，省略各感測器像素12之構成要素之符號之末尾的識別編號。

### 【0022】

各感測器像素12例如具有：光電二極體PD；傳輸電晶體TR，其與光電二極體PD電性連接；及浮動擴散部FD，其暫時保持經由傳輸電晶體TR從光電二極體PD輸出之電荷。光電二極體PD相當於本技術之「光電轉換元件」之一具體例。光電二極體PD進行光電轉換後產生與受光量相應之電荷。光電二極體PD之陰極電性連接於傳輸電晶體TR之源極，光電二極體PD之陽極電性連接於基準電位線(例如接地)。傳輸電晶體TR之汲極電性連接於浮動擴散部FD，傳輸電晶體TR之閘極電性連接於像素驅動線23。傳輸電晶體TR係例如CMOS(Complementary Metal Oxide Semiconductor，金屬氧化物半導體)電晶體。

### 【0023】

共有1個讀出電路22之各感測器像素12之浮動擴散部FD相互電性連接，並且電性連接於共通之讀出電路22之輸入端。讀出電路22例如具有重設電晶體RST、選擇電晶體SEL及放大電晶體AMP。再者，選擇電晶體SEL可視需要而省略。重設電晶體RST之源極(讀出電路22之輸入端)電性連接於浮動擴散部FD，重設電晶體RST之汲極電性連接於電源線VDD及放大電晶體AMP之汲極。重設電晶體RST之閘極電性連接於像素驅動線23(參照圖1)。放大電晶體AMP之源極電性連接於選擇電晶體SEL之汲極，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。選擇電晶體SEL之源極(讀出電路22之輸出端)電性連接於垂直信號線24，選擇電

晶體SEL之閘極電性連接於像素驅動線23(參照圖1)。

#### 【0024】

傳輸電晶體TR係當傳輸電晶體TR成為接通狀態時，將光電二極體PD之電荷傳輸至浮動擴散部FD。傳輸電晶體TR之閘極(傳輸閘極TG)例如如下述圖4所示，從半導體基板11之正面貫通井層42地延伸至到達PD41之深度為止。重設電晶體RST將浮動擴散部FD之電位重設為規定之電位。當重設電晶體RST成為接通狀態時，將浮動擴散部FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制來自讀出電路22之像素信號之輸出時序。放大電晶體AMP產生與浮動擴散部FD中所保持之電荷之位準相應之電壓的信號作為像素信號。放大電晶體AMP構成源極隨耦型放大器，輸出與光電二極體PD中產生之電荷之位準相應之電壓的像素信號。放大電晶體AMP係當選擇電晶體SEL成為接通狀態時，將浮動擴散部FD之電位放大，將與該電位相應之電壓經由垂直信號線24輸出至行信號處理電路34。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為CMOS電晶體。

#### 【0025】

放大電晶體AMP之源極(讀出電路22之輸出端)電性連接於垂直信號線24，FD傳輸電晶體FDG設置於重設電晶體RST之源極與放大電晶體AMP之閘極之間，放大電晶體AMP之閘極電性連接於FD傳輸電晶體FDG之源極。

#### 【0026】

FD傳輸電晶體FDG係於將轉換效率進行切換時使用。通常，於暗處進行拍攝時，像素信號較小。於基於 $Q = CV$ 進行電荷電壓轉換時，若浮

動擴散部FD之電容(FD電容C)較大，則利用放大電晶體AMP轉換為電壓時之V會變小。另一方面，於亮處，像素信號變大，故若FD電容C變大，則浮動擴散部FD無法將光電二極體PD之電荷全部接收完。為了使利用放大電晶體AMP轉換為電壓時之V不變得過大(換言之，為了使利用放大電晶體AMP轉換為電壓時之V變小)，必須使FD電容C變大。基於上述內容，於使FD傳輸電晶體FDG接通時，與FD傳輸電晶體FDG相應之閘極電容增大，因此整體之FD電容C變大。另一方面，於使FD傳輸電晶體FDG斷開時，整體之FD電容C變小。藉由如此對FD傳輸電晶體FDG進行接通/斷開切換，能夠使FD電容C可變，從而切換轉換效率。

#### 【0027】

圖3係表示複數個讀出電路22與複數條垂直信號線24之連接態樣之一例之圖。於將複數個讀出電路22排列配置於垂直信號線24之延伸方向(例如行方向)之情形時，複數條垂直信號線24可針對每個讀出電路22各分配1條。例如，如圖3所示，於將4個讀出電路22排列配置於垂直信號線24之延伸方向(例如行方向)之情形時，4條垂直信號線24可針對每個讀出電路22各分配1條。再者，於圖3中，為了區分各垂直信號線24，對各垂直信號線24之符號之末尾賦予識別編號(1、2、3、4)。

#### 【0028】

圖4係表示攝像裝置1之垂直方向之剖面構成之一例的圖。圖4中，例示了攝像裝置1中與感測器像素12對向之部位之剖面構成。攝像裝置1係將第1基板10、第2基板20及第3基板30依序積層而構成，進而，於第1基板10之背面側(光入射面側)具備彩色濾光片40及受光透鏡50。彩色濾光片40及受光透鏡50分別例如於每個感測器像素12各設置1個。即，攝像裝置

1係背面照射型攝像裝置。

### 【0029】

第1基板10係於半導體基板11上積層絕緣層46而構成。絕緣層46相對於本技術之「第1絕緣層」之一具體例。第1基板10具有絕緣層46作為層間絕緣膜51之一部分。絕緣層46設置於半導體基板11與下述半導體基板21之間隙。半導體基板11包含矽基板。半導體基板11例如於正面之一部分及其附近具有p井層42，於除此以外之區域(較p井層42深之區域)具有與p井層42不同導電型之PD41。p井層42包含p型半導體區域。PD41包含與p井層42不同導電型(具體而言為n型)之半導體區域。半導體基板11於p井層42內具有浮動擴散部FD，作為與p井層42不同導電型(具體而言為n型)之半導體區域。

### 【0030】

第1基板10於每個感測器像素12中均具有光電二極體PD、傳輸電晶體TR及浮動擴散部FD。第1基板10成為如下構成：於半導體基板11之正面側(與光入射面側為相反側、第2基板20側)之部分設置有傳輸電晶體TR及浮動擴散部FD。第1基板10具有將各感測器像素12分離之元件分離部43。元件分離部43於半導體基板11之法線方向(與半導體基板11之表面垂直之方向)上延伸形成。元件分離部43設置於相互鄰接之2個感測器像素12之間。元件分離部43將相互鄰接之感測器像素12彼此電性分離。元件分離部43例如含有氧化矽。元件分離部43例如貫通半導體基板11。第1基板10例如具有進而與元件分離部43之側面且光電二極體PD側之面相接之p井層44。p井層44包含與光電二極體PD不同導電型(具體而言為p型)之半導體區域。第1基板10例如進而具有與半導體基板11之背面相接之固定電荷

膜45。固定電荷膜45為了抑制因半導體基板11之受光面側之界面能階引起之暗電流之產生而帶負電。固定電荷膜45例如由具有負固定電荷之絕緣膜形成。作為此種絕緣膜之材料，例如可列舉氧化鉛、氧化銻、氧化鋁、氧化鈦或氧化鉬。藉由固定電荷膜45所感應出之電場，於半導體基板11之受光面側之界面形成電洞蓄積層。藉由該電洞蓄積層而抑制從界面產生電子。彩色濾光片40設置於半導體基板11之背面側。彩色濾光片40例如與固定電荷膜45相接地設置，設置於介隔固定電荷膜45與感測器像素12對向之位置。受光透鏡50例如與彩色濾光片40相接地設置，設置於介隔彩色濾光片40及固定電荷膜45與感測器像素12對向之位置。

### 【0031】

第2基板20係於半導體基板21上積層絕緣層52而構成。絕緣層52相當於本技術之「第3絕緣層」之一具體例。第2基板20具有絕緣層52作為層間絕緣膜51之一部分。絕緣層52設置於半導體基板21與半導體基板31之間隙。半導體基板21包含矽基板。第2基板20係每4個感測器像素12便具有1個讀出電路22。第2基板20成為於半導體基板21之正面側(第3基板30側)之部分設置有讀出電路22之構成。第2基板20以使半導體基板21之背面向半導體基板11之正面側之方式貼合於第1基板10。即，第2基板20以面對背之方式貼合於第1基板10。第2基板20進而於與半導體基板21同一層內，具有貫通半導體基板21之絕緣層53。絕緣層53相當於本技術之「第2絕緣層」之一具體例。第2基板20具有絕緣層53作為層間絕緣膜51之一部分。絕緣層53以覆蓋下述貫通配線54之側面之方式設置。

### 【0032】

包含第1基板10及第2基板20之積層體具有層間絕緣膜51、及設置於

層間絕緣膜51內之貫通配線54。貫通配線54相當於本技術之「第1貫通配線」之一具體例。上述積層體於每個感測器像素12具有1條貫通配線54。貫通配線54於半導體基板21之法線方向上延伸，貫通層間絕緣膜51中之包含絕緣層53之部位而設置。第1基板10及第2基板20藉由貫通配線54而相互電性連接。具體而言，貫通配線54電性連接於浮動擴散部FD及下述連接配線55。

### 【0033】

包含第1基板10及第2基板20之積層體進而具有設置於層間絕緣膜51內之貫通配線47、48(參照下述圖10)。貫通配線48相當於本技術之「第1貫通配線」之一具體例。上述積層體於每個感測器像素12具有1條貫通配線47及1條貫通配線48。貫通配線47、48分別於半導體基板21之法線方向上延伸，貫通層間絕緣膜51中之包含絕緣層53之部位而設置。第1基板10及第2基板20藉由貫通配線47、48而相互電性連接。具體而言，貫通配線47電性連接於半導體基板11之p井層42、及第2基板20內之配線。貫通配線48電性連接於傳輸閘極TG及像素驅動線23。

### 【0034】

第2基板20例如於絕緣層52內具有與讀出電路22或半導體基板21電性連接之複數個連接部59。第2基板20進而例如於絕緣層52上具有配線層56。配線層56例如具有絕緣層57、及設置於絕緣層57內之複數條像素驅動線23及複數條垂直信號線24。配線層56進而例如於絕緣層57內，以每4個感測器像素12便具有1條之方式，具有複數條連接配線55。連接配線55將與共有讀出電路22之4個感測器像素12中所包含之浮動擴散部FD電性連接的各貫通配線54相互電性連接。此處，貫通配線54、48之總數多於第1

基板10中所包含之感測器像素12之總數，成為第1基板10中所包含之感測器像素12之總數之2倍。又，貫通配線54、48、47之總數多於第1基板10中所包含之感測器像素12之總數，成為第1基板10中所包含之感測器像素12之總數之3倍。

#### 【0035】

配線層56進而例如於絕緣層57內具有複數個焊墊電極58。各焊墊電極58例如由Cu(銅)、Al(鋁)等金屬形成。各焊墊電極58於配線層56之表面露出。各焊墊電極58被用於第2基板20與第3基板30之電性連接、及第2基板20與第3基板30之貼合。複數個焊墊電極58例如針對每條像素驅動線23及每條垂直信號線24各設置1個。此處，焊墊電極58之總數(或焊墊電極58與焊墊電極64(下述)之接合之總數)少於第1基板10中所包含之感測器像素12之總數。

#### 【0036】

第3基板30係例如於半導體基板31上積層層間絕緣膜61而構成。再者，第3基板30係如下所述，利用正面側之面彼此貼合於第2基板20，因此於對第3基板30內之構成進行說明時，上下之說明與圖式中之上下方向相反。半導體基板31包含矽基板。第3基板30成為於半導體基板31之正面側之部分設置有邏輯電路32之構成。第3基板30進而例如於層間絕緣膜61上具有配線層62。配線層62例如具有絕緣層63、及設置於絕緣層63內之複數個焊墊電極64。複數個焊墊電極64與邏輯電路32電性連接。各焊墊電極64例如由Cu(銅)形成。各焊墊電極64於配線層62之表面露出。各焊墊電極64被用於第2基板20與第3基板30之電性連接、及第2基板20與第3基板30之貼合。又，焊墊電極64可未必為複數個，即便為1個，亦可與邏

輯電路32電性連接。第2基板20及第3基板30係藉由焊墊電極58、64彼此之接合而相互電性連接。即，傳輸電晶體TR之閘極(傳輸閘極TG)經由貫通配線54及焊墊電極58、64與邏輯電路32電性連接。第3基板30係以使半導體基板31之正面朝向半導體基板21之正面側之方式，貼合於第2基板20。即，第3基板30以面對面之方式貼合於第2基板20。

### 【0037】

[效果]

先前，二維構造之攝像裝置之單位像素之面積的微細化可藉由導入微細工藝及提高安裝密度來實現。近年來，為了實現攝像裝置之進一步小型化及單位像素之面積之微細化，開發了三維構造之攝像裝置。於三維構造之攝像裝置中，例如將具有複數個感測器像素之半導體基板、及具有對利用各感測器像素獲得之信號進行處理之信號處理電路之半導體基板相互積層。藉此，可以與以往相同之晶片尺寸，進一步提高感測器像素之積體度或進一步增大信號處理電路之尺寸。

### 【0038】

然，於三維構造之攝像裝置中，在積層3層半導體晶片之情形時，無法將所有半導體基板於正面側之面彼此(面對面)貼合。於隨意地積層3層半導體基板之情形時，可能會因將半導體基板彼此電性連接之構造，而使晶片尺寸變大，或妨礙單位像素之面積之微細化。

### 【0039】

另一方面，於本實施形態中，感測器像素12及讀出電路22形成於互不相同之基板(第1基板10及第2基板20)。藉此，與於同一基板上形成感測器像素12及讀出電路22之情形相比，可擴大感測器像素12及讀出電路22

之面積。其結果，可提高光電轉換效率或減少電晶體雜訊。又，具有感測器像素12之第1基板10與具有讀出電路22之第2基板20係藉由設置於層間絕緣膜51內之貫通配線54而相互電性連接。藉此，與焊墊電極彼此接合、或藉由貫通半導體基板之貫通配線(例如TSV(Thorough Si Via，矽穿孔))將第1基板10與第2基板20相互電性連接之情形相比，可使晶片尺寸更小型化。又，藉由單位像素之面積之進一步微細化，可進一步提高解像度。又，於設為與先前相同之晶片尺寸之情形時，可擴大感測器像素12之形成區域。又，於本實施形態中，讀出電路22及邏輯電路32形成於互不相同之基板(第2基板20及第3基板30)。藉此，與於同一基板上形成讀出電路22及邏輯電路32之情形相比，可擴大讀出電路22及邏輯電路32之面積。又，讀出電路22及邏輯電路32之面積未被元件分離部43限制，因此可提高雜訊特性。又，於本實施形態中，第2基板20及第3基板30係藉由焊墊電極58、64彼此之接合而相互電性連接。此處，讀出電路22形成於第2基板20，邏輯電路32形成於第3基板30，因此，將用以使第2基板20與第3基板30相互電性連接之構造和用以使第1基板10與第2基板20相互電性連接之構造相比，能以更自由之布局形成用於配置或連接之接點之數量等。因此，可對第2基板20與第3基板30之電性連接使用焊墊電極58、64彼此之接合。如此，於本實施形態中，相應於基板之積體度執行基板彼此之電性連接。藉此，不會因將基板彼此電性連接之構造而造成晶片尺寸變大或妨礙單位像素之面積之微細化。其結果，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。

#### 【0040】

又，於本實施形態中，在第1基板10形成具有光電二極體PD、傳輸

電晶體TR及浮動擴散部FD之感測器像素12，在第2基板20形成具有重設電晶體RST、放大電晶體AMP及選擇電晶體SEL之讀出電路22。藉此，與在同一基板上形成感測器像素12及讀出電路22之情形相比，可擴大感測器像素12及讀出電路22之面積。其結果，即便於對第2基板20與第3基板30之電性連接使用焊墊電極58、64彼此之接合之情形時，亦不會使晶片尺寸變大，或妨礙單位像素之面積之微細化。其結果，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。具體而言，由於設置在第1基板10之電晶體變少，故尤其可擴大感測器像素12之光電二極體PD之面積。藉此，可增加光電轉換中之飽和信號電荷量，提高光電轉換效率。於第2基板20中，可確保讀出電路22中之各電晶體之布局自由度。又，由於可擴大各電晶體之面積，故尤其是藉由擴大放大電晶體AMP之面積，可減少對像素信號帶來影響之雜訊。即便於對第2基板20與第3基板30之電性連接使用焊墊電極58、64彼此之接合之情形時，亦不會使晶片尺寸變大，或妨礙單位像素之面積之微細化。其結果，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。

#### 【0041】

又，於本實施形態中，第2基板20係以使半導體基板21之背面朝向半導體基板11之正面側之方式貼合於第1基板10，第3基板30係以使半導體基板31之正面側朝向半導體基板21之正面側之方式貼合於第2基板20。藉此，藉由對第1基板10與第2基板20之電性連接使用貫通配線54，對第2基板20與第3基板30之電性連接使用焊墊電極58、64彼此之接合，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像

裝置1。

**【0042】**

又，於本實施形態中，貫通配線54之剖面積小於焊墊電極58、64彼此之接合部位之剖面積。藉此，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。

**【0043】**

又，於本實施形態之邏輯電路32中，在與源極電極及汲極電極相接之雜質擴散區域之表面，形成有含有 $\text{CoSi}_2$ 或 $\text{NiSi}$ 等使用自對準矽化物(Self Aligned Silicide)工藝形成之矽化物之低電阻區域。含有矽化物之低電阻區域由半導體基板之材料與金屬之化合物形成。此處，邏輯電路32設置於第3基板30。因此，可利用與形成感測器像素12或讀出電路22之工藝不同之工藝，形成邏輯電路32。其結果，可於形成感測器像素12或讀出電路22時，使用熱氧化等高溫工藝。又，邏輯電路32亦可使用作為耐熱性較低之材料之矽化物。因此，於在邏輯電路32之與源極電極及汲極電極相接之雜質擴散區域之表面設置有含有矽化物之低電阻區域之情形時，可減小接觸電阻，其結果，可使邏輯電路32之運算速度高速化。

**【0044】**

又，於本實施形態中，在第1基板10，設置有將各感測器像素12分離之元件分離部43。但是，於本實施形態中，具有光電二極體PD、傳輸電晶體TR及浮動擴散部FD之感測器像素12形成於第1基板10，具有重設電晶體RST、放大電晶體AMP及選擇電晶體SEL之讀出電路22形成於第2基板20。藉此，即便於因單位像素之面積之微細化使被元件分離部43包圍之面積變小之情形時，亦可擴大感測器像素12及讀出電路22之面積。其

結果，即便於使用元件分離部43之情形時，亦不會使晶片尺寸變大，或妨礙單位像素之面積之微細化。因此，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。

#### 【0045】

又，於本實施形態中，元件分離部43貫通半導體基板11。藉此，即便於因單位像素之面積之微細化使感測器像素12彼此之距離接近之情形時，亦可抑制鄰接之感測器像素12間之信號串擾，可抑制再生圖像上之解像度降低或由混色導致之畫質劣化。

#### 【0046】

又，於本實施形態中，包含第1基板10及第2基板20之積層體於每個感測器像素12具有3條貫通配線54、47、48。貫通配線54電性連接於傳輸電晶體TR之間極(傳輸間極TG)，貫通配線47電性連接於半導體基板11之p井層42，貫通配線48電性連接於浮動擴散部FD。即，貫通配線54、47、48之數量多於第1基板10中所包含之感測器像素12之數量。但是，於本實施形態中，第1基板10與第2基板20之電性連接係使用剖面積較小之貫通配線54。藉此，可使晶片尺寸更小型化，又，可使第1基板10之單位像素之面積更微細化。其結果，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。

#### 【0047】

(變化例)

以下，說明上述實施形態之攝像裝置1之變化例。再者，於以下之變化例中，對與上述實施形態共通之構成賦予相同符號。

#### 【0048】

## [變化例A]

圖5係表示上述實施形態之攝像裝置1之垂直方向之剖面構成之一變化例之圖。圖5中示出圖4中所記載之剖面構成之一變化例。於本變化例中，傳輸電晶體TR具有平面型之傳輸閘極TG。因此，傳輸閘極TG未貫通井層42，僅形成於半導體基板11之正面。即便於在傳輸電晶體TR使用平面型之傳輸閘極TG之情形時，攝像裝置1亦具有與上述實施形態相同之效果。

## 【0049】

## [變化例B]

圖6、圖7係表示上述實施形態之攝像裝置1之水平方向之剖面構成之一變化例之圖。圖6、圖7之上側之圖係圖4之剖面Sec1處之剖面構成之一變化例，圖6之下側之圖係圖4之剖面Sec2處之剖面構成之一變化例。再者，於圖6、圖7之上側之剖視圖中，在表示圖4之剖面Sec1處之剖面構成之一變化例之圖上重疊了表示圖4之半導體基板11之表面構成之一變化例之圖，並且省略了絕緣層46。又，於圖6、圖7之下側之剖視圖中，在表示圖4之剖面Sec2處之剖面構成之一變化例之圖上重疊了表示半導體基板21之表面構成之一變化例之圖。

## 【0050】

如圖6、圖7所示，複數條貫通配線54、複數條貫通配線48及複數條貫通配線47(圖中之配置成方陣狀之複數個點)於第1基板10之面內在第1方向V1(圖6、圖7之左右方向)上排列配置成帶狀。再者，圖6、圖7中，例示了複數條貫通配線54、複數條貫通配線48及複數條貫通配線47於第1方向V1上排列配置成2行之情形。於共有讀出電路22之4個感測器像素12

中，4個浮動擴散部FD例如介隔元件分離部43相互近接地配置。於共有讀出電路22之4個感測器像素12中，4個傳輸閘極TG(TG1、TG2、TG3、TG4)以包圍4個浮動擴散部FD之方式配置，例如藉由4個傳輸閘極TG而成為圓環狀之形狀。

#### 【0051】

絕緣層53包含在第1方向V1上延伸之複數個區塊。半導體基板21包含複數個島狀之區塊21A，該等區塊21A於第1方向V1上延伸，並且介隔絕緣層53排列配置於與第1方向V1正交之第2方向V2上。於各區塊21A，例如設置有重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。4個感測器像素12所共有之1個讀出電路22例如未與4個感測器像素12正對地配置，而於第2方向V2上偏移地配置。

#### 【0052】

於圖6中，4個感測器像素12所共有之1個讀出電路22包含在第2基板20上位於使與4個感測器像素12對向之區域於第2方向V2上偏移後之區域內的重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。4個感測器像素12所共有之1個讀出電路22例如包含1個區塊21A內之放大電晶體AMP、重設電晶體RST及選擇電晶體SEL。

#### 【0053】

於圖7中，4個感測器像素12所共有之1個讀出電路22包含在第2基板20上位於使與4個感測器像素12對向之區域於第2方向V2上偏移後之區域內的重設電晶體RST、放大電晶體AMP、選擇電晶體SEL及FD傳輸電晶體FDG。4個感測器像素12所共有之1個讀出電路22例如包含1個區塊21A內之放大電晶體AMP、重設電晶體RST、選擇電晶體SEL及FD傳輸電晶

體FDG。

**【0054】**

於本變化例中，4個感測器像素12所共有之1個讀出電路22例如未與4個感測器像素12正對地配置，而從與4個感測器像素12正對之位置於第2方向V2上偏移地配置。於此種情形時，可縮短配線25，或可省略配線25，利用共通之雜質區域構成放大電晶體AMP之源極及選擇電晶體SEL之汲極。其結果，可使讀出電路22之尺寸變小，或使讀出電路22內之其他部位之尺寸變大。

**【0055】**

[變化例C]

圖8係表示上述實施形態之攝像裝置1之水平方向之剖面構成之一變化例之圖。圖8中示出圖10之剖面構成之一變化例。

**【0056】**

於本變化例中，半導體基板21包含介隔絕緣層53排列配置於第1方向V1及第2方向V2之複數個島狀之區塊21A。於各區塊21A，例如設置有一組重設電晶體RST、放大電晶體AMP及選擇電晶體SEL。於此種情形時，可藉由絕緣層53抑制相互鄰接之讀出電路22彼此之串擾，可抑制再生圖像上之解像度降低或由混色導致之畫質劣化。

**【0057】**

[變化例D]

圖9係表示上述實施形態及其變化例之攝像裝置1之水平方向的剖面構成之一例之圖。

**【0058】**

於本變化例中，第1基板10針對每個感測器像素12具有光電二極體PD及傳輸電晶體TR，且每4個感測器像素12共有浮動擴散部FD。因此，於本變化例中，每4個感測器像素12便設置有1條貫通配線54。

#### 【0059】

為了方便起見，將於配置成矩陣狀之複數個感測器像素12中，與如下區域對應之4個感測器像素12稱為4個感測器像素12A，上述區域係指藉由使與共有1個浮動擴散部FD之4個感測器像素12對應之單位區域於第1方向V1上偏移1個感測器像素12之量而獲得之區域。此時，於本變化例中，第1基板10係每4個感測器像素12A共有貫通配線47。因此，於本變化例中，每4個感測器像素12A便設置有1條貫通配線47。

#### 【0060】

於本變化例中，第1基板10具有元件分離部43，該元件分離部43係針對每個感測器像素12將光電二極體PD及傳輸電晶體TR分離。元件分離部43從半導體基板11之法線方向觀察時，未將感測器像素12完全包圍，於浮動擴散部FD(貫通配線54)之附近與貫通配線47之附近具有間隙(未形成區域)。而且，藉由該間隙，可實現由4個感測器像素12共有1條貫通配線54或由4個感測器像素12A共有1條貫通配線47。於本變化例中，第2基板20係針對共有浮動擴散部FD之每4個感測器像素12具有讀出電路22。

#### 【0061】

[變化例E]

圖10係表示上述實施形態及其變化例之攝像裝置1之電路構成之一例之圖。本變化例之攝像裝置1係搭載行並聯ADC之CMOS影像感測器。

#### 【0062】

如圖10所示，本變化例之攝像裝置1成為如下構成：除將包含光電轉換元件之複數個感測器像素12二維配置成方陣狀(矩陣狀)所得之像素區域13以外，還具有垂直驅動電路33、行信號處理電路34、參照電壓供給部38、水平驅動電路35、水平輸出線37及系統控制電路36。

#### 【0063】

於該系統構成中，系統控制電路36基於主時脈MCK，產生成為垂直驅動電路33、行信號處理電路34、參照電壓供給部38及水平驅動電路35等動作之基準之時脈信號或控制信號等，並賦予至垂直驅動電路33、行信號處理電路34、參照電壓供給部38及水平驅動電路35等。

#### 【0064】

又，垂直驅動電路33與像素區域13之各感測器像素12一起形成於第1基板10，進而亦形成於形成有讀出電路22之第2基板20。行信號處理電路34、參照電壓供給部38、水平驅動電路35、水平輸出線37及系統控制電路36形成於第3基板30。

#### 【0065】

作為感測器像素12，此處省略圖示，但例如可使用除具有光電二極體PD以外，還具有將利用光電二極體PD進行光電轉換後獲得之電荷傳輸至浮動擴散部FD之傳輸電晶體TR的構成者。又，作為讀出電路22，此處省略圖示，但例如可使用三電晶體構成者，該三電晶體構成具有控制浮動擴散部FD之電位之重設電晶體RST、輸出與浮動擴散部FD之電位相應之信號之放大電晶體AMP、及用以進行像素選擇之選擇電晶體SEL。

#### 【0066】

於像素區域13，二維配置有感測器像素12，並且對該m列n行之像素

配置逐列佈線有像素驅動線23，逐行佈線有垂直信號線24。複數條像素驅動線23之各一端連接於與垂直驅動電路33之各列對應之各輸出端。垂直驅動電路33包含移位暫存器等，經由複數條像素驅動線23進行像素區域13之列位址或列掃描之控制。

#### 【0067】

行信號處理電路34例如具有針對像素區域13之每一像素行、即每條垂直信號線24設置之ADC(類比-數位轉換電路)34-1~34-m，將從像素區域13之各感測器像素12逐行輸出之類比信號轉換為數位信號後輸出。

#### 【0068】

參照電壓供給部38具有例如DAC(數位-類比轉換電路)38A，作為產生位準隨著時間經過呈傾斜狀變化之所謂斜坡(RAMP)波形之參照電壓Vref之器件。再者，作為產生斜坡波形之參照電壓Vref之器件，並不限於DAC38A。

#### 【0069】

DAC38A於從系統控制電路36賦予之控制信號CS1之控制下，基於從該系統控制電路36賦予之時脈CK產生斜坡波形之參照電壓Vref，並將其供給至行處理部15之ADC34-1~34-m。

#### 【0070】

再者，ADC34-1~34-m分別為可選擇性地執行對應於各動作模式之AD轉換動作之構成，所謂各動作模式，包括：正常圖框率模式，其採用讀出所有感測器像素12之資訊之連續掃描方式；及高速圖框率模式，其藉由與正常圖框率模式時相比，將感測器像素12之曝光時間設定為 $1/N$ ，而使圖框率提高至N倍例如2倍。該動作模式之切換係藉由從系統控制電路

36賦予之控制信號CS2、CS3之控制而執行。又，從外部之系統控制器(未圖示)對系統控制電路36賦予用於切換正常圖框率模式與高速圖框率模式各動作模式之指示資訊。

#### 【0071】

ADC34-1~34-m全部為相同構成，此處列舉ADC34-m為例進行說明。ADC34-m為具有比較器34A、作為計數器件之例如可逆計數器(圖中記載為U/DCNT)34B、傳輸開關34C及記憶體裝置34D之構成。

#### 【0072】

比較器34A將與從像素區域13之第n行之各感測器像素12輸出之信號相應的垂直信號線24之信號電壓 $V_x$ 與從參照電壓供給部38供給之斜坡波形之參照電壓 $V_{ref}$ 進行比較，例如於參照電壓 $V_{ref}$ 大於信號電壓 $V_x$ 時，輸出 $V_{co}$ 成為“H(High, 高)”位準，於參照電壓 $V_{ref}$ 為信號電壓 $V_x$ 以下時，輸出 $V_{co}$ 成為“L(Low, 低)”位準。

#### 【0073】

可逆計數器34B為異步計數器，於從系統控制電路36賦予之控制信號CS2之控制下，與DAC18A同時被從系統控制電路36供給時脈CK，與該時脈CK同步地進行遞增(DOWN)計數或遞增(UP)計數，藉此，計測比較器34A之比較動作開始至比較動作結束之比較期間。

#### 【0074】

具體而言，於正常圖框率模式下，可逆計數器34B在來自1個感測器像素12之信號之讀出動作中，藉由於第1次讀出動作時進行遞減計數而計測第1次讀出時之比較時間，藉由於第2次讀出動作時進行遞增計數而計測第2次讀出時之比較時間。

**【0075】**

另一方面，於高速圖框率模式下，可逆計數器34B使某列感測器像素12之計數結果保持不變，隨後，對下一列感測器像素12，藉由根據前一次計數結果在第1次讀出動作時進行遞減計數而計測第1次讀出時之比較時間，藉由在第2次讀出動作時進行遞增計數而計測第2次讀出時之比較時間。

**【0076】**

傳輸開關34C於從系統控制電路36賦予之控制信號CS3之控制下，在正常圖框率模式下，在對某列感測器像素12之可逆計數器34B之計數動作完成之時刻成為接通(關閉)狀態，將該可逆計數器34B之計數結果傳輸至記憶體裝置34D。

**【0077】**

另一方面，例如於 $N=2$ 之高速圖框率下，傳輸開關34C於對某列感測器像素12之可逆計數器34B之計數動作完成之時刻保持斷開(打開)狀態不變，隨後，於對下一列感測器像素12之可逆計數器34B之計數動作完成之時刻成為接通狀態，將關於該可逆計數器34B之垂直2像素量之計數結果傳輸至記憶體裝置34D。

**【0078】**

以此方式，從像素區域13之各感測器像素12經由垂直信號線24逐行供給之類比信號係藉由ADC34-1~34-m之比較器34A及可逆計數器34B之各動作，而轉換為N位元之數位信號並儲存於記憶體裝置34D中。

**【0079】**

水平驅動電路35包含移位暫存器等，進行行信號處理電路34之

ADC34-1~34-m之行位址或行掃描之控制。於該水平驅動電路35之控制下，由ADC34-1~34-m之各者進行AD轉換後之N位元之數位信號被依序讀出至水平輸出線37，經由該水平輸出線37以攝像資料之形式輸出。

#### 【0080】

再者，雖因與本技術不直接相關而未特別圖示，但除上述構成要素以外，還可設置對經由水平輸出線37輸出之攝像資料實施各種信號處理之電路等。

#### 【0081】

於上述構成之本變化例之搭載行並聯ADC之攝像裝置1中，可將可逆計數器34B之計數結果經由傳輸開關34C選擇性地傳輸至記憶體裝置34D，因此，能夠獨立地控制可逆計數器34B之計數動作、及該可逆計數器34B之計數結果之向水平輸出線37之讀出動作。

#### 【0082】

#### [變化例F]

圖11係表示將3個基板(第1基板10、第2基板20、第3基板30)積層而構成圖10之攝像裝置之例。於本變化例中，於第1基板10上，在中央部分形成有包含複數個感測器像素12之像素區域13，在像素區域13之周圍形成有垂直驅動電路33。又，於第2基板20上，在中央部分形成有包含複數個讀出電路22之讀出電路區域15，在讀出電路區域15之周圍形成有垂直驅動電路33。於第3基板30中，形成有行信號處理電路34、水平驅動電路35、系統控制電路36、水平輸出線37及參照電壓供給部38。藉此，與上述實施形態及其變化例同樣，不會因將基板彼此電性連接之構造而使晶片尺寸變大，或妨礙單位像素之面積之微細化。其結果，可提供與以往相同

之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置1。再者，垂直驅動電路33可僅形成於第1基板10，亦可僅形成於第2基板20。

### 【0083】

#### [變化例G]

圖12係表示上述實施形態及其變化例之攝像裝置1之剖面構成之一變化例。於上述實施形態及其變化例中，攝像裝置1係將3個基板(第1基板10、第2基板20、第3基板30)積層而構成。但是，於上述實施形態及其變化例中，攝像裝置1亦可將2個基板(第1基板10、第2基板20)積層而構成。此時，邏輯電路32例如如圖12所示，分開地形成於第1基板10及第2基板20。此處，於邏輯電路32中之設置於第1基板10側之電路32A中，設置有具有閘極構造之電晶體，該閘極構造係將包含可耐高溫工藝之材料(例如high-k(高介電常數))之高介電常數膜與金屬閘極電極積層而成。另一方面，於設置於第2基板20側之電路32B中，在與源極電極及汲極電極相接之雜質擴散區域之表面，形成有含有CoSi<sub>2</sub>或NiSi等使用自對準矽化物(Self Aligned Silicide)工藝形成之矽化物之低電阻區域26。含有矽化物之低電阻區域由半導體基板之材料與金屬之化合物形成。藉此，於形成感測器像素12時，可使用熱氧化等高溫工藝。又，於邏輯電路32中之設置於第2基板20側之電路32B中，在與源極電極及汲極電極相接之雜質擴散區域之表面設置有含有矽化物之低電阻區域26之情形時，可減小接觸電阻。其結果，可使邏輯電路32之運算速度高速化。

### 【0084】

圖13係表示上述實施形態及其變化例之攝像裝置1之剖面構成之一變化例。於上述實施形態及其變化例之第3基板30之邏輯電路32中，在與源

極電極及汲極電極相接之雜質擴散區域之表面可形成有低電阻區域37，該低電阻區域37包含 $\text{CoSi}_2$ 或 $\text{NiSi}$ 等使用自對準矽化物(Self Aligned Silicide)工藝形成之矽化物。藉此，於形成感測器像素12時，可使用熱氧化等高溫工藝。又，於在邏輯電路32中，在與源極電極及汲極電極相接之雜質擴散區域之表面設置有含有矽化物之低電阻區域37之情形時，可減小接觸電阻。其結果，可使邏輯電路32之運算速度高速化。

### 【0085】

#### [變化例H]

於上述實施形態及其變化例中，導電型可相反。例如，於上述實施形態及其變化例之記載中，可將p型改稱為n型，並且將n型改稱為p型。即便於此種情形時，亦可獲得與上述實施形態及其變化例相同之效果。

### 【0086】

#### (應用例)

圖14係表示具備上述實施形態及其變化例之攝像裝置1之攝像系統2的概略構成之一例之圖。

### 【0087】

攝像系統2係例如數位靜態相機或攝錄影機等攝像裝置、或者智慧型手機或平板型終端等移動終端裝置等電子機器。攝像系統2例如具備上述實施形態及其變化例之攝像裝置1、DSP電路141、圖框記憶體142、顯示部143、記憶部144、操作部145及電源部146。於攝像系統2中，上述實施形態及其變化例之攝像裝置1、DSP電路141、圖框記憶體142、顯示部143、記憶部144、操作部145及電源部146經由匯流排線147相互連接。

### 【0088】

上述實施形態及其變化例之攝像裝置1輸出與入射光相應之圖像資料。DSP電路141係對從上述實施形態及其變化例之攝像裝置1輸出之信號(圖像資料)進行處理之信號處理電路。圖框記憶體142以圖框為單位暫時保持由DSP電路141處理後之圖像資料。顯示部143例如包含液晶面板或有機EL(Electro Luminescence, 電致發光)面板等面板型顯示裝置,顯示利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像。記憶部144將利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像之圖像資料記錄至半導體記憶體或硬碟等記錄媒體。操作部145根據使用者之操作,發出攝像系統2所具有之各種功能相關之操作指令。電源部146將成為上述實施形態及其變化例之攝像裝置1、DSP電路141、圖框記憶體142、顯示部143、記憶部144及操作部145之動作電源之各種電源適當供給至該等供給對象。

#### 【0089】

其次,對攝像系統2之攝像步序進行說明。

#### 【0090】

圖15表示攝像系統2中之攝像動作之流程圖之一例。使用者藉由對操作部145進行操作而指示攝像開始(步驟S101)。如此一來,操作部145將攝像指令傳送至攝像裝置1(步驟S102)。攝像裝置1(具體而言為系統控制電路36)當接收到攝像指令時,執行規定之攝像方式之攝像(步驟S103)。

#### 【0091】

攝像裝置1將藉由攝像獲得之圖像資料輸出至DSP電路141。此處,所謂圖像資料係指基於浮動擴散部FD中暫時保持之電荷而產生之像素信號之所有像素的資料。DSP電路141基於從攝像裝置1輸入之圖像資料進行

規定之信號處理(例如雜訊減少處理等)(步驟S104)。DSP電路141使已進行規定之信號處理之圖像資料保持於圖框記憶體142中，圖框記憶體142將圖像資料記憶於記憶部144(步驟S105)。以此方式，進行攝像系統2中之攝像。

#### 【0092】

於本應用例中，將上述實施形態及其變化例之攝像裝置1應用於攝像系統2。藉此，可使攝像裝置1小型化或者高精細化，從而能夠提供一種小型或者高精細之攝像系統2。

#### 【0093】

(第1實施形態之更具體之構成)

<半導體裝置之構成>

作為本技術之第1實施形態之半導體裝置之更具體之構成，例示背面照射型之CMOS影像感測器(固體攝像裝置)。如圖16所示，本技術之第1實施形態之半導體裝置具備像素區域(單位胞區域)1001、垂直驅動電路1003、行信號處理電路1004、水平驅動電路1005、輸出電路1006及控制電路1007。

#### 【0094】

像素區域1001具有排列成二維矩陣狀之複數個像素(單位胞)1002。複數個像素1002各自具有光電轉換部及複數個像素電晶體(胞用電路)。複數個像素電晶體例如可採用以下之4個電晶體：傳輸電晶體、重設電晶體、選擇電晶體及放大電晶體。

#### 【0095】

垂直驅動電路1003包含例如移位暫存器。垂直驅動電路1003依序選

擇像素驅動配線1008a，向所選擇之像素驅動配線1008a供給用以驅動像素1002之脈衝，以列為單位驅動各像素1002。即，垂直驅動電路1003以列為單位於垂直方向上依序選擇並掃描像素區域1001之各像素1002，通過垂直信號線1008b將基於利用各像素1002之光電轉換部產生之信號電荷的來自像素之輸出信號(像素信號)供給至行信號處理電路1004。

#### 【0096】

行信號處理電路1004例如配置於每一像素1002之行，對從相當於1列之像素1002輸出之信號逐行進行雜訊去除等信號處理。例如，行信號處理電路1004進行用以去除像素固有之固定圖案雜訊之相關雙取樣(CDS)及類比/數位(AD)轉換等信號處理。

#### 【0097】

水平驅動電路1005包含例如移位暫存器。水平驅動電路1005將水平掃描脈衝依序輸出至行信號處理電路1004，依次選擇行信號處理電路1004，使所選擇之行信號處理電路1004向水平信號線1009輸出已進行信號處理之像素信號。輸出電路1006從各行信號處理電路1004，通過水平信號線1009對依次供給之像素信號進行信號處理並輸出。

#### 【0098】

控制電路1007基於垂直同步信號、水平同步信號及主時脈信號，產生成為垂直驅動電路1003、行信號處理電路1004及水平驅動電路1005等之動作之基準的時脈信號或控制信號。而且，控制電路1007將所產生之時脈信號或控制信號輸出至垂直驅動電路1003、行信號處理電路1004及水平驅動電路1005等。

#### 【0099】

本技術之第1實施形態之半導體裝置係將圖16所示之構成如圖17所示藉由積層化而製成三維構造。即，本技術之第1實施形態之半導體裝置由將第1基板(感測器基板)1101、第2基板(像素電晶體基板)1102及第3基板(邏輯基板)1103該等3個基板貼合後之積層構造構成。

#### 【0100】

第1基板1101包含形成有對入射光進行光電轉換之光電轉換部之光電轉換部形成區域1101a。於光電轉換部形成區域1101a，除形成有光電轉換部以外，亦可形成有對經光電轉換後之信號電荷進行控制之傳輸電晶體等像素電晶體之至少一部分。

#### 【0101】

第2基板1102包含像素電晶體形成區域1102a，該像素電晶體形成區域1102a包含形成有對經光電轉換後之信號電荷進行控制之像素電晶體之至少一部分。像素電晶體形成區域1102a可形成有例如重設電晶體、選擇電晶體及放大電晶體等像素電晶體之至少一部分。再者，可將像素電晶體中之例如僅放大電晶體設置於第2基板1102，將重設電晶體及選擇電晶體中之任一者或兩者設置於第3基板1103。

#### 【0102】

第3基板1103包含形成有執行信號處理之邏輯電路之邏輯電路形成區域1103a。邏輯電路形成區域1103a可包含例如圖16所示之垂直驅動電路1003、行信號處理電路1004、水平驅動電路1005、輸出電路1006及控制電路1007之至少一部分作為邏輯電路。

#### 【0103】

再者，於圖17中例示將第1基板1101、第2基板1102、第3基板1103

該等3個基板貼合而成之積層構造，但例如亦可為將第1基板1101及第2基板1102該等2個基板貼合而成之積層構造。於此情形時，例如可於第2基板1102等形成第3基板1103之邏輯電路形成區域1103a。又，亦可為於第3基板1103上進而貼合有1個以上之基板之積層構造。

#### 【0104】

圖18係表示本技術之第1實施形態之半導體裝置的像素1002之等效電路之一例。如圖18中以虛線表示交界般，像素1002包括如下電路：包含設置於第1基板1101內之主動元件之電路、及包含設置於第2基板1102內之主動元件之電路。所謂「主動元件」係指如電晶體般具有放大功能或者切換功能之半導體元件。

#### 【0105】

如圖18所示，於第1基板1101內包含陽極接地之作為光電轉換部之光電二極體PD、及源極連接於光電二極體PD之陰極之傳輸電晶體T1作為主動元件。於傳輸電晶體T1之汲極，連接有浮動狀態之電荷蓄積區域(浮動擴散區域)FD。電荷蓄積區域FD連接於設置在第2基板1102內之作為主動元件之重設電晶體T2之源極、及作為主動元件之放大電晶體T3之閘極。於第2基板1102內進而設置有選擇電晶體T4作為主動元件。放大電晶體T3之源極連接於選擇電晶體T4之汲極，放大電晶體T3之汲極連接於電源Vdd。選擇電晶體T4之源極連接於垂直信號線VSL。重設電晶體T2之汲極連接於電源Vdd。

#### 【0106】

於第1實施形態之半導體裝置動作時，將由光電二極體PD產生之信號電荷經由傳輸電晶體T1蓄積於電荷蓄積區域FD，將電荷蓄積區域FD中所

蓄積之信號電荷讀出，並施加至放大電晶體T3之閘極。對選擇電晶體T4之閘極從垂直移位暫存器賦予水平線之選擇用控制信號。藉由使選擇用控制信號為高(H)位準，選擇電晶體T4導通，與經放大電晶體T3放大之電荷蓄積區域FD之電位對應之電流流向垂直信號線VSL。又，藉由使施加至重設電晶體T2之閘極之重設用控制信號為高(H)位準，重設電晶體T2導通，將電荷蓄積區域FD中所蓄積之信號電荷重設。

#### 【0107】

圖19模式性地表示第1實施形態之半導體裝置之剖面構造之一部分。第1實施形態之半導體裝置具有將第1基板1101、第2基板1102及第3基板1103該等3個基板貼合而成之積層構造。第1實施形態之半導體裝置係背面照射型固體攝像裝置，從背面側(圖19之下側)入射光。

#### 【0108】

第1基板1101具備：感測器層1010；第1元件層1020，其配置於感測器層1010上且包含第1主動元件1021；第1配線層1030，其配置於第1元件層1020上；及屏蔽層(遮蔽層)1040，其配置於第1配線層1030上。第2基板1102具備：第2元件層1050，其介隔層間絕緣膜1042配置於屏蔽層1040上，且包含第2主動元件1052、1053、1054、1055；及第2配線層1060，其配置於第2元件層1050上。第3基板1103具備：第3配線層1070，其配置於第2配線層1060上；及第3元件層1080，其配置於第3配線層1070上且包含第3主動元件1082、1083。

#### 【0109】

感測器層1010具有形成於矽(Si)等半導體基板(Si基板)1011之複數個光電轉換部1011a、1011b、1011c。光電轉換部1011a、1011b、1011c之

各者包含光電二極體。光電二極體係藉由形成於Si基板1011之p型井區域(未圖示)與n型電荷產生區域(未圖示)之pn接面而構成。

#### 【0110】

鄰接之光電轉換部1011a、1011b、1011c彼此藉由元件分離部1012而元件分離。於從圖19之下側觀察之情形時，元件分離部1012例如形成為格子狀。元件分離部1012具有將鄰接之光電轉換部1011a、1011b、1011c彼此電性且光學分離之功能。元件分離部1012例如可利用嵌埋至Si基板1011上所設置之槽部之絕緣膜構成。絕緣膜可為例如氧化鈦膜(HfO<sub>2</sub>膜)等固定電荷膜與氧化矽膜(SiO<sub>2</sub>膜)之積層構造。或者，元件分離部1012可包含嵌埋至Si基板1011上所設置之槽部之絕緣膜、及介隔絕緣膜嵌埋至槽部之鎢(W)等遮光性金屬膜。於元件分離部1012之下側，可配置鎢(W)等遮光膜(未圖示)。

#### 【0111】

於感測器層1010之背面側，配置有平坦化膜1091、彩色濾光片1092、微透鏡1093及配線(未圖示)等。平坦化膜1091使光電轉換部1011a、1011b、1011c之背面側平坦化。微透鏡1093使向光電轉換部1011a、1011b、1011c入射之入射光聚光。彩色濾光片1092使向光電轉換部1011a、1011b、1011c入射之入射光色彩分離。

#### 【0112】

第1元件層1020例如構成第1胞用電路，該第1胞用電路獨立地擷取藉由利用複數個光電轉換部1011a、1011b、1011c進行之入射光之光電轉換而產生之電信號。第1元件層1020具備第1主動元件1021，該第1主動元件1021形成於Si基板1011之正面且構成第1胞用電路。第1主動元件1021可

藉由例如圖18所示之傳輸電晶體T1構成。傳輸電晶體T1可藉由MOS(Metal Oxide Semiconductor, 金屬氧化物半導體)電晶體構成主動元件, 更一般而言, 閘極絕緣膜中可包含除氧化膜(SiO<sub>2</sub>膜)以外之材料之MISFET(Metal Integrated-Semiconductor Field Effect Transistor, 金屬積體半導體場效電晶體)或MISSIT(Metal Insulator-Semiconductor Gate Static Induction Transistor, 金屬積體半導體閘極靜態感應電晶體)等絕緣閘極型電晶體(MIS電晶體)。

### 【0113】

於圖19中, 為了方便起見, 僅模式性地示出第1主動元件1021之閘極電極。第1主動元件1021之閘極電極可為例如具有T字狀之剖面形狀之垂直型閘極。再者, 與圖18所示之電路構成不同, 第1元件層1020除傳輸電晶體T1以外, 可進而具備重設電晶體T2、放大電晶體T3及選擇電晶體T4等像素電晶體中之至少任一個。

### 【0114】

第1配線層1030與第1元件層1020電性連接。第1配線層1030具有嵌埋至層間絕緣膜1035之配線1031、1032、1033、1034。作為配線1031、1032、1033、1034之材料, 可使用例如銅(Cu)等金屬, 作為層間絕緣膜1035之材料, 可使用氧化矽膜(SiO<sub>2</sub>膜)等。於圖19中, 例示藉由下側配線1031、1032及上側配線1033、1034形成2層配線構造之情形, 但第1配線層1030之配線之層數不限於此。例如, 第1配線層1030之配線之層數可為1層, 亦可為3層以上。下側配線1031、1032與上側配線1033、1034可藉由通孔(未圖示)而電性連接。

### 【0115】

屏蔽層1040具有將配置於屏蔽層1040之下方之第1元件層1020與配置於屏蔽層1040之上方之第2元件層1050之間熱/光學/電磁遮蔽之功能。屏蔽層1040可具有將紅外線之透過予以遮蔽之功能，亦可具有形成防止突波之電容之功能。

**【0116】**

作為屏蔽層1040之材料，可使用例如含有銅(Cu)、鋁(Al)、金(Au)、銀(Ag)、鎢(W)等金屬、或其等之合金等導電性材料之材料。又，於必要之情形時，亦可使用鐵氧體等強磁性體作為屏蔽層1040之材料。作為屏蔽層1040之材料，只要可熱/光學/電磁遮蔽，則亦可為其他導電性材料。

**【0117】**

屏蔽層1040之厚度例如為300 nm以上500 nm以下之程度，可未達300 nm，亦可厚於500 nm。雖省略圖示，但屏蔽層1040經由Si基板1011而連接於接地電位。於圖17中，例示了屏蔽層1040為單層之情形，但亦可為將包含不同材料之複數個導電性材料積層而成之積層構造。於屏蔽層1040，設置有用以使連接配線1066、1067貫通之開口部(貫通孔)1041a、1041b。

**【0118】**

第2元件層1050例如對應於複數個像素1002之各者，構成連接於第1元件層1020之第2胞用電路。第2元件層1050形成於含有Si之半導體基板(Si基板)1051，具有構成第2胞用電路之第2主動元件1052、1053、1054、1055。例如，第2主動元件1052、1053、1054、1055之各者可由圖18所示之重設電晶體T2、放大電晶體T3及選擇電晶體T4中之至少任一

個構成。重設電晶體T2、放大電晶體T3及選擇電晶體T4之各者可利用MOS電晶體構成，但更一般而言，可為MIS電晶體。於圖19中，為了方便起見，僅模式性地示出第2主動元件1052、1053、1054、1055之閘極電極。

#### 【0119】

第2配線層1060與第2元件層1050電性連接。第2配線層1060具有嵌埋至層間絕緣膜1065之配線1061、1062、1063、1064。作為配線1061、1062、1063、1064之材料，可使用例如銅(Cu)等金屬，作為層間絕緣膜1065之材料，可使用氧化矽膜(SiO<sub>2</sub>膜)等。於圖19中，例示形成下側配線1061、1062與上側配線1063、1064之2層配線構造之情形，但第2配線層1060之配線之層數不限於此。例如，第2配線層1060之配線之層數可為1層，亦可為3層以上。下側配線1061、1062與上側配線1063、1064可藉由通孔(未圖示)而電性連接。

#### 【0120】

於第2配線層1060之最下層之配線1061连接有連接配線1066之上端。連接配線1066以貫通第2元件層1050、屏蔽層1040及第1配線層1030之方式於上下方向上延伸。連接配線1066以貫通屏蔽層1040之開口部1041a之方式設置。連接配線1066之下端連接於接點部(未圖示)，該接點部設置於第1元件層1020中所含有之Si基板1011之上部。例如，連接配線1066可將包含經由配線1061電性連接之第2主動元件1053的放大電晶體之閘極電極與第1元件層1020中所包含之形成於Si基板1011之上部之電荷蓄積區域電性連接。

#### 【0121】

又，於第2配線層1060之最下層之配線1062连接有連接配線1067之上端。連接配線1067以貫通第2元件層1050及屏蔽層1040之方式於上下方向上延伸。連接配線1067以貫通屏蔽層1040之開口部1041b之方式設置。連接配線1067之下端連接於第1配線層1030之配線1034。

#### 【0122】

圖20表示從圖19之A-A方向觀察到之水平方向之剖視圖。從圖20之B-B方向觀察到之鉛直方向之剖面對應於圖19。如圖20所示，連接配線1066、1067及層間絕緣膜1042具有同軸狀之剖面形狀。屏蔽層1040之開口部1041a、1041b例如具有圓形之剖面形狀，分別設置為介隔層間絕緣膜1042包圍連接配線1066、1067之外周面。再者，屏蔽層1040之水平方向之剖面圖案不限於此。例如，屏蔽層1040之水平方向之剖面圖案可為相互平行地延伸之條紋狀之圖案、或格子狀之圖案、點狀之圖案。

#### 【0123】

第3配線層1070具有嵌埋至層間絕緣膜1075之配線1071、1072、1073、1074。作為配線1071、1072、1073、1074之材料，可使用例如銅(Cu)等金屬。於圖19中，例示藉由下側配線1071、1072及上側配線1073、1074形成2層配線構造之情形，但第3配線層1070之配線之層數不限於此。例如，第3配線層1070之配線之層數可為1層，亦可為3層以上。最下層之配線1071、1072與第2配線層1060之最上層之配線1063、1064電性連接。

#### 【0124】

第3元件層1080形成於含有Si之半導體基板(Si基板)1081，具有構成邏輯電路之第3主動元件1082、1083。第3主動元件1082、1083之各者可

由MOS電晶體構成，但更一般而言可為MIS電晶體。於圖19中，為了方便起見，僅模式性地示出第3主動元件1082、1083之閘極電極。

#### 【0125】

根據第1實施形態之半導體裝置，於形成於第1基板1101之第1元件層1020與形成於第2基板1102之第2元件層1050之間具有屏蔽層1040，藉此，可將配置於屏蔽層1040之下方之第1元件層1020與配置於屏蔽層1040之上方之第2元件層1050之間光學/電磁/熱遮蔽。因此，可排除於第1元件層1020中所包含之第1主動元件1021與第2元件層1050中所包含之第2主動元件1052、1053、1054、1055之間傳播之雜訊或熱相互影響，可抑制對元件特性造成影響之雜訊或誤動作等。其結果，可抑制第1元件層1020中所包含之第1主動元件1021及第2元件層1050中所包含之第2主動元件1052、1053、1054、1055之元件特性之劣化。

#### 【0126】

<半導體裝置之製造方法>

其次，參照圖21～圖32，說明第1實施形態之半導體裝置之製造方法之一例。

#### 【0127】

首先，於Si基板1011上塗佈光阻膜，使用光微影技術使光阻膜圖案化。使用圖案化後之光阻膜作為蝕刻用遮罩，藉由反應性離子蝕刻(RIE)等乾式蝕刻形成具有垂直側壁之較深之槽部(溝槽)。其後，去除光阻膜，使Si基板1011清潔化。然後，藉由原子層沈積(ALD)法或化學氣相生長(CVD)法等，於槽部內部嵌埋絕緣膜、或者絕緣膜與金屬膜之積層構造。其後，藉由回蝕或化學機械研磨(CMP)等，去除Si基板1011上之絕緣膜或

金屬膜。其結果，如圖21所示，元件分離部1012於Si基板1011之上部形成為壁狀。

#### 【0128】

其次，藉由光微影技術、離子佈植及熱處理等，於Si基板1011之上部形成構成光電二極體之p型井區域及n型電荷產生區域，形成光電轉換部1011a、1011b、1011c。又，於Si基板1011之上部亦形成有n型電荷蓄積區域等擴散層。進而，藉由CVD法、微影技術及蝕刻等，形成第1主動元件1021之閘極絕緣膜及閘極電極。其結果，如圖22所示，形成第1主動元件1021，並形成第1元件層1020。

#### 【0129】

其次，藉由雙道金屬鑲嵌法等，如圖23所示，於Si基板1011上交替地積層層間絕緣膜1035與配線1031、1032、1033、1034，藉此，形成第1配線層1030。

#### 【0130】

其次，藉由CVD法等，於第1配線層1030上沈積包含金屬膜之屏蔽層1040。然後，於屏蔽層1040上塗佈光阻膜，使用光微影技術使光阻膜圖案化。使用經圖案化之光阻膜作為蝕刻用遮罩，藉由RIE等乾式蝕刻選擇性地去除屏蔽層1040之一部分。其後，去除光阻膜。其結果，如圖24所示，於屏蔽層1040形成使層間絕緣膜1035之表面露出之開口部1041a、1041b。其後，藉由CVD法等，如圖25所示，以嵌埋屏蔽層1040之開口部1041a、1041b之方式，於屏蔽層1040上沈積層間絕緣膜1042。

#### 【0131】

另一方面，如圖26所示，另行準備Si基板1051，藉由光微影技術、

離子佈植及熱處理等，於Si基板1051之上部形成第2主動元件1052、1053、1054、1055之源極區域及汲極區域。又，藉由CVD法、光微影技術及蝕刻等，於Si基板1051上形成第2主動元件1052、1053、1054、1055之閘極絕緣膜及閘極電極。其結果，形成第2主動元件1052、1053、1054、1055。其後，藉由CVD法等，於Si基板1051上沈積層間絕緣膜1056。

#### 【0132】

其次，使用接著劑等，於Si基板1051之形成有第2主動元件1052、1053、1054、1055之面(正面)側接著支持基板1057。然後，藉由CMP等對Si基板1051之形成有第2主動元件1052、1053、1054、1055之面之相反側的面(背面)進行研削，藉此，如圖27所示，使Si基板1051薄化。

#### 【0133】

其次，使圖27所示之Si基板1051之形成有第2主動元件1052、1053、1054、1055之面之相反側的面(背面)與圖25所示之第1基板1101之層間絕緣膜1042之表面對向，以如圖28所示之方式接著。作為接著方法，例如於照射電漿之後，進行水洗，利用晶圓接合裝置使晶圓與晶圓接著。但是，接著方法不限於此，例如亦可使用接著材等進行接著。進而，將支持基板1057剝下，藉由洗淨將用於與支持基板1057之接著之接著劑剝離。

#### 【0134】

其次，藉由光阻技術及RIE等乾式蝕刻等，分別形成：用以形成連接配線1066之槽部，其貫通第2元件層1050、屏蔽層1040、第1配線層1030，使Si基板1011之正面露出；及用以形成連接配線1067之槽部，其

貫通第2元件層1050、屏蔽層1040，使配線1034之表面露出。然後，藉由CVD法等以嵌埋槽部之方式沈積金屬膜，藉由回蝕或CMP等去除層間絕緣膜1056上之金屬膜。其結果，如圖29所示，形成下端連接於Si基板1011之連接配線1066、及下端連接於配線1034之連接配線1067。

#### 【0135】

連接配線1066、1067以貫通屏蔽層1040之開口部1041a、1041b之方式形成。又，於第2元件層1050之Si基板1051，以包圍連接配線1066、1067之外周面之方式形成絕緣構造。再者，於在第2元件層1050之Si基板1051之供連接配線1066、1067貫通的部分預先形成絕緣層之情形時，可不於Si基板1051形成絕緣構造。

#### 【0136】

其次，藉由雙道金屬鑲嵌法等，如圖30所示，於層間絕緣膜1056上交替地積層層間絕緣膜1065與配線1061、1062、1063、1064，藉此形成第2配線層1060。第2配線層1060之配線1061形成為與連接配線1066之上端連接。第2配線層1060之配線1062形成為與連接配線1067之上端連接。

#### 【0137】

另一方面，如圖31所示，另行準備Si基板1081，藉由光微影技術、離子佈植及熱處理等，於Si基板1081之上部形成第3主動元件1082、1083之源極區域及汲極區域。又，藉由CVD法、光微影技術及蝕刻等，形成第3主動元件1082、1083之閘極絕緣膜及閘極電極。其結果，形成第3主動元件1082、1083，形成第3元件層1080。進而，藉由雙道金屬鑲嵌法等，於Si基板1081上交替地積層層間絕緣膜1075與配線1071、1072、1073、1074，藉此形成第3配線層1070。其結果，形成第3基板1103。

**【0138】**

其次，使圖31所示之第3基板1103之第3配線層1070之配線1071、1072側與圖30所示之第2基板1102之第2配線層1060之配線1063、1064側對向，以如圖32所示之方式貼合。其後，藉由CMP等，從正面側對Si基板1081進行研削，藉此使Si基板1081薄化。

**【0139】**

其次，藉由CMP等，從背面對Si基板1011進行研削，藉此使元件分離部1012露出，將光電轉換部1011a、1011b、1011c元件分離。進而，於Si基板1011之背面形成配線(未圖示)、平坦化膜1091、彩色濾光片1092及微透鏡1093等。其結果，完成圖16所示之第1實施形態之半導體裝置。

**【0140】**

根據第1實施形態之半導體裝置之製造方法，由於在第1元件層1020與第2元件層1050之間形成屏蔽層1040，故將配置於屏蔽層1040之下方之第1元件層1020與配置於上方之第2元件層1050之間光學/電磁/熱遮蔽。因此，可抑制第1元件層1020與第2元件層1050之間之雜訊或熱相互傳播。因此，能夠製造如下半導體裝置，即可抑制第1元件層1020中所包含之第1主動元件1021及第2元件層1050中所包含之第2主動元件1052、1053、1054、1055之元件特性劣化。

**【0141】****(第2實施形態)**

如圖33所示，本技術之第2實施形態之半導體裝置之屏蔽層1040之構造與圖19所示之第1實施形態之半導體裝置不同。本技術之第2實施形態之半導體裝置之其他構成與圖19所示之第1實施形態之半導體裝置相同，

因此省略重複之說明。

**【0142】**

再者，於圖33中，Si基板1011之背面側之平坦化膜、彩色濾光片及微透鏡等將省略圖示。又，作為本技術之第2實施形態之半導體裝置，例示將第1基板1101及第2基板1102該等2片基板貼合而成之積層構造，但亦可於第2基板1102上進而積層圖19所示之第3基板1103般之其他基板。

**【0143】**

於本技術之第2實施形態之半導體裝置中，作為屏蔽層1040之一部分，在屏蔽層1040之開口部1041a、1041b之周圍分別設置有鞘部1043、1044。鞘部1043、1044與屏蔽層1040電性連接。作為鞘部1043、1044之材料，與屏蔽層1040同樣，可使用例如含有銅(Cu)、鋁(Al)、金(Au)、銀(Ag)、鎢(W)等金屬、或其等之合金等導電性材料之材料。鞘部1043、1044可使用與屏蔽層1040相同之材料，亦可使用不同材料。

**【0144】**

鞘部1043可以包圍連接配線1066之外周面之方式分別於上下方向上延伸。鞘部1043之上端位於第2配線層1060之配線1061之附近。鞘部1043之下端位於Si基板1011之附近。於鞘部1043與連接配線1066之間、鞘部1043與第2元件層1050之間形成有絕緣構造。

**【0145】**

鞘部1044可以包圍連接配線1067之外周面之方式分別於上下方向上延伸。鞘部1044之上端位於第2配線層1060之配線1062之附近。鞘部1044之下端位於第1配線層1030之配線1034之附近。於鞘部1044與連接配線1067之間、鞘部1044與第2元件層1050之間形成有絕緣構造。

**【0146】**

圖34表示從圖33之A-A方向觀察到之水平方向之剖視圖。從圖34之B-B方向觀察到之鉛直方向之剖面對應於圖33。如圖34所示，連接配線1066、1067及層間絕緣膜1042具有同軸狀之剖面形狀。鞘部1043、1044具有圓筒狀之剖面形狀，設置為與連接配線1066、1067同軸，且介隔層間絕緣膜1042包圍連接配線1066、1067。再者，於圖34中例示鞘部1043、1044具有圓筒狀之剖面形狀之情形，但鞘部1043、1044之剖面圖案不限於此。

**【0147】**

於製造本技術之第2實施形態之半導體裝置時，例如於形成第2元件層1050後，藉由CVD法及RIE等乾式蝕刻等，於貫通第2元件層1050及屏蔽層1040等之槽部，依序嵌埋成為鞘部1043、1044之金屬膜、層間絕緣膜、連接配線1066、1067，藉此，可形成連接配線1066、1067及鞘部1043、1044。本技術之第2實施形態之半導體裝置之其他製造工序，與本技術之第1實施形態之半導體裝置之製造工序相同，因此省略重複之說明。

**【0148】**

根據本技術之第2實施形態之半導體裝置，與本技術之第1實施形態之半導體裝置同樣，於形成在第1基板1101之第1元件層1020、與形成在第2基板1102之第2元件層1050之間具有屏蔽層1040，藉此，將屏蔽層1040之下方所配置之第1元件層1020、與屏蔽層1040之上方所配置之第2元件層1050之間光學/電磁/熱遮蔽。因此，可排除於第1元件層1020中所包含之第1主動元件1021、與第2元件層1050中所包含之第2主動元件

1052、1053、1054、1055之間傳播之雜訊或熱相互影響，抑制對元件特性造成影響之雜訊或誤動作等。其結果，可抑制第1元件層1020中所包含之第1主動元件1021、及第2元件層1050中所包含之第2主動元件1052、1053、1054、1055之元件特性劣化。

#### 【0149】

進而，根據本技術之第2實施形態之半導體裝置，作為屏蔽層1040之一部分，以沿著連接配線1066、1067之外周面延伸之方式具備鞘部1043、1044，藉此，鞘部1043、1044內側之連接配線1066、1067可不受電容耦合等之影響而穩定地傳播信號。

#### 【0150】

(第3實施形態)

使用圖35及圖36，就本技術之第3實施形態之半導體裝置進行說明。第3實施形態之半導體裝置係背面照射型固體攝像裝置，從背面側(圖35之下側)入射光。本技術之第3實施形態之半導體裝置之其他構成，與圖19所示之第1實施形態之半導體裝置相同，因此就重複之構成省略圖示及說明。

#### 【0151】

如圖35A所示，本實施形態之半導體裝置具備半導體基板1211、第1主動元件1221、第1配線層1230、開口部1241a、層間絕緣膜1242、半導體基板1251、第2主動元件1252、配線1261、層間絕緣膜1256、1265、連接配線1266、電磁遮蔽層1302及防擴散層1301、1303。圖35B係表示電磁遮蔽層1302與第1主動元件1221之位置關係之模式圖。於本實施形態中，於構成像素之各光電轉換部之全部區域形成電磁遮蔽層1302，在俯

視下，電磁遮蔽層1302覆蓋複數個第1主動元件1221。

#### 【0152】

電磁遮蔽層1302係含有導電性材料而構成之層，以至少覆蓋第1主動元件1221之方式形成於第1配線層1230與層間絕緣膜1242之間。電磁遮蔽層1302具有電磁遮蔽層1302內之電位固定之程度之導電性，且具有以使第1主動元件1221側之電位變動不影響到第2主動元件1252之方式進行電磁遮蔽之功能。作為構成電磁遮蔽層1302之材料，可使用金屬層或半導體層，尤其是使用鎢(W)、鈦(Ti)、氮化鈦(TiN)、碳(C)、多晶矽(Si)，在防止後續工序中構成原子擴散之方面為佳。於電磁遮蔽層1302，較佳為連接未圖示之配線等並賦予固定電位，更佳為賦予接地電位。

#### 【0153】

防擴散層1301、1303係形成於電磁遮蔽層1302之上下表面之包含介電材料之層，防止於形成電磁遮蔽層1302時被擷取至電磁遮蔽層1302中之氧等原子擴散至第1配線層1230或層間絕緣膜1242。構成防擴散層1301、1303之材料並未限定，可使用例如SiN。

#### 【0154】

其次，使用圖36對本實施形態之半導體裝置之製造方法進行說明。圖36係本實施形態之半導體裝置之製造方法之工序剖視圖。首先，如圖36A所示，準備第1基板，該第1基板係於半導體基板1211上形成包含第1主動元件1221之第1配線層1230而得。又，如圖36B所示，準備於半導體基板1251之一面形成層間絕緣膜1242，於層間絕緣膜1242之表面依序積層有防擴散層1303、電磁遮蔽層1302及防擴散層1301之基板。其次，如圖36C所示，將第1配線層1230與防擴散層1301貼合。其次，如圖36D所

示，於半導體基板1251上形成第2主動元件1252，形成層間絕緣膜1256，形成開口部1241a後形成連接配線1266，並形成配線1261及層間絕緣膜1265。

#### 【0155】

根據本技術之第3實施形態之半導體裝置，於驅動第1主動元件1221時產生之電位變動係藉由電磁遮蔽層1302而電磁遮蔽。藉此，可防止基板偏壓變動而減少對第2主動元件1252之雜訊。從雜訊減少之觀點來看，特佳為使電磁遮蔽層1302固定為接地電位。又，於本實施形態中，在第1基板不具備光電轉換部之半導體裝置中，亦可利用設置於第1主動元件1221與第2主動元件1252之間之電磁遮蔽層1302防止基板偏壓變動而減少雜訊。

#### 【0156】

又，若使用作為高熔點材料之鎢(W)、鈦(Ti)、氮化鈦(TiN)、碳(C)、多晶矽(Si)作為構成電磁遮蔽層1302之材料，則即便於將第1基板與第2基板貼合後存在形成第2主動元件1252等高溫環境下之工序，亦可防止電磁遮蔽層1302擴散至第1配線層1230或層間絕緣膜1242。

#### 【0157】

(第3實施形態之變化例1)

圖37係表示第3實施形態之變化例1之半導體裝置之製造方法的模式剖視圖。如圖37所示，於本變化例1中，準備第1基板，該第1基板係於半導體基板1211上形成包含第1主動元件1221之第1配線層1230，在第1配線層1230之表面依序積層防擴散層1303、電磁遮蔽層1302及防擴散層1301而成。於圖36A～圖36D中，示出在第2基板側形成並貼合電磁遮蔽層

1302之例，但亦可設為如圖37所示形成於第1基板側。於此情形時，使第2基板側之層間絕緣膜1242之表面露出，將層間絕緣膜1242與防擴散層1303貼合。

#### 【0158】

於本變化例1中，在驅動第1主動元件1221時產生之電位變動可利用電磁遮蔽層1302進行電磁遮蔽，從而防止基板偏壓變動，減少對第2主動元件1252之雜訊。

#### 【0159】

(第3實施形態之變化例2)

圖38係第3實施形態之變化例2之半導體裝置之像素區域的主要部分剖視圖。如圖38所示，於本變化例2中，具有於層間絕緣膜1265上進而具備作為第3基板之第1配線層1230、開口部1241a、層間絕緣膜1242、半導體基板1251、第2主動元件1252、配線1261、層間絕緣膜1256、1265、連接配線1266、電磁遮蔽層1302及防擴散層1301、1303之積層構造。

#### 【0160】

於如本變化例般之3層以上之基板之積層構造中，亦於各主動元件之間設置電磁遮蔽層1302，藉此，可利用電磁遮蔽層1302將驅動各主動元件時產生之電位變動電磁遮蔽。藉此，可防止基板偏壓變動而減少對各主動元件之雜訊。

#### 【0161】

(第3實施形態之變化例3)

圖39係表示第3實施形態之變化例3之半導體裝置之電磁遮蔽層1302的模式剖視圖。本變化例3與第3實施形態之不同點在於：於光電轉換部之

區域內選擇性地形成電磁遮蔽層1302，於電磁遮蔽層1302之周圍亦形成有防擴散層1304。形成電磁遮蔽層1302之區域只要至少覆蓋第1主動元件1221即可，因此於在防擴散層1303上之整個面形成電磁遮蔽層1302之後，使用公知之光微影技術使電磁遮蔽層1302圖案化。其後，亦填埋電磁遮蔽層1302之周圍，藉此同時形成防擴散層1304與防擴散層1301。

#### 【0162】

於本變化例中，在所期望之區域限定地形成電磁遮蔽層1302，因此，於第1配線層1230或層間絕緣膜1242之內部之可形成配線或連接配線之區域擴大，可提高元件設計之自由度。

#### 【0163】

(第3實施形態之變化例4)

圖40係表示第3實施形態之變化例4之半導體裝置之電磁遮蔽層1302的模式剖視圖，圖40A係像素區域之主要部分剖視圖，圖40B係表示電磁遮蔽層1302與第1主動元件1221之位置關係之模式圖。如圖40A所示，本變化例4之半導體裝置具備與第3實施形態所示之圖35A相同之積層構造。於本變化例4中，如圖40B所示，利用構成像素之複數個光電轉換部形成共通之電磁遮蔽層1302，電磁遮蔽層1302統括地覆蓋各光電轉換部中所包含之複數個第1主動元件1221。

#### 【0164】

於本變化例中，在從光電轉換部之正上方區域偏移之位置形成有電磁遮蔽層1302，因此容易將配線或連接配線連接於電磁遮蔽層1302而賦予作為固定電位之接地電位。又，亦可使電磁遮蔽層1302局部地延伸並連接於接地配線。

**【0165】**

(第3實施形態之變化例5)

圖41係表示第3實施形態之變化例5之半導體裝置之電磁遮蔽層1302的模式剖視圖，圖41A係像素區域之主要部分剖視圖，圖41B係表示電磁遮蔽層1302與第1主動元件1221之位置關係之模式圖。如圖41A所示，於本變化例5之半導體裝置中，以貫通層間絕緣膜1242，1256、1265、半導體基板1251及防擴散層1303之方式形成有連接配線1311，連接配線1311之下端與電磁遮蔽層1302電性連接。又，經由連接配線1311對電磁遮蔽層1302賦予作為固定電位之接地電位。

**【0166】**

本變化例之電磁遮蔽層1302之平面形狀並無限定，亦可如圖41B所示在複數個光電轉換部形成共通之電磁遮蔽層1302。又，連接配線1311不限於從最上層貫通至電磁遮蔽層1302地形成，例如亦可由設置於各層之配線形成。

**【0167】**

於本變化例中，於半導體裝置之厚度方向上形成連接配線1311並電性連接於電磁遮蔽層1302，因此可縮小電磁遮蔽層1302之面積並供給固定電位。

**【0168】**

(第4實施形態)

使用圖42及圖43對本技術之第4實施形態之半導體裝置進行說明。第4實施形態之半導體裝置係背面照射型固體攝像裝置，從背面側(圖35之下側)入射光。本技術之第4實施形態之半導體裝置之其他構成與圖4所示之

第1實施形態之半導體裝置相同，因此對重複之構成省略圖示及說明。

#### 【0169】

圖42係本技術之第4實施形態之半導體裝置之像素區域的主要部分剖視圖。如圖42所示，本實施形態之半導體裝置係將第1基板1410、第2基板1420及第3基板1430依序積層而構成。又，於第1基板1410、第2基板1420及第3基板1430，具備半導體基板1411、光電二極體1441、浮動擴散部FD、傳輸電晶體TR、傳輸閘極TG、絕緣層1446、光衰減部1501、1502、半導體基板1421、讀出電路1422、絕緣層1452、配線層1462、半導體基板1431及邏輯電路1432。光電二極體PD、傳輸電晶體TR及讀出電路1422分別相當於本技術中之光電轉換部、第1主動元件及第2主動元件。

#### 【0170】

光衰減部1501、1502係設置於絕緣層1446中之微小尺寸之構造物，由折射率較構成絕緣層1446之材料高之材料構成。光衰減部1501、1502之形狀並無限定，於圖42中表示大致圓柱形狀之情形。供配置光衰減部1501、1502之位置處於光電二極體PD與讀出電路1422之間。構成光衰減部1501、1502之材料並無限定，於利用SiO<sub>2</sub>構成周圍之絕緣層1446之情形時，較佳為利用Si構成光衰減部1501、1502。

#### 【0171】

圖43係將光衰減部1501、1502之周圍放大地表示之模式圖，圖43A係表示入射至光衰減部1501、1502之光之路徑之剖視圖，圖43B係表示光衰減部1501、1502之配置例之模式頂視圖。如圖43A所示，光衰減部1501、1502由折射率高於周圍之材料構成，藉此，入射至光衰減部

1501、1502之光如圖中箭頭所示，於光衰減部1501、1502與絕緣層1446之界面全反射，且於光衰減部1501、1502內部反覆進行全反射之過程中，光強度衰減並被吸收。

#### 【0172】

一般而言，於半導體裝置中，在讀出電路1422或邏輯電路1432之驅動時有時會產生熱載子之放射光。放射光之強度與距離之平方成反比，因此，於放射光向配置在距放射光之產生區域較近之位置之光電二極體PD入射之情形時會產生雜訊。於本實施形態之半導體裝置中，入射至光衰減部1501、1502之放射光因反覆反射而於光衰減部1501、1502之內部衰減。藉此，可使到達光電二極體PD之熱載子之放射光之強度降低，可減少光電二極體PD中之雜訊。光衰減部1501、1502之高度較佳為 $1.1\ \mu\text{m}$ 以上，相鄰之光衰減部1501、1502之間隔較佳為 $0.38\ \mu\text{m}$ 以下。藉由將光衰減部1501、1502之高度設為 $1.1\ \mu\text{m}$ 以上，對於從上方垂直射入後未全反射之放射光，亦可於通過光衰減部1501、1502之期間吸收90%左右。

#### 【0173】

又，於利用 $\text{SiO}_2$ 構成絕緣層1446，利用Si構成光衰減部1501、1502之情形時， $\text{SiO}_2$ 之折射率約為1.48，Si之折射率約為3.88，因此，光衰減部1501、1502與絕緣層1446之界面之臨界角成為約22度。藉此，可使對光衰減部1501、1502入射之光進行全反射之範圍變大，可提高光之反覆全反射與光吸收之效果。

#### 【0174】

又，如圖43A、圖43B所示，光衰減部1501與光衰減部1502於絕緣層1446中形成於不同深度，在俯視下互補地配置。藉此，從配置於上方之

讀出電路1422或邏輯電路1432產生之放射光在朝光電二極體PD方向行進之過程中入射至光衰減部1501或光衰減部1502，因此可有效地阻擋到達光電二極體PD之放射光。

#### 【0175】

其次，使用圖44～圖47對本實施形態之半導體裝置之製造方法進行說明。首先，如圖44A所示，準備於含有Si之半導體基板1421之一面形成有含有SiO<sub>2</sub>之絕緣層1512及含有Si之半導體層1511的SOI(Silicon on Insulator，絕緣層上矽)基板。其次，如圖44B所示，藉由CVD法等於半導體基板1421之另一面沈積含有SiO<sub>2</sub>之絕緣層1446。其次，如圖44C所示，於絕緣層1446上使用光微影技術使抗蝕劑遮罩1513圖案化，藉由蝕刻於絕緣層1446形成凹部1514。

#### 【0176】

其次，如圖45D所示，將抗蝕劑遮罩1513剝離，使用CVD技術於絕緣層1446上沈積Si，並利用CMP技術使Si平坦化，利用光衰減部1502嵌埋至凹部1514內。其次，如圖45E所示，利用CVD技術沈積Si，於光衰減部1502上亦形成絕緣層1446。其次，如圖45F所示，反覆進行光微影與蝕刻、Si沈積與平坦化，進而反覆進行Si沈積，形成嵌埋至絕緣層1446中之光衰減部1501。

#### 【0177】

其次，如圖46G所示，使SOI基板翻轉，如圖46H所示，將絕緣層1512與半導體層1511剝離，於半導體基板1421形成讀出電路1422。其次，如圖47I所示，於半導體基板1421上形成絕緣層1452而構成第2基板1420，將另行準備之第1基板1410之絕緣層1446與第2基板1420之絕緣層

1446貼合。最後，如圖47J所示，將第3基板1430之配線層1462與絕緣層1452貼合而獲得圖42所示之本實施形態之半導體裝置。

#### 【0178】

如圖44～圖47所示，利用光微影與蝕刻、Si沈積與平坦化之工序在絕緣層1446中形成光衰減部1501、1502，因此，可於光電二極體PD與讀出電路1422之間，在所期望之位置形成光衰減部1501、1502。又，亦可視需要反覆進行光微影與蝕刻、Si沈積與平坦化之工序，藉此使光衰減部1501、1502成為3層以上之構造。

#### 【0179】

根據本技術之第4實施形態之半導體裝置，光電二極體PD與讀出電路1422之間具備由折射率高於周圍之材料構成之光衰減部1501、1502，藉此，可抑制於讀出電路1422或邏輯電路1432中由熱載子產生之放射光到達光電二極體PD，可減少雜訊。

#### 【0180】

(第4實施形態之變化例1)

圖48係本技術之第4實施形態之變化例1之半導體裝置的局部放大剖視圖。於本變化例中，光衰減部1521、1522之形狀與圖43A所示之例不同。如圖48所示，於本變化例之半導體裝置中，光衰減部1521、1522形成為大致圓筒形狀之底面部分為圓錐形狀之凸形狀1521a、1522a。作為本變化例之光衰減部1521、1522之形成方法，可列舉於圖44C所示之凹部1514之形成時，適當變更抗蝕劑遮罩1513之形狀或膜厚、或變更凹部1514之蝕刻條件。

#### 【0181】

於本變化例之半導體裝置中，將光衰減部1521、1522之底面部分設為凸形狀1521a、1522a，藉此，即便為從正上方方向入射之放射光，亦可被凸形狀1521a、1522a全反射，可使放射光有效地衰減。此處，示出圓錐形狀作為凸形狀1521a、1522a之一例，但只要以可將從上方到達之放射光反射之角度形成，則亦可為傾斜面或微小之凹凸形狀、研鉢形狀等。

### 【0182】

(第4實施形態之變化例2)

圖49係本技術之第4實施形態之變化例2之半導體裝置的局部放大剖視圖。本變化例與圖43A所示之例之不同點在於：光衰減部1531形成為量子點。如圖49所示，於本變化例之半導體裝置中，在絕緣層1446中形成有複數個微小尺寸之含有Si之量子點之光衰減部1531。光衰減部1531之尺寸係直徑為數nm～數十nm左右，於絕緣層1446中立體地分佈。較佳為於俯視絕緣層1446時，光衰減部1531之面密度成為1以上。

### 【0183】

其次，使用圖50～圖52對本變化例之半導體裝置之製造方法進行說明。首先，如圖50A所示，準備於含有Si之半導體基板1421之一面形成有含有SiO<sub>2</sub>之絕緣層1512及含有Si之半導體層1511之SOI基板。其次，如圖50B所示，藉由CVD法等於半導體基板1421之另一面沈積含有SiO<sub>2</sub>之絕緣層1446。此時，作為構成絕緣層1446之SiO<sub>2</sub>，形成富含Si之SiO<sub>2</sub>。富含Si之SiO<sub>2</sub>之具體形成方法並無限定，可列舉例如將二氯矽烷(SiH<sub>2</sub>Cl<sub>2</sub>)氣體(DCS氣體)與一氧化二氮(N<sub>2</sub>O)氣體之比率設為7～13：1，以0.8～1.5 atm之壓力形成等。其次，如圖50C所示，使絕緣層1446退火後於絕緣層

1446中積層含有Si之量子點而形成光衰減部1531。具體退火條件並無限定，例如於1000°C之N<sub>2</sub>氛圍下實施1小時之退火。

#### 【0184】

其次，如圖51D所示，使SOI基板翻轉，如圖51E所示，將絕緣層1512與半導體層1511剝離，利用CMP技術研削半導體基板1421而使其變薄。其次，如圖51F所示，於半導體基板1421形成讀出電路1422，於半導體基板1421上形成絕緣層1452而構成第2基板1420，將另行準備之第1基板1410之絕緣層1446與第2基板1420之絕緣層1446貼合。最後，如圖51G所示，將第3基板1430之配線層1462與絕緣層1452貼合後獲得圖52H所示之本變化例之半導體裝置。

#### 【0185】

於本變化例之半導體裝置中，在光電二極體PD與讀出電路1422之間配置折射率高於周圍之Si量子點之光衰減部1531，藉此可抑制讀出電路1422或邏輯電路1432中由熱載子產生之放射光到達光電二極體PD，可減少雜訊。

#### 【0186】

(第4實施形態之變化例3)

圖53係本技術之第4實施形態之變化例3之半導體裝置的局部放大剖視圖。本變化例與圖43A所示之例之不同點在於：光衰減部1542形成於半導體基板1421。如圖3所示，於本變化例之半導體裝置中，在半導體基板1421之背面側形成有凹部1541，半導體基板1421之一部分作為凸形狀之光衰減部1542於絕緣層1446中突出地配置。於本變化例中，利用構成半導體基板1421之Si形成光衰減部1542，於構成絕緣層1446之SiO<sub>2</sub>中突

出，因此，光衰減部1542之折射率較周圍之絕緣層1446之折射率高。

#### 【0187】

其次，使用圖54、圖55對本變化例之半導體裝置之製造方法進行說明。首先，如圖54A所示，準備含有Si之半導體基板1421。其次，如圖54B所示，於半導體基板1421之一面使用光微影技術使抗蝕劑遮罩圖案化，藉由蝕刻而於半導體基板1421形成凹部1541及光衰減部1542。其次，如圖54C所示，去除抗蝕劑遮罩，藉由CVD法等於半導體基板1421上沈積含有SiO<sub>2</sub>之絕緣層1446，利用絕緣層1446填埋凹部1541後，藉由CMP技術加以平坦化。

#### 【0188】

其次，如圖55D所示，使半導體基板1421翻轉，如圖55E所示，利用CMP技術研削半導體基板1421而使其變薄。其次，如圖55F所示，將另行準備之第1基板1410之絕緣層1446與第2基板1420之絕緣層1446貼合。關於讀出電路1422之形成或與第3基板1430之貼合將省略說明。

#### 【0189】

於本變化例之半導體裝置中，在形成於半導體基板1421之凸形狀之光衰減部1542與絕緣層1446之界面，放射光進行全反射，於光衰減部1542內使放射光衰減，因此，可抑制讀出電路1422或邏輯電路1432中由熱載子產生之放射光到達光電二極體PD，可減少雜訊。

#### 【0190】

(第4實施形態之變化例4)

圖56係本技術之第4實施形態之變化例4之半導體裝置的局部放大剖視圖。本變化例與圖42所示之例之不同點在於：在絕緣層1446中僅形成

有一層光衰減部1501。於本變化例中，亦可藉由使光衰減部1501之尺寸或配置恰當，而抑制讀出電路1422或邏輯電路1432中由熱載子產生之放射光到達光電二極體PD，從而減少雜訊。

### 【0191】

(第4實施形態之變化例5)

圖57係本技術之第4實施形態之變化例5之半導體裝置的局部放大剖視圖。本變化例與圖42所示之例之不同點在於：將絕緣層1446中所形成之光衰減部1501與形成於半導體基板1421之凸形狀之光衰減部1542組合。於本變化例中，亦可藉由使光衰減部1501與光衰減部1542之尺寸或配置恰當，而抑制讀出電路1422或邏輯電路1432中由熱載子產生之放射光到達光電二極體PD，從而減少雜訊。

### 【0192】

(第5實施形態)

使用圖58及圖59對本技術之第5實施形態之半導體裝置進行說明。第5實施形態之半導體裝置係背面照射型固體攝像裝置，從背面側(圖58之下側)入射光。本技術之第5實施形態之半導體裝置之其他構成與圖19所示之第1實施形態之半導體裝置相同，因此，對重複之構成省略圖示及說明。

### 【0193】

圖58係本技術之第5實施形態之半導體裝置之局部放大剖視圖。圖59係表示抗反射部1701與連接配線1666之位置關係之模式圖。如圖58及圖59所示，本實施形態之半導體裝置具備Si基板1611、1651、元件分離部1612、第1配線層1630、層間絕緣膜1656、1665、配線1661、連接配線1666及抗反射部1701。如第1實施形態中所述，Si基板1651包含本技術之

第2主動元件，Si基板1611包含本技術之光電轉換部，但於圖58中省略圖示。

#### 【0194】

抗反射部1701至少配置於Si基板1651之第2主動元件與Si基板1611之光電轉換部之間，具有使Si基板1651之背面之光之反射率降低的功能。於圖58所示之例中，抗反射部1701與Si基板1651之背面(圖58之下側)整體接觸地設置，形成為具有介於第1配線層1630中所包含之作為絕緣材料之氧化矽( $\text{SiO}_2$ )與構成Si基板1651之Si之間之折射率的介電膜。作為構成抗反射部1701之材料，例如可列舉氮化矽( $\text{SiN}$ )。

#### 【0195】

其次，使用圖60及圖61對本實施形態之半導體裝置之製造方法進行說明。首先，如圖60所示，準備具備Si基板1611、元件分離部1612及第1配線層1630之第1基板。又，使用CVD技術等使構成抗反射部1701之SiN成膜於Si基板1651之背面，將抗反射部1701與第1配線層1630貼合。其次，如圖61所示，研削Si基板1651之正面而使其厚度變薄，使用光微影技術形成凹部1702直至第1配線層1630之中途為止。其後，利用層間絕緣膜1656填埋凹部1702及Si基板1651之正面，實施層間絕緣膜1665、配線1661、連接配線1666之形成等，獲得本實施形態之半導體裝置。再者，於圖60之階段，抗反射部1701可設置於第1配線層1630之上表面側，而非設置於Si基板1651側。

#### 【0196】

於未設置抗反射部1701之情形時，第1配線層1630中所含有之 $\text{SiO}_2$ 與Si基板1651之折射率差較大，因此，於兩者之界面處容易產生全反射。由

於Si基板1611與Si基板1651之間存在距離，故入射至Si基板1611之光電轉換部後被Si基板1651反射之光可能超過元件分離部1612並入射至其他光電轉換部。於Si基板1651之背面反射後入射至光電轉換部之光由於被光電轉換部轉換為電信號，故產生雜訊。

#### 【0197】

於本實施形態中，在第2主動元件與光電轉換部之間設置抗反射部1701，利用具有Si之中間折射率之SiN構成抗反射部1701，藉此，SiN與Si之折射率差較未設置反射部1701之情形小，可抑制Si基板1651處之全反射，可減少光電轉換部之雜訊。

#### 【0198】

(第5實施形態之變化例1)

圖62係本技術之第5實施形態之變化例1之半導體裝置的局部放大剖視圖。本變化例與圖58所示之例之不同點在於：抗反射部1711形成於較Si基板1651大之範圍。如圖62所示，於本變化例中，遍及半導體裝置之全域設置有抗反射部1711，連接配線1666以貫通設置於抗反射部1711之開口之方式設置。

#### 【0199】

圖63表示本變化例之半導體裝置之製造方法。首先，與圖60同樣，準備具備Si基板1611、元件分離部1612及第1配線層1630之第1基板。又，使用CVD技術等於Si基板1651之背面成膜構成抗反射部1711之SiN，將抗反射部1711與第1配線層1630貼合。其次，如圖63所示，研削Si基板1651之正面而使其厚度變薄，使用光微影技術形成凹部1702直至抗反射部1711之表面為止。其後，利用層間絕緣膜1656填埋凹部1702及Si基板

1651之正面，實施層間絕緣膜1665、配線1661、連接配線1666之形成等，獲得本變化例之半導體裝置。

### 【0200】

於本變化例中，同樣於第2主動元件與光電轉換部之間設置有抗反射部1711，抗反射部1711設置於較Si基板1651大之範圍，因此可抑制於Si基板1651處全反射，可減少光電轉換部之雜訊。

### 【0201】

(第5實施形態之變化例2)

圖64係本技術之第5實施形態之變化例2之半導體裝置的局部放大剖視圖。本變化例與圖62所示之例之不同點在於：除抗反射部1721以外，於Si基板1651之側面還設置有抗反射部1722。如圖64所示，於本變化例中，抗反射部1721遍及半導體裝置之全域設置，連接配線1666以貫通設置於抗反射部1711之開口之方式設置。又，以覆蓋Si基板1651之側面之方式設置有抗反射部1722。

### 【0202】

圖65表示本變化例之半導體裝置之製造方法。首先，與圖60同樣，準備具備Si基板1611、元件分離部1612及第1配線層1630之第1基板。又，使用CVD技術等於Si基板1651之背面成膜構成抗反射部1721之SiN，將抗反射部1721與第1配線層1630貼合。其次，如圖61所示，研削Si基板1651之正面使其厚度變薄，使用光微影技術形成凹部1702直至第1配線層1630之中途為止，使Si基板1651之正面氧化而形成SiO<sub>2</sub>膜。其次，如圖65所示，成膜SiN膜，於Si基板1651正面之SiO<sub>2</sub>膜上形成SiN膜1723，並且於在凹部1702內露出之Si基板1651之側面設置抗反射部1722。最後，

利用層間絕緣膜1656填埋SiN膜1723與凹部1702，並對層間絕緣膜1656、SiN膜1723及SiO<sub>2</sub>膜進行研磨直至Si基板1651之正面露出為止，實施層間絕緣膜1665、配線1661、連接配線1666之形成等，獲得本實施形態之半導體裝置。

### 【0203】

於本變化例中，同樣，於第2主動元件與光電轉換部之間之較Si基板1651大之範圍內設置有抗反射部1721，於Si基板1651之側面設置有抗反射部1722，因此可抑制於Si基板1651處全反射，可減少光電轉換部之雜訊。

### 【0204】

(第5實施形態之變化例3)

圖66係本技術之第5實施形態之變化例3之半導體裝置的局部放大剖視圖。本變化例與圖58所示之例之不同點在於：以多層構造構成在Si基板1651之背面形成之抗反射部1731。如圖66所示，於本變化例之半導體裝置中，抗反射部1731係與Si基板1651之背面(圖58之下側)整體接觸而設置，具有積層有複數層折射率不同之介電體之構造。構成抗反射部1731之介電膜之層數不限於2層，亦可為3層以上。抗反射部1731中所包含之介電材料係折射率較第1配線層1630中所含有之SiO<sub>2</sub>大且折射率較Si基板1651之Si小之材料，以從Si基板1651側朝向第1配線層1630，折射率逐漸變小之方式積層。構成抗反射部1731之具體材料並無限定，可使用例如氮化矽(SiN)、氮氧化矽(SiON)、碳化矽(SiC)、碳氧化矽(SiOC)、氧化鋁(Al<sub>2</sub>O<sub>3</sub>)及氧化鈦(HfO<sub>2</sub>)等。

### 【0205】

於本變化例中，同樣，於第2主動元件與光電轉換部之間設置有抗反射部1731，從Si基板1651朝向第1配線層1630，折射率逐漸變小，因此可抑制於Si基板1651處全反射，可減少光電轉換部之雜訊。

#### 【0206】

(第5實施形態之變化例4)

圖67係本技術之第5實施形態之變化例4之半導體裝置的局部放大剖視圖。本變化例與圖58所示之例之不同點在於：在Si基板1651之背面與抗反射部1731之間，設置有折射率不同之中間膜1732。中間膜1732由折射率較構成抗反射部1731之材料小之材料構成，形成得較抗反射部1731之膜厚薄。中間膜1732之膜厚並無限定，只要為1 nm～數nm左右之膜厚即可，如此即便為折射率較抗反射部1731之折射率小之材料，給抗光反射效果造成之影響亦會變小。

#### 【0207】

於本變化例中，同樣，於第2主動元件與光電轉換部之間設置有抗反射部1731，因此，即便於抗反射部1731與Si基板1651之間設置有折射率不同之中間膜1732，亦可抑制於Si基板1651處全反射，可減少光電轉換部之雜訊。

#### 【0208】

(第5實施形態之變化例5)

圖68係本技術之第5實施形態之變化例5之半導體裝置的局部放大剖視圖。本變化例與圖58所示之例之不同點在於：設置有Si基板1651之背面之抗反射部1741具有凹凸構造。抗反射部1741係介隔具有介於第1配線層1630中所包含之作為絕緣材料之SiO<sub>2</sub>與構成Si基板1651之Si之間之折射率

的介電膜形成，形成有複數個微小之凹凸。

#### 【0209】

於本變化例之半導體裝置中，將抗反射部1741之凹凸構造之尺寸設為較光之波長大之以微米為單位之凹凸時，到達抗反射部1741之光被漫反射，因此，可減少於Si基板1651之背面反射後入射至光電轉換部之光，從而可減少雜訊。又，將凹凸構造之尺寸設為較光之波長小之以奈米為單位之凹凸時，抗反射部1741成為折射率逐漸變化之蛾眼構造，因此可抑制於Si基板1651之背面反射之光，可減少因光入射至光電轉換部而產生之雜訊。

#### 【0210】

(另一實施形態)

如上所述，本技術由第1～第5實施形態記載，構成本發明之一部分之論述及圖式不應理解為限定本技術者。根據本發明，本領域技術人員明確了多種替代實施形態、實施例及運用技術。

#### 【0211】

例如，本技術之第1～第5實施形態之半導體裝置例如可應用於數位靜態相機或攝錄影機等相機系統、或具有攝像功能之行動電話等具備攝像功能之所有類型之電子機器。例如，可應用於圖69所示之電子機器(相機)。圖69所示之電子機器係例如能夠拍攝靜態圖像或動態圖像之攝錄影機，具有半導體裝置2200、光學系統(光學透鏡)2201、快門裝置2202、驅動半導體裝置2200及快門裝置2202之驅動部2204、及信號處理部2203。

#### 【0212】

半導體裝置2200可應用第1～第5實施形態之半導體裝置。光學系統2201將來自被攝體之像光(入射光)引導至半導體裝置2200之像素區域2001。該光學系統2201可包含複數個光學透鏡。快門裝置2202控制向半導體裝置2200之光照射期間及遮光期間。驅動部204控制半導體裝置2200之傳輸動作及快門裝置2202之快門動作。信號處理部2203對從半導體裝置2200輸出之信號進行各種信號處理。信號處理後之影像信號被記憶至記憶體等記憶媒體中，或被輸出至監視器等。

### 【0213】

根據本技術之一實施形態之攝像裝置，根據基板之積體度執行基板彼此之電性連接，因此，不會因將基板彼此電性連接之構造而使晶片尺寸變大或妨礙單位像素之面積之微細化。其結果，可提供與以往相同之晶片尺寸且不妨礙單位像素之面積之微細化之3層構造之攝像裝置。再者，本技術之效果並不限於文中所記載之效果，亦可為本發明中未記載之任一效果。

### 【0214】

只要為本領域技術人員，則理解可根據設計上之條件或其他因素，想到各種修正、組合、次組合及變更，其等包含於隨附之申請專利範圍或其均等物之範圍內。

### 【0215】

又，作為本技術之第1～第5實施形態之半導體裝置，例示了背面照射型之CMOS型影像感測器，但亦可應用於背面照射型之CCD型影像感測器等固體攝像裝置。進而，本技術之半導體裝置可應用於除固體攝像裝置以外之、例如使用有半導體之記憶裝置、使用有半導體之顯示裝置、使用

有半導體之感測器裝置、及使用有半導體之計算裝置等各種半導體裝置。

### 【0216】

例如，可為代替具有光電轉換部之像素，而具有作為單位胞之記憶胞之DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等半導體記憶裝置之構成。當前之DRAM係一電晶體型之記憶胞(單位胞)，但藉由採用本技術之積層構造，可不降低積體密度地構成1970年代所使用之具有三電晶體型之記憶胞(單位胞)之DRAM。藉由進而於將具有一電晶體型之記憶胞(單位胞)之DRAM積層多層而成的三維構造之半導體記憶裝置之上層DRAM與下層DRAM之間，形成上述屏蔽構造，可將上層DRAM與下層DRAM之間熱/光學/電磁遮蔽。因此，可防止高速動作DRAM等之電能量集中之動作中的雜訊或誤動作等。

### 【0217】

又，於本技術之第1～第5實施形態之半導體裝置中，以使用負電荷(電子)作為信號電荷之情形為例進行了說明，但亦可應用於使用正電荷(電洞)作為信號電荷之情形。於使用電洞作為信號電荷之情形時，只要相反地構成p型區域與n型區域即可。

### 【0218】

(第6實施形態)

以下，參照圖式對本發明之第6實施形態之攝像裝置1進行詳細說明。再者，說明係按照以下順序進行。

- 1.實施形態(具有3個基板之積層構造之攝像裝置)
- 2.變化例1(平面構成之例1)
- 3.變化例2(平面構成之例2)

- 4.變化例3(平面構成之例3)
- 5.變化例4(於像素陣列部之中央部具有基板間之接點部之例)
- 6.變化例5(具有平面型之傳輸電晶體之例)
- 7.變化例6(於1個像素電路連接1個像素之例)
- 8.變化例7(像素分離部之構成例)

#### 【0219】

< 1.實施形態 >

[攝像裝置1之功能構成]

圖70係表示本發明之一實施形態之攝像裝置(攝像裝置1)之功能構成之一例的方塊圖。

#### 【0220】

圖70之攝像裝置1例如包含輸入部510A、列驅動部520、時序控制部530、像素陣列部540、行信號處理部550、圖像信號處理部560及輸出部510B。

#### 【0221】

於像素陣列部540，呈陣列狀重複配置有像素541。更具體而言，包含複數個像素之像素共有單元539成為重複單位，該重複單位呈由列方向及行方向構成之陣列狀重複配置。再者，本說明書中，為了方便起見，有時將列方向稱為H方向，將與列方向正交之行方向稱為V方向。於圖70之例中，1個像素共有單元539包含4個像素(像素541A、541B、541C、541D)。像素541A、541B、541C、541D分別具有光電二極體PD(下述圖75等所圖示)。像素共有單元539係共有1個像素電路(下述圖72之像素電路210)之單位。換言之，針對每4個像素(像素541A、541B、541C、541D)

具有1個像素電路(下述像素電路210)。藉由使該像素電路分時動作，而依序讀出像素541A、541B、541C、541D各自之像素信號。像素541A、541B、541C、541D以例如2列×2行之方式配置。於像素陣列部540，設置有像素541A、541B、541C、541D、與複數條列驅動信號線542及複數條垂直信號線(行讀出線)543。列驅動信號線542將像素陣列部540中並列排列於列方向上之複數個像素共有單元539各自所包含之像素541驅動。將像素共有單元539中之並列排列於列方向之各像素驅動。以下將參照圖73詳細地說明，於像素共有單元539設置有複數個電晶體。為了分別驅動該等複數個電晶體，於1個像素共有單元539連接有複數條列驅動信號線542。於垂直信號線(行讀出線)543，連接有像素共有單元539。經由垂直信號線(行讀出線)543從像素共有單元539中所包含之各像素541A、541B、541C、541D讀出像素信號。

#### 【0222】

列驅動部520例如包含決定用於進行像素驅動之列之位置之列位址控制部、換言之為列解碼器部、及產生用以驅動像素541A、541B、541C、541D之信號之列驅動電路部。

#### 【0223】

行信號處理部550例如具備負載電路部，該負載電路部連接於垂直信號線543，形成像素541A、541B、541C、541D(像素共有單元539)及源極隨耦電路。行信號處理部550亦可具有放大電路部，該放大電路部將經由垂直信號線543從像素共有單元539讀出之信號放大。行信號處理部550亦可具有雜訊處理部。於雜訊處理部中，例如，從自像素共有單元539讀出之作為光電轉換之結果之信號中去除系統之雜訊位準。

**【0224】**

行信號處理部550例如具有類比數位轉換器(ADC)。於類比數位轉換器中，從像素共有單元539讀出之信號或上述雜訊處理後之類比信號被轉換為數位信號。ADC例如包含比較器部及計數器部。於比較器部中，將成為轉換對象之類比信號與成為其比較對象之參照信號加以比較。於計數器部中，對至比較器部之比較結果反轉為止之時間進行計測。行信號處理部550可包含進列掃描讀出行之控制之水平掃描電路部。

**【0225】**

時序控制部530基於向裝置輸入之基準時脈信號或時序控制信號，向列驅動部520及行信號處理部550供給控制時序之信號。

**【0226】**

圖像信號處理部560係對光電轉換後所獲得之資料、換言之、攝像裝置1之攝像動作後所獲得之資料實施各種信號處理之電路。圖像信號處理部560例如包含圖像信號處理電路部及資料保持部。圖像信號處理部560亦可包含處理器部。

**【0227】**

圖像信號處理部560中執行之信號處理之一例係色調曲線修正處理，該色調曲線修正處理係當經AD轉換之攝像資料為拍攝較暗被攝體所得之資料時，使其具有多個灰階，當經AD轉換之攝像資料為拍攝較亮被攝體所得之資料時，減少灰階。於此情形時，關於基於哪種色調曲線來修正攝像資料之灰階，較理想的是將色調曲線之特性資料預先記憶於圖像信號處理部560之資料保持部中。

**【0228】**

輸入部510A例如用於從裝置外部向攝像裝置1輸入上述基準時脈信號、時序控制信號及特性資料等。時序控制信號例如為垂直同步信號及水平同步信號等。特性資料例如用於供記憶至圖像信號處理部560之資料保持部。輸入部510A例如包含輸入端子511、輸入電路部512、輸入振幅變更部513、輸入資料轉換電路部514及電源供給部(未圖示)。

#### 【0229】

輸入端子511係用以輸入資料之外部端子。輸入電路部512用以將輸入至輸入端子511之信號擷取至攝像裝置1之內部。於輸入振幅變更部513中，由輸入電路部512擷取之信號之振幅變更為容易於攝像裝置1之內部利用之振幅。於輸入資料轉換電路部514中，輸入資料之資料行之排列變更。輸入資料轉換電路部514例如包含並行串列轉換電路。於該並行串列轉換電路中，作為輸入資料而接收到之串列信號被轉換為並行信號。再者，於輸入部510A中，可省略輸入振幅變更部513及輸入資料轉換電路部514。電源供給部基於從外部向攝像裝置1供給之電源，供給被設定為攝像裝置1之內部所需之各種電壓之電源。

#### 【0230】

於將攝像裝置1與外部之記憶體裝置連接時，於輸入部510A，可設置有接收來自外部之記憶體裝置之資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM(Static Random Access Memory，靜態隨機存取記憶體)及DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等。

#### 【0231】

輸出部510B向裝置外部輸出圖像資料。該圖像資料例如為利用攝像

裝置1拍攝之圖像資料、及利用圖像信號處理部560進行信號處理後之圖像資料等。輸出部510B例如包含輸出資料轉換電路部515、輸出振幅變更部516、輸出電路部517及輸出端子518。

#### 【0232】

輸出資料轉換電路部515例如包含並行串列轉換電路，於輸出資料轉換電路部515中，攝像裝置1內部所使用之並行信號被轉換為串列信號。輸出振幅變更部516將於攝像裝置1之內部使用之信號之振幅變更。振幅變更後之信號容易於連接在攝像裝置1外部之外部裝置中利用。輸出電路部517係從攝像裝置1之內部向裝置外部輸出資料之電路，藉由輸出電路部517，驅動連接於輸出端子518之攝像裝置1外部之配線。於輸出端子518中，從攝像裝置1向裝置外部輸出資料。於輸出部510B中，可省略輸出資料轉換電路部515及輸出振幅變更部516。

#### 【0233】

於將攝像裝置1與外部之記憶體裝置連接時，於輸出部510B，可設置有向外部之記憶體裝置輸出資料之記憶體介面電路。外部之記憶體裝置例如為快閃記憶體、SRAM及DRAM等。

#### 【0234】

[攝像裝置1之概略構成]

圖71及圖72係表示攝像裝置1之概略構成之一例之圖。攝像裝置1具備3個基板(第1基板100、第2基板200、第3基板300)。圖71係模式性地表示第1基板100、第2基板200、第3基板300各自之平面構成之圖，圖72模式性地表示相互積層之第1基板100、第2基板200及第3基板300之剖面構成。圖72對應於沿著圖71所示之III-III'線之剖面構成。攝像裝置1係將3個

基板(第1基板100、第2基板200、第3基板300)貼合後構成之三維構造之攝像裝置。第1基板100包含半導體層100S及配線層100T。第2基板200包含半導體層200S及配線層200T。第3基板300包含半導體層300S及配線層300T。此處，為了方便起見，將第1基板100、第2基板200及第3基板300之各基板所包含之配線與其周圍之層間絕緣膜合併所得者稱為設置於各基板(第1基板100、第2基板200及第3基板300)之配線層(100T、200T、300T)。第1基板100、第2基板200及第3基板300依序積層，沿著積層方向，按照半導體層100S、配線層100T、半導體層200S、配線層200T、配線層300T及半導體層300S之順序配置。關於第1基板100、第2基板200及第3基板300之具體構成將在下文進行敘述。圖72所示之箭頭表示光L向攝像裝置1之入射方向。本說明書中，為了方便起見，於以下之剖視圖中，有時將攝像裝置1之光入射側稱為「下」「下側」「下方」，將與光入射側相反之側稱為「上」「上側」「上方」。又，本說明書中，為了方便起見，關於具備半導體層及配線層之基板，有時將配線層之一側稱為正面，將半導體層之一側稱為背面。再者，說明書之記載不限於上述稱法。攝像裝置1例如成為光從具有光電二極體之第1基板100之背面側入射的背面照射型攝像裝置。

### 【0235】

關於像素陣列部540及像素陣列部540中所包含之像素共有單元539，均使用第1基板100及第2基板200之兩者來構成。於第1基板100，設置有像素共有單元539所具有之複數個像素541A、541B、541C、541D。該等像素541各自具有光電二極體(下述光電二極體PD)及傳輸電晶體(下述傳輸電晶體TR)。於第2基板200，設置有像素共有單元539所具有之像素電路

(下述像素電路210)。像素電路讀出從像素541A、541B、541C、541D各自之光電二極體經由傳輸電晶體傳輸來之像素信號，或者重設光電二極體。該第2基板200除具有此種像素電路外，還具有於列方向上延伸之複數條列驅動信號線542及於行方向上延伸之複數條垂直信號線543。第2基板200進而具有於列方向上延伸之電源線544。第3基板300例如具有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B。列驅動部520例如於第1基板100、第2基板200及第3基板300之積層方向(以下簡稱為積層方向)上，一部分設置於與像素陣列部540重疊之區域。更具體而言，列驅動部520於積層方向上，設置於與像素陣列部540之H方向之端部附近重疊之區域(圖71)。行信號處理部550例如設置於在積層方向上一部分與像素陣列部540重疊之區域。更具體而言，行信號處理部550設置於在積層方向上與像素陣列部540之V方向之端部附近重疊之區域(圖71)。雖省略圖示，但輸入部510A及輸出部510B亦可配置於第3基板300以外之部分，例如亦可配置於第2基板200。或者，亦可於第1基板100之背面(光入射面)側設置輸入部510A及輸出部510B。再者，作為其他名稱，設置於上述第2基板200之像素電路有時亦被稱作像素電晶體電路、像素電晶體群、像素電晶體、像素讀出電路或讀出電路。本說明書中，使用像素電路這一名稱。

### 【0236】

第1基板100與第2基板200例如藉由貫通電極(下述圖75之貫通電極120E、121E)而電性連接。第2基板200與第3基板300例如經由接點部201、202、301、302而電性連接。於第2基板200設置有接點部201、202，於第3基板300設置有接點部301、302。第2基板200之接點部201與

第3基板300之接點部301相接，第2基板200之接點部202與第3基板300之接點部302相接。第2基板200具有設置有複數個接點部201之接點區域201R、及設置有複數個接點部202之接點區域202R。第3基板300具有設置有複數個接點部301之接點區域301R、及設置有複數個接點部302之接點區域302R。接點區域201R、301R於積層方向上，設置於像素陣列部540與列驅動部520之間(圖72)。換言之，接點區域201R、301R例如設置於列驅動部520(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域或其附近區域。接點區域201R、301R例如配置於此種區域中之H方向之端部(圖71)。於第3基板300中，例如，在與列驅動部520之一部分、具體而言為列驅動部520之H方向之端部重疊之位置設置有接點區域301R(圖71、圖72)。接點部201、301例如將設置於第3基板300之列驅動部520與設置於第2基板200之列驅動信號線542連接。接點部201、301例如亦可將設置於第3基板300之輸入部510A與電源線544及基準電位線(下述基準電位線VSS)連接。接點區域202R、302R於積層方向上設置於像素陣列部540與行信號處理部550之間(圖72)。換言之，接點區域202R、302R例如設置於行信號處理部550(第3基板300)與像素陣列部540(第2基板200)於積層方向上重疊之區域或其附近區域。接點區域202R、302R例如配置於此種區域中之V方向之端部(圖71)。於第3基板300中，例如於與行信號處理部550之一部分、具體而言為行信號處理部550之V方向之端部重疊的位置設置有接點區域301R(圖71、圖72)。接點部202、302例如用於將從像素陣列部540所具有之複數個像素共有單元539各自輸出之像素信號(與利用光電二極體進行光電轉換後產生之電荷量對應之信號)向設置於第3基板300之行信號處理部550連接。像素信號從第

2基板200被發送至第3基板300。

#### 【0237】

如上所述，圖72係攝像裝置1之剖視圖之一例。第1基板100、第2基板200、第3基板300經由配線層100T、200T、300T電性連接。例如，攝像裝置1具有將第2基板200與第3基板300電性連接之電性連接部。具體而言，利用由導電材料形成之電極形成接點部201、202、301、302。導電材料例如由銅(Cu)、鋁(Al)、金(Au)等金屬材料形成。接點區域201R、202R、301R、302R例如可藉由將形成為電極之配線彼此直接接合，而將第2基板與第3基板電性連接，從而進行第2基板200與第3基板300之信號之輸入及/或輸出。

#### 【0238】

將第2基板200與第3基板300電性連接之電性連接部可設置於所期望之部位。例如，可設置於如圖72中記載為接點區域201R、202R、301R、302R之在積層方向上與像素陣列部540重疊之區域。又，亦可將電性連接部設置於在積層方向上不與像素陣列部540重疊之區域。具體而言，亦可設置於在積層方向上與配置於像素陣列部540之外側之周邊部重疊的區域。

#### 【0239】

於第1基板100及第2基板200，例如設置有連接孔部H1、H2。連接孔部H1、H2貫通第1基板100及第2基板200(圖72)。連接孔部H1、H2設置於像素陣列部540(或與像素陣列部540重疊之部分)之外側(圖71)。例如，連接孔部H1配置於H方向上較像素陣列部540靠外側之位置，連接孔部H2配置於V方向上較像素陣列部540靠外側之位置。例如，連接孔部H1到達

設置於第3基板300之輸入部510A，連接孔部H2到達設置於第3基板300之輸出部510B。連接孔部H1、H2可為空腔，亦可於至少一部分含有導電材料。例如具有於作為輸入部510A及/或輸出部510B而形成之電極連接接合線之構成。或具有將作為輸入部510A及/或輸出部510B而形成之電極與設置於連接孔部H1、H2之導電材料連接之構成。設置於連接孔部H1、H2之導電材料可嵌埋至連接孔部H1、H2之一部分或全部，導電材料亦可形成於連接孔部H1、H2之側壁。

#### 【0240】

再者，圖72中設為於第3基板300設置輸入部510A及輸出部510B之構造，但不限於此。例如，因經由配線層200T、300T將第3基板300之信號發送至第2基板200，故亦可將輸入部510A及/或輸出部510B設置於第2基板200。同樣，因經由配線層100T、200T將第2基板200之信號發送至第1基板100，故亦可將輸入部510A及/或輸出部510B設置於第1基板100。

#### 【0241】

圖73係表示像素共有單元539之構成之一例之等效電路圖。像素共有單元539包含複數個像素541(圖73中，示出像素541A、541B、541C、541D該等4個像素541)、連接於該等複數個像素541之1個像素電路210、及連接於像素電路210之垂直信號線5433。像素電路210例如包含4個電晶體、具體而言為放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FD。如上所述，像素共有單元539藉由使1個像素電路210分時動作，而將像素共有單元539中所包含之4個像素541(像素541A、541B、541C、541D)各自之像素信號依序向垂直信號線543輸出。將1個像素電路210連接於複數個像素541，利用1個像素電路210分時

輸出該等複數個像素541之像素信號之態樣稱為「複數個像素541共有1個像素電路210」。

#### 【0242】

像素541A、541B、541C、541D具有相互共通之構成要素。以下，為了將像素541A、541B、541C、541D之構成要素相互區分開，對像素541A之構成要素之符號之末尾賦予識別編號1，對像素541B之構成要素之符號之末尾賦予識別編號2，對像素541C之構成要素之符號之末尾賦予識別編號3，對像素541D之構成要素之符號之末尾賦予識別編號4。於無需將像素541A、541B、541C、541D之構成要素相互區分之情形時，省略像素541A、541B、541C、541D之構成要素之符號之末尾的識別編號。

#### 【0243】

像素541A、541B、541C、541D例如具有光電二極體PD、與光電二極體PD電性連接之傳輸電晶體TR、及電性連接於傳輸電晶體TR之浮動擴散部FD。於光電二極體PD(PD1、PD2、PD3、PD4)中，陰極電性連接於傳輸電晶體TR之源極，陽極電性連接於基準電位線(例如接地)。光電二極體PD將入射之光進行光電轉換，產生與其受光量相應之電荷。傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)例如為n型CMOS(Complementary Metal Oxide Semiconductor，互補金氧半導體)電晶體。於傳輸電晶體TR中，汲極電性連接於浮動擴散部FD，閘極電性連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542(參照圖70)中之一部分。傳輸電晶體TR將於光電二極體PD產生之電荷傳輸至浮動擴散部FD。浮動擴散部FD(浮動擴散部FD1、

FD2、FD3、FD4)係p型半導體層中所形成之n型擴散層區域。浮動擴散部FD係暫時保持從光電二極體PD傳輸來之電荷之電荷保持機構，且係產生與上述電荷量相應之電壓之電荷-電壓轉換機構。

#### 【0244】

1個像素共有單元539中所包含之4個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互電性連接，並且電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。FD轉換增益切換電晶體FDG之汲極連接於重設電晶體RST之源極，FD轉換增益切換電晶體FDG之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。重設電晶體RST之汲極連接於電源線VDD，重設電晶體RST之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。放大電晶體AMP之閘極連接於浮動擴散部FD，放大電晶體AMP之汲極連接於電源線VDD，放大電晶體AMP之源極連接於選擇電晶體SEL之汲極。選擇電晶體SEL之源極連接於垂直信號線543，選擇電晶體SEL之閘極連接於驅動信號線。該驅動信號線係與1個像素共有單元539連接之複數條列驅動信號線542中之一部分。

#### 【0245】

當傳輸電晶體TR成為接通狀態時，傳輸電晶體TR將光電二極體PD之電荷傳輸至浮動擴散部FD。傳輸電晶體TR之閘極(傳輸閘極TG)例如包含所謂之垂直型電極，且如下述圖75所示，以從半導體層(下述圖75之半導體層100S)之正面延伸至到達PD之深度為止之方式設置。重設電晶體RST將浮動擴散部FD之電位重設為規定之電位。當重設電晶體RST成為

接通狀態時，將浮動擴散部FD之電位重設為電源線VDD之電位。選擇電晶體SEL控制來自像素電路210之像素信號之輸出時序。放大電晶體AMP產生與浮動擴散部FD中所保持之電荷之位準相應之電壓的信號作為像素信號。放大電晶體AMP經由選擇電晶體SEL連接於垂直信號線543。該放大電晶體AMP於行信號處理部550中，與連接於垂直信號線543之負載電路部(參照圖70)一起構成源極隨耦。當選擇電晶體SEL成為接通狀態時，放大電晶體AMP將浮動擴散部FD之電壓經由垂直信號線543輸出至行信號處理部550。重設電晶體RST、放大電晶體AMP及選擇電晶體SEL例如為N型CMOS電晶體。

#### 【0246】

FD轉換增益切換電晶體FDG係於變更浮動擴散部FD中之電荷-電壓轉換之增益時使用。一般而言，於暗處拍攝時像素信號較小。基於 $Q=CV$ ，進行電荷電壓轉換時，若浮動擴散部FD之電容(FD電容C)較大，則利用放大電晶體AMP轉換為電壓時之V會變小。另一方面，於亮處，像素信號變大，因此，若FD電容C變大，則浮動擴散部FD無法將光電二極體PD之電荷全部接收完。進而，為了使利用放大電晶體AMP轉換為電壓時之V不會變得過大(換言之，為了使利用放大電晶體AMP轉換為電壓時之V變小)，必須使FD電容C變大。根據上述內容，於使FD轉換增益切換電晶體FDG接通時，與FD轉換增益切換電晶體FDG相應之閘極電容增大，因此FD電容C整體變大。另一方面，於使FD轉換增益切換電晶體FDG斷開時，FD電容C整體變小。如此，藉由切換FD轉換增益切換電晶體FDG之接通/斷開，能夠使FD電容C變化，從而切換轉換效率。FD轉換增益切換電晶體FDG例如為N型CMOS電晶體。

**【0247】**

再者，亦可為未設置FD轉換增益切換電晶體FDG之構成。此時，例如，像素電路210包含例如放大電晶體AMP、選擇電晶體SEL及重設電晶體RST該等3個電晶體。像素電路210例如具有放大電晶體AMP、選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG等像素電晶體中之至少1個。

**【0248】**

選擇電晶體SEL可設置於電源線VDD與放大電晶體AMP之間。於此情形時，重設電晶體RST之汲極電性連接於電源線VDD及選擇電晶體SEL之汲極。選擇電晶體SEL之源極電性連接於放大電晶體AMP之汲極，選擇電晶體SEL之閘極電性連接於列驅動信號線542(參照圖70)。放大電晶體AMP之源極(像素電路210之輸出端)電性連接於垂直信號線543，放大電晶體AMP之閘極電性連接於重設電晶體RST之源極。再者，雖省略圖示，但共有1個像素電路210之像素541之數量可為4個以外。例如，可為2個或8個像素541共有1個像素電路210。

**【0249】**

圖74係表示複數個像素共有單元539與垂直信號線543之連接態樣之一例之圖。例如，將排列於行方向之4個像素共有單元539分為4個群組，於該4個群組分別連接有垂直信號線543。為了簡化說明，圖74中示出4個群組各自具有1個像素共有單元539之例，但4個群組亦可各自包含複數個像素共有單元539。如此，於攝像裝置1中，亦可將排列於行方向之複數個像素共有單元539分為包含1個或複數個像素共有單元539之群組。例如，於該群組分別連接有垂直信號線543及行信號處理部550，從而可從

各個群組同時讀出像素信號。或者，於攝像裝置1中，亦可將1條垂直信號線543連接於排列在行方向之複數個像素共有單元539。此時，從連接於1條垂直信號線543之複數個像素共有單元539分時依序讀出像素信號。

### 【0250】

[攝像裝置1之具體構成]

圖75係表示攝像裝置1之與第1基板100、第2基板200及第3基板300之主面垂直之方向的剖面構成之一例之圖。圖75係為了易於理解而模式性地表示構成要素之位置關係之圖，可與實際之剖面不同。於攝像裝置1中，依序積層有第1基板100、第2基板200及第3基板300。攝像裝置1進而於第1基板100之背面側(光入射面側)具有受光透鏡401。於受光透鏡401與第1基板100之間可設置有彩色濾光片層(未圖示)。受光透鏡401例如設置於像素541A、541B、541C、541D之各者。攝像裝置1係例如背面照射型之攝像裝置。攝像裝置1具有配置於中央部之像素陣列部540、及配置於像素陣列部540之外側之周邊部540B。

### 【0251】

第1基板100從受光透鏡401側起依序具有絕緣膜111、固定電荷膜112、半導體層100S及配線層100T。半導體層100S包含例如矽基板。半導體層100S例如於正面(配線層100T側之面)之一部分及其附近具有p型井層115，於除此以外之區域(較p型井層115深之區域)具有n型半導體區域114。例如，由該n型半導體區域114及p型井層115構成pn接面型光電二極體PD。p型井層115係p型半導體區域。

### 【0252】

圖76A係表示第1基板100之平面構成之一例之圖。圖76A主要示出第

1基板100之像素分離部117、光電二極體PD、浮動擴散部FD、VSS接點區域118及傳輸電晶體TR之平面構成。使用圖75及圖76A來說明第1基板100之構成。

#### 【0253】

於半導體層100S之正面附近，設有浮動擴散部FD及VSS接點區域118。浮動擴散部FD包含設置於p型井層115內之n型半導體區域。像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)例如與像素共有單元539之中央部相互近接地設置(圖76A)。詳細情況將於下文進行敘述，該像素共有單元539中所包含之4個浮動擴散部(浮動擴散部FD1、FD2、FD3、FD4)於第1基板100內(更具體而言為配線層100T內)，經由電性連接機構(下述焊墊部120)相互電性連接。進而，浮動擴散部FD經由電性機構(下述貫通電極120E)從第1基板100連接至第2基板200(更具體而言，從配線層100T連接至配線層200T)。於第2基板200(更具體而言為配線層200T之內部)，藉由該電性機構將浮動擴散部FD電性連接於放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極。

#### 【0254】

VSS接點區域118係電性連接於基準電位線VSS之區域，與浮動擴散部FD分開地配置。例如，於像素541A、541B、541C、541D中，在各像素之V方向之一端配置有浮動擴散部FD，在另一端配置有VSS接點區域118(圖76A)。VSS接點區域118例如由p型半導體區域構成。VSS接點區域118連接於例如接地電位或固定電位。藉此，向半導體層100S供給基準電位。

**【0255】**

於第1基板100，設置有光電二極體PD、浮動擴散部FD及VSS接點區域118、以及傳輸電晶體TR。該光電二極體PD、浮動擴散部FD、VSS接點區域118及傳輸電晶體TR分別設置於像素541A、541B、541C、541D。傳輸電晶體TR設置於半導體層100S之正面側(與光入射面側相反之側、第2基板200側)。傳輸電晶體TR具有傳輸閘極TG。傳輸閘極TG例如包含與半導體層100S之正面對向之水平部分TGb、及設置於半導體層100S內之垂直部分TGa。垂直部分TGa於半導體層100S之厚度方向上延伸。垂直部分TGa之一端與水平部分TGb相接，另一端設置於n型半導體區域114內。藉由利用此種垂直型電晶體構成傳輸電晶體TR，不易產生像素信號之傳輸不良，能夠提高像素信號之讀出效率。

**【0256】**

傳輸閘極TG之水平部分TGb從與垂直部分TGa對向之位置例如於H方向上朝向像素共有單元539之中央部延伸(圖76A)。藉此，可使到達傳輸閘極TG之貫通電極(下述貫通電極TGV)之H方向之位置接近與浮動擴散部FD及VSS接點區域118連接之貫通電極(下述貫通電極120E、121E)之H方向之位置。例如，設置於第1基板100之複數個像素共有單元539具有互相同之構成(圖76A)。

**【0257】**

於半導體層100S，設置有將像素541A、541B、541C、541D相互分離之像素分離部117。像素分離部117於半導體層100S之法線方向(與半導體層100S之表面垂直之方向)上延伸而形成。像素分離部117以將像素541A、541B、541C、541D相互分隔之方式設置，具有例如格子狀之平

面形狀(圖76A、圖76B)。像素分離部117例如將像素541A、541B、541C、541D相互電性及光學性分離。像素分離部117例如包含遮光膜117A及絕緣膜117B。遮光膜117A係例如使用鎢(W)等。絕緣膜117B設置於遮光膜117A與p型井層115或n型半導體區域114之間。絕緣膜117B例如含有氧化矽(SiO<sub>2</sub>)。像素分離部117例如具有FTI(Full Trench Isolation，全溝槽隔離)構造，貫通半導體層100S。雖未圖示，但像素分離部117不限於貫通半導體層100S之FTI構造。例如，亦可為不貫通半導體層100S之DTI(Deep Trench Isolation，深溝槽隔離)構造。像素分離部117於半導體層100S之法線方向上延伸，形成於半導體層100S之一部分之區域。

#### 【0258】

於半導體層100S，例如設置有第1釘紮區域113及第2釘紮區域116。第1釘紮區域113設置於半導體層100S之背面附近，配置於n型半導體區域114與固定電荷膜112之間。第2釘紮區域116設置於像素分離部117之側面、具體而言為像素分離部117與p型井層115或n型半導體區域114之間。第1釘紮區域113及第2釘紮區域116例如由p型半導體區域構成。

#### 【0259】

於半導體層100S與絕緣膜111之間，設置有具有負固定電荷之固定電荷膜112。藉由固定電荷膜112所感應出之電場，於半導體層100S之受光面(背面)側之界面形成作為電洞蓄積層之第1釘紮區域113。藉此，抑制由半導體層100S之受光面側之界面能階引起之暗電流之產生。固定電荷膜112例如由具有負固定電荷之絕緣膜形成。作為該具有負固定電荷之絕緣膜之材料，例如可列舉氧化鉛、氧化銻、氧化鋁、氧化鈦或氧化鉭。

#### 【0260】

於固定電荷膜112與絕緣膜111之間，設置有遮光膜117A。該遮光膜117A可與構成像素分離部117之遮光膜117A連續地設置。該固定電荷膜112與絕緣膜111之間之遮光膜117A例如選擇性地設置於半導體層100S內之與像素分離部117對向之位置。絕緣膜111以覆蓋該遮光膜117A之方式設置。絕緣膜111例如含有氧化矽。

#### 【0261】

設置於半導體層100S與第2基板200之間之配線層100T從半導體層100S側起依序具有層間絕緣膜119、焊墊部120、121、鈍化膜122、層間絕緣膜123及接合膜124。傳輸閘極TG之水平部分TGb例如設置於該配線層100T。層間絕緣膜119遍及半導體層100S之整個正面設置，與半導體層100S相接。層間絕緣膜119例如由氧化矽膜構成。再者，配線層100T之構成不限於上述構成，只要為具有配線及絕緣膜之構成即可。

#### 【0262】

圖76B示出圖76A所示之平面構成、及焊墊部120、121之構成。焊墊部120、121設置於層間絕緣膜119上之選擇性區域。焊墊部120用於將像素541A、541B、541C、541D各自之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)相互連接。焊墊部120例如在每個像素共有單元539中，配置於俯視下之像素共有單元539之中央部(圖76B)。該焊墊部120以橫跨像素分離部117之方式設置，與浮動擴散部FD1、FD2、FD3、FD4各自之至少一部分重疊而配置(圖75、圖76B)。具體而言，焊墊部120形成於如下區域，即，於與半導體層100S之表面垂直之方向上，與共有像素電路210之複數個浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)各自之至少一部分、及形成於共有該像素電路210之複數個光電二極體PD(光

電二極體PD1、PD2、PD3、PD4)之間之像素分離部117之至少一部分重疊的區域。於層間絕緣膜119，設置有用以將焊墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接之連接孔120C。連接孔120C設置於像素541A、541B、541C、541D之各者。例如，藉由將焊墊部120之一部分嵌埋至連接孔120C，而將焊墊部120與浮動擴散部FD1、FD2、FD3、FD4電性連接。

### 【0263】

焊墊部121用於將複數個VSS接點區域118相互連接。例如，藉由焊墊部121將V方向上相鄰之一像素共有單元539之設置於像素541C、541D的VSS接點區域118、與另一像素共有單元539之設置於像素541A、541B之VSS接點區域118電性連接。焊墊部121例如以橫跨像素分離部117之方式設置，與該等4個VSS接點區域118各自之至少一部分重疊地配置。具體而言，焊墊部121形成於如下區域，即，於與半導體層100S之表面垂直之方向上，與複數個VSS接點區域118各自之至少一部分、及形成於該等複數個VSS接點區域118之間之像素分離部117之至少一部分重疊的區域。於層間絕緣膜119，設置有用以將焊墊部121與VSS接點區域118電性連接之連接孔121C。連接孔121C設置於像素541A、541B、541C、541D之各者。例如，藉由於連接孔121C嵌埋焊墊部121之一部分，而將焊墊部121與VSS接點區域118電性連接。例如，排列於V方向之複數個像素共有單元539各自之焊墊部120及焊墊部121配置於H方向上之大致相同之位置(圖76B)。

### 【0264】

藉由設置焊墊部120，可減少整個晶片中之用於從各浮動擴散部FD

連接至像素電路210(例如放大電晶體AMP之閘極電極)之配線。同樣，藉由設置焊墊部121，可減少整個晶片中之向各VSS接點區域118供給電位之配線。藉此，能夠實現如下效果等：縮小晶片整體之面積；抑制微細化後之像素之配線間之電氣干擾；及/或因零件件數削減而使得成本削減。

#### 【0265】

焊墊部120、121可設置於第1基板100、第2基板200之所期望之位置。具體而言，可將焊墊部120、121設置於配線層100T、半導體層200S之絕緣區域212之任一者。於設置於配線層100T之情形時，可使焊墊部120、121與半導體層100S直接接觸。具體而言，焊墊部120、121可為與浮動擴散部FD及/或VSS接點區域118之各者之至少一部分直接連接之構成。又，亦可為如下構成：從連接於焊墊部120、121之浮動擴散部FD及/或VSS接點區域118之各者設置連接孔120C、121C，於配線層100T、半導體層200S之絕緣區域2112之所期望之位置設置焊墊部120、121。

#### 【0266】

尤其是，於將焊墊部120、121設置於配線層100T之情形時，可減少半導體層200S之絕緣區域212中之連接於浮動擴散部FD及/或VSS接點區域118之配線。藉此，可削減形成像素電路210之第2基板200中之用於形成貫通配線之絕緣區域212之面積，上述貫通配線用於從浮動擴散部FD連接至像素電路210。因此，能夠確保形成像素電路210之第2基板200之面積較大。藉由確保像素電路210之面積，可使像素電晶體形成得較大，可有助於藉由雜訊減少等來提高畫質。

#### 【0267】

尤其是，於在像素分離部117使用FTI構造之情形時，浮動擴散部FD

及/或VSS接點區域118較佳為設置於各像素541，因此，藉由使用焊墊部120、121之構成，可大幅削減將第1基板100與第2基板200連接之配線。

#### 【0268】

又，如圖76B所示，例如連接複數個浮動擴散部FD之焊墊部120與連接複數個VSS接點區域118之焊墊部121於V方向上呈直線狀交替地配置。又，焊墊部120、121形成於被複數個光電二極體PD、複數個傳輸閘極TG或複數個浮動擴散部FD包圍之位置。藉此，可於形成複數個元件之第1基板100自由地配置除浮動擴散部FD及VSS接點區域118以外之元件，可謀求晶片整體之布局之效率化。又，能夠確保形成於各像素共有單元539之元件之布局之對稱性，抑制各像素541之特性之偏差。

#### 【0269】

焊墊部120、121例如包含多晶矽(Poly Si)、更具體而言為添加有雜質之摻雜多晶矽。焊墊部120、121較佳為包含多晶矽、鎢(W)、鈦(Ti)及氮化鈦(TiN)等耐熱性較高之導電性材料。藉此，可於將第2基板200之半導體層200S貼合於第1基板100後，形成像素電路210。以下，說明其理由。再者，於以下說明中，將使第1基板100與第2基板200之半導體層200S貼合後，形成像素電路210之方法稱為第1製造方法。

#### 【0270】

此處，亦可考慮於在第2基板200形成像素電路210後，將其與第1基板100貼合(以下稱為第2製造方法)。於該第2製造方法中，在第1基板100之正面(配線層100T之正面)及第2基板200之正面(配線層200T之正面)分別預先形成電性連接用之電極。若將第1基板100與第2基板200貼合，則與此同時，形成於第1基板100之正面與第2基板200之正面之各者之電性連

接用之電極彼此接觸。藉此，第1基板100所包含之配線與第2基板200所包含之配線之間形成電性連接。因此，藉由設為使用第2製造方法所得之攝像裝置1之構成，例如可根據第1基板100與第2基板200各自之構成，使用適當之工藝製造，能夠製造高品質、高性能之攝像裝置。

### 【0271】

於此種第2製造方法中，將第1基板100與第2基板200貼合時，有時會因貼合用之製造裝置而產生對位之誤差。又，第1基板100及第2基板200例如具有直徑達數十cm左右之大小，於將第1基板100與第2基板200貼合時，有在該第1基板100、第2基板200各部之微觀區域產生基板之伸縮之虞。引起該基板之伸縮之原因在於，基板彼此接觸之時點存在少許偏差。有時會因此種第1基板100及第2基板200之伸縮，而導致形成於第1基板100之正面及第2基板200之正面之各者的電性連接用電極之位置產生誤差。於第2製造方法中，較佳為預先採取應對處理，以使即便產生此種誤差，第1基板100及第2基板200各自之電極彼此亦會接觸。具體而言，預先考慮到上述誤差而使第1基板100及第2基板200之電極之至少一者、較佳為兩者增大。因此，若使用第2製造方法，則例如形成於第1基板100或第2基板200之正面之電極之大小(基板平面方向之大小)大於自第1基板100或第2基板200之內部沿厚度方向延伸至正面之內部電極之大小。

### 【0272】

另一方面，藉由利用耐熱性之導電材料構成焊墊部120、121，能夠使用上述第1製造方法。於第1製造方法中，形成包含光電二極體PD及傳輸電晶體TR等之第1基板100後，將該第1基板100與第2基板200(半導體層2000S)貼合。此時，第2基板200之狀態為尚未形成構成像素電路210之主

動元件及配線層等之圖案。由於第2基板200為形成圖案之前之狀態，故即便將第1基板100與第2基板200貼合時，其等之貼合位置產生誤差，亦不會因該貼合誤差而導致第1基板100之圖案與第2基板200之圖案之間之對位產生誤差。其原因在於，第2基板200之圖案係於將第1基板100與第2基板200貼合後形成。再者，於要在第2基板形成圖案時，例如，於用以形成圖案之曝光裝置中，將形成於第1基板之圖案作為對位對象，而形成圖案。鑒於上述理由，於第1製造方法中，第1基板100與第2基板200之貼合位置之誤差對於製造攝像裝置1不成問題。鑒於相同理由，於第1製造方法中，第2製造方法中產生之基板之伸縮所引起之誤差對於製造攝像裝置1亦不成問題。

#### 【0273】

第1製造方法中，以此方式將第1基板100與第2基板200(半導體層200S)貼合後，於第2基板200上形成主動元件。其後，形成貫通電極120E、121E及貫通電極TGV(圖75)。於上述貫通電極120E、121E、TGV之形成中，例如從第2基板200之上方，使用曝光裝置之縮小投影曝光，形成貫通電極之圖案。由於使用縮小曝光投影，故即便第2基板200與曝光裝置之對位產生誤差，該誤差之大小於第2基板200中亦僅為上述第2製造方法中之誤差之幾分之一(縮小曝光投影倍率之倒數)。因此，藉由設為使用第1製造方法形成之攝像裝置1之構成，形成於第1基板100與第2基板200之各者之元件彼此之對位變得容易，能夠製造高品質、高性能之攝像裝置。

#### 【0274】

使用此種第1製造方法製造之攝像裝置1具有與使用第2製造方法製造

之攝像裝置不同之特徵。具體而言，於藉由第1製造方法製造之攝像裝置1中，例如，貫通電極120E、121E、TGV從第2基板200至第1基板100為大致固定之粗細(基板平面方向之大小)。或者，當貫通電極120E、121E、TGV具有錐形形狀時，其係具有固定斜率之錐形形狀。具有此種貫通電極120E、121E、TGV之攝像裝置1容易使像素541微細化。

#### 【0275】

此處，當藉由第1製造方法製造攝像裝置1時，將第1基板100與第2基板200(半導體層200S)貼合後，於第2基板200形成主動元件，因此第1基板100亦會受到形成主動元件時所需之加熱處理之影響。因此，如上所述，設置於第1基板100之焊墊部120、121較佳為使用耐熱性較高之導電材料。例如，焊墊部120、121較佳為使用與第2基板200之配線層200T中所包含之配線材之至少一部分相比熔點較高(即耐熱性較高)之材料。例如，焊墊部120、121使用摻雜多晶矽、鎢、鈦或者氮化鈦等耐熱性較高之導電材。藉此，可使用上述第1製造方法來製造攝像裝置1。

#### 【0276】

鈍化膜122例如以覆蓋焊墊部120、121之方式，遍及半導體層100S之整個正面設置(圖75)。鈍化膜122例如包含氮化矽(SiN)膜。層間絕緣膜123隔著鈍化膜122覆蓋焊墊部120、121。該層間絕緣膜123例如遍及半導體層100S之整個正面設置。層間絕緣膜123例如由氧化矽(SiO)膜構成。接合膜124設置於第1基板100(具體而言為配線層100T)與第2基板200之接合面。即，接合膜124與第2基板200相接。該接合膜124遍及第1基板100之整個主面設置。接合膜124例如包含氮化矽膜。

#### 【0277】

受光透鏡401例如隔著固定電荷膜112及絕緣膜111與半導體層100S對向(圖75)。受光透鏡401設置於例如與像素541A、541B、541C、541D各自之光電二極體PD對向之位置。

#### 【0278】

第2基板200從第1基板100側起依序具有半導體層200S及配線層200T。半導體層200S包含矽基板。於半導體層200S中，遍及厚度方向設置有井區域211。井區域211例如為p型半導體區域。於第2基板200，設置有針對每個像素共有單元539配置之像素電路210。該像素電路210例如設置於半導體層200S之正面側(配線層200T側)。於攝像裝置1中，以第2基板200之背面側(半導體層200S側)朝向第1基板100之正面側(配線層100T側)之方式，將第2基板200貼合於第1基板100。即，第2基板200以面對背(face to back)之方式貼合於第1基板100。

#### 【0279】

圖77～圖81模式性地表示第2基板200之平面構成之一例。圖77中示出設置於半導體層200S之正面附近之像素電路210之構成。圖78模式性地表示配線層200T(具體而言為下述第1配線層W1)、及連接於配線層200T之半導體層200S及第1基板100之各部之構成。圖79～圖81示出配線層200T之平面構成之一例。以下，使用圖75及圖77～圖81對第2基板200之構成進行說明。於圖77及圖78中，以虛線表示光電二極體PD之外形(像素分離部117與光電二極體PD之交界)，以點線表示與構成像素電路210之各電晶體之間極電極重疊之部分之半導體層200S與元件分離區域213或絕緣區域214之交界。於與放大電晶體AMP之間極電極重疊之部分，在通道寬度方向之一方，設置有半導體層200S與元件分離區域213之交界、及元件

分離區域213與絕緣區域212之交界。

#### 【0280】

於第2基板200，設置有將半導體層200S分斷之絕緣區域212、及設置於半導體層200S之厚度方向之一部分之元件分離區域213(圖75)。例如，於在H方向上相鄰之2個像素電路210之間所設置之絕緣區域212，配置有與該等2個像素電路210連接之2個像素共有單元539之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)(圖78)。

#### 【0281】

絕緣區域212具有與半導體層200S之厚度大致相同之厚度(圖75)。半導體層200S由該絕緣區域212分斷。於該絕緣區域212配置有貫通電極120E、121E及貫通電極TGV。絕緣區域212例如含有氧化矽。

#### 【0282】

貫通電極120E、121E係於厚度方向上貫通絕緣區域212而設置。貫通電極120E、121E之上端連接於配線層200T之配線(下述第1配線W1、第2配線W2、第3配線W3、第4配線W4)。上述貫通電極120E、121E貫通絕緣區域212、接合膜124、層間絕緣膜123及鈍化膜122而設置，其下端連接於焊墊部120、121(圖75)。貫通電極120E用於將焊墊部120與像素電路210電性連接。即，藉由貫通電極120E，將第1基板100之浮動擴散部FD電性連接於第2基板200之像素電路210。貫通電極121E用於將焊墊部121與配線層200T之基準電位線VSS電性連接。即，藉由貫通電極121E將第1基板100之VSS接點區域118電性連接於第2基板200之基準電位線VSS。

#### 【0283】

貫通電極TGV於厚度方向上貫通絕緣區域212而設置。貫通電極TGV之上端連接於配線200T之配線。該貫通電極TGV貫通絕緣區域212、接合膜124、層間絕緣膜123、鈍化膜122及層間絕緣膜119而設置，其下端連接於傳輸閘極TG(圖75)。此種貫通電極TGV用於將像素541A、541B、541C、541D各自之傳輸閘極TG(傳輸閘極TG1、TG2、TG3、TG4)與配線層200T之配線(列驅動信號線542之一部分、具體而言為下述圖80之配線TRG1、TRG2、TRG3、TRG4)電性連接。即，藉由貫通電極TGV將第1基板100之傳輸閘極TG與第2基板200之配線TRG電性連接，向各傳輸電晶體TR(傳輸電晶體TR1、TR2、TR3、TR4)發送驅動信號。

#### 【0284】

絕緣區域212係用於與半導體層200S絕緣地設置上述貫通電極120E、121E及貫通電極TGV之區域，上述貫通電極120E、121E及貫通電極TGV用於將第1基板100與第2基板200電性連接。例如，於在H方向上相鄰之2個像素電路210(像素共有單元539)之間所設置之絕緣區域212，配置有與該等2個像素電路210連接之貫通電極120E、121E及貫通電極TGV(貫通電極TGV1、TGV2、TGV3、TGV4)。絕緣區域212例如於V方向上延伸設置(圖77、圖78)。此處，藉由對傳輸閘極TG之水平部分TGb之配置進行設計，而配置成與垂直部分TGa之位置相比，貫通電極TGV之H方向之位置更接近貫通電極120E、121E之H方向之位置(圖76A、圖78)。例如，貫通電極TGV配置於H方向上與貫通電極120E、120E大致相同之位置。藉此，可將貫通電極120E、121E及貫通電極TGV統一設置於在V方向上延伸之絕緣區域212。作為另一配置例，亦可考慮僅於與垂直部分TGa重疊之區域設計水平部分TGb。於此情形時，在垂直部分TGa之大致

正上方形成貫通電極TGV，例如於各像素541之H方向及V方向之大致中央部配置貫通電極TGV。此時，貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置大幅偏移。於貫通電極TGV及貫通電極120E、121E之周圍，為了與近接之半導體層200S電性絕緣而例如設置絕緣區域212。於貫通電極TGV之H方向之位置與貫通電極120E、121E之H方向之位置相隔較遠之情形時，必須於貫通電極120E、121E、TGV各自之周圍獨立地設置絕緣區域212。因此，半導體層200S被細小地分斷。與此相比，於在V方向上延伸之絕緣區域212統一配置貫通電極120E、121E及貫通電極TGV之布局可使半導體層200S之H方向之大小變大。因此，能夠確保半導體層200S中之半導體元件形成區域之面積較大。藉此，例如，能夠使放大電晶體AMP之尺寸變大，從而抑制雜訊。

#### 【0285】

如參照圖73所作說明，像素共有單元539具有如下構造：將設置於複數個像素541之各者之浮動擴散部FD之間電性連接，該等複數個像素541共有1個像素電路210。而且，上述浮動擴散部FD間之電性連接係藉由設置於第1基板100之焊墊部120而完成(圖75、圖76B)。設置於第1基板100之電性連接部(焊墊部120)與設置於第2基板200之像素電路210經由1個貫通電極120E而電性連接。作為另一構造例，亦可考慮將浮動擴散部FD間之電性連接部設置於第2基板200。於此情形時，在像素共有單元539設置分別與浮動擴散部FD1、FD2、FD3、FD4連接之4個貫通電極。因此，於第2基板200中，貫通半導體層200S之貫通電極之數量增加，使該等貫通電極之周圍絕緣之絕緣區域212變大。與此相比，於第1基板100設置焊墊部120之構造(圖75、圖76B)可減少貫通電極之數量，使絕緣區域212變

小。因此，能夠確保半導體層200S中之半導體元件形成區域之面積較大。藉此，例如，能夠使放大電晶體AMP之尺寸變大，從而抑制雜訊。

#### 【0286】

元件分離區域213設置於半導體層200S之正面側。元件分離區域213具有STI(Shallow Trench Isolation，淺溝槽隔離)構造。於該元件分離區域213中，半導體層200S於厚度方向(與第2基板200之表面垂直之方向)上被刻蝕，於該刻蝕部嵌埋有絕緣膜。該絕緣膜例如含有氧化矽。元件分離區域213根據像素電路210之布局，將構成像素電路210之複數個電晶體間元件分離。半導體層200S(具體而言為井區域211)延伸至元件分離區域213之下方(半導體層200S之深部)。

#### 【0287】

此處，參照圖76A、圖76B及圖77，說明第1基板100上之像素共有單元539之外形形狀(基板平面方向之外形形狀)與第2基板200上之像素共有單元539之外形形狀之差異。

#### 【0288】

於攝像裝置1中，遍及第1基板100及第2基板200之兩者，設置有像素共有單元539。例如，設置於第1基板100之像素共有單元539之外形形狀與設置於第2基板200之像素共有單元539之外形形狀互不相同。

#### 【0289】

圖76A、圖76B中，以一點鏈線示出像素541A、541B、541C、541D之外形線，以粗線示出像素共有單元539之外形形狀。例如，第1基板100之像素共有單元539包含於H方向上鄰接配置之2個像素541(像素541A、541B)、及與該等2個像素541(像素541A、541B)於V方向上鄰接配置之2

個像素541(像素541C、541D)。即，第1基板100之像素共有單元539包含鄰接之2列×2行之4個像素541，第1基板100之像素共有單元539具有大致正方形之外形形狀。於像素陣列部540中，此種像素共有單元539於H方向上以2像素間距(相當於2個像素541之間距)，於V方向上以2像素間距(相當於2個像素541之間距)鄰接排列。

### 【0290】

圖77及圖78中，以一點鏈線示出像素541A、541B、541C、541D之外形線，以粗線示出像素共有單元539之外形形狀。例如，第2基板200之像素共有單元539之外形形狀於H方向上較第1基板100之像素共有單元539小，於V方向上較第1基板100之像素共有單元539大。例如，第2基板200之像素共有單元539於H方向上以相當於1個像素之大小(區域)形成，於V方向上以相當於4個像素之大小形成。即，第2基板200之像素共有單元539係以相當於呈鄰接之1列×4行排列之像素之大小形成，第2基板200之像素共有單元539具有大致長方形之外形形狀。

### 【0291】

例如，於各像素電路210中，選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG依序排列配置於V方向(圖77)。如上所述，將各像素電路210之外形形狀設置為大致長方形，藉此，可於一方向(圖77中為V方向)上排列配置4個電晶體(選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG)。藉此，可於一個擴散區域(連接於電源線VDD之擴散區域)共有放大電晶體AMP之汲極及重設電晶體RST之汲極。例如，亦可將各像素電路210之形成區域設置為大致正方形(參照下述圖90)。於此情形時，沿著一方向配置2個

電晶體，難以於一個擴散區域共有放大電晶體AMP之汲極及重設電晶體RST之汲極。因此，藉由將像素電路210之形成區域設置為大致長方形，可容易將4個電晶體近接地配置，使像素電路210之形成區域變小。即，可實施像素之微細化。又，於無需使像素電路210之形成區域變小時，可使放大電晶體AMP之形成區域變大，從而抑制雜訊。

#### 【0292】

例如，於半導體層200S之正面附近，除設置有選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG以外，還設置有與基準電位線VSS連接之VSS接點區域218。VSS接點區域218例如由p型半導體區域構成。VSS接點區域218經由配線層200T之配線及貫通電極121E電性連接於第1基板100(半導體層100S)之VSS接點區域118。該VSS接點區域218例如隔著元件分離區域213，設置於與FD轉換增益切換電晶體FDG之源極相鄰之位置(圖77)。

#### 【0293】

其次，參照圖76B及圖77，說明設置於第1基板100之像素共有單元539與設置於第2基板200之像素共有單元539之位置關係。例如，排列於第1基板100之V方向之2個像素共有單元539中之一(例如圖76B之紙面上側)像素共有單元539與排列於第2基板200之H方向之2個像素共有單元539中之一(例如圖77之紙面左側)像素共有單元539連接。例如，排列於第1基板100之V方向之2個像素共有單元539中之另一(例如圖76B之紙面下側)像素共有單元539與排列於第2基板200之H方向之2個像素共有單元539中之另一(例如圖77之紙面右側)像素共有單元539連接。

#### 【0294】

例如，排列於第2基板200之H方向之2個像素共有單元539中，一像素共有單元539之內部布局(電晶體等之配置)與使另一像素共有單元539之內部布局於V方向及H方向上反轉之布局大致相同。以下，說明藉由該布局而獲得之效果。

#### 【0295】

排列於第1基板100之V方向之2個像素共有單元539中，各焊墊部120配置於像素共有單元539之外形形狀之中央部、即像素共有單元539之V方向及H方向之中央部(圖76B)。另一方面，如上所述，第2基板200之像素共有單元539具有於V方向上較長之大致長方形之外形形狀，因此，例如連接於焊墊部120之放大電晶體AMP配置在從像素共有單元539之V方向之中央朝紙面上方偏移之位置。例如，當排列於第2基板200之H方向之2個像素共有單元539之內部布局相同時，一像素共有單元539之放大電晶體AMP與焊墊部120(例如，圖76之紙面上側之像素共有單元539之焊墊部120)之距離相對較短。但是，另一像素共有單元539之放大電晶體AMP與焊墊部120(例如，圖76之紙面下側之像素共有單元539之焊墊部120)之距離變長。因此，有該放大電晶體AMP與焊墊部120之連接所需之配線之面積變大，像素共有單元539之配線布局變得複雜之虞。該情況可能會對攝像裝置1之微細化產生影響。

#### 【0296】

對此，於排列在第2基板200之H方向之2個像素共有單元539中，使相互之內部布局至少於V方向上反轉，藉此，可縮短該等2個像素共有單元539之兩者之放大電晶體AMP與焊墊部120之距離。因此，與使排列於第2基板200之H方向之2個像素共有單元539之內部布局相同之構成相比，

更容易實施攝像裝置1之微細化。再者，第2基板200之複數個像素共有單元539各自之平面布局於圖77所記載之範圍內為左右對稱，但若還包含下述圖78所記載之第1配線層W1之布局在內，則為左右非對稱。

#### 【0297】

又，排列於第2基板200之H方向之2個像素共有單元539之內部布局較佳為相互於H方向上亦反轉。以下，說明其理由。如圖78所示，排列於第2基板200之H方向之2個像素共有單元539分別連接於第1基板100之焊墊部120、121。例如，於排列在第2基板200之H方向之2個像素共有單元539的H方向之中央部(排列於H方向之2個像素共有單元539之間)配置有焊墊部120、121。因此，藉由使排列於第2基板200之H方向之2個像素共有單元539之內部布局相互於H方向上亦反轉，可縮小第2基板200之複數個像素共有單元539之各者與焊墊部120、121之距離。即，容易進一步實施攝像裝置1之微細化。

#### 【0298】

又，第2基板200之像素共有單元539之外形線之位置可不與第1基板100之像素共有單元539之任一外形線之位置一致。例如，排列於第2基板200之H方向之2個像素共有單元539中之一(例如圖78之紙面左側)像素共有單元539中，V方向之其中一條(例如圖78之紙面上側)外形線配置於對應之第1基板100之像素共有單元539(例如圖76B之紙面上側)之V方向之其中一條外形線的外側。又，排列於第2基板200之H方向之2個像素共有單元539中的另一個(例如圖78之紙面右側)像素共有單元539中，V方向之另一條(例如圖78之紙面下側)外形線配置於對應之第1基板100之像素共有單元539(例如圖76B之紙面下側)之V方向之另一條外形線的外側。如此，藉

由配置第2基板200之像素共有單元539與第1基板100之像素共有單元539之兩者，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，容易實施攝像裝置1的微細化。

### 【0299】

又，於第2基板200之複數個像素共有單元539之間，外形線彼此之位置可不一致。例如，排列於第2基板200之H方向之2個像素共有單元539以V方向之外形線之位置偏移之方式配置。藉此，能夠縮短放大電晶體AMP與焊墊部120之距離。因此，容易實施攝像裝置1之微細化。

### 【0300】

參照圖76B及圖78，就像素陣列部540中之像素共有單元539之重複配置進行說明。第1基板100之像素共有單元539具有於H方向上為2個像素541之大小、及於V方向上為2個像素541之大小(圖76B)。例如，於第1基板100之像素陣列部540中，該相當於4個像素541之大小之像素共有單元539，以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為2像素間距(相當於2個像素541之間距)之方式鄰接地重複排列。或者，亦可於第1基板100之像素陣列部540，設置2個像素共有單元539於V方向上鄰接配置而成之一對像素共有單元539。於第1基板100之像素陣列部540中，例如，該一對像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為4像素間距(相當於4個像素541之間距)之方式鄰接地重複排列。第2基板200之像素共有單元539，具有於H方向上為1個像素541之大小、及於V方向上為4個像素541之大小(圖78)。例如，於第2基板200之像素陣列部540，設置有一對像素共有單元539，該一對像素共有單元539包含2個相當於該4個像素541之大小之像素共有單元539。

該像素共有單元539於H方向上鄰接配置，且上於V方向錯開地配置。於第2基板200之像素陣列部540中，例如該一對像素共有單元539以H方向上為2像素間距(相當於2個像素541之間距)，且V方向上為4像素間距(相當於4個像素541之間距)之方式，無間隙而鄰接地重複排列。藉由此種像素共有單元539之重複配置，可無間隙地配置像素共有單元539。因此，容易實施攝像裝置1之微細化。

### 【0301】

放大電晶體AMP例如較佳為鰭(Fin)式等三維構造(圖75)。藉此，閘極寬度之有效大小變大，能夠抑制雜訊。選擇電晶體SEL、重設電晶體RST及FD轉換增益切換電晶體FDG例如具有平面構造。放大電晶體AMP可具有平面構造。或者，選擇電晶體SEL、重設電晶體RST或FD轉換增益切換電晶體FDG可具有三維構造。

### 【0302】

配線層200T例如包含鈍化膜221、層間絕緣膜222及複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)。鈍化膜221例如與半導體層200S之正面相接，覆蓋半導體層200S之整個正面。該鈍化膜221覆蓋選擇電晶體SEL、放大電晶體AMP、重設電晶體RST及FD轉換增益切換電晶體FDG各自之閘極電極。層間絕緣膜222設置於鈍化膜221與第3基板300之間。藉由該層間絕緣膜222將複數條配線(第1配線層W1、第2配線層W2、第3配線層W3、第4配線層W4)分離。層間絕緣膜222例如含有氧化矽。

### 【0303】

於配線層200T，例如從半導體層200S側起，依序設置有第1配線層

W1、第2配線層W2、第3配線層W3、第4配線層W4及接點部201、202，其等藉由層間絕緣膜222而相互絕緣。於層間絕緣膜222，設置有複數個連接部，該等連接部將第1配線層W1、第2配線層W2、第3配線層W3或第4配線層W4，與其等之下層連接。連接部係於設置在層間絕緣膜222之連接孔埋設有導電材料之部分。例如，於層間絕緣膜222，設置有將第1配線層W1與半導體層200S之VSS接點區域218連接之連接部218V。例如，此種連接第2基板200之元件彼此之連接部之孔徑，與貫通電極120E、121E及貫通電極TGV之孔徑不同。具體而言，連接第2基板200之元件彼此之連接孔之孔徑較佳為小於貫通電極120E、121E及貫通電極TGV之孔徑。以下，說明其理由。設置於配線層200T內之連接部(連接部218V等)之深度小於貫通電極120E、121E及貫通電極TGV之深度。因此，連接部與貫通電極120E、121E及貫通電極TGV相比，可容易地向連接孔嵌埋導電材。藉由使該連接部之孔徑小於貫通電極120E、121E及貫通電極TGV之孔徑，容易實施攝像裝置1之微細化。

#### 【0304】

例如，藉由第1配線層W1，將貫通電極120E與放大電晶體AMP之間極及FD轉換增益切換電晶體FDG之源極(具體而言為到達FD轉換增益切換電晶體FDG之源極之連接孔)連接。第1配線層W1例如將貫通電極121E與連接部218V連接，藉此，將半導體層200S之VSS接點區域218與半導體層100S之VSS接點區域118電性連接。

#### 【0305】

其次，使用圖79～圖81，對配線層200T之平面構成進行說明。圖79係表示第1配線層W1及第2配線層W2之平面構成之一例的圖。圖80係表示

第2配線層W2及第3配線層W3之平面構成之一例的圖。圖81係表示第3配線層W3及第4配線層W4之平面構成之一例的圖。

#### 【0306】

例如，第3配線層W3包含於H方向(列方向)上延伸之配線TRG1、TRG2、TRG3、TRG4、SELL、RSTL、FDGL(圖80)。該等配線相當於參照圖73說明之複數條列驅動信號線542。配線TRG1、TRG2、TRG3、TRG4分別用於向傳輸閘極TG1、TG2、TG3、TG4發送驅動信號。配線TRG1、TRG2、TRG3、TRG4分別經由第2配線層W2、第1配線層W1及貫通電極120E連接於傳輸閘極TG1、TG2、TG3、TG4。配線SELL用於向選擇電晶體SEL之閘極發送驅動信號，配線RSTL用於向重設電晶體RST之閘極發送驅動信號，配線FDGL用於向FD轉換增益切換電晶體FDG之閘極發送驅動信號。配線SELL、RSTL、FDGL分別經由第2配線層W2、第1配線層W1及連接部而連接於選擇電晶體SEL、重設電晶體RST、FD轉換增益切換電晶體FDG各自之閘極。

#### 【0307】

例如，第4配線層W4包含於V方向(行方向)上延伸之電源線VDD、基準電位線VSS及垂直信號線543(圖81)。電源線VDD經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而連接於放大電晶體AMP之汲極及重設電晶體RST之汲極。基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1及連接部218V而連接於VSS接點區域218。又，基準電位線VSS經由第3配線層W3、第2配線層W2、第1配線層W1、貫通電極121E及焊墊部121而連接於第1基板100之VSS接點區域118。垂直信號線543經由第3配線層W3、第2配線層W2、第1配線層W1及連接部而連接

於選擇電晶體SEL之源極(Vout)。

### 【0308】

接點部201、202可設置於俯視下與像素陣列部540重疊之位置(例如圖72)，或者可設置於像素陣列部540之外側之周邊部540B(例如圖75)。接點部201、202設置於第2基板200之正面(配線層200T側之面)。接點部201、202包含例如Cu(銅)及Al(鋁)等金屬。接點部201、202於配線層200T之正面(第3基板300側之面)露出。接點部201、202被用於第2基板200與第3基板300之電性連接、及第2基板200與第3基板300之貼合。

### 【0309】

圖75中，圖示出於第2基板200之周邊部540B設置有周邊電路之例。該周邊電路可包含列驅動部520之一部分或行信號處理部550之一部分等。又，如圖72中所記載，可不於第2基板200之周邊部540B配置周邊電路，而將連接孔部H1、H2配置於像素陣列部540之附近。

### 【0310】

第3基板300例如從第2基板200側起依序具有配線層300T及半導體層300S。例如，半導體層300S之正面設置於第2基板200側。半導體層300S包含矽基板。於該半導體層300S之正面側之部分，設置有電路。具體而言，於半導體層300S之正面側之部分，例如設置有輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B中之至少一部分。設置於半導體層300S與第2基板200之間之配線層300T例如包含層間絕緣膜、由該層間絕緣膜分離之複數條配線層、及接點部301、302。接點部301、302於配線層300T之正面(第2基板200側之面)露出，接點部301與第2基板200之接點部201相接，接點部302與第2

基板200之接點部202相接。接點部301、302與形成於半導體層300S之電路(例如輸入部510A、列驅動部520、時序控制部530、行信號處理部550、圖像信號處理部560及輸出部510B之至少任一者)電性連接。接點部301、302例如包含Cu(銅)及鋁(Al)等金屬。例如，外部端子TA經由連接孔部H1連接於輸入部510A，外部端子TB經由連接孔部H2連接於輸出部510B。

### 【0311】

此處，對攝像裝置1之特徵進行說明。

### 【0312】

一般而言，攝像裝置包含光電二極體及像素電路作為主要構成。此處，若增大光電二極體之面積，則光電轉換後產生之電荷增加，其結果，將改善像素信號之信號/雜訊比(S/N比)，攝像裝置能夠輸出更佳之圖像資料(圖像資訊)。另一方面，若增大像素電路中所包含之電晶體之尺寸(尤其是放大電晶體之尺寸)，則像素電路中產生之雜訊減少，其結果，將改善攝像信號之S/N比，攝像裝置能夠輸出更佳之圖像資料(圖像資訊)。

### 【0313】

但是，對於在同一半導體基板上設置有光電二極體及像素電路之攝像裝置，認為若在半導體基板之有限之面積中增大光電二極體之面積，則會導致像素電路所具備之電晶體之尺寸變小。又，認為若增大像素電路所具備之電晶體之尺寸，則會導致光電二極體之面積變小。

### 【0314】

為了解決該等問題，例如，本實施形態之攝像裝置1使用如下構造：複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二

極體PD重疊地配置。藉此，能夠實現於半導體基板之有限之面積中，儘可能地增大光電二極體PD之面積，且儘可能地增大像素電路210所具備之電晶體之尺寸。藉此，能夠改善像素信號之S/N比，攝像裝置1能夠輸出更佳之圖像資料(圖像資訊)。

### 【0315】

於實現複數個像素541共有1個像素電路210，且將該1個像素電路210與光電二極體PD重疊配置之構造時，連接於1個像素電路210之複數條配線從複數個像素541各自之浮動擴散部FD延伸。為了確保形成像素電路210之半導體基板200之面積較大，例如可將該等延伸之複數條配線之間相互連接，形成彙總為1條之連接配線。關於從VSS接點區域118延伸之複數條配線亦同樣可將延伸之複數條配線之間相互連接，形成彙總為1條之連接配線。

### 【0316】

例如，認為當於形成像素電路210之半導體基板200上，形成將從複數個像素541各自之浮動擴散部FD延伸之複數條配線之間相互連接之連接配線時，會導致供形成像素電路210所包含之電晶體之面積變小。同樣，認為當於形成像素電路210之半導體基板200上，形成將從複數個像素541各自之VSS接點區域118延伸之複數條配線之間相互連接並彙總為1條的連接配線時，會因此導致供形成像素電路210所包含之電晶體之面積變小。

### 【0317】

為了解決該等問題，例如本實施形態之攝像裝置1可具備如下構造，即，複數個像素541共有1個像素電路210，且將共有之像素電路210與光電二極體PD重疊地配置，於第1基板100設置有將上述複數個像素541各自

之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線。

### 【0318】

此處，若使用上文所述的第2製造方法作為用以將下述連接配線設置於第1基板100之製造方法，則例如可根據第1基板100及第2基板200各自之構成，使用適當之工藝進行製造，能夠製造高品質、高性能之攝像裝置，上述連接配線係指將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線。又，能夠利用簡單之工藝形成第1基板100及第2基板200之連接配線。具體而言，於使用上述第2製造方法之情形時，於成為第1基板100與第2基板200之貼合交界面之第1基板100之正面與第2基板200之正面，分別設置連接於浮動擴散部FD之電極、及連接於VSS接點區域118之電極。進而，較佳為使形成於該等2個基板正面之電極增大，以使得於將第1基板100與第2基板200貼合時，即便設置於該等2個基板正面之電極間產生位置偏移，形成於該等2個基板正面之電極彼此亦會接觸。於此情形時，認為難以於攝像裝置1所具備之各像素之有限之面積中配置上述電極。

### 【0319】

為了解決於第1基板100與第2基板200之貼合交界面處需要較大電極之問題，例如本實施形態之攝像裝置1可使用上文所述之第1製造方法作為複數個像素541共有1個像素電路210，且將所共有之像素電路210與光電二極體PD重疊地配置之製造方法。藉此，形成於第1基板100及第2基板

200之各者之元件彼此之對位變得容易，從而能夠製造高品質、高性能之攝像裝置。進而，可具備藉由使用該製造方法而產生之固有構造。即，具備將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T依序積層而得之構造、換言之、將第1基板100與第2基板200以面對背之方式積層而得之構造，且具備貫通電極120E、121E，上述貫通電極120E、121E係從第2基板200之半導體層200S之正面側，貫通半導體層200S及第1基板100之配線層100T後到達第1基板100之半導體層100S之正面。

### 【0320】

於第1基板100設置有將上述複數個像素541各自之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線的構造中，使用上述第1製造方法將該構造與第2基板200積層而於第2基板200形成像素電路210時，形成像素電路210所具備之主動元件時所需之加熱處理有可能會影響到第1基板100上所形成之上述連接配線。

### 【0321】

因此，為了解決形成上述主動元件時之加熱處理會對上述連接配線造成影響之問題，本實施形態之攝像裝置1較理想的是，對將上述複數個像素541各自之浮動擴散部FD彼此相互連接後彙總為1條之連接配線、及將上述複數個像素541各自之VSS接點區域118之間相互連接後彙總為1條之連接配線使用耐熱性較高之導電材料。具體而言，耐熱性較高之導電材料可使用與第2基板200之配線層200T中所包含之配線材之至少一部分相比熔點較高之材料。

**【0322】**

如此，例如本實施形態之攝像裝置1藉由具備如下構造，可不於第1基板100與第2基板200之界面具備較大之電極，而於第1基板100設置將複數個像素541各自所具備之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線，上述構造係指：(1)將第1基板100與第2基板200以面對背之方式積層而得之構造(具體而言，將第1基板100之半導體層100S、配線層100T、第2基板200之半導體層200S及配線層200T依序積層之構造)；(2)設置有貫通電極120E、121E之構造，上述貫通電極120E、121E係從第2基板200之半導體層200S之正面側，貫通半導體層200S及第1基板100之配線層100T後到達第1基板100之半導體層100S之正面；及(3)利用耐熱性較高之導電材料形成將複數個像素541各自所具備之浮動擴散部FD之間相互連接後彙總為1條之連接配線、及將複數個像素541各自所具備之VSS接點區域118之間相互連接後彙總為1條之連接配線的構造。

**【0323】****[攝像裝置1之動作]**

其次，使用圖82及圖83對攝像裝置1之動作進行說明。圖82及圖83係對圖72補充了表示各信號之路徑之箭頭之圖。圖82係以箭頭表示從外部輸入至攝像裝置1之輸入信號、電源電位及基準電位之路徑之圖。圖83係以箭頭表示從攝像裝置1輸出至外部之像素信號之信號路徑之圖。例如，經由輸入部510A輸入至攝像裝置1之輸入信號(例如像素時脈及同步信號)被傳送至第3基板300之列驅動部520，由列驅動部520產生列驅動信號。該列驅動信號經由接點部301、201發送至第2基板200。進而，該列驅動

信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之驅動信號被輸入至像素電路210，將像素電路210中所包含之各電晶體驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，將像素541A、541B、541C、541D驅動(圖82)。又，從攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部301、201發送至第2基板200，經由配線層200T內之配線，供給至像素共有單元539各自之像素電路210。基準電位亦進而經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號經由貫通電極120E針對每個像素共有單元539分別發送至第2基板200之像素電路210。基於該像素信號而產生之像素信號從像素電路210經由垂直信號線543及接點部202、302發送至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560進行處理後，經由輸出部510B輸出至外部。

### 【0324】

#### [效果]

本實施形態中，像素541A、541B、541C、541D(像素共有單元539)與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。藉此，與使像素541A、541B、541C、541D及像素電路210形成於同一基板之情形相比，可擴大像素541A、541B、541C、541D及像素電路210之面積。其結果，能夠增大藉由光電轉換而獲得之像素信號之量，且能夠減少像素電路210之電晶體雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝

像裝置1能夠輸出更佳之像素資料(圖像資訊)。又，能夠實現攝像裝置1之微細化(換言之，像素尺寸之縮小及攝像裝置1之小型化)。攝像裝置1藉由縮小像素尺寸，能夠使每單位面積之像素數增加，能夠輸出高畫質之圖像。

### 【0325】

又，於攝像裝置1中，藉由設置於絕緣區域212之貫通電極120E、121E將第1基板100與第2基板200相互電性連接。例如，亦可考慮藉由焊墊電極彼此之接合將第1基板100與第2基板200連接之方法、或藉由貫通半導體層之貫通配線(例如TSV(Thorough Si Via，矽穿孔))連接之方法。與此種方法相比，藉由於絕緣區域212設置貫通電極120E、121E，能夠縮小第1基板100及第2基板200之連接所需之面積。藉此，可縮小像素尺寸，使攝像裝置1更小型化。又，藉由單位像素之面積之進一步微細化，能夠進一步提高解像度。於無需晶片尺寸之小型化時，可擴大像素541A、541B、541C、541D及像素電路210之形成區域。其結果，能夠增大藉由光電轉換而獲得之像素信號之量，且能夠減少像素電路210所具備之電晶體之雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

### 【0326】

又，於攝像裝置1中，像素電路210與行信號處理部550及圖像信號處理部560設置於互不相同之基板(第2基板200及第3基板300)。藉此，相比將像素電路210與行信號處理部550及圖像信號處理部560形成於同一基板之情形，可擴大像素電路210之面積、行信號處理部550及圖像信號處理部560之面積。藉此，能夠減少於行信號處理部550產生之雜訊，能夠於

圖像信號處理部560搭載更高級之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

#### 【0327】

又，於攝像裝置1中，將像素陣列部540設置於第1基板100及第2基板200，且將行信號處理部550及圖像信號處理部560設置於第3基板300。又，將第2基板200與第3基板300連接之接點部201、202、301、302形成於像素陣列部540之上方。因此，接點部201、202、301、302可不受像素陣列所具備之各種配線之布局上之干擾而自由地布局。藉此，可將接點部201、202、301、302用於第2基板200與第3基板300之電性連接。藉由使用接點部201、202、301、302，例如行信號處理部550及圖像信號處理部560之布局自由度提高。藉此，能夠減少於行信號處理部550產生之雜訊，能夠於圖像信號處理部560搭載更高級之圖像處理電路。因此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

#### 【0328】

又，於攝像裝置1中，像素分離部117貫通半導體層100S。藉此，即便於因單位像素之面積之微細化而使相鄰之像素(像素541A、541B、541C、541D)之距離接近之情形時，亦能夠抑制像素541A、541B、541C、541D之間之混色。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

#### 【0329】

又，於攝像裝置1中，於每個像素共有單元539均設置有像素電路210。藉此，與將像素電路210設置於像素541A、541B、541C、541D之

各者情形相比，能夠使構成像素電路210之電晶體(放大電晶體AMP、重設電晶體RST、選擇電晶體SEL、FD轉換增益切換電晶體FDG)之形成區域增大。例如，藉由使放大電晶體AMP之形成區域增大，能夠抑制雜訊。藉此，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

### 【0330】

進而，於攝像裝置1中，於第1基板100設置有將4個像素(像素541A、541B、541C、541D)之浮動擴散部FD(浮動擴散部FD1、FD2、FD3、FD4)電性連接之焊墊部120。藉此，與將此種焊墊部120設置於第2基板200之情形相比，能夠減少將第1基板100與第2基板200連接之貫通電極(貫通電極120E)之數量。因此，能夠使絕緣區域212變小，能夠以充分之大小確保構成像素電路210之電晶體之形成區域(半導體層200S)。藉此，能夠減少像素電路210所具備之電晶體之雜訊，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

### 【0331】

以下，對上述實施形態之攝像裝置1之變化例進行說明。於以下之變化例中，對與上述實施形態共通之構成附上相同符號進行說明。

### 【0332】

#### <2.變化例1>

圖84～圖88係表示上述實施形態之攝像裝置1之平面構成之一變化例之圖。圖84模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖77。圖85模式性地表示第1配線層W1、連接於第1配線層W1之半導體層200S及第1基板100之各部之構

成，對應於上述實施形態中所說明之圖78。圖86表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖79。圖87表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖80。圖88表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖81。

### 【0333】

於本變化例中，如圖85所示，排列於第2基板200之H方向之2個像素共有單元539中之一(例如紙面右側)像素共有單元539之內部布局成為使另一(例如紙面左側)像素共有單元539之內部布局僅於H方向上反轉後之構成。又，一像素共有單元539之外形線與另一像素共有單元539之外形線之間之V方向之偏移較上述實施形態中所說明之偏移(圖78)大。如此，藉由增大V方向之偏移，能夠縮小另一像素共有單元539之放大電晶體AMP與連接於其之焊墊部120(圖76中所記載之排列於V方向之2個像素共有單元539中之另一(紙面下側)焊墊部120)之間之距離。藉由此種布局，圖84～圖88中所記載之攝像裝置1之變化例1可不使排列於H方向之2個像素共有單元539之平面布局在V方向上相互反轉，而可使其面積與上述實施形態中所說明之第2基板200之像素共有單元539之面積相同。再者，第1基板100之像素共有單元539之平面布局與上述實施形態中所說明之平面布局(圖76A、圖76B)相同。因此，本變化例之攝像裝置1能夠獲取與上述實施形態中所說明之攝像裝置1相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。

### 【0334】

#### <3.變化例2>

圖89～圖94係表示上述實施形態之攝像裝置1之平面構成之一變化例的圖。圖89模式性地表示第1基板100之平面構成，對應於上述實施形態中所說明之圖76A。圖90模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖77。圖91模式性地表示第1配線層W1、連接於第1配線層W1之半導體層200S及第1基板100各部之構成，對應於上述實施形態中所說明之圖78。圖92表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖79。圖93表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖80。圖94表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖81。

#### 【0335】

於本變化例中，各像素電路210之外形具有大致正方形之平面形狀(圖90等)。於該方面，本變化例之攝像裝置1之平面構成與上述實施形態中所說明之攝像裝置1之平面構成不同。

#### 【0336】

例如，第1基板100之像素共有單元539與上述實施形態中所作說明相同，遍及2列×2行之像素區域形成，具有大致正方形之平面形狀(圖89)。例如，於各像素共有單元539中，一像素行之像素541A及像素541C之傳輸閘極TG1、TG3之水平部分TGb朝從與垂直部分TGa重疊之位置朝向H方向上之像素共有單元539之中央部之方向(更具體而言，朝向像素541A、541C之外緣之方向且朝向像素共有單元539之中央部之方向)延伸，另一像素行之像素541B及像素541D之傳輸閘極TG2、TG4之水平部分TGb朝從與垂直部分TGa重疊之位置朝向H方向上之像素共有單元539之

外側之方向(更具體而言，朝向像素541B、541D之外緣之方向且朝向像素共有單元539之外側之方向)延伸。連接於浮動擴散部FD之焊墊部120設置在像素共有單元539之中央部(像素共有單元539之H方向及V方向之中央部)，連接於VSS接點區域118之焊墊部121至少於H方向上(圖89中之H方向及V方向上)設置於像素共有單元539之端部。

### 【0337】

作為另一配置例，亦可考慮僅於與垂直部分TGa對向之區域設置傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb。此時，與上述實施形態中所說明之內容相同，容易將半導體層200S細小地分斷。因此，不易使像素電路210之電晶體形成得較大。另一方面，當使傳輸閘極TG1、TG2、TG3、TG4之水平部分TGb如上述變化例般，從與垂直部分TGa重疊之位置朝H方向延伸時，與上述實施形態中所作說明相同，能夠增大半導體層200S之寬度。具體而言，能夠以近接於貫通電極120E之H方向之位置之方式，配置與傳輸閘極TG1、TG3連接之貫通電極TGV1、TGV3之H方向之位置，且能夠以近接於貫通電極121E之H方向之位置之方式，配置與傳輸閘極TG2、TG4連接之貫通電極TGV2、TGV4之H方向之位置(圖91)。藉此，與上述實施形態中所作說明相同，能夠使於V方向上延伸之半導體層200S之寬度(H方向之大小)變大。因此，能夠增大像素電路210之電晶體之尺寸、尤其是放大電晶體AMP之尺寸。其結果，能夠改善像素信號之信號/雜訊比，攝像裝置1能夠輸出更佳之像素資料(圖像資訊)。

### 【0338】

第2基板200之像素共有單元539例如與第1基板100之像素共有單元539之H方向及V方向之大小大致相同，例如遍及與大致2列×2行之像素區

域對應之區域設置。例如，於各像素電路210中，選擇電晶體SEL及放大電晶體AMP以排列於V方向之方式配置於在V方向上延伸之1個半導體層200S，FD轉換增益切換電晶體FDG及重設電晶體RST以排列於V方向之方式配置於在V方向上延伸之1個半導體層200S。設置有該選擇電晶體SEL及放大電晶體AMP之1個半導體層200S與設置有FD轉換增益切換電晶體FDG及重設電晶體RST之1個半導體層200S介隔絕緣區域212排列於H方向。該絕緣區域212於V方向上延伸(圖90)。

### 【0339】

此處，參照圖90及圖91對第2基板200之像素共有單元539之外形進行說明。例如，圖89所示之第1基板100之像素共有單元539與設置於焊墊部120之H方向之一側(圖91之紙面左側)之放大電晶體AMP及選擇電晶體SEL、以及設置於焊墊部120之H方向之另一側(圖91之紙面右側)之FD轉換增益切換電晶體FDG及重設電晶體RST連接。包含該放大電晶體AMP、選擇電晶體SEL、FD轉換增益切換電晶體FDG及重設電晶體RST之第2基板200之像素共有單元549之外形係由以下之4個外緣決定。

### 【0340】

第1外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S的V方向之一端(圖91之紙面上側之端部)之外緣。該第1外緣設置於該像素共有單元539中所包含之放大電晶體AMP、與在該像素共有單元539之V方向之一側(圖91之紙面上側)相鄰之像素共有單元539中所包含之選擇電晶體SEL之間。更具體而言，第1外緣設置於該等放大電晶體AMP與選擇電晶體SEL之間之元件分離區域213之V方向的中央部。第2外緣係包含選擇電晶體SEL及放大電晶體AMP之半導體層200S的V方向之另一端(圖91之

紙面下側之端部)之外緣。該第2外緣設置於該像素共有單元539中所包含之選擇電晶體SEL、與在該像素共有單元539之V方向之另一側(圖91之紙面下側)相鄰之像素共有單元539中所包含之放大電晶體AMP之間。更具體而言，第2外緣設置於該等選擇電晶體SEL與放大電晶體AMP之間之元件分離區域213之V方向之中央部。第3外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S的V方向之另一端(圖91之紙面下側之端部)之外緣。該第3外緣設置於該像素共有單元539中所包含之FD轉換增益切換電晶體FDG、與在該像素共有單元539之V方向之另一側(圖91之紙面下側)相鄰之像素共有單元539中所包含之重設電晶體RST之間。更具體而言，第3外緣設置於該等FD轉換增益切換電晶體FDG與重設電晶體RST之間之元件分離區域213之V方向的中央部。第4外緣係包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S的V方向之一端(圖91之紙面上側之端部)之外緣。該第4外緣設置於該像素共有單元539中所包含之重設電晶體RST、與在該像素共有單元539之V方向之一側(圖91之紙面上側)相鄰之像素共有單元539中所包含之FD轉換增益切換電晶體FDG(未圖示)之間。更具體而言，第4外緣設置於該等重設電晶體RST與FD轉換增益切換電晶體FDG之間之元件分離區域213(未圖示)之V方向的中央部。

### 【0341】

此種包含第1、第2、第3、第4外緣之第2基板200之像素共有單元539之外形中，第3、第4外緣相對於第1、第2外緣朝V方向之一側偏移地配置(換言之，朝V方向之一側偏移)。藉由使用此種布局，可使放大電晶體AMP之閘極及FD轉換增益切換電晶體FDG之源極均儘可能地近接於焊

墊部120配置。因此，容易使連接該等之配線之面積變小，容易實施攝像裝置1之微細化。再者，VSS接點區域218設置於包含選擇電晶體SEL及放大電晶體AMP之半導體層200S、與包含重設電晶體RST及FD轉換增益切換電晶體FDG之半導體層200S之間。例如，複數個像素電路210具有相互相同之配置。

#### 【0342】

具有此種第2基板200之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。

#### 【0343】

#### <4.變化例3>

圖95～圖100係表示上述實施形態之攝像裝置1之平面構成之一變化例的圖。圖95模式性地表示第1基板100之平面構成，對應於上述實施形態中所說明之圖76B。圖96模式性地表示第2基板200之半導體層200S之正面附近之平面構成，對應於上述實施形態中所說明之圖77。圖97模式性地表示第1配線層W1、及連接於第1配線層W1之半導體層200S及第1基板100之各部之構成，對應於上述實施形態中所說明之圖78。圖98表示第1配線層W1及第2配線層W2之平面構成之一例，對應於上述實施形態中所說明之圖79。圖99表示第2配線層W2及第3配線層W3之平面構成之一例，對應於上述實施形態中所說明之圖80。圖100表示第3配線層W3及第4配線層W4之平面構成之一例，對應於上述實施形態中所說明之圖81。

#### 【0344】

於本變化例中，第2基板200之半導體層200S在H方向上延伸(圖

97)。即，大致對應於使上述圖90等所示之攝像裝置1之平面構成旋轉90度後之構成。

#### 【0345】

例如，與上述實施形態中所作說明相同，第1基板100之像素共有單元539遍及2列×2行之像素區域形成，具有大致正方形之平面形狀(圖95)。例如，於各像素共有單元539中，一像素列之像素541A及像素541B之傳輸閘極TG1、TG2於V方向上朝向像素共有單元539之中央部延伸，另一像素列之像素541C及像素541D之傳輸閘極TG3、TG4於V方向上朝像素共有單元539之外側方向延伸。與浮動擴散部FD連接之焊墊部120設置於像素共有單元539之中央部，與VSS接點區域118連接之焊墊部121至少於V方向上設置於(圖95中之V方向及H方向上)像素共有單元539之端部。此時，傳輸閘極TG1、TG2之貫通電極TGV1、TGV2之V方向之位置接近貫通電極120E之V方向之位置，傳輸閘極TG3、TG4之貫通電極TGV3、TGV4之V方向之位置接近貫通電極121E之V方向之位置(圖97)。因此，根據與上述實施形態中所說明之理由相同之理由，可增大於H方向上延伸之半導體層200S之寬度(V方向之大小)。因此，可增大放大電晶體AMP之尺寸，從而抑制雜訊。

#### 【0346】

於各像素電路210中，選擇電晶體SEL及放大電晶體AMP排列配置於H方向，於隔著絕緣區域212在V方向上與選擇電晶體SEL相鄰之位置配置有重設電晶體RST(圖96)。FD轉換增益切換電晶體FDG與重設電晶體RST排列配置於H方向。VSS接點區域218呈島狀設置於絕緣區域212。例如，第3配線層W3於H方向上延伸(圖99)，第4配線層W4於V方向上延伸(圖

100)。

**【0347】**

具有此種第2基板200之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。第2基板200之像素共有單元539之配置不限於上述實施形態及本變化例中所說明之配置。例如，上述實施形態及變化例1中所說明之半導體層200S可於H方向上延伸。

**【0348】**

<5.變化例4>

圖101係模式性地表示上述實施形態之攝像裝置1之剖面構成之一變化例的圖。圖101對應於上述實施形態中所說明之圖72。於本變化例中，攝像裝置1除具有接點部201、202、301、302以外，於與像素陣列部540之中央部對向之位置還具有接點部203、204、303、304。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

**【0349】**

接點部203、204設置於第2基板200，於與第3基板300之接合面露出。接點部303、304設置於第3基板300，於與第2基板200之接合面露出。接點部203與接點部303相接，接點部204與接點部304相接。即，於該攝像裝置1中，第2基板200與第3基板300除藉由接點部201、202、301、302連接以外，還藉由接點部203、204、303、304連接。

**【0350】**

其次，使用圖102及圖103對該攝像裝置1之動作進行說明。圖102中以箭頭表示從外部輸入至攝像裝置1之輸入信號、電源電位及基準電位之路徑。圖103中，以箭頭表示從攝像裝置1輸出至外部之像素信號之信號

路徑。例如，經由輸入部510A輸入至攝像裝置1之輸入信號被傳送至第3基板300之列驅動部520，由列驅動部520產生列驅動信號。該列驅動信號經由接點部303、203發送至第2基板200。進而，該列驅動信號經由配線層200T內之列驅動信號線542，到達像素陣列部540之各像素共有單元539。到達第2基板200之像素共有單元539之列驅動信號中之除傳輸閘極TG以外之驅動信號被輸入至像素電路210，將像素電路210中所包含之各電晶體驅動。傳輸閘極TG之驅動信號經由貫通電極TGV輸入至第1基板100之傳輸閘極TG1、TG2、TG3、TG4，將像素541A、541B、541C、541D驅動。又，從攝像裝置1之外部供給至第3基板300之輸入部510A(輸入端子511)之電源電位及基準電位經由接點部303、203發送至第2基板200，經由配線層200T內之配線，供給至像素共有單元539各自之像素電路210。基準電位進而亦經由貫通電極121E供給至第1基板100之像素541A、541B、541C、541D。另一方面，第1基板100之像素541A、541B、541C、541D中經光電轉換之像素信號針對每個像素共有單元539分別發送至第2基板200之像素電路210。基於該像素信號而產生之像素信號從像素電路210經由垂直信號線543及接點部204、304發送至第3基板300。該像素信號經第3基板300之行信號處理部550及圖像信號處理部560進行處理後，經由輸出部510B輸出至外部。

### 【0351】

具有此種接點部203、204、303、304之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。可根據經過接點部303、304之作為配線之連接端的第3基板300之電路等之設計來變更接點部之位置及數量等。

**【0352】**

## &lt; 6.變化例5 &gt;

圖104係表示上述實施形態之攝像裝置1之剖面構成之一變化例的圖。圖104對應於上述實施形態中所說明之圖75。於本變化例中，在第1基板100設置有具有平面構造之傳輸電晶體TR。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

**【0353】**

該傳輸電晶體TR之傳輸閘極TG僅由水平部分TGb構成。換言之，傳輸閘極TG不具有垂直部分TGa，而與半導體層100S對向地設置。

**【0354】**

具有此種平面構造之傳輸電晶體TR之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。進而，亦可想到，藉由於第1基板100設置平面型之傳輸閘極TG，與於第1基板100設置垂直型之傳輸閘極TG之情形相比，可使光電二極體PD形成至更靠半導體層100S之正面附近為止，因此使得飽和信號量(Qs)增加。又，亦可想到，於第1基板100形成平面型之傳輸閘極TG之方法與於第1基板100形成垂直型之傳輸閘極TG之方法相比，製造工序數較少，不易產生由製造工序造成之對光電二極體PD之不良影響。

**【0355】**

## &lt; 7.變化例6 &gt;

圖105係表示上述實施形態之攝像裝置1之像素電路之一變化例的圖。圖105對應於上述實施形態中所說明之圖73。於本變化例中，每一個像素(像素541A)均設置有像素電路210。即，像素電路210並非複數個像

素所共有。於該方面，本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1不同。

### 【0356】

本變化例之攝像裝置1與上述實施形態中所說明之攝像裝置1之相同點在於，將像素541A與像素電路210設置於互不相同之基板(第1基板100及第2基板200)。因此，本變化例之攝像裝置1亦可獲得與上述實施形態中所說明之效果相同之效果。

### 【0357】

#### <8.變化例7>

圖106係表示上述實施形態中所說明之像素分離部117之平面構成之一變化例的圖。可於包圍像素541A、541B、541C、541D之各者之像素分離部117設置間隙。即，像素541A、541B、541C、541D可不被像素分離部117包圍全周。例如，像素分離部117之間隙設置於焊墊部120、121附近(參照圖76B)。

### 【0358】

於上述實施形態中，說明了像素分離部117具有貫通半導體層100S之FTI構造之例(參照圖75)，但像素分離部117亦可具有除FTI構造以外之構成。例如，像素分離部117亦可不設置為完全貫通半導體層100S，而具有所謂之DTI(Deep Trench Isolation)構造。

### 【0359】

#### (第7實施形態)

圖107至圖109係表示本發明之第7實施形態之攝像裝置1A的構成例之厚度方向之剖視圖。圖110至圖112係表示本發明之第7實施形態之複數

個像素單元PU的布局例之水平方向之剖視圖。再者，圖107至圖109所示之剖視圖僅為模式圖，並非為意圖嚴格準確地示出實際構造之圖。為了於紙面上簡明易懂地說明攝像裝置1A之構成，圖107至圖109所示之剖視圖於位置sec1至sec3處有意改變了電晶體及雜質擴散層之水平方向上之位置。

### 【0360】

具體而言，於圖107所示之攝像裝置1A之像素單元PU中，位置sec1處之剖面係將圖110沿A1-A1'線切斷所得之剖面，位置sec2處之剖面係將圖111沿B1-B1'線切斷所得之剖面，位置sec3處之剖面係將圖112沿C1-C1'線切斷所得之剖面。同樣，於圖108所示之攝像裝置1A中，位置sec1處之剖面係將圖110沿A2-A2'線切斷所得之剖面，位置sec2處之剖面係將圖111沿B2-B2'線切斷所得之剖面，位置sec3處之剖面係將圖112沿C2-C2'線切斷所得之剖面。於圖109所示之攝像裝置1A中，位置sec1處之剖面係將圖110沿A3-A3'線切斷所得之剖面，位置sec2處之剖面係將圖111沿B3-B3'線切斷所得之剖面，位置sec3處之剖面係將圖112沿C3-C3'線切斷所得之剖面。

### 【0361】

如圖107所示，於第1基板部10之正面10a側積層有第2基板20。於第1基板10之正面10a側設置有光電二極體PD、傳輸電晶體TR及浮動擴散部FD。光電二極體PD、傳輸電晶體TR及浮動擴散部FD分別針對每個感測器像素12而設置。第1基板10之另一面係光入射面。攝像裝置1係背面照射型之攝像裝置，於背面設置有彩色濾光片及受光透鏡。彩色濾光片及受光透鏡分別針對每個感測器像素12而設置。

**【0362】**

第1基板10所具有之半導體基板11例如由矽基板構成。於半導體基板11之正面之一部分及其附近，設置有第1導電型(例如p型)之井層WE，於較井層WE深之區域設置有第2導電型(例如n型)之光電二極體PD。於井層WE內，設置有p型濃度較井層WE高之井接點層、及n型浮動擴散部FD。

**【0363】**

於半導體基板11，設置有將相鄰之感測器像素12彼此電性分離之元件分離層16。元件分離層16具有例如STI(Shallow Trench Isolation，淺溝槽隔離)構造，於半導體基板11之深度方向上延伸。於半導體基板11中，元件分離層16與光電二極體PD之間設置有雜質擴散層17。例如，雜質擴散層17具有於半導體基板11之厚度方向上延伸設置之p型層及n型層。p型層位於元件分離層16側，n型層位於光電二極體PD側。於半導體基板11之正面11a側，設置有絕緣膜15。

**【0364】**

第2基板20具有下側基板20a及上側基板20b。下側基板20a具有第1半導體基板21。第1半導體基板21係例如含有單晶矽之矽基板。於第1半導體基板21之一面211a側設置有放大電晶體AMP、及包圍放大電晶體AMP之周圍之元件分離層213。藉由元件分離層213，相鄰之像素單元PU之一放大電晶體AMP與另一放大電晶體AMP電性分離。下側基板20a具有覆蓋第1半導體基板21之正面211a之絕緣膜215。放大電晶體AMP及元件分離層213由絕緣膜215覆蓋。又，下側基板20a具有覆蓋第1半導體基板21之另一面211b之絕緣膜217。第1基板10之絕緣膜15與下側基板20a之絕緣膜217相互接合，構成層間絕緣膜228。

**【0365】**

上側基板20b具有第2半導體基板21A。第2半導體基板21A係例如含有單晶矽之矽基板。於第2半導體基板21A之一面221a側設置有重設電晶體RST及選擇電晶體SEL、以及元件分離層223。例如，元件分離層223分別設置於重設電晶體RST與選擇電晶體SEL之間、及選擇電晶體SEL與第2半導體基板21A之井層之間。上側基板20b具有覆蓋第2半導體基板21A之正面221a、背面221b及側面之絕緣膜225。下側基板20a之絕緣膜215與上側基板20b之絕緣膜225相互接合，構成層間絕緣膜226。

**【0366】**

攝像裝置1具備複數條配線L1至L10，該等配線設置於層間絕緣膜226、228中，與第1基板10或第2基板20之至少一者電性連接。配線L1將放大電晶體AMP之汲極與電源線VDD電性連接。配線L2將1個像素單元PU中所包含之4個浮動擴散部FD與放大電晶體AMP之閘極電極AG電性連接。配線L3將放大電晶體AMP之源極與選擇電晶體SEL之汲極電性連接。配線L4將選擇電晶體SEL之閘極電極SG與像素驅動線23(參照圖1)電性連接。

**【0367】**

配線L5將選擇電晶體SEL之源極與垂直信號線24電性連接。配線L6將重設電晶體RST之汲極與電源線VDD電性連接。配線L7將重設電晶體RST之閘極電極RG(參照下述圖4A)與像素驅動線23電性連接。配線L8將重設電晶體RST之源極與配線L2電性連接。配線L9(第1配線之一例)將傳輸電晶體TR之閘極電極TG與像素驅動線23(參照圖1)電性連接。配線L10將井接點層與供給基準電位(例如接地電位：0 V)之基準電位線電性連

接。

### 【0368】

於配線L1至L10中，於積層體之厚度方向上延伸設置之部分含有鎢(W)，於與積層體之厚度方向正交之方向(例如水平方向)上延伸設置之部分含有以銅(Cu)或Cu為主成分之Cu合金。但，於本發明之實施形態中，構成配線L1至L10之材料不限於該等，亦可包含其他材料。第2基板20具有與上述配線L1至L10中之任意之配線(例如配線L1、L4至L7、L9、L10)連接之複數個焊墊電極227。

### 【0369】

第3基板30配置於第2基板20中之與第1基板10相向之面之相反側。第3基板30具備：半導體基板31；絕緣膜304，其覆蓋半導體基板31之正面301a側；複數條配線L30，其等設置於半導體基板31之正面301a側；及焊墊電極305，其與複數條配線L30分別連接。半導體基板31係例如含有單晶矽之矽基板。

### 【0370】

配線L30設置於接點電洞內。於配線L30中，於第3基板30之厚度方向上延伸設置之部分含有鈦(Ti)或鈷(Co)，於與第3基板30厚度方向正交之方向(例如水平方向)上延伸設置之部分含有Cu或以Cu為主成分之Cu合金。於配線L30與半導體基板31之連接部，形成有矽化物39(例如矽化鈦(TiSi)或矽化鈷(CoSi<sub>2</sub>)。

### 【0371】

複數個焊墊電極305含有例如Cu或Cu合金。於攝像裝置1之厚度方向上，第3基板30之焊墊電極305與第2基板20之焊墊電極227相向並電性連

接。例如，焊墊電極305、227以相互相向之狀態進行Cu-Cu接合而一體化。藉此，將第2基板20與第3基板30電性連接，並且提高了第2基板20與第3基板30之貼合強度。

#### 【0372】

於本發明之第7實施形態中，可對每複數個感測器像素12配置1個浮動擴散部用接點。例如，相鄰之4個感測器像素12可共有1個浮動擴散部用接點。同樣，可對每複數個感測器像素12配置1個井用接點。例如，相鄰之4個感測器像素12可共有1個井用接點。又，可對複數個感測器像素12之每一個分別配置與浮動擴散部FD電性連接之配線L2(浮動擴散部用接點)、及與井層WE電性連接之配線L10(井用接點)。

#### 【0373】

如圖108及圖112所示，攝像裝置1A共有以橫跨複數個感測器像素12之方式配置之共通焊墊電極102(本發明之「第1共通焊墊電極」之一例)、及設置於共通焊墊電極102上之1條配線L2。例如，於攝像裝置1A，存在俯視下4個感測器像素12之各浮動擴散部FD1至FD4介隔元件分離層16相鄰之區域。於該區域設置有共通焊墊電極102。共通焊墊電極102以橫跨4個浮動擴散部FD1至FD4之方式配置，與4個浮動擴散部FD1至FD4分別電性連接。共通焊墊電極102例如包含摻雜有n型雜質或p型雜質之多晶矽膜。

#### 【0374】

於共通焊墊電極102之中心部上設置有1條配線L2(即浮動擴散部用接點)。如圖108、圖110至圖112所示，共通焊墊電極102之中心部上所設置之配線L2以從第1基板10貫穿第2基板20之下側基板20a之方式延伸設置至

第2基板20之上側基板20b，經由設置於上側基板20b之配線等與放大電晶體AMP之閘極電極AG連接。

### 【0375】

又，如圖107及圖112所示，攝像裝置1A共有以橫跨複數個感測器像素12之方式配置之共通焊墊電極110(本發明之「第2共通焊墊電極」之一例)、及設置於共通焊墊電極110上之1條配線L10。例如，於攝像裝置1A，存在俯視下4個感測器像素12之各井層WE介隔元件分離層16相鄰之區域。於該區域設置有共通焊墊電極110。共通焊墊電極110以橫跨4個感測器像素12之各井層WE之方式配置，與4個感測器像素12之各井層WE分別電性連接。舉一例而言，共通焊墊電極110配置於排列在Y軸方向之一個共通焊墊電極102與另一個共通焊墊電極102之間。於Y軸方向上，共通焊墊電極102、110交替地排列配置。共通焊墊電極110例如包含摻雜有n型雜質或p型雜質之多晶矽膜。

### 【0376】

於共通焊墊電極110之中心部上設置有1條配線L10(即井用接點)。如圖107、圖109至圖112所示，共通焊墊電極110之中心部上所設置之配線L10以從第1基板10貫穿第2基板20之下側基板20a之方式延伸設置至第2基板20之上側基板20b，經由設置於上側基板20b之配線等與供給基準電位(例如接地電位：0 V)之基準電位線連接。

### 【0377】

共通焊墊電極110之中心部上所設置之配線L10分別電性連接於共通焊墊電極110之上表面、設置於下側基板20a之貫通孔之內側面、及設置於上側基板20b之貫通孔之內側面。藉此，第1基板10之半導體基板11之井

層WE、以及第2基板20之下側基板20a之井層及上側基板20b之井層連接於基準電位(例如接地電位：0 V)。

**【0378】**

本發明之第7實施形態之攝像裝置1A具備：第1基板10，其設置有進行光電轉換之感測器像素12；及第2基板20，其配置於第1基板10之正面12a側，具有將基於從感測器像素12輸出之電荷之像素信號輸出之讀出電路22。第2基板20具有：第1半導體基板21，其設置有讀出電路22中所包含之放大電晶體AMP；及第2半導體基板21A，其配置於第1半導體基板21之正面211a側，設置有讀出電路22中所包含之選擇電晶體SEL及重設電晶體RST。

**【0379】**

據此，與讀出電路22中所包含之所有電晶體配置於1塊半導體基板之情形相比，可增大電晶體之配置區域之面積，因此讀出電路22之布局自由度提高。藉此，於各像素單元PU中，可使放大電晶體AMP之閘極面積最大化，可實現良好之雜訊特性。藉由使放大電晶體AMP之面積最大化，可減少攝像裝置1中產生之隨機雜訊。

**【0380】**

又，攝像裝置1A進而具備共通焊墊電極102、110，上述共通焊墊電極102、110設置於構成第1基板10之半導體基板11之正面11a側，以橫跨相鄰之複數個(例如4個)感測器像素12之方式配置。共通焊墊電極102與4個感測器像素12之浮動擴散部FD電性連接。共通焊墊電極110與4個感測器像素12之井層WE電性連接。據此，可針對每4個感測器像素12，使連接於浮動擴散部FD之配線L2共通化。可針對每4個感測器像素12，使連接

於井層WE之配線L10共通化。藉此，可減少配線L2、L10之條數，因此能夠減小感測器像素12之面積，能夠使攝像裝置1A小型化。

### 【0381】

又，與本發明之第7實施形態同樣，關於圖4所示之第1實施形態之半導體裝置之第2基板20，示出可構成讀出電路22之放大電晶體AMP、重設電晶體RST、選擇電晶體SEL形成於同一半導體基板21之例，但亦可於半導體基板21至少1個電晶體，於與半導體基板11及21不同之半導體基板21A形成其餘電晶體。雖未圖示，但半導體基板21A例如於半導體基板21上形成絕緣層52、57、連接部59及連接配線55，進而積層半導體基板21A。新的半導體基板積層於層間絕緣膜51之積層在半導體基板11之面之相反側之面，可形成所期望之電晶體。作為一例，可於半導體基板21形成放大電晶體AMP，於半導體基板21A形成重設電晶體RST及/或選擇電晶體SEL。

### 【0382】

又，可設置複數個新的半導體基板，於新的半導體基板分別設置所期望之讀出電路22之電晶體。作為一例，可於半導體基板21形成放大電晶體AMP。進而，當於半導體基板21積層絕緣層、連接部、連接配線，進而積層半導體基板21A時，可於半導體基板21A形成重設電晶體RST。當於半導體基板21A積層絕緣層、連接部、連接配線，進而積層半導體基板21B時，可於半導體基板21B形成選擇電晶體SEL。形成於半導體基板21、21A、21B之電晶體可為構成讀出電路22之任一電晶體。

### 【0383】

藉由如此於第2基板20設置複數個半導體基板之構成，可減小1個讀

出電路22所佔據之半導體基板21之面積。只要可減小各讀出電路22之面積或可使各電晶體微細化，則亦可減小晶片之面積。又，能夠擴大可構成讀出電路22之放大電晶體、重設電晶體、選擇電晶體中之所期望之電晶體之面積。尤其是，藉由擴大放大電晶體之面積，亦可期待雜訊減少效果。

#### 【0384】

如此，於第1～第6實施形態之半導體裝置中，亦可設為於第2基板20設置複數個半導體基板之構成。於設為在第2基板20設置複數個半導體基板之構成之情形時，第1～第6實施形態之半導體裝置之構造可應用於各第2基板中所包含之複數個半導體基板間。例如，亦可將第1及第2實施形態之半導體裝置之屏蔽層1040配置於第2基板中所包含之複數個半導體基板間。又，亦可將第4實施形態之半導體裝置之光衰減部1501、1502、1521、1531、1542配置於第2基板中所包含之複數個半導體基板間。又，亦可將第5實施形態之半導體裝置之抗反射部1701、1711、1721、1721、1731、1741配置於第2基板中所包含之複數個半導體基板間。

#### 【0385】

<應用例>

圖113係表示具備上述實施形態及其變化例之攝像裝置1之攝像系統7的概略構成之一例之圖。

#### 【0386】

攝像系統7係例如數位靜態相機或攝錄影機等攝像裝置、智慧型手機或平板型終端等移動終端裝置等電子機器。攝像系統7例如具備上述實施形態及其變化例之攝像裝置1、DSP(Digital Signal Processing，數位信號處理)電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及

電源部248。於攝像系統7中，上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246、操作部247及電源部248經由匯流排線249相互連接。

### 【0387】

上述實施形態及其變化例之攝像裝置1輸出相應於入射光之圖像資料。DSP電路243係對從上述實施形態及其變化例之攝像裝置1輸出之信號(圖像資料)進行處理之信號處理電路。圖框記憶體244以圖框為單位暫時保持由DSP電路243處理後之圖像資料。顯示部245例如包含液晶面板或有機EL(Electro Luminescence，電致發光)面板等面板型顯示裝置，顯示利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像。記憶部246將利用上述實施形態及其變化例之攝像裝置1拍攝到之動態圖像或靜態圖像之圖像資料記錄至半導體記憶體或硬碟等記錄媒體。操作部247根據使用者之操作，發出攝像系統7所具有之各種功能相關之操作指令。電源部248將成為上述實施形態及其變化例之攝像裝置1、DSP電路243、圖框記憶體244、顯示部245、記憶部246及操作部247之動作電源之各種電源適當供給至該等供給對象。

### 【0388】

其次，對攝像系統7中之攝像步序進行說明。

### 【0389】

圖114表示攝像系統7中之攝像動作之流程圖之一例。使用者藉由對操作部247進行操作而指示攝像開始(步驟S101)。如此一來，操作部247將攝像指令傳送至攝像裝置1(步驟S102)。攝像裝置1(具體而言為系統控制電路36)當接收到攝像指令時，執行規定之攝像方式之攝像(步驟

S103)。

### 【0390】

攝像裝置1將藉由攝像獲得之圖像資料輸出至DSP電路243。此處，所謂圖像資料係指基於浮動擴散部FD中暫時保持之電荷而產生之像素信號之所有像素的資料。DSP電路243基於從攝像裝置1輸入之圖像資料進行規定之信號處理(例如雜訊減少處理等)(步驟S104)。DSP電路243使已進行規定之信號處理之圖像資料保持於圖框記憶體244，圖框記憶體244將圖像資料記憶於記憶部246(步驟S105)。以此方式，進行攝像系統7中之攝像。

### 【0391】

於本應用例中，將上述實施形態及其變化例之攝像裝置1應用於攝像系統7。藉此，可使攝像裝置1小型化或者高精細化，從而能夠提供一種小型或者高精細之攝像系統7。

### 【0392】

<運用例>

[運用例1]

本發明之技術(本技術)可運用於多種製品。例如，本發明之技術亦可以搭載於汽車、電動汽車、油電混合車、機車、腳踏車、個人移動設備、飛機、無人飛機、船舶、機器人等任一種移動體之裝置之形式實現。

### 【0393】

圖115係表示作為可應用本發明之技術之移動體控制系統之一例的車輛控制系統之概略構成例之方塊圖。

### 【0394】

車輛控制系統12000具備經由通信網路12001連接之複數個電子控制單元。於圖115所示之例中，車輛控制系統12000具備驅動系統控制單元12010、車身系統控制單元12020、車外資訊檢測單元12030、車內資訊檢測單元12040、及綜合控制單元12050。又，作為綜合控制單元12050之功能構成，圖示出微電腦12051、聲音圖像輸出部12052、及車載網路I/F(interface，介面)12053。

#### 【0395】

驅動系統控制單元12010根據各種程式，控制與車輛之驅動系統相關之裝置之動作。例如，驅動系統控制單元12010作為內燃機或驅動用馬達等用以產生車輛驅動力之驅動力產生裝置、用以將驅動力傳遞至車輪之驅動力傳遞機構、調節車輛之轉向角之轉向機構、及產生車輛制動力之制動裝置等的控制裝置發揮功能。

#### 【0396】

車身系統控制單元12020根據各種程式，控制裝設於車體之各種裝置之動作。例如，車身系統控制單元12020作為無鑰匙進入系統、智慧型鑰匙系統、電動窗裝置、或者頭燈、倒行燈、剎車燈、轉向燈或霧燈等各種燈之控制裝置發揮功能。於此情形時，可對車身系統控制單元12020輸入從代替鑰匙之可攜式機器發送之電波或各種開關之信號。車身系統控制單元12020受理該等電波或信號之輸入，控制車輛之門鎖裝置、電動窗裝置、燈等。

#### 【0397】

車外資訊檢測單元12030檢測搭載有車輛控制系統12000之車輛之外部之資訊。例如，於車外資訊檢測單元12030連接攝像部12031。車外資

訊檢測單元12030使攝像部12031拍攝車外之圖像，並且接收所拍攝到之圖像。車外資訊檢測單元12030可基於所接收到之圖像進行人、車、障礙物、標識或路面上之文字等之物體檢測處理或距離檢測處理。

#### 【0398】

攝像部12031係接收光，並輸出與該光之受光量相應之電信號之光感測器。攝像部12031可將電信號以圖像之形式輸出，亦可以測距資訊之形式輸出。又，攝像部12031所接收之光可為可見光，亦可為紅外線等不可見光。

#### 【0399】

車內資訊檢測單元12040檢測車內之資訊。於車內資訊檢測單元12040例如連接檢測駕駛員狀態之駕駛員狀態檢測部12041。駕駛員狀態檢測部12041包含例如拍攝駕駛員之相機，車內資訊檢測單元12040可基於從駕駛員狀態檢測部12041輸入之檢測資訊，算出駕駛員之疲勞程度或集中程度，亦可判別出駕駛員是否在打瞌睡。

#### 【0400】

微電腦12051可基於由車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車內外之資訊，運算驅動力產生裝置、轉向機構或制動裝置之控制目標值，對驅動系統控制單元12010輸出控制指令。例如，微電腦12051可進行以實現ADAS(Advanced Driver Assistance System，先進駕駛輔助系統)之功能為目的之協調控制，該ADAS包含避免車輛碰撞或緩和衝擊、基於車間距離之跟隨行駛、車速維持行駛、車輛之碰撞警告、或車輛之行車線偏離警告等。

#### 【0401】

又，微電腦12051藉由基於由車外資訊檢測單元12030或車內資訊檢測單元12040獲取之車輛周圍之資訊，對驅動力產生裝置、轉向機構或制動裝置等進行控制，可進行以不依賴駕駛員之操作而自主行駛之自動駕駛等為目的之協調控制。

#### 【0402】

又，微電腦12051可基於由車外資訊檢測單元12030獲取之車外之資訊，對車身系統控制單元12020輸出控制指令。例如，微電腦12051可根據由車外資訊檢測單元12030偵測到之前方車或對向車之位置控制頭燈，進行將遠光切換為近光等以實現防眩為目的之協調控制。

#### 【0403】

聲音圖像輸出部12052向能夠以視覺或聽覺方式，對車輛之搭乘者或車外通知資訊的輸出裝置傳送聲音及圖像中之至少一者之輸出信號。於圖747之例中，作為輸出裝置，例示有音頻揚聲器12061、顯示部12062及儀錶板12063。顯示部12062例如可包含機載顯示器及抬頭顯示器中之至少一者。

#### 【0404】

圖116係表示攝像部12031之設置位置之例之圖。

#### 【0405】

於圖116中，車輛12100具有攝像部12101、12102、12103、12104、12105作為攝像部12031。

#### 【0406】

攝像部12101、12102、12103、12104、12105例如設置於車輛12100之前保險桿、側鏡、後保險桿、尾門及車室內之前擋玻璃之上部等

位置。前保險桿所配備之攝像部12101及車室內之前擋玻璃之上部所配備之攝像部12105主要獲取車輛12100前方之圖像。側鏡所配備之攝像部12102、12103主要獲取車輛12100側方之圖像。後保險桿或尾門所配備之攝像部12104主要獲取車輛12100之後方之圖像。由攝像部12101及12105獲取之前方之圖像主要用於檢測前方車或行人、障礙物、信號機、交通標識或行車線等。

#### 【0407】

再者，於圖116中示出攝像部12101至12104之攝影範圍之一例。攝像範圍12111表示設置於前保險桿之攝像部12101之攝像範圍，攝像範圍12112、12113分別表示設置於側鏡之攝像部12102、12103之攝像範圍，攝像範圍12114表示設置於後保險桿或尾門之攝像部12104之攝像範圍。例如，藉由將利用攝像部12101至12104拍攝到之圖像資料重疊，可獲得從上方觀察車輛12100所得之俯瞰圖像。

#### 【0408】

攝像部12101至12104之至少一者可具有獲取距離資訊之功能。例如，攝像部12101至12104之至少一者可為包含複數個攝像元件之立體相機，亦可為具有相位差檢測用之像素之攝像元件。

#### 【0409】

例如，微電腦12051藉由基於自攝像部12101至12104獲得之距離資訊，求出距攝像範圍12111至12114內之各立體物之距離、及該距離隨時間之變化(相對於車輛12100之相對速度)，尤其可提取位於車輛12100之行進路上之最近且沿與車輛12100大致相同之方向以規定之速度(例如，0 km/h以上)行駛之立體物作為前方車。進而，微電腦12051可設定應預先

確保靠近前方車之車間距離，進行自動剎車控制(亦包含跟隨停止控制)或自動加速控制(亦包含跟隨發動控制)等。如此，能夠進行以不依賴駕駛員之操作而自主行駛之自動駕駛等為目的之協調控制。

#### 【0410】

例如，微電腦12051可基於自攝像部12101至12104獲得之距離資訊，將與立體物相關之立體物資料分類為二輪車、普通車輛、大型車輛、行人、電線桿等其他立體物進行提取，用於自動避讓障礙物。例如，微電腦12051將車輛12100之周邊之障礙物辨別為車輛12100之駕駛員能夠視認之障礙物與難以視認之障礙物。而且，微電腦12051可判斷表示與各障礙物之碰撞之危險度之碰撞風險，於碰撞風險為設定值以上而存在碰撞可能性之狀況時，經由音頻揚聲器12061或顯示部12062對駕駛員輸出警報、或者經由驅動系統控制單元12010進行強制減速或避讓轉向，藉此進行用於避免碰撞之駕駛支援。

#### 【0411】

攝像部12101至12104之至少一者可為檢測紅外線之紅外線相機。例如，微電腦12051可藉由判定攝像部12101至12104之攝像圖像中是否存在行人而辨識行人。該行人之辨識係藉由例如以下兩個步序進行：提取作為紅外線相機之攝像部12101至12104之攝像圖像中之特徵點之步序、及對表現出物體之輪廓之一連串特徵點進行圖案匹配處理而判別是否為行人之步序。若微電腦12051判定攝像部12101至12104之攝像圖像中存在行人，並辨識出行人，則聲音圖像輸出部12052以對該所辨識之行人重疊顯示用於強調之方形輪廓線之方式控制顯示部12062。又，聲音圖像輸出部12052亦可以將表示行人之圖符等顯示於所期望之位置之方式控制顯示部

12062。

**【0412】**

以上，對可應用本發明之技術之移動體控制系統之一例進行了說明。本發明之技術可應用於以上說明之構成中之攝像部12031。具體而言，上述實施形態及其變化例之攝像裝置1可應用於攝像部12031。藉由對攝像部12031應用本發明之技術，可獲得雜訊較少之高精細之拍攝圖像，因此，可於移動體控制系統中進行利用拍攝圖像之高精度之控制。

**【0413】**

[運用例2]

圖117係表示可應用本發明之技術(本技術)之內視鏡手術系統的概略構成之一例之圖。

**【0414】**

於圖117中，圖示出手術實施者(醫生)11131使用內視鏡手術系統11000對病床11133上之患者11132進行手術之情況。如圖所示，內視鏡手術系統11000包含內視鏡11100、氣腹管11111或能量處理器具11112等其他手術器具11110、支持內視鏡11100之支持臂裝置11120、及搭載有用於內視鏡下手術之各種裝置之手推車11200。

**【0415】**

內視鏡11100包含將距前端規定長度之區域插入患者11132之體腔內之鏡筒11101、及連接於鏡筒11101之基端之相機鏡頭11102。於圖示之例中，圖示出構成為具有硬性鏡筒11101之所謂硬性鏡之內視鏡11100，但內視鏡11100亦可構成為具有軟性鏡筒之所謂軟性鏡。

**【0416】**

於鏡筒11101之前端設置有供物鏡嵌入之開口部。於內視鏡11100連接有光源裝置11203，由該光源裝置11203產生之光藉由於鏡筒11101之內部延伸設置之導光件而引導至該鏡筒之前端，經由物鏡向患者11132之體腔內之觀察對象照射。再者，內視鏡11100可為直視鏡，亦可為斜視鏡或側視鏡。

**【0417】**

於相機鏡頭11102之內部設置有光學系統及攝像元件，來自觀察對象之反射光(觀察光)藉由該光學系統而聚光於該攝像元件。藉由該攝像元件將觀察光進行光電轉換，而產生與觀察光對應之電信號、即與觀察圖像對應之圖像信號。該圖像信號以RAW資料之形式被傳送至相機控制單元(CCU：Camera Control Unit)11201。

**【0418】**

CCU11201包含CPU(Central Processing Unit，中央處理單元)或GPU(Graphics Processing Unit，圖像處理單元)等，統一控制內視鏡11100及顯示裝置11202之動作。進而，CCU11201從相機鏡頭11102接收圖像信號，並對該圖像信號實施例如顯影處理(解馬賽克處理)等用以顯示基於該圖像信號所產生之圖像之各種圖像處理。

**【0419】**

顯示裝置11202藉由來自CCU11201之控制，顯示基於由該CCU11201實施圖像處理後之圖像信號所產生之圖像。

**【0420】**

光源裝置11203例如包含LED(Light Emitting Diode，發光二極體)等光源，將拍攝手術部位等時之照射光供給至內視鏡11100。

**【0421】**

輸入裝置11204係針對內視鏡手術系統11000之輸入介面。使用者可經由輸入裝置11204對內視鏡手術系統11000輸入各種資訊或指示。例如，使用者輸入旨在變更內視鏡11100之攝像條件(照射光之種類、倍率及焦點距離等)之指示等。

**【0422】**

處理器具控制裝置11205對用於組織之燒灼、切開或血管之閉合等之能量處理器具11112之驅動進行控制。氣腹裝置11206為了確保內視鏡11100之視野及手術實施者之作業空間，而經由氣腹管11111向該體腔內送入氣體，以使患者11132之體腔膨脹。記錄器11207係能夠記錄與手術相關之各種資訊之裝置。印表機11208係能夠將與手術相關之各種資訊以文本、圖像或圖表等各種形式印刷之裝置。

**【0423】**

再者，向內視鏡11100供給拍攝手術部位時之照射光之光源裝置11203例如可包含LED、雷射光源或由該等之組合構成之白色光源。於藉由RGB雷射光源之組合構成白色光源之情形時，可高精度地控制各色(各波長)之輸出強度及輸出時點，因此，於光源裝置11203中可進行攝像圖像之白平衡之調整。又，於此情形時，將來自各RGB雷射光源之雷射光分時向觀察對象照射，與該照射時點同步地控制相機鏡頭11102之攝像元件之驅動，藉此亦能夠分時拍攝與各RGB對應之圖像。根據該方法，即便不於該攝像元件設置彩色濾光片，亦可獲得彩色圖像。

**【0424】**

又，光源裝置11203亦可以按照規定之時間間隔變更所輸出之光強度

之方式控制該驅動。與該光強度之變更時點同步地控制相機鏡頭11102之攝像元件之驅動而分時獲取圖像，並將該圖像合成，藉此可產生不存在所謂曝光不足及曝光過度之高動態範圍之圖像。

#### 【0425】

又，光源裝置11203亦可構成為能夠供給與特殊光觀察對應之規定波長頻帶之光。於特殊光觀察中，例如進行如下之所謂窄頻帶光觀察(Narrow Band Imaging)：利用身體組織中之光吸收之波長依存性，照射與通常觀察時之照射光(即白色光)相比為窄頻帶之光，藉此以高對比度拍攝黏膜表層之血管等規定之組織。或於特殊光觀察中，亦可進行利用藉由照射激發光產生之螢光來獲得圖像之螢光觀察。於螢光觀察中，可進行如下操作等：對身體組織照射激發光而觀察來自該身體組織之螢光(自發螢光觀察)；或將吲哚菁綠(ICG)等試劑局部注射至身體組織並且對該身體組織照射與該試劑之螢光波長對應之激發光來獲得螢光圖像。光源裝置11203可構成為能夠供給與此種特殊光觀察對應之窄頻帶光及/或激發光。

#### 【0426】

圖118係表示圖117所示之相機鏡頭11102及CCU11201之功能構成之一例的方塊圖。

#### 【0427】

相機鏡頭11102具有透鏡單元11401、攝像部11402、驅動部11403、通信部11404及相機鏡頭控制部11405。CCU11201具有通信部11411、圖像處理部11412及控制部11413。相機鏡頭11102與CCU11201藉由傳輸纜線11400而以能夠互相通信之方式連接。

#### 【0428】

透鏡單元11401設置於與鏡筒11101之連接部之光學系統。從鏡筒11101之前端擷取之觀察光被引導至相機鏡頭11102，入射至該透鏡單元11401。透鏡單元11401係將包含變焦透鏡及聚焦透鏡在內之複數個透鏡組合而構成。

#### 【0429】

攝像部11402包含攝像元件。構成攝像部11402之攝像元件可為1個(所謂單板式)，亦可為複數個(所謂多板式)。於攝像部11402構成為多板式之情形時，例如可利用各攝像元件產生與RGB之各者對應的圖像信號，將該等圖像信號合成，藉此獲得彩色圖像。或者，攝像部11402可構成為具有用以分別獲取與3D(Three Dimensional，三維)顯示對應之右眼用及左眼用之圖像信號之1對攝像元件。藉由進行3D顯示，手術實施者11131能夠更準確地把握手術部位處之活體組織之深度。再者，於攝像部11402構成為多板式之情形時，亦可與各攝像元件對應地設置複數個系統之透鏡單元11401。

#### 【0430】

又，攝像部11402可不必設置於相機鏡頭11102。例如，攝像部11402亦可設置於鏡筒11101之內部且物鏡之正後方。

#### 【0431】

驅動部11403包含致動器，藉由來自相機鏡頭控制部11405之控制，使透鏡單元11401之變焦透鏡及聚焦透鏡沿著光軸移動規定之距離。藉此，可適當調整利用攝像部11402獲得之攝像圖像之倍率及焦點。

#### 【0432】

通信部11404包含用以與CCU11201之間收發各種資訊之通信裝置。

通信部11404將從攝像部11402獲得之圖像信號以RAW資料之形式經由傳輸纜線11400傳送至CCU11201。

**【0433】**

又，通信部11404從CCU11201接收用以控制相機鏡頭11102之驅動之控制信號，並供給至相機鏡頭控制部11405。該控制信號例如包含旨在指定攝像圖像之圖框率之資訊、旨在指定攝像時之曝光值之資訊、及/或旨在指定攝像圖像之倍率及焦點之資訊等與攝像條件相關之資訊。

**【0434】**

再者，上述圖框率或曝光值、倍率、焦點等攝像條件可由使用者適當指定，亦可基於所獲取之圖像信號而由CCU11201之控制部11413自動設定。於後者之情形時，於內視鏡11100搭載有所謂AE(Auto Exposure，自動曝光)功能、AF(Auto Focus，自動對焦)功能及AWB(Auto White Balance，自動白平衡)功能。

**【0435】**

相機鏡頭控制部11405基於經由通信部11404接收到之來自CCU11201之控制信號，對相機鏡頭11102之驅動進行控制。

**【0436】**

通信部11411包含用以與相機鏡頭11102之間收發各種資訊之通信裝置。通信部11411從相機鏡頭11102接收經由傳輸纜線11400傳送之圖像信號。

**【0437】**

又，通信部11411對相機鏡頭11102傳送用以控制相機鏡頭11102之驅動之控制信號。圖像信號或控制信號可藉由電通信或光通信等傳送。

**【0438】**

圖像處理部11412對從相機鏡頭11102傳送來之作為RAW資料之圖像信號實施各種圖像處理。

**【0439】**

控制部11413進行與基於內視鏡11100之手術部位等之攝像、及藉由手術部位等之攝像獲得之攝像圖像之顯示相關的各種控制。例如，控制部11413產生用以控制相機鏡頭11102之驅動之控制信號。

**【0440】**

又，控制部11413基於經圖像處理部11412實施圖像處理後之圖像信號，使顯示裝置11202顯示反映出手術部位等之攝像圖像。此時，控制部11413亦可使用各種圖像辨識技術，辨識攝像圖像內之各種物體。例如，控制部11413藉由對攝像圖像中所包含之物體之邊緣形狀或顏色等進行檢測，可辨識出鉗子等手術器具、特定之活體部位、出血、能量處理器具11112使用時之霧氣等。控制部11413亦可於使顯示裝置11202顯示攝像圖像時，使用該辨識結果，使各種手術支援資訊重疊顯示於該手術部位之圖像中。藉由將手術支援資訊重疊顯示，且對手術實施者11131進行提示，可減輕手術實施者11131之負擔或使手術實施者11131確實地進行手術。

**【0441】**

連接相機鏡頭11102及CCU11201之傳輸纜線11400係與電信號之通信對應之電信號纜線、與光通信對應之光纖、或該等之複合纜線。

**【0442】**

此處，於圖示之例中，使用傳輸纜線11400以有線之方式進行通信，但相機鏡頭11102與CCU11201之間之通信亦可以無線方式進行。

**【0443】**

以上，對可應用本發明之技術之內視鏡手術系統之一例進行了說明。本發明之技術可較佳地應用於以上說明之構成中的設置於內視鏡11100之相機鏡頭11102之攝像部11402。藉由對攝像部11402應用本發明之技術，可使攝像部11402小型化或高精細化，因此，可提供小型或高精細之內視鏡11100。

**【0444】**

以上，列舉實施形態及其變化例、應用例以及運用例對本發明進行了說明，但本發明並不限定於上述實施形態等，可進行各種變化。再者，本說明書中所記載之效果僅為例示。本發明之效果並不限於本說明書中所記載之效果。本發明可具有除本說明書中所記載之效果以外之效果。

**【0445】**

再者，本技術可採用如下構成。

**(1)**

一種半導體裝置，其具備：第1基板，其包含含有第1主動元件之第1元件層、配置於上述第1元件層上之第1配線層、及配置於上述第1配線層上且含有導電性材料之屏蔽層；及

第2基板，其包含含有配置於上述屏蔽層上之第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且

該半導體裝置係上述第1基板與上述第2基板積層而構成。

**(2)**

如(1)所記載之半導體裝置，其中上述第1基板進而包含配置於上述第1元件層下之光電轉換部。

(3)

如(2)所記載之半導體裝置，其中

於上述屏蔽層設置有開口部，且

該半導體裝置進而具備連接配線，該連接配線貫通上述開口部，將上述光電轉換部或上述第1配線層與上述第2配線層連接。

(4)

如(3)所記載之半導體裝置，其中上述屏蔽層之位於上述開口部之一部分以與上述連接配線同軸，且介隔層間絕緣膜包圍上述連接配線之外周面之方式沿著上述連接配線之縱長方向延伸。

(5)

如(1)至(4)中任一項所記載之半導體裝置，其中於上述第2基板上積層有第3基板。

(6)

如(1)至(5)中任一項所記載之半導體裝置，其構成固體攝像裝置。

(7)

一種半導體裝置之製造方法，其包含如下步驟：

於包含第1主動元件之第1元件層上形成第1配線層；

於上述第1配線層上形成含有導電性材料之屏蔽層，藉此形成包含上述第1元件層、上述第1配線層及上述屏蔽層之第1基板；

準備形成有包含第2主動元件之第2元件層之第2基板；

將上述第2基板之上述第2元件層側貼合於上述第1基板之上述屏蔽層側，藉此於上述屏蔽層上形成上述第2元件層；及

於上述第2元件層上形成第2配線層。

(8)

一種半導體裝置，其具備：

第1基板，其包含含有第1主動元件之第1元件層、及配置於上述第1元件層上之第1配線層；及

第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且

該半導體裝置係上述第1基板與上述第2基板積層而構成，於上述第1基板與上述第2基板之間具備含有導電性材料之電磁遮蔽層。

(9)

如(8)所記載之半導體裝置，其中上述電磁遮蔽層連接於接地電位。

(10)

如(8)所記載之半導體裝置，其中上述電磁遮蔽層以俯視下至少覆蓋上述第1主動元件之方式配置。

(11)

如(8)所記載之半導體裝置，其中上述導電性材料含有鎢、鈦、氮化鈦、碳及多晶矽中之任一者。

(12)

如(11)所記載之半導體裝置，其中上述電磁遮蔽層包含設置於上述導電性材料之上下表面之防擴散層。

(13)

一種半導體裝置之製造方法，其包含如下步驟：

於包含第1主動元件之第1元件層上形成第1配線層，藉此形成包含上述第1元件層及上述第1配線層之第1基板；

準備第2基板；

於上述第1基板或上述第2基板形成含有導電性材料之電磁遮蔽層；

介隔上述電磁遮蔽層將上述第1基板與上述第2基板貼合；

於上述第2基板上形成包含第2主動元件之第2元件層；及

於上述第2元件層上形成第2配線層。

(14)

一種半導體裝置，其具備：第1基板，其包含含有第1主動元件之第1元件層、配置於上述第1元件層上之第1配線層、及配置於上述第1元件層下之光電轉換部；及

第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且

該半導體裝置係上述第1基板與上述第2基板積層而構成，於上述第2主動元件與上述光電轉換部之間具備由折射率高於周圍之材料構成之光衰減部。

(15)

如(14)所記載之半導體裝置，其中上述光衰減部由形成於層間絕緣膜中之矽材料構成。

(16)

如(14)或(15)所記載之半導體裝置，其中上述光衰減部由矽量子點構成。

(17)

如(14)至(16)中任一項所記載之半導體裝置，其中上述光衰減部包含形成於上述第2基板之凸形狀。

(18)

一種半導體裝置之製造方法，其包含如下步驟：

於包含第1主動元件之第1元件層上形成第1配線層，於上述第1元件層下形成光電轉換部，藉此形成包含上述第1元件層、上述第1配線層及上述光電轉換部之第1基板；

準備第2基板；

於上述第2基板形成由折射率高於周圍之材料構成之光衰減部；

將上述第1基板與上述第2基板之上述光衰減部側貼合；

於上述第2基板上形成包含第2主動元件之第2元件層；及

於上述第2元件層上形成第2配線層。

(19)

一種半導體裝置，其具備：

第1基板，其包含含有第1主動元件之第1元件層、配置於上述第1元件層上之第1配線層、及配置於上述第1元件層下之光電轉換部；

第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；及

抗反射部，其由折射率較上述第2基板中所包含之半導體材料低之材料構成；且

該半導體裝置係上述第1基板與上述第2基板積層而構成，至少於上述第2主動元件與上述光電轉換部之間配置有上述抗反射部。

(20)

如(19)所記載之半導體裝置，其中上述抗反射部進而配置於俯視下之上述第2主動元件之側方區域。

(21)

如(18)或(19)所記載之半導體裝置，其中上述抗反射部由氮化矽構成。

(22)

如(18)至(21)中任一項所記載之半導體裝置，其中於上述抗反射部與上述第2主動元件之間具備由與上述抗反射部不同之材料構成之中間膜。

(23)

如(22)所記載之半導體裝置，其中上述中間膜之膜厚較上述抗反射部之膜厚薄。

(24)

如(18)至(21)中任一項所記載之半導體裝置，其中上述抗反射部具有複數個凹凸。

(25)

一種半導體裝置之製造方法，其包含如下步驟：

於包含第1主動元件之第1元件層上形成第1配線層，於上述第1元件層下形成光電轉換部，藉此形成包含上述第1元件層、上述第1配線層及上述光電轉換部之第1基板；

準備第2基板；

於上述第2基板形成抗反射部，該抗反射部由折射率較上述第2基板中所包含之半導體材料低之材料構成；

將上述第1基板與上述第2基板之上述抗反射部側貼合；

於上述第2基板上形成包含第2主動元件之第2元件層；及

於上述第2元件層上形成第2配線層。

**【符號說明】****【0446】**

1:攝像裝置

1A:攝像裝置

2:攝像系統

7:攝像系統

10:第1基板

10a:正面

11:半導體基板

11a:正面

12:感測器像素

12A:感測器像素

13:像素區域

15:行處理部

16:元件分離層

17:雜質擴散層

18A:DAC

20:第2基板

20a:下側基板

20b:上側基板

21:半導體基板

21A:半導體基板

22:讀出電路

- 23:像素驅動線
- 24:垂直信號線
- 25:配線
- 26:低電阻區域
- 30:第3基板
- 31:半導體基板
- 32:邏輯電路
- 32A:電路
- 32B:電路
- 33:垂直驅動電路
- 34-1~34-m:ADC
- 34:行信號處理電路
- 34A:比較器
- 34B:可逆計數器
- 34C:傳輸開關
- 34D:記憶體裝置
- 35:水平驅動電路
- 36:系統控制電路
- 37:水平輸出線
- 38:參照電壓供給部
- 38A:DAC
- 40:彩色濾光片
- 41:PD

- 42:井層
- 43:元件分離部
- 44:p井層
- 45:固定電荷膜
- 46:絕緣層
- 47:貫通配線
- 48:貫通配線
- 50:受光透鏡
- 51:層間絕緣膜
- 52:絕緣層
- 53:絕緣層
- 54:貫通配線
- 55:連接配線
- 56:配線層
- 57:絕緣層
- 58:配線層
- 59:連接部
- 61:層間絕緣膜
- 62:配線層
- 63:絕緣層
- 64:焊墊電極
- 100:第1基板
- 100S:半導體層

100T:配線層  
102:共通焊墊電極  
110:共通焊墊電極  
111:絕緣膜  
112:固定電荷膜  
113:釘紮區域  
114:n型半導體區域  
115:p型井層  
116:釘紮區域  
117:像素分離部  
117A:遮光膜  
117B:絕緣膜  
118:VSS接點區域  
119:層間絕緣膜  
120, 121:焊墊部  
120C:連接孔  
120E, 121E:貫通電極  
121C:連接孔  
122:鈍化膜  
123:層間絕緣膜  
124:接合膜  
141:DSP電路  
142:圖框記憶體

143:顯示部  
144:記憶部  
145:操作部  
146:電源部  
147:匯流排線  
200:第2基板  
200S:半導體層  
200T:配線層  
201, 202:接點部  
201R, 301R:接點區域  
202R, 302R:接點區域  
203, 204:接點部  
204:驅動部  
210:像素電路  
211:井區域  
211b:第1半導體基板之另一面  
212:絕緣區域  
213:元件分離區域  
215:絕緣膜  
218:VSS接點區域  
218V:連接部  
221:鈍化膜  
221a:正面

221b:背面  
222:層間絕緣膜  
223:元件分離層  
225:絕緣膜  
226:層間絕緣膜  
227:焊墊電極  
228:層間絕緣膜  
243:DSP電路  
244:圖框記憶體  
245:顯示部  
246:記憶部  
247:操作部  
248:電源部  
249:匯流排線  
300:第3基板  
300S:半導體層  
300T:配線層  
301, 302:接點部  
305:焊墊電極  
401:受光透鏡  
510A:輸入部  
510B:輸出部  
511:輸入端子

512:輸入電路部  
513:輸入振幅變更部  
514:輸入資料轉換電路部  
515:輸出資料轉換電路部  
516:輸出振幅變更部  
517:輸出電路部  
518:輸出端子  
520:列驅動部  
530:時序控制部  
539:像素共有單元  
540:像素陣列部  
540B:周邊部  
541:像素  
542:列驅動信號線  
543:垂直信號線  
544:電源線  
550:行信號處理部  
560:圖像信號處理部  
1001:像素區域  
1002:像素  
1003:垂直驅動電路  
1004:行信號處理電路  
1005:水平驅動電路

- 1006:輸出電路
- 1007:控制電路
- 1008a:像素驅動配線
- 1008b:垂直信號線
- 1009:水平信號線
- 1010:感測器層
- 1011:Si基板
- 1012:元件分離部
- 1020:第1元件層
- 1021:第1主動元件
- 1030:第1配線層
- 1031:配線
- 1032:配線
- 1033:配線
- 1034:配線
- 1035:層間絕緣膜
- 1040:屏蔽層
- 1041a:開口部
- 1041b:開口部
- 1042:層間絕緣膜
- 1043:鞘部
- 1044:鞘部
- 1050:第2元件層

1051:Si基板  
1052, 1053, 1054, 1055:第2主動元件  
1056:層間絕緣膜  
1057:支持基板  
1060:第2配線層  
1061, 1062, 1063, 1064:配線  
1065:層間絕緣膜  
1066:連接配線  
1067:連接配線  
1070:第3配線層  
1071, 1072, 1073, 1074:配線  
1075:層間絕緣膜  
1080:第3元件層  
1081:Si基板  
1082, 1083:第3主動元件  
1091:平坦化膜  
1092:彩色濾光片  
1093:微透鏡  
1101:第1基板  
1101a:光電轉換部形成區域  
1102:第2基板  
1102a:像素電晶體形成區域  
1103:第3基板

1103a:邏輯電路形成區域  
1211:半導體基板  
1221:第1主動元件  
1230:第1配線層  
1241a:開口部  
1242:層間絕緣膜  
1251:半導體基板  
1252:第2主動元件  
1256:層間絕緣膜  
1261:配線  
1265:層間絕緣膜  
1266:連接配線  
1301:防擴散層  
1302:電磁遮蔽層  
1303:防擴散層  
1304:防擴散層  
1311:連接配線  
1410:第1基板  
1411:半導體基板  
1420:第2基板  
1421:半導體基板  
1422:讀出電路  
1430:第3基板

1431:半導體基板  
1432:邏輯電路  
1441:光電二極體  
1446:絕緣層  
1452:絕緣層  
1462:配線層  
1501:光衰減部  
1502:光衰減部  
1511:半導體層  
1512:絕緣層  
1513:抗蝕劑遮罩  
1514:凹部  
1521, 1522:光衰減部  
1531:光衰減部  
1541:凹部  
1542:光衰減部  
1611:Si基板  
1612:元件分離部  
1630:第1配線層  
1651:Si基板  
1656:層間絕緣膜  
1661:配線  
1665:層間絕緣膜

1666:連接配線  
1701:抗反射部  
1702:凹部  
1711:抗反射部  
1721:抗反射部  
1722:抗反射部  
1723:SiN膜  
1731:抗反射部  
1732:中間膜  
1741:抗反射部  
2001:像素區域  
541A, 541B, 541C, 541D:像素  
2200:半導體裝置  
2201:光學系統  
2202:快門裝置  
2203:信號處理部  
2204:驅動部  
1011a, 1011b, 1011c:光電轉換部  
1521a, 1522a:凸形狀  
10005:水平驅動電路  
11000:內視鏡手術系統  
11100:內視鏡  
11101:鏡筒

11102:相機鏡頭  
11110:手術器具  
11111:氣腹管  
11112:能量處理器具  
11120:支持臂裝置  
11131:手術實施者  
11132:患者  
11133:病床  
11200:手推車  
11201:CCU  
11202:顯示裝置  
11203:光源裝置  
11204:輸入裝置  
11205:處理器具控制裝置  
11206:氣腹裝置  
11207:記錄器  
11208:印表機  
11400:傳輸纜線  
11401:透鏡單元  
11402:攝像部  
11403:驅動部  
11404:通信部  
11405:相機鏡頭控制部

11411:通信部  
11412:圖像處理部  
11413:控制部  
12000:車輛控制系統  
12001:通信網路  
12010:驅動系統控制單元  
12020:車身系統控制單元  
12030:車外資訊檢測單元  
12031:攝像部  
12040:車外資訊檢測單元  
12041:駕駛者狀態檢測部  
12050:綜合控制單元  
12051:微電腦  
12052:聲音圖像輸出部  
12053:車載網路I/F  
12061:音頻揚聲器  
12062:顯示部  
12063:儀錶板  
12100:車輛  
12101, 12102, 12103, 12104, 12105:攝像部  
12111:攝像範圍  
12112, 12113:攝像範圍  
12114:攝像範圍

AG:閘極電極  
AMP:放大電晶體  
FD:浮動擴散部  
FD1, FD2, FD3, FD4:浮動擴散部  
FDG:FD傳輸電晶體  
H1, H2:連接孔部  
L1:配線  
L2:配線  
L3:配線  
L4:配線  
L5:配線  
L6:配線  
L7:配線  
L8:配線  
L9:配線  
L10:配線  
L30:配線  
PD:光電二極體  
PD1, PD2, PD3, PD4:光電二極體  
PU:像素單元  
RST:重設電晶體  
SEL:選擇電晶體  
SELL, RSTL, FDGL:配線

SG:閘極電極  
T1:放大電晶體  
T2:重設電晶體  
T3:放大電晶體  
T4:選擇電晶體  
TA:外部端子  
TB:外部端子  
TG:傳輸閘極  
TGa:垂直部分  
TGb:水平部分  
TGV:貫通電極  
TGV1, TGV2, TGV3, TGV4:貫通電極  
TR:放大電晶體  
TR1, TR2, TR3, TR4:傳輸電晶體  
TRG:配線  
TRG1, TRG2, TRG3, TRG4:配線  
VDD:電源線  
VSS:基準電位線  
W1, W2, W3, W4:配線層  
WE:井層

## 【發明申請專利範圍】

### 【請求項1】

一種半導體裝置，其包含：

第1基板，其包含含有第1主動元件之第1元件層、配置於上述第1元件層上之第1配線層、及配置於上述第1配線層上且含有導電性材料之屏蔽層；及

第2基板，其包含配置於上述屏蔽層上且含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且

該半導體裝置係上述第1基板與上述第2基板積層而構成，

上述導電性材料含有鎢、鈦、氮化鈦、碳及多晶矽中之任一者。

### 【請求項2】

如請求項1之半導體裝置，其中上述第1基板進而包含配置於上述第1元件層下之光電轉換部。

### 【請求項3】

如請求項2之半導體裝置，其中於上述屏蔽層設置有開口部，且

該半導體裝置進而包含連接配線，該連接配線貫通上述開口部，將上述光電轉換部或上述第1配線層與上述第2配線層連接。

### 【請求項4】

如請求項3之半導體裝置，其中上述屏蔽層之位於上述開口部之一部分，以與上述連接配線同軸，且介隔層間絕緣膜包圍上述連接配線之外周面之方式，沿著上述連接配線之縱長方向延伸。

### 【請求項5】

如請求項1之半導體裝置，其中於上述第2基板上積層有第3基板。

**【請求項6】**

如請求項1之半導體裝置，其構成固體攝像裝置。

**【請求項7】**

一種半導體裝置，其包含：

第1基板，其包含含有第1主動元件之第1元件層、及配置於上述第1元件層上之第1配線層；及

第2基板，其包含含有第2主動元件之第2元件層、及配置於上述第2元件層上之第2配線層；且

該半導體裝置係上述第1基板與上述第2基板積層而構成，於上述第1基板與上述第2基板之間具備含有導電性材料之電磁遮蔽層，

上述導電性材料含有鎢、鈦、氮化鈦、碳及多晶矽中之任一者。

**【請求項8】**

如請求項7之半導體裝置，其中上述電磁遮蔽層連接於接地電位。

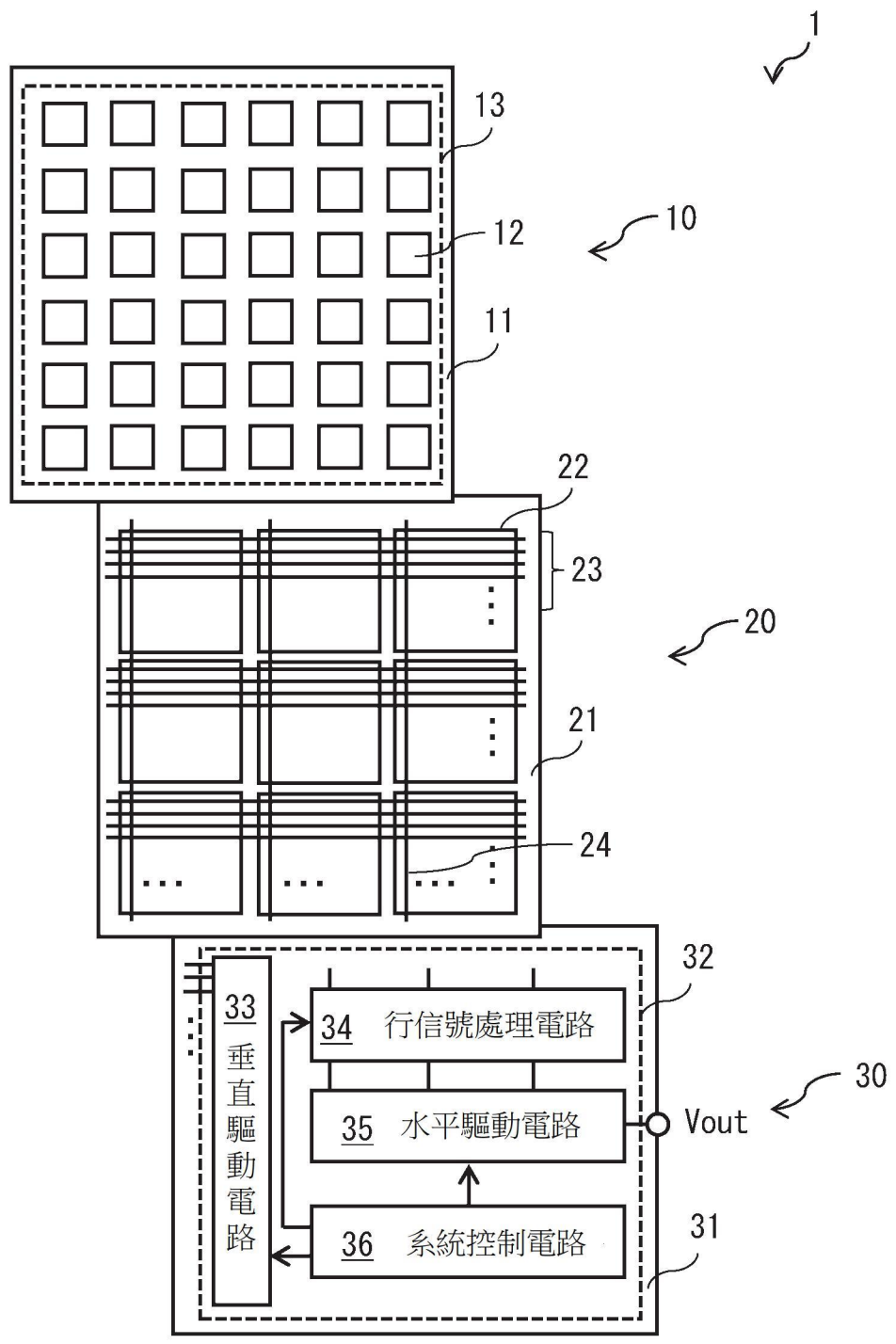
**【請求項9】**

如請求項7之半導體裝置，其中上述電磁遮蔽層以俯視下至少覆蓋上述第1主動元件之方式配置。

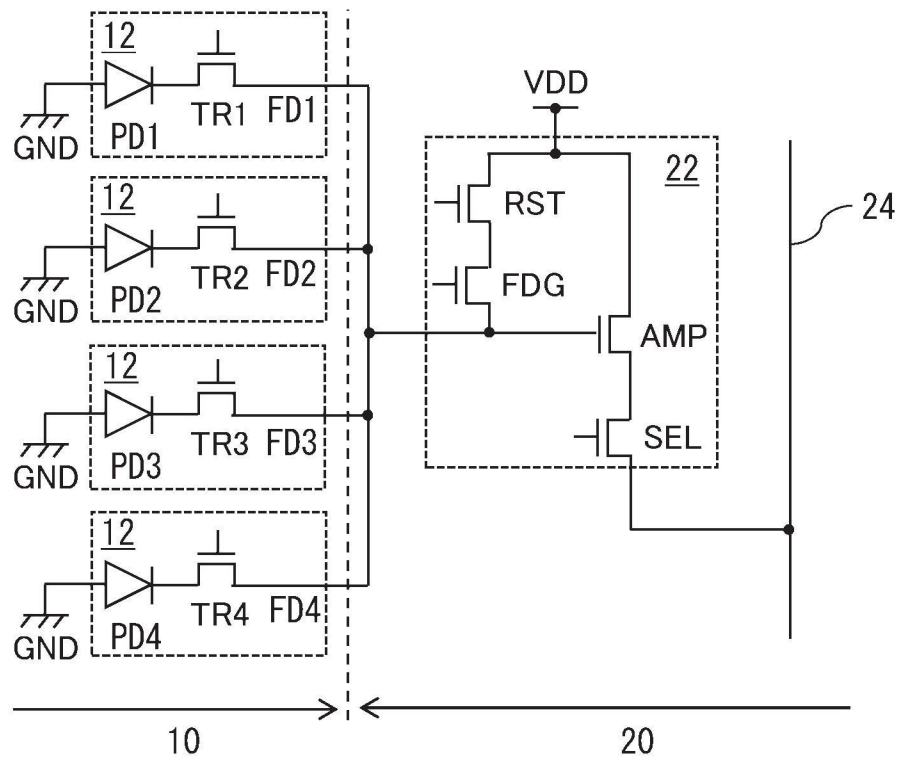
**【請求項10】**

如請求項7之半導體裝置，其中上述電磁遮蔽層包含設置於上述導電性材料之上下表面之防擴散層。

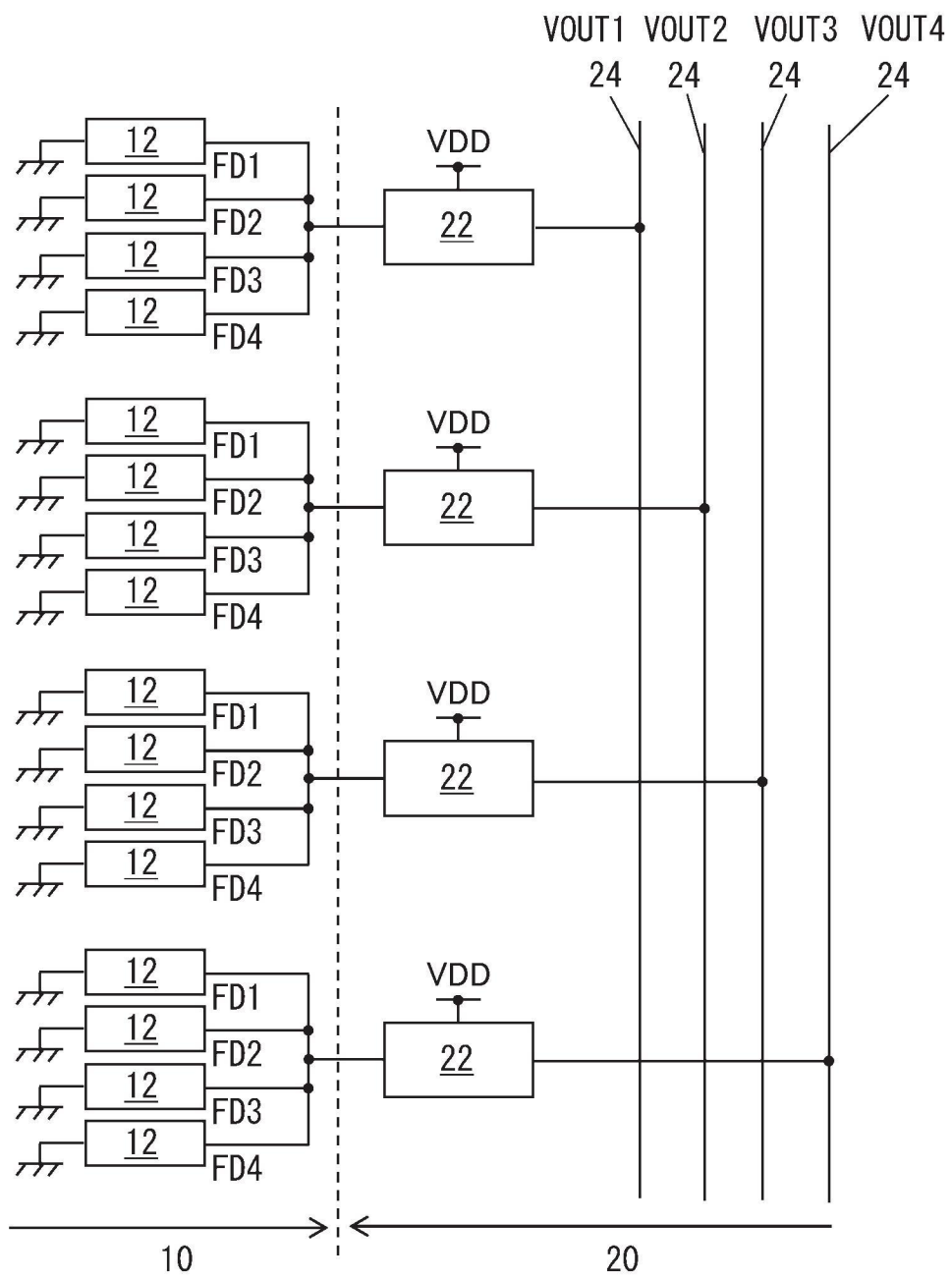
【發明圖式】



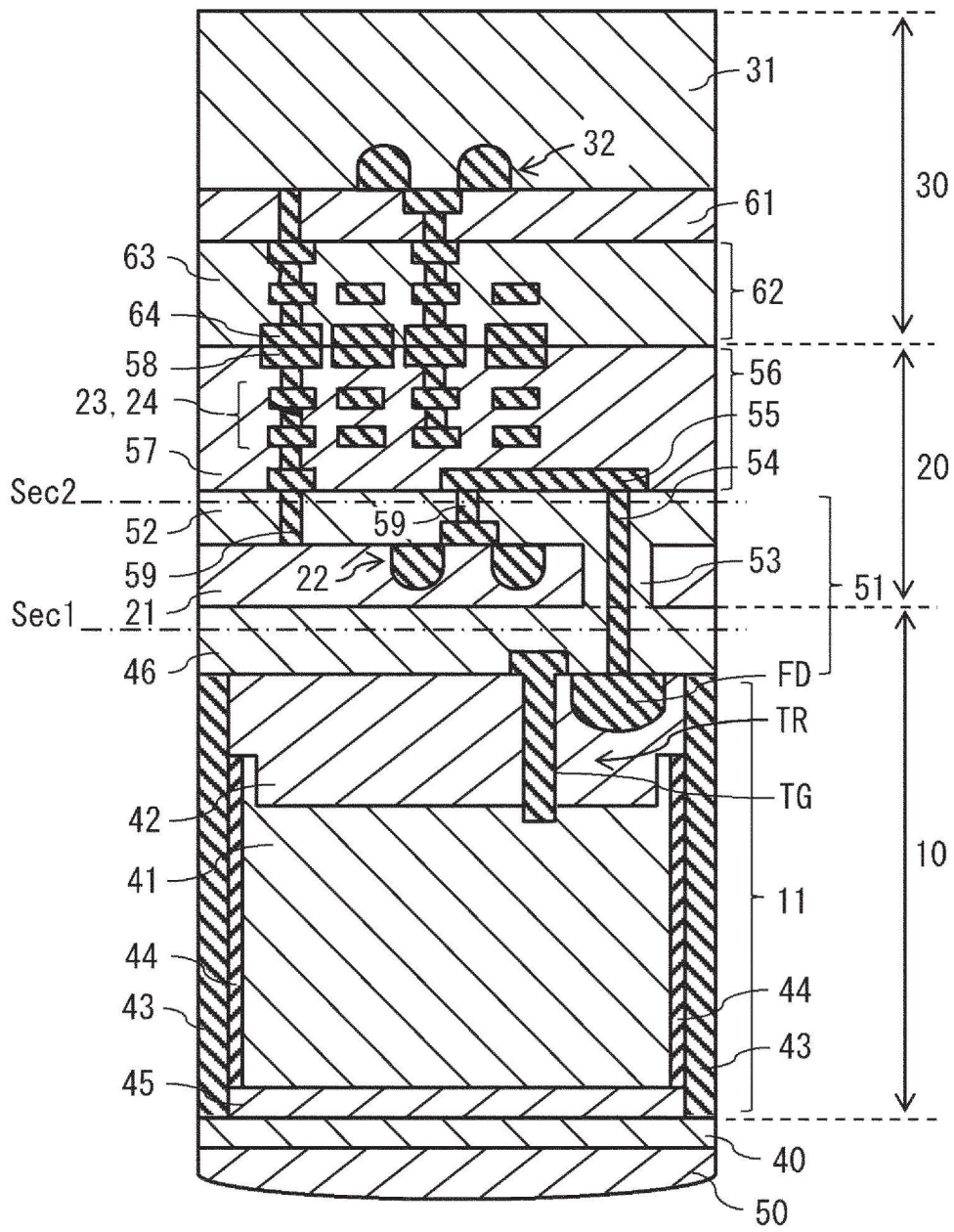
【圖1】



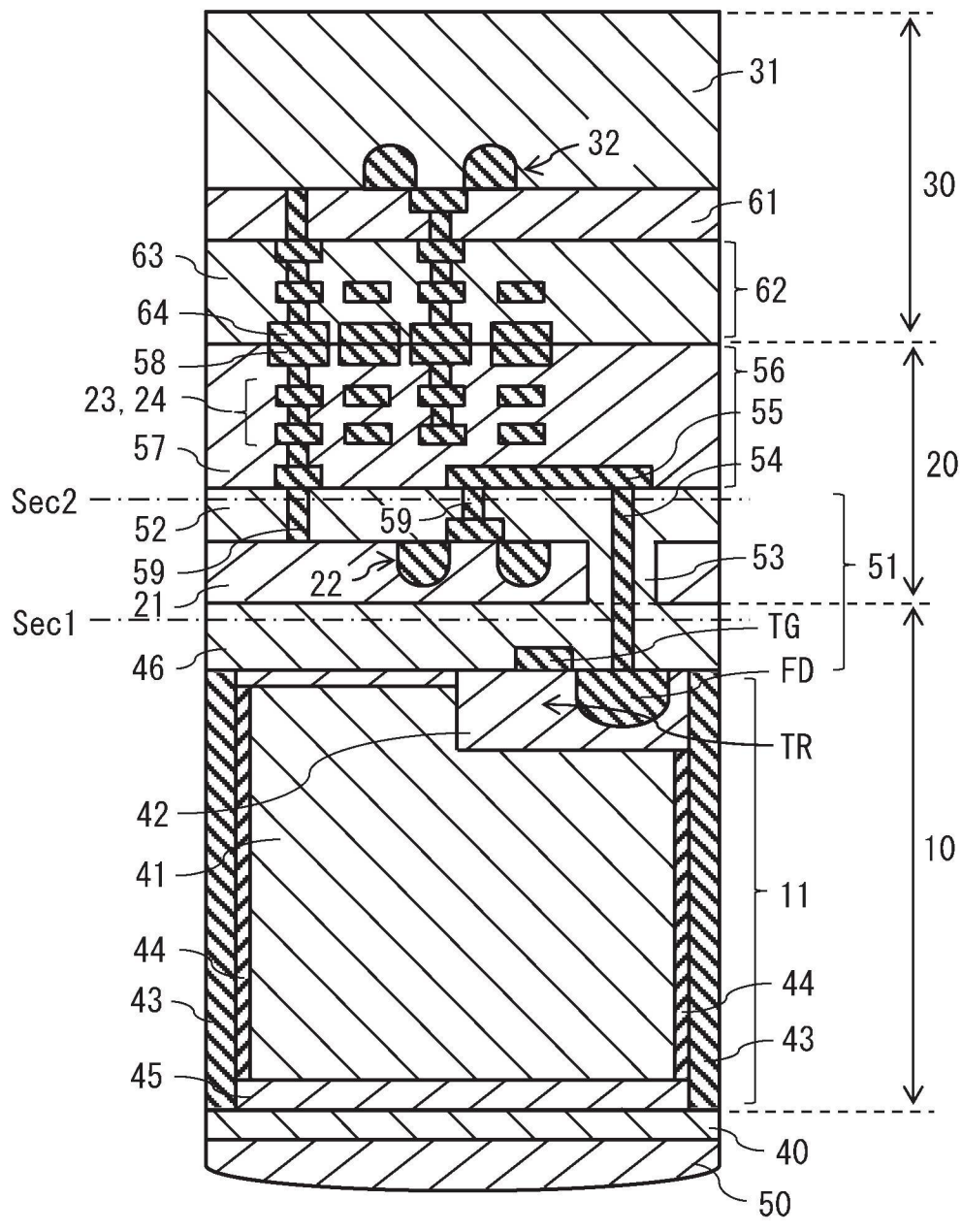
【圖2】



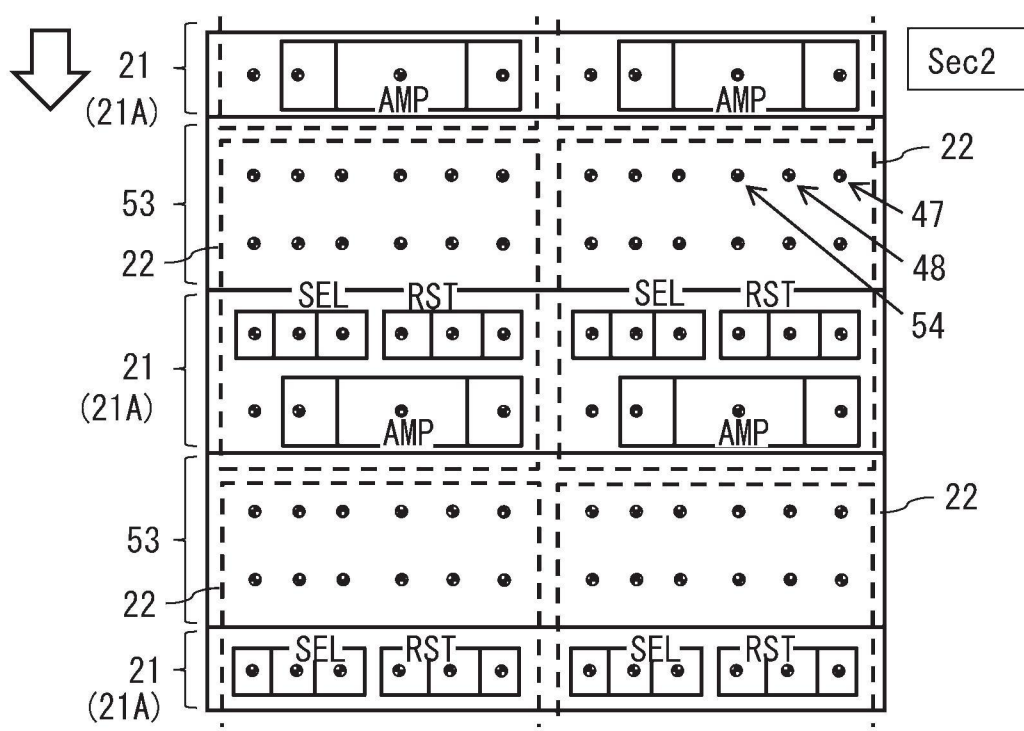
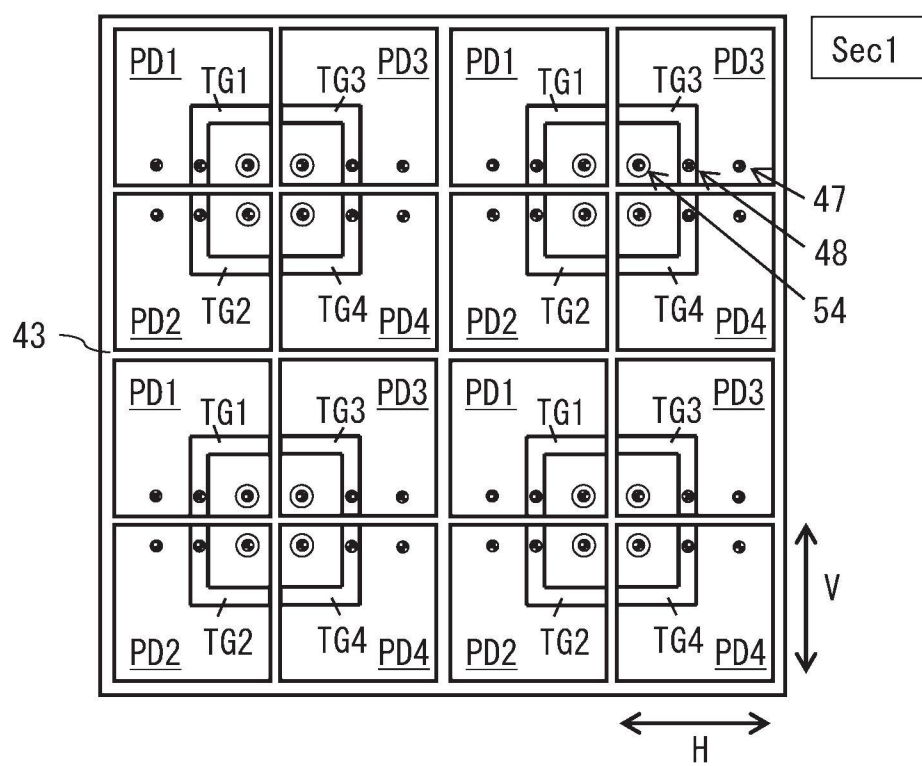
【圖3】



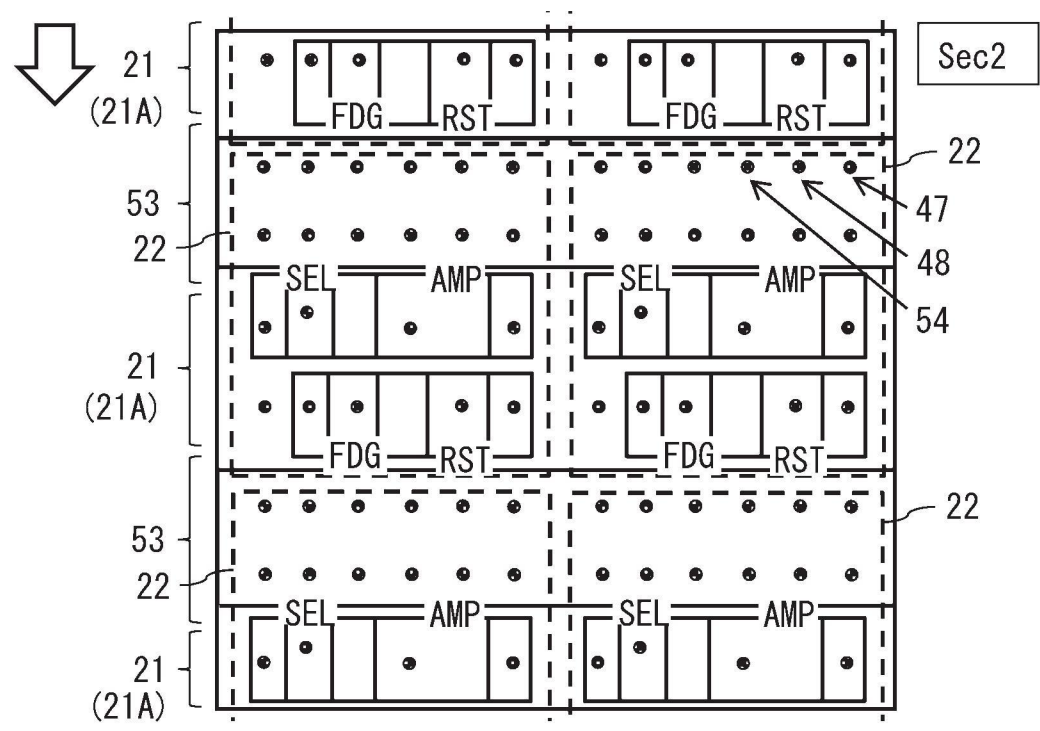
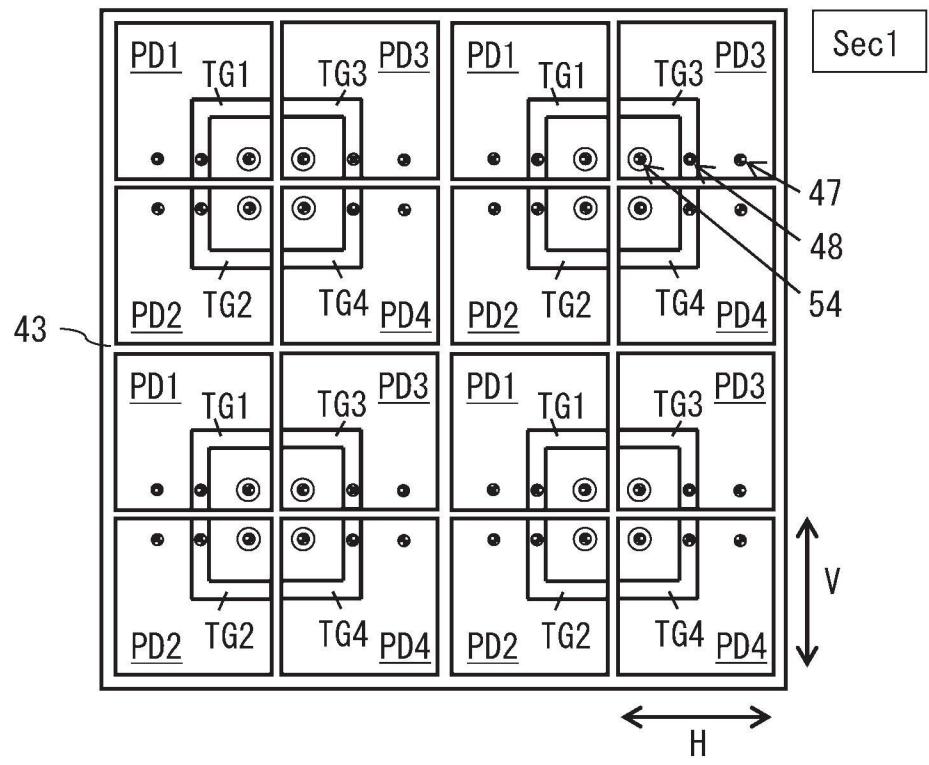
【圖4】



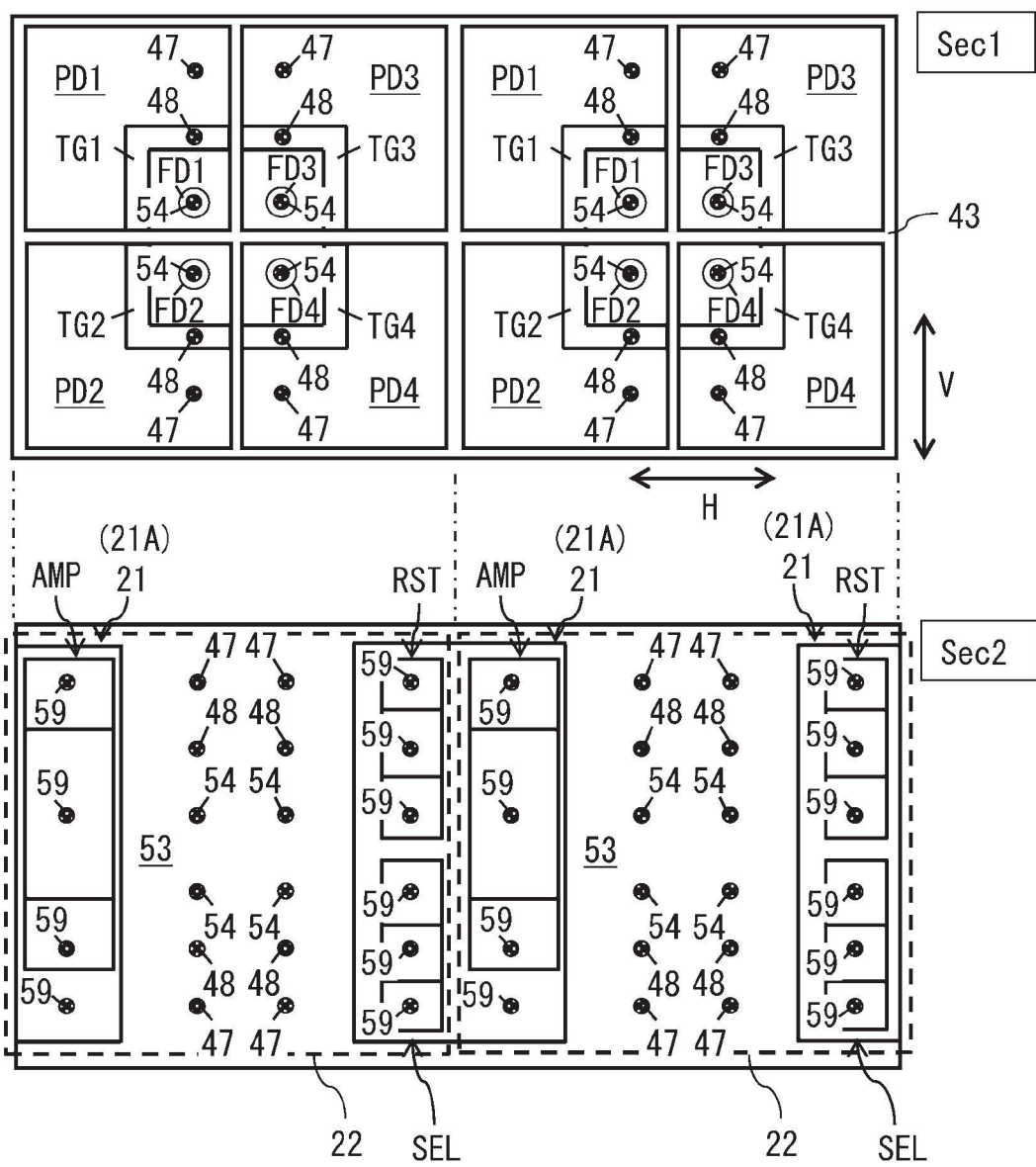
【圖5】



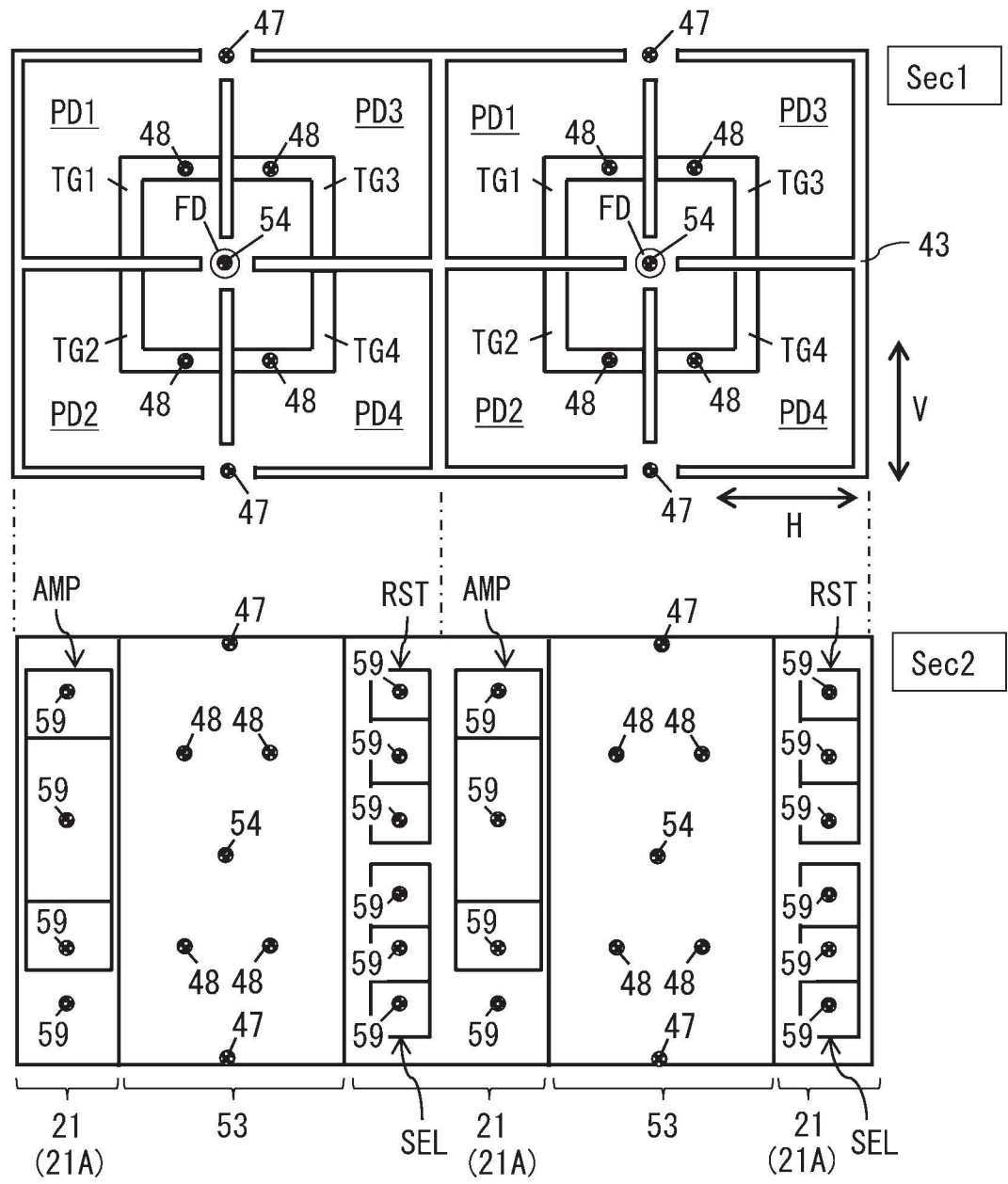
【圖6】



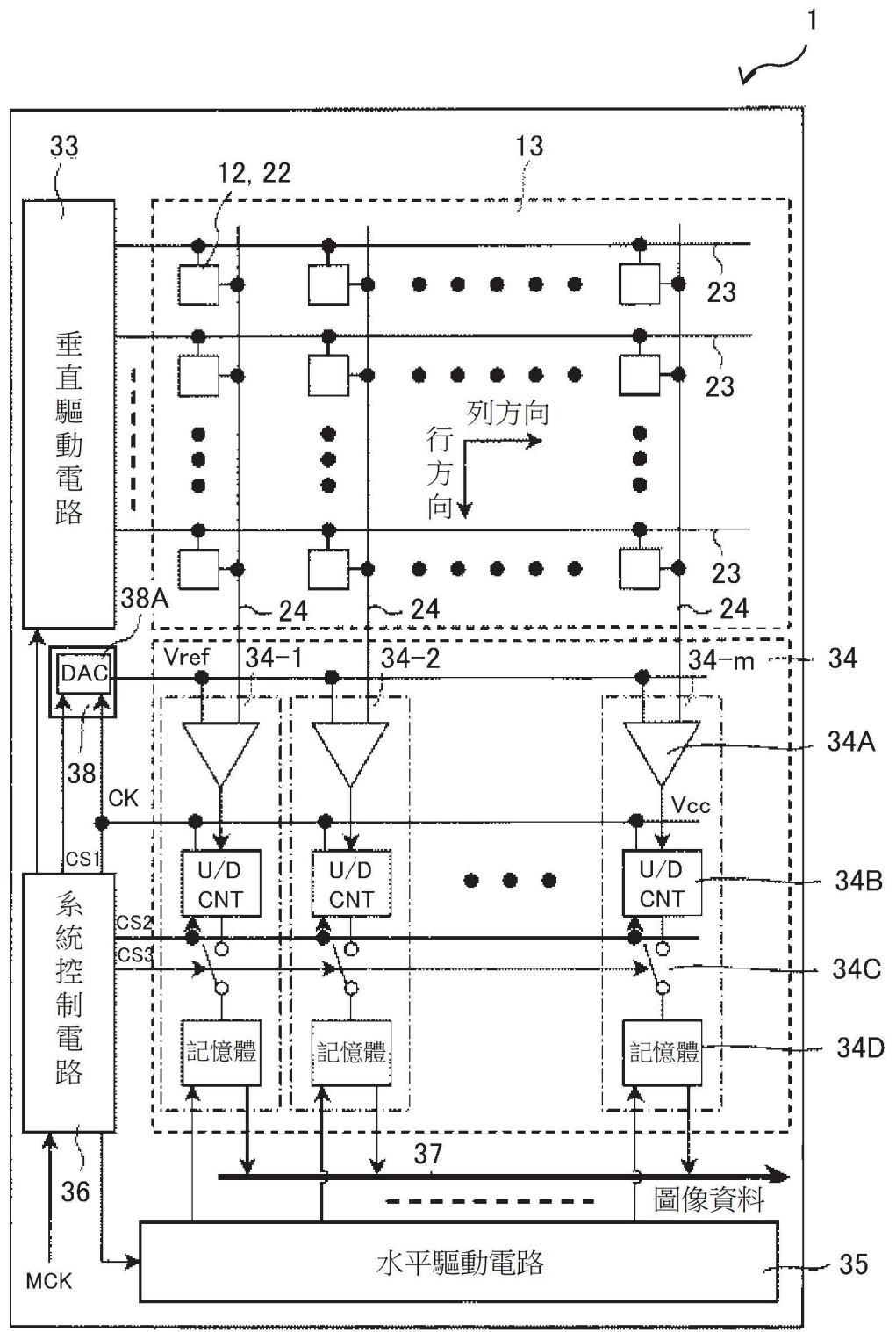
【圖7】



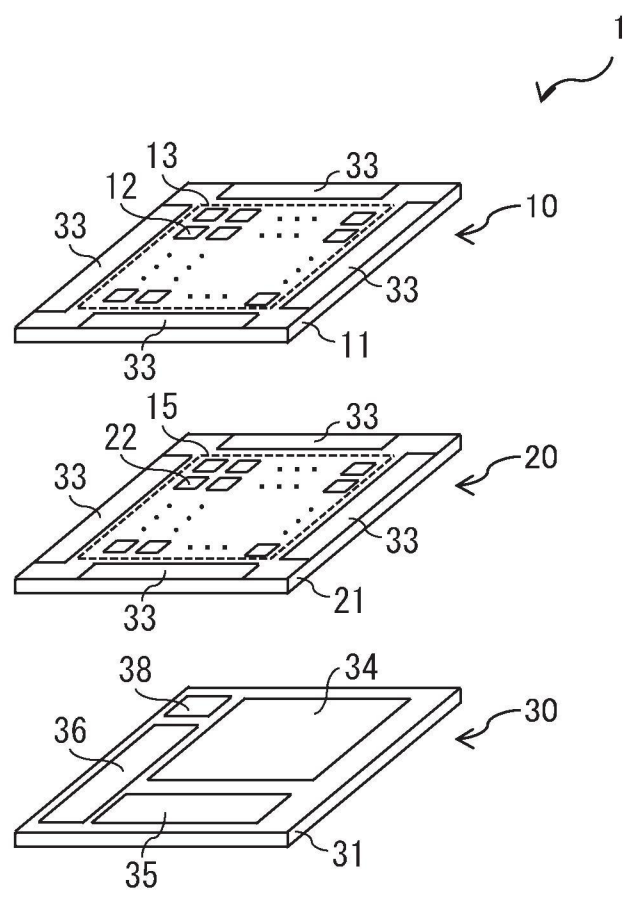
【圖8】



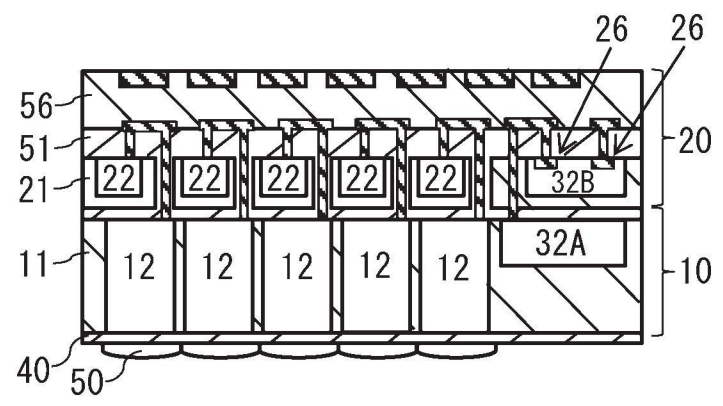
【圖9】



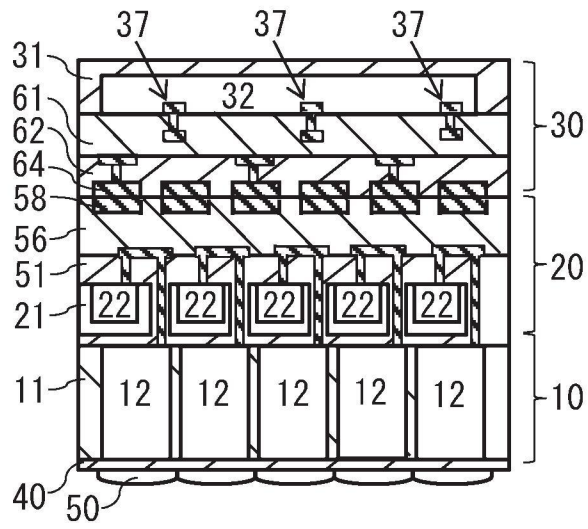
【圖10】



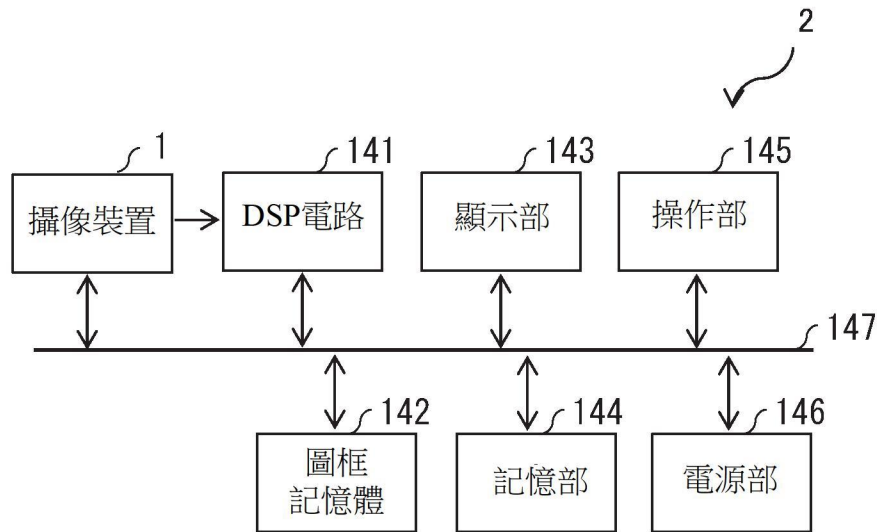
【圖11】



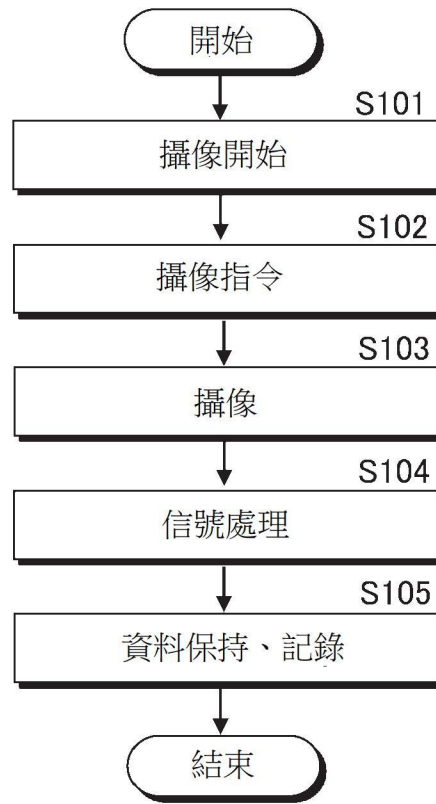
【圖12】



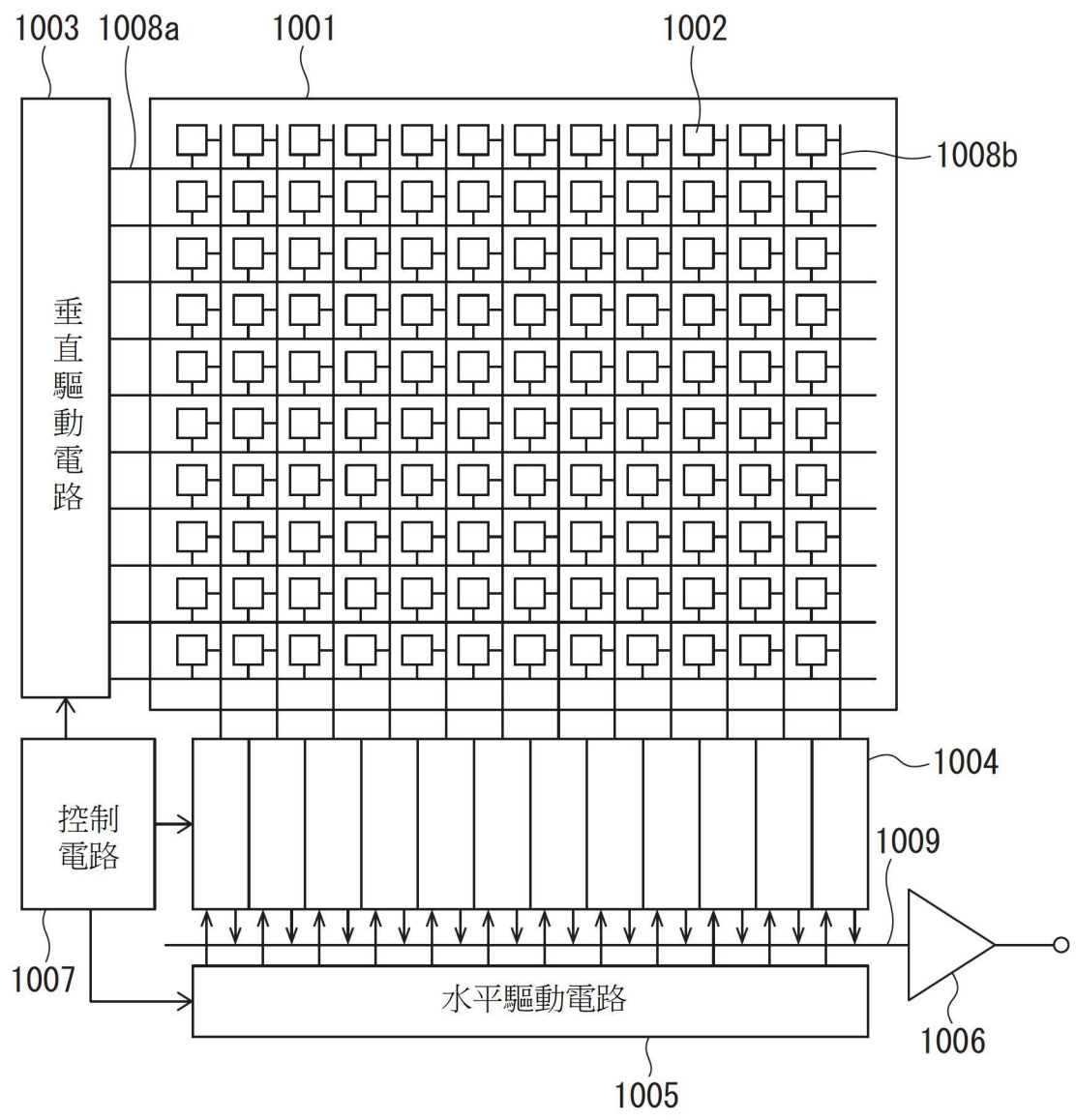
【圖13】



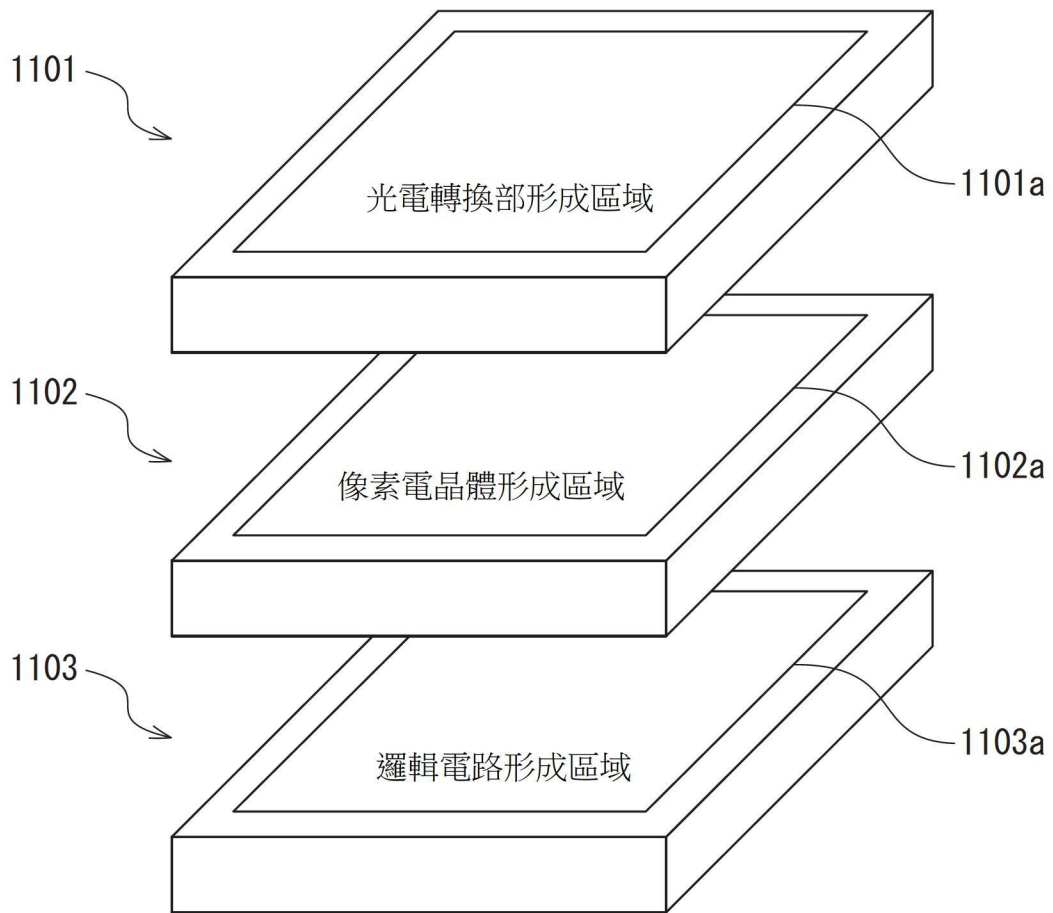
【圖14】



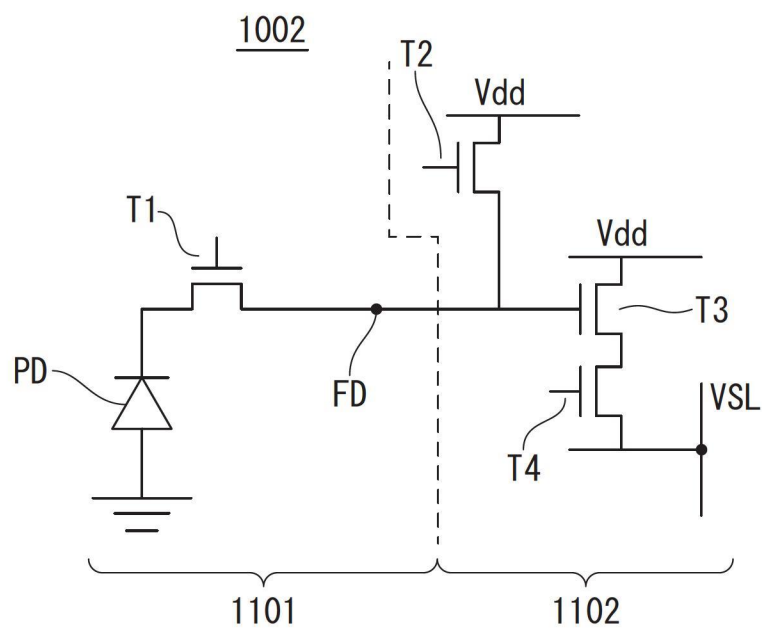
【圖15】



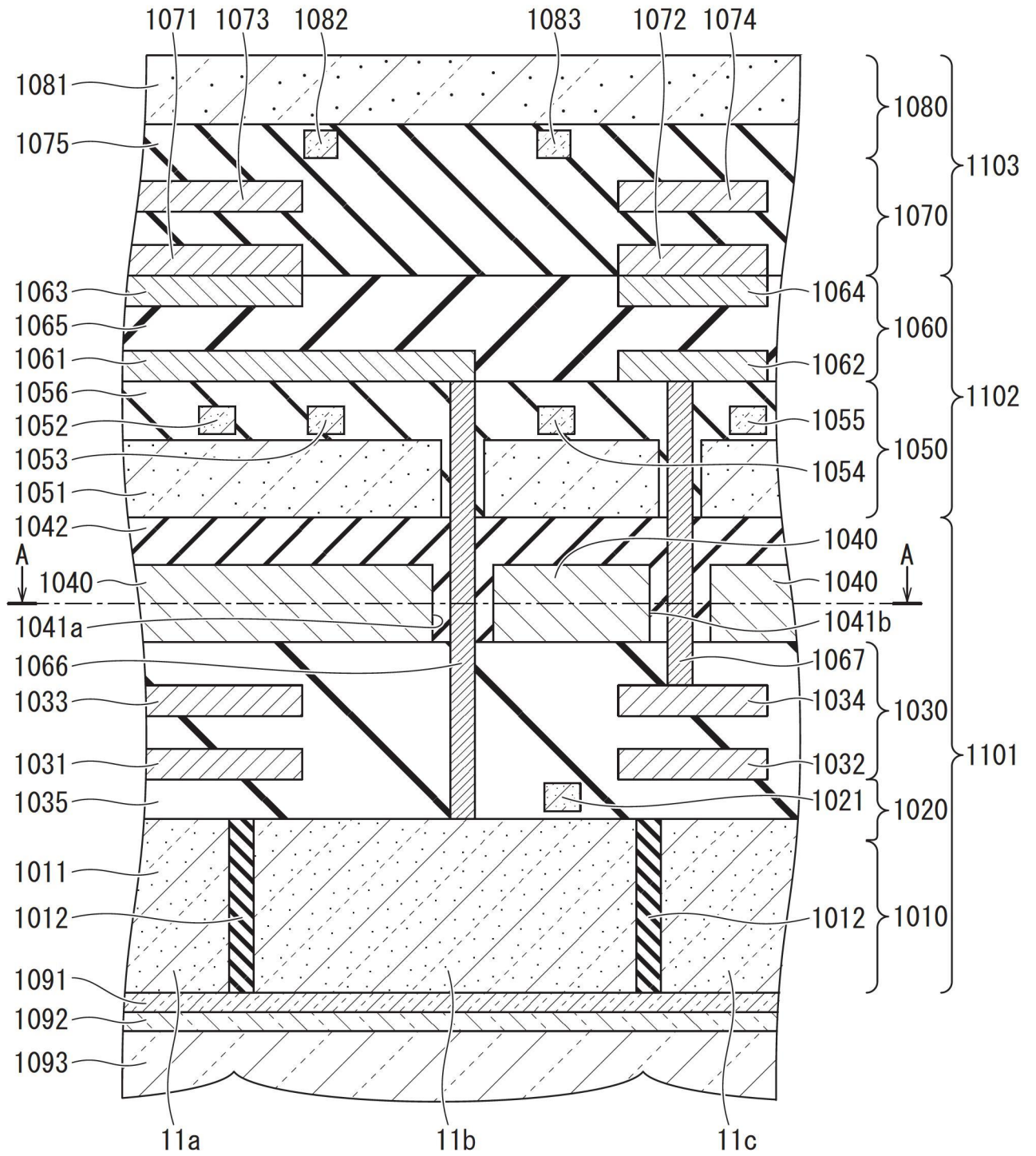
【圖16】



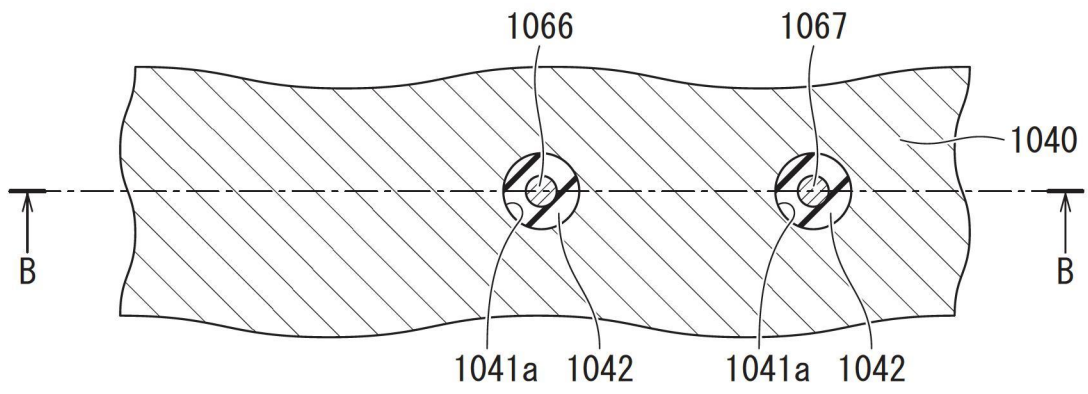
【圖17】



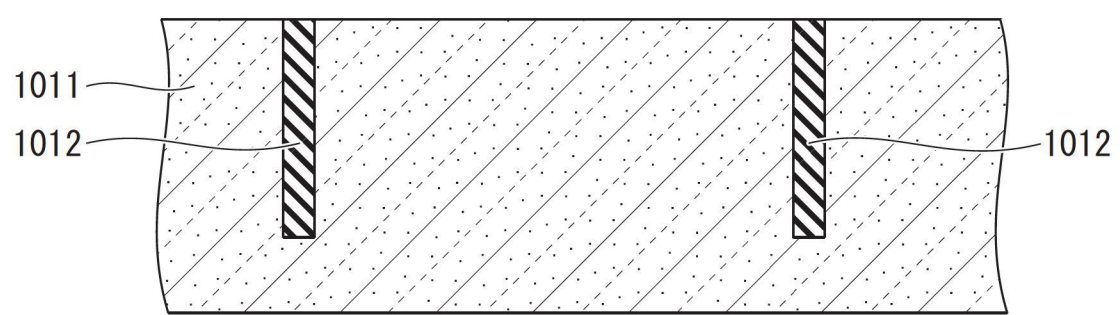
【圖18】



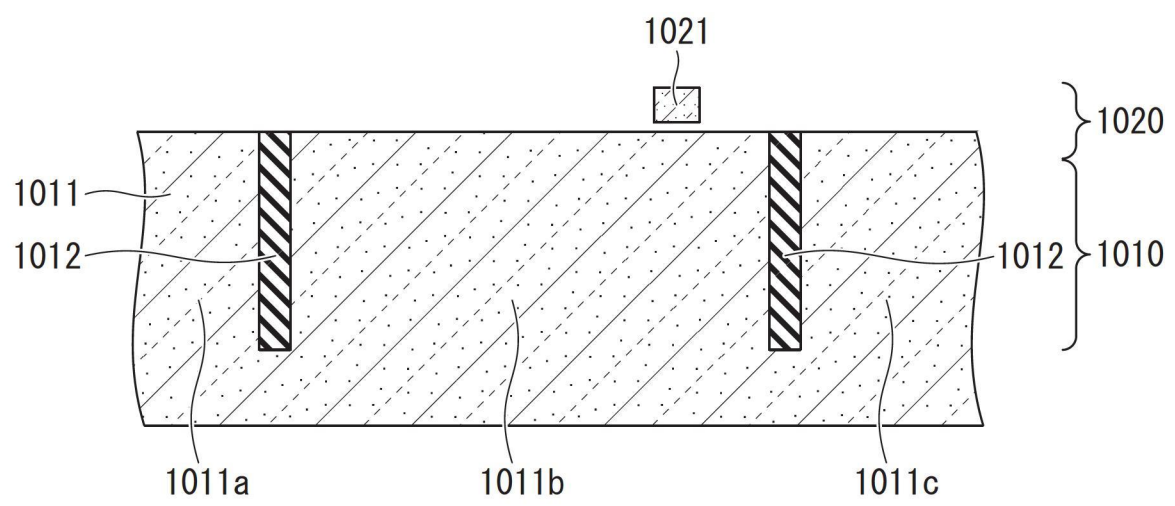
【圖19】



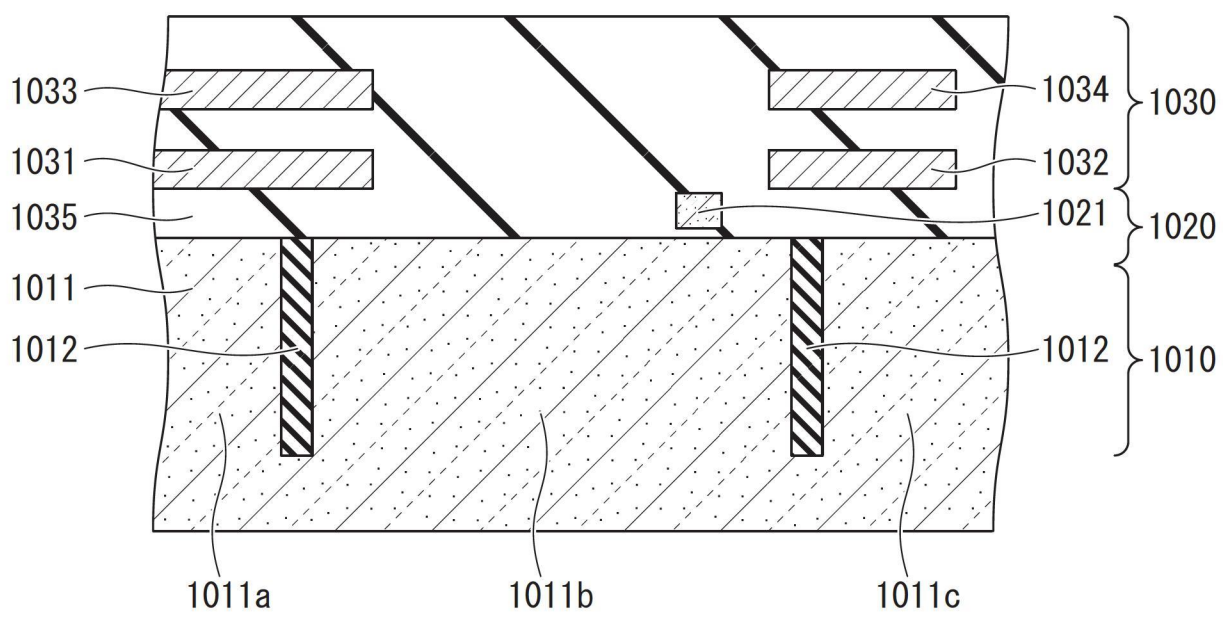
【圖20】



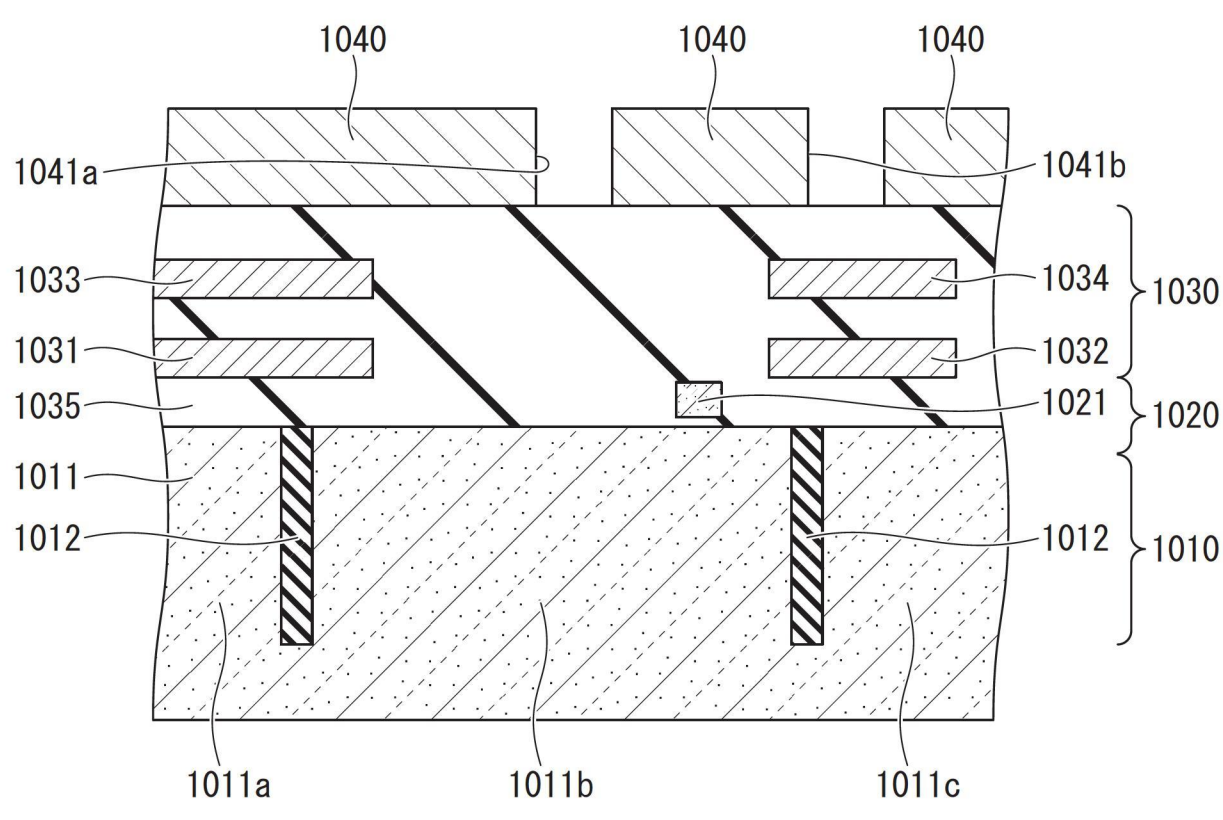
【圖21】



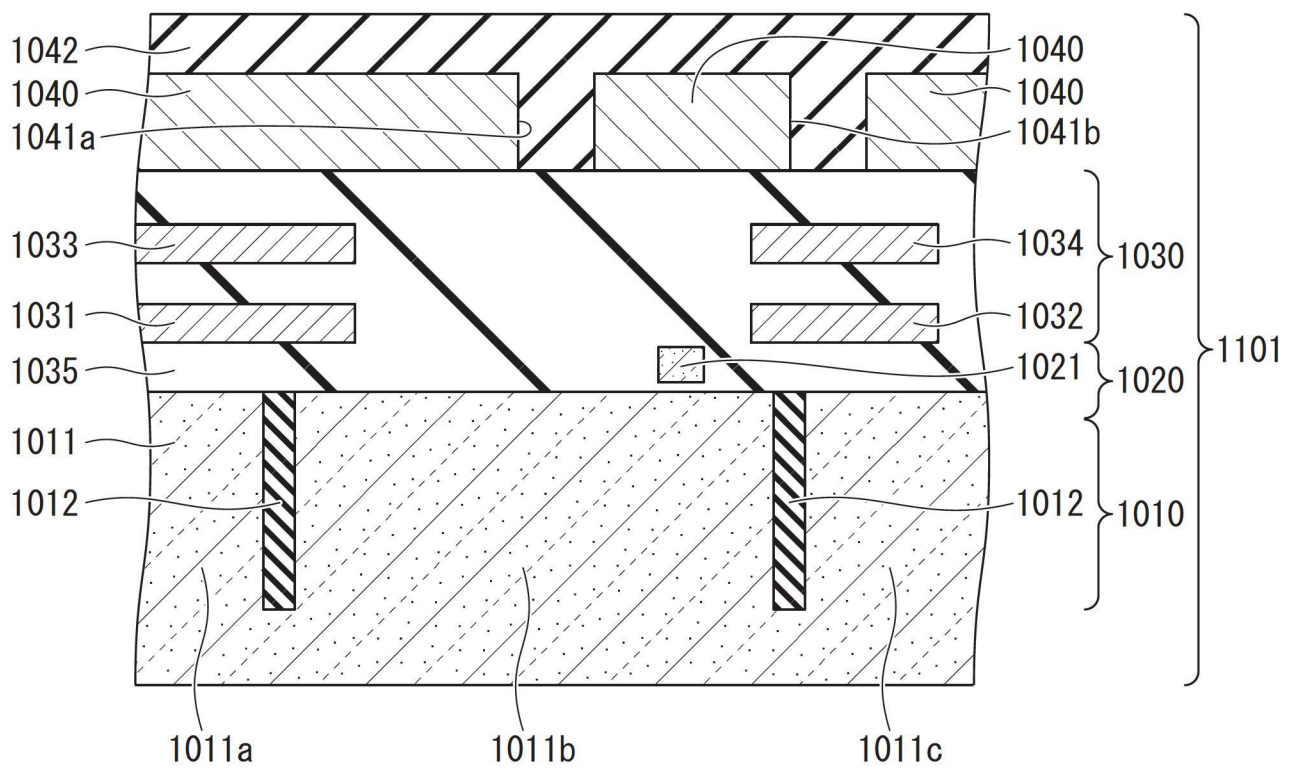
【圖22】



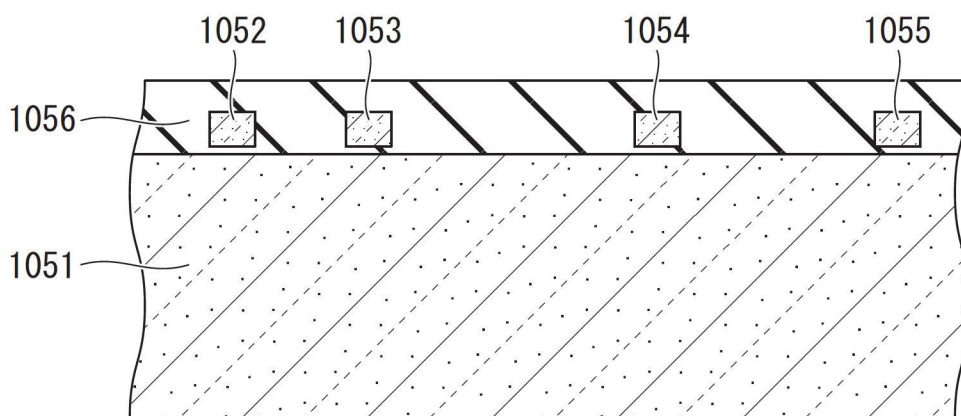
【圖23】



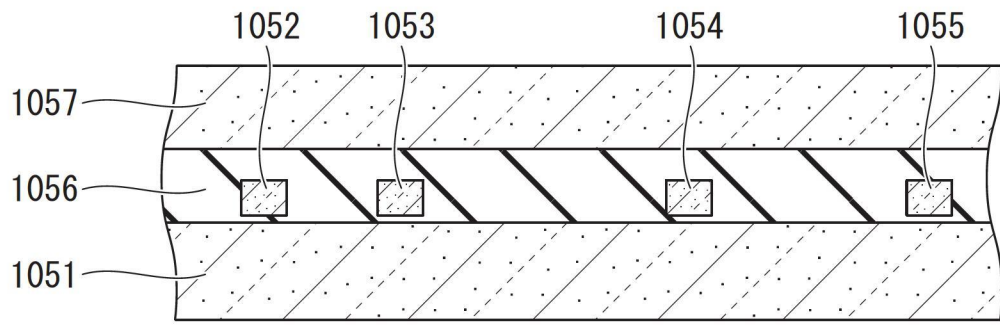
【圖24】



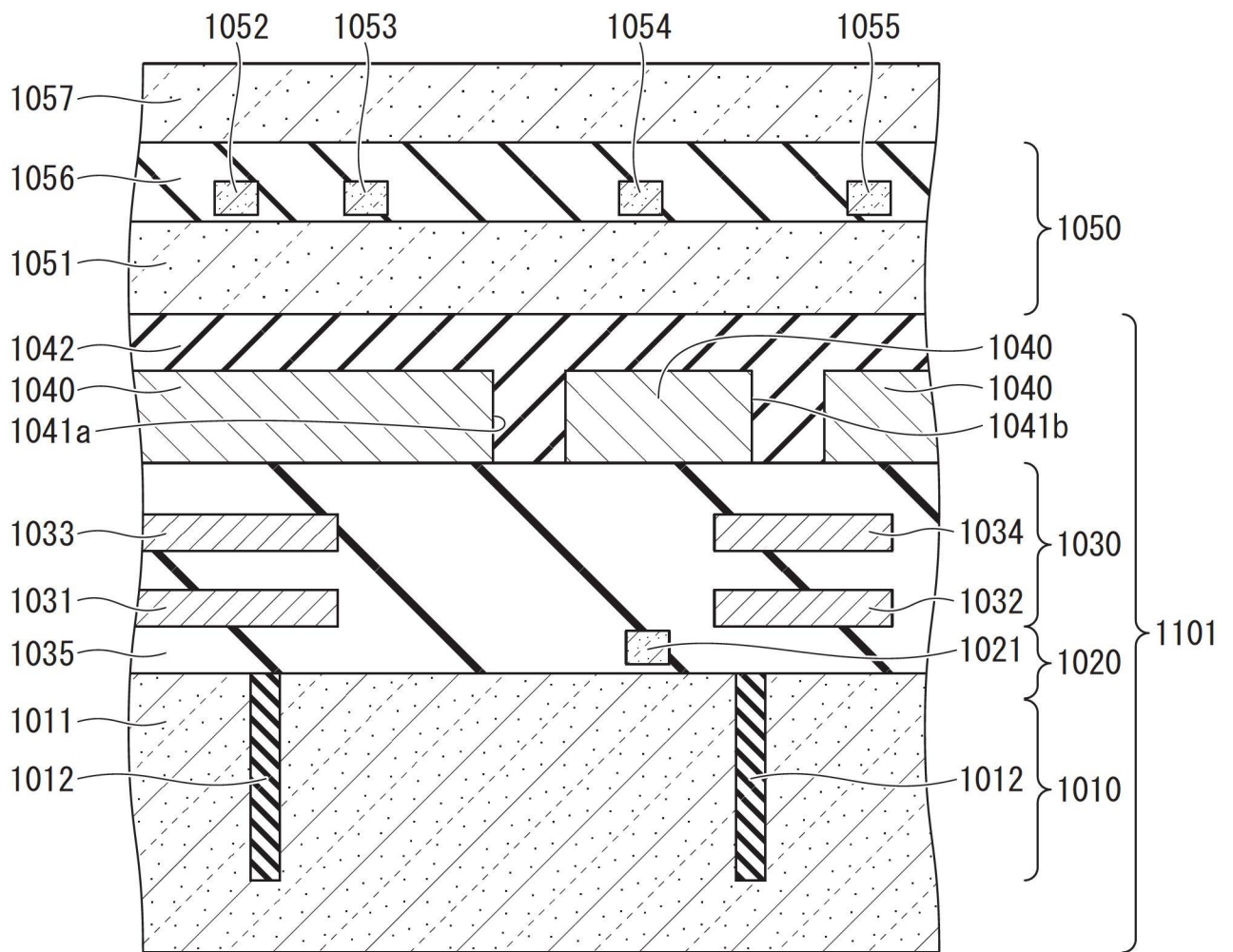
【圖25】



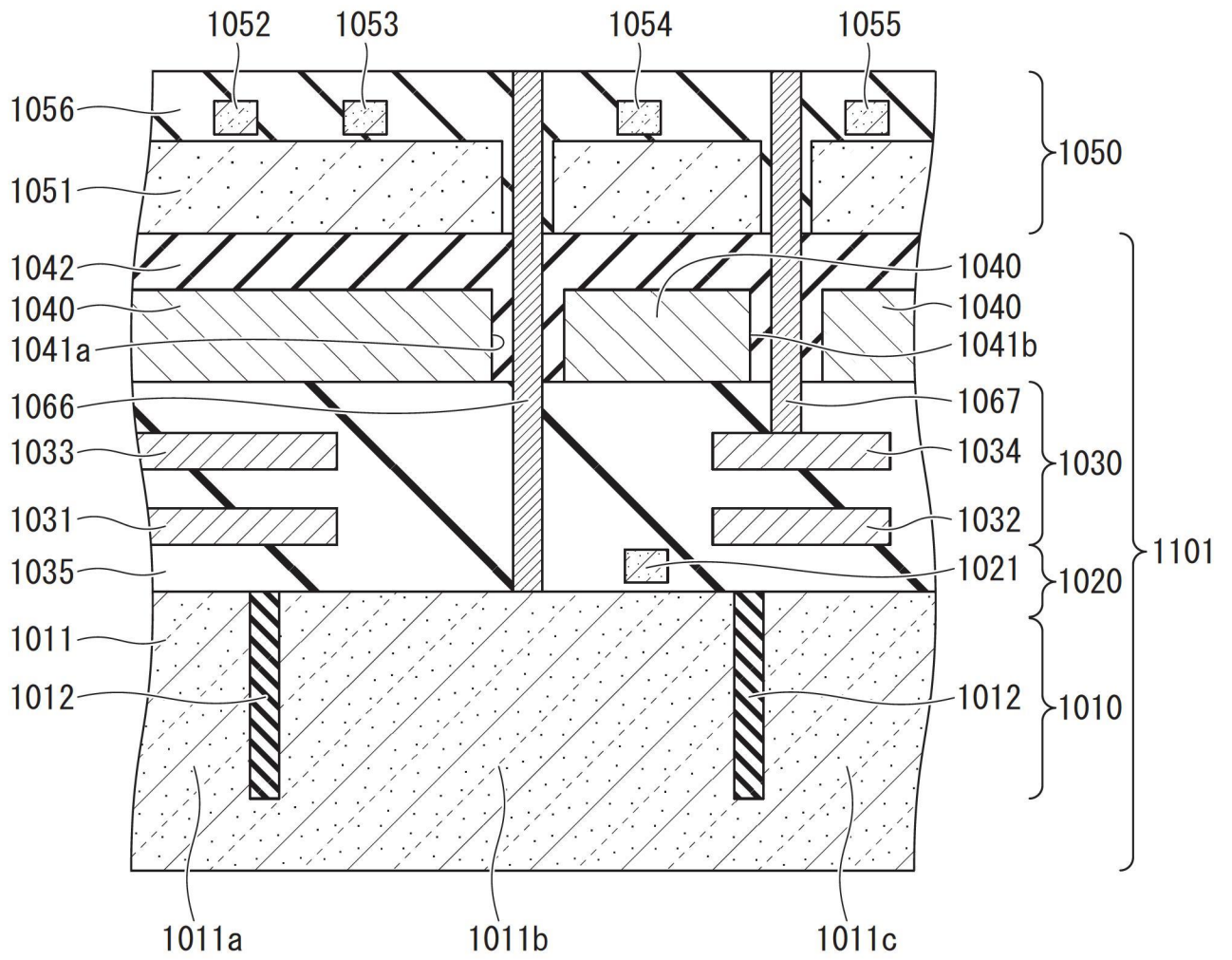
【圖26】



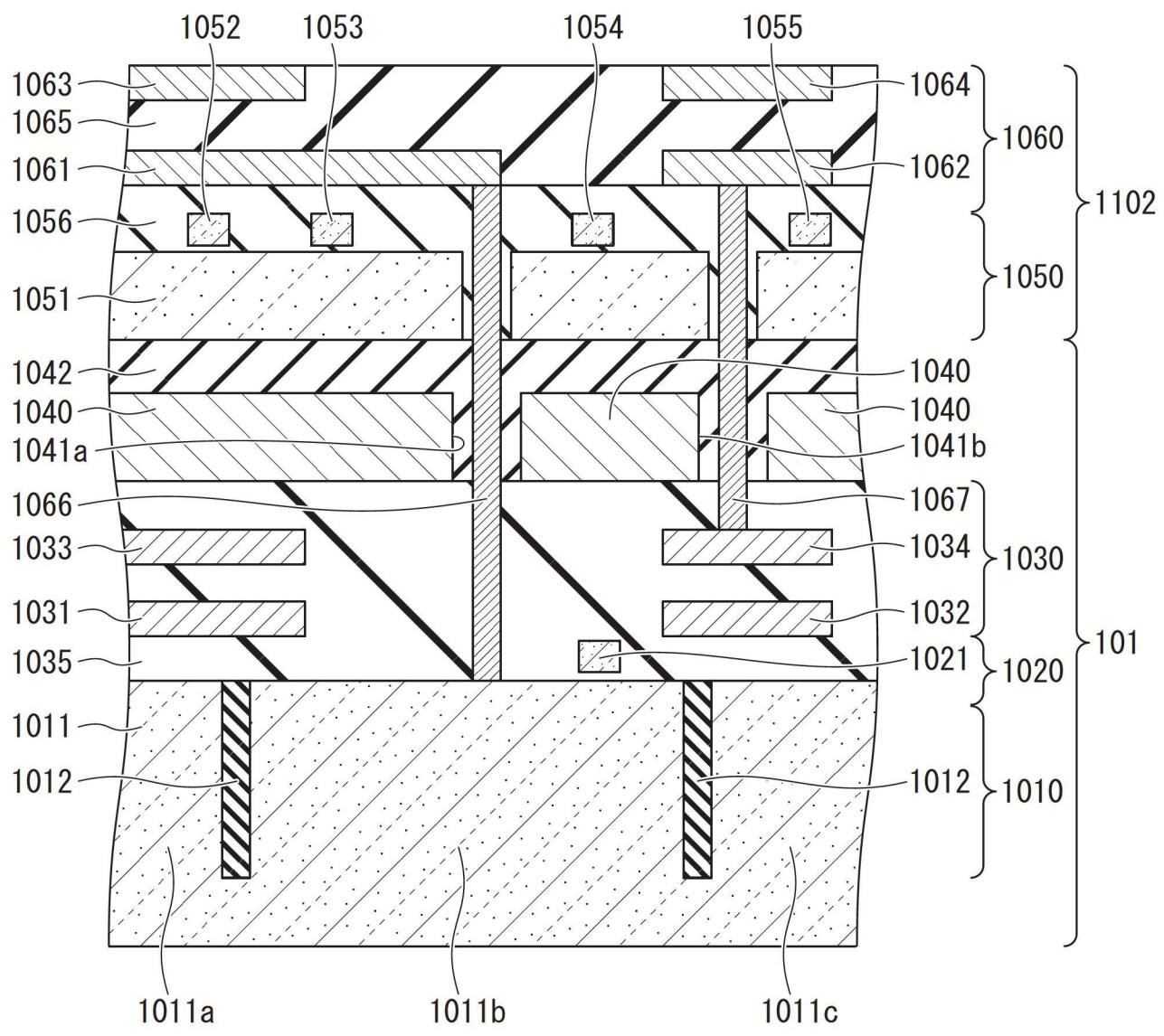
【圖27】



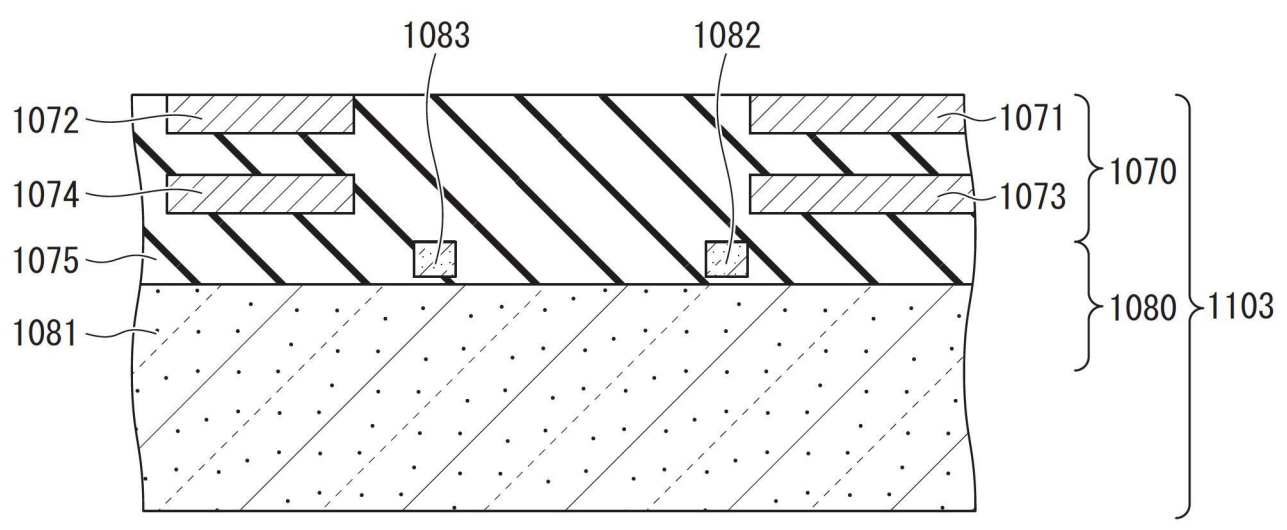
【圖28】



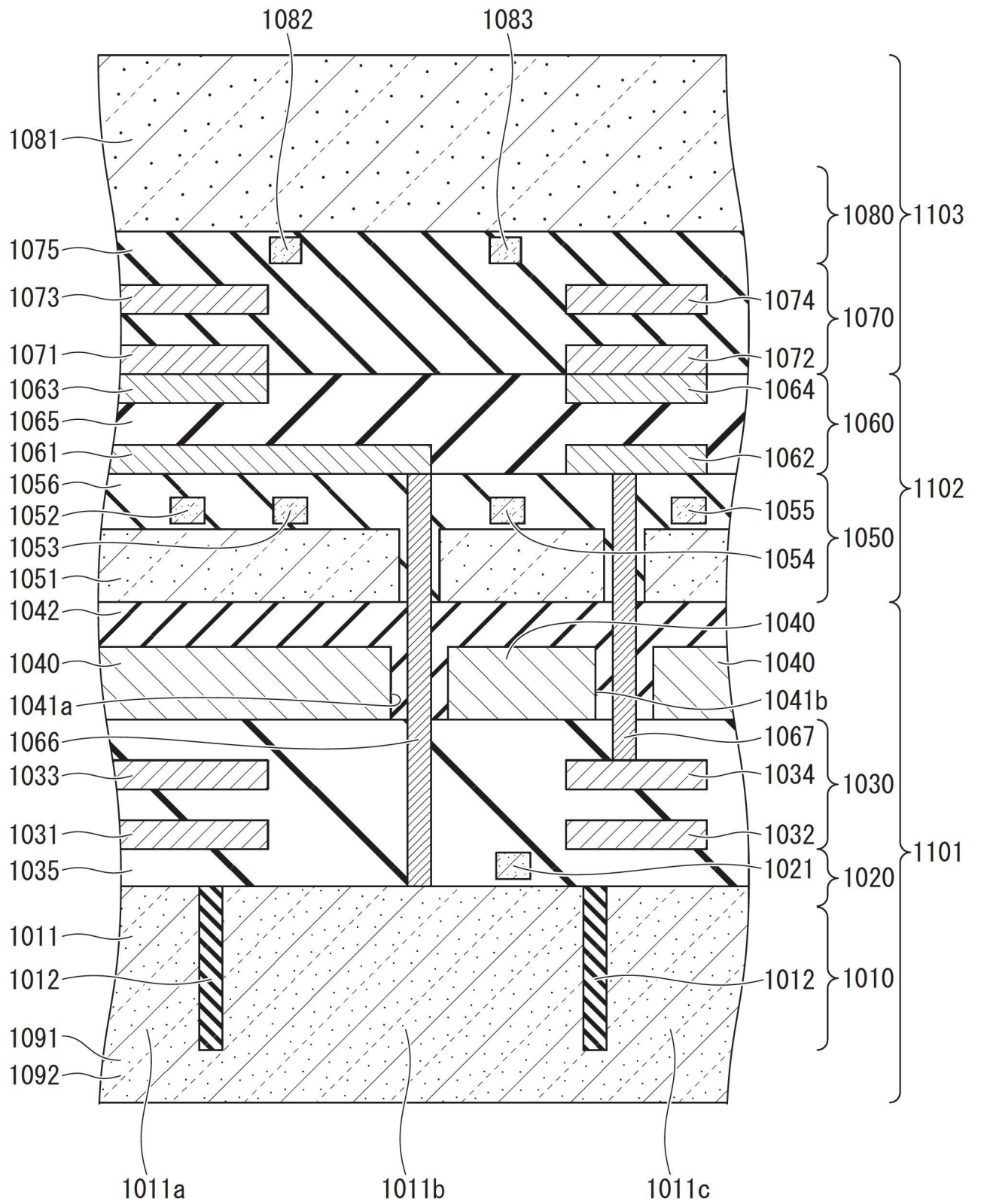
【圖29】



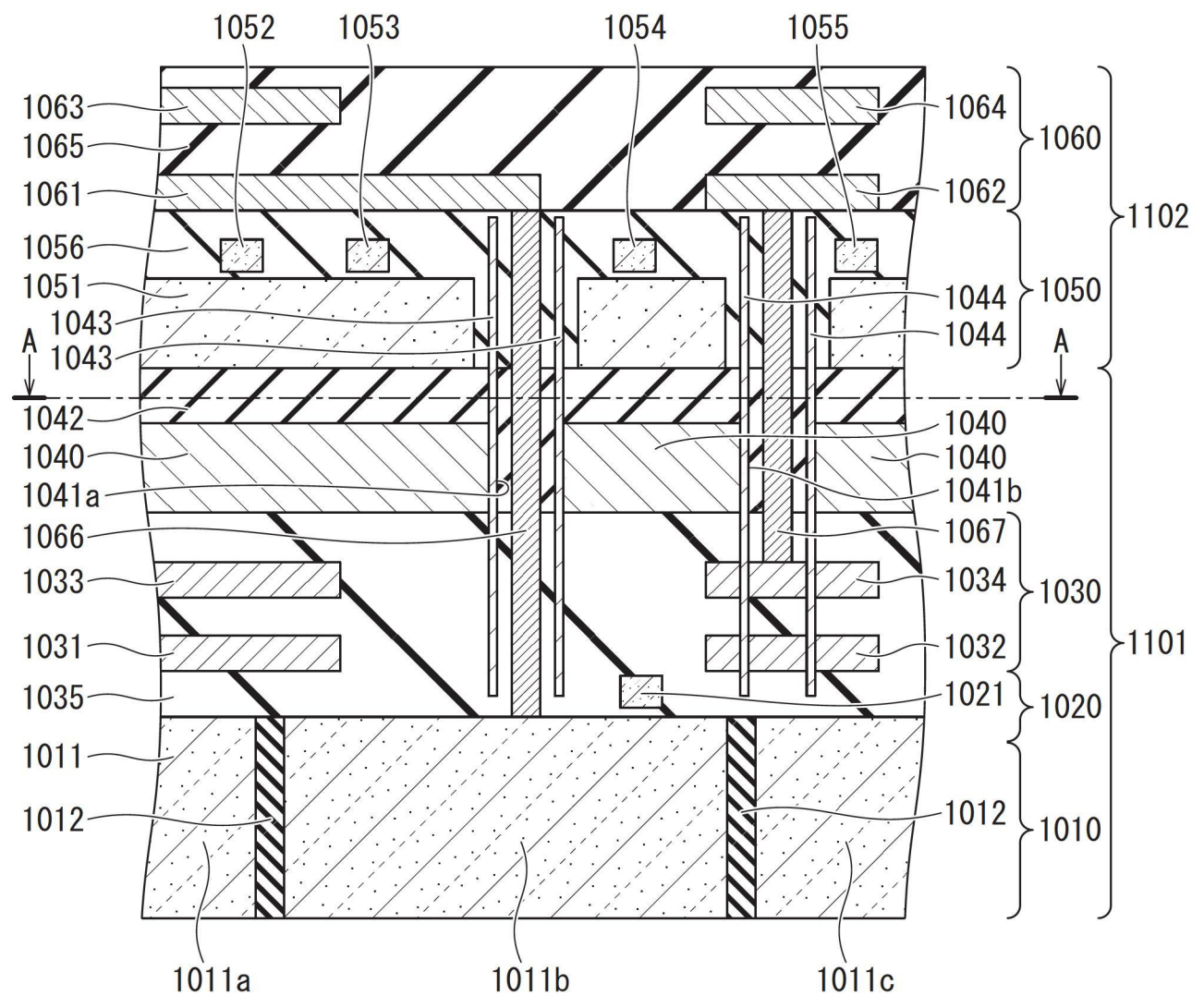
【圖30】



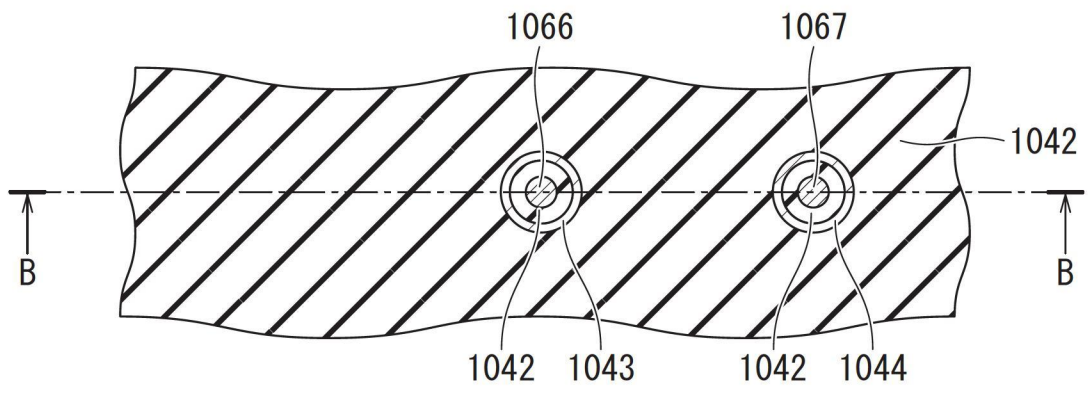
【圖31】



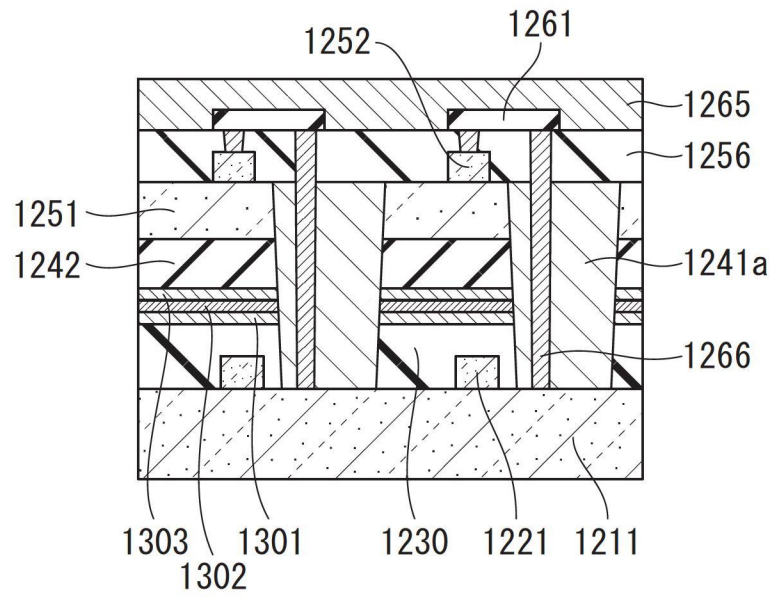
【圖32】



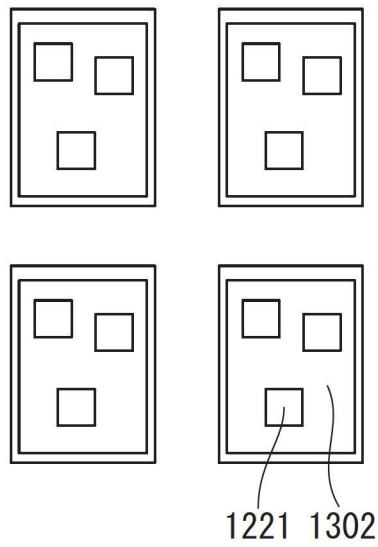
【圖33】



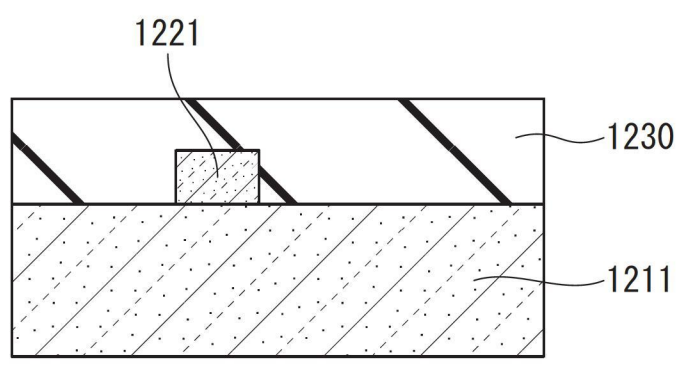
【圖34】



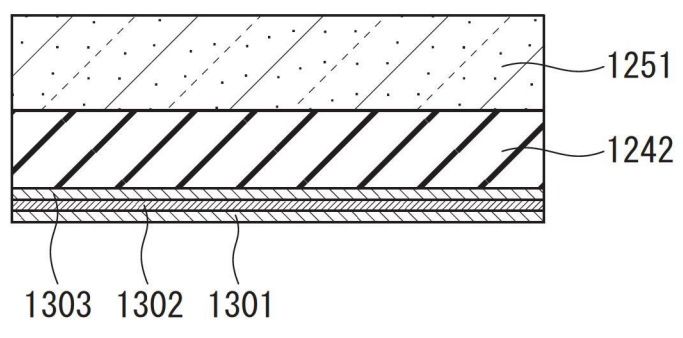
【圖35A】



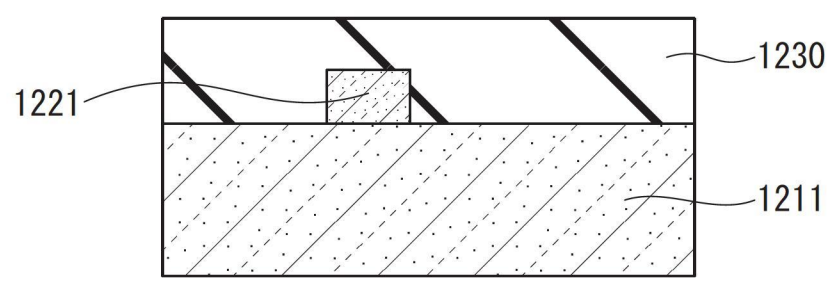
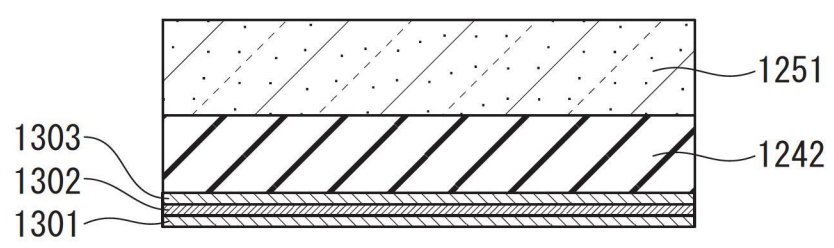
【圖35B】



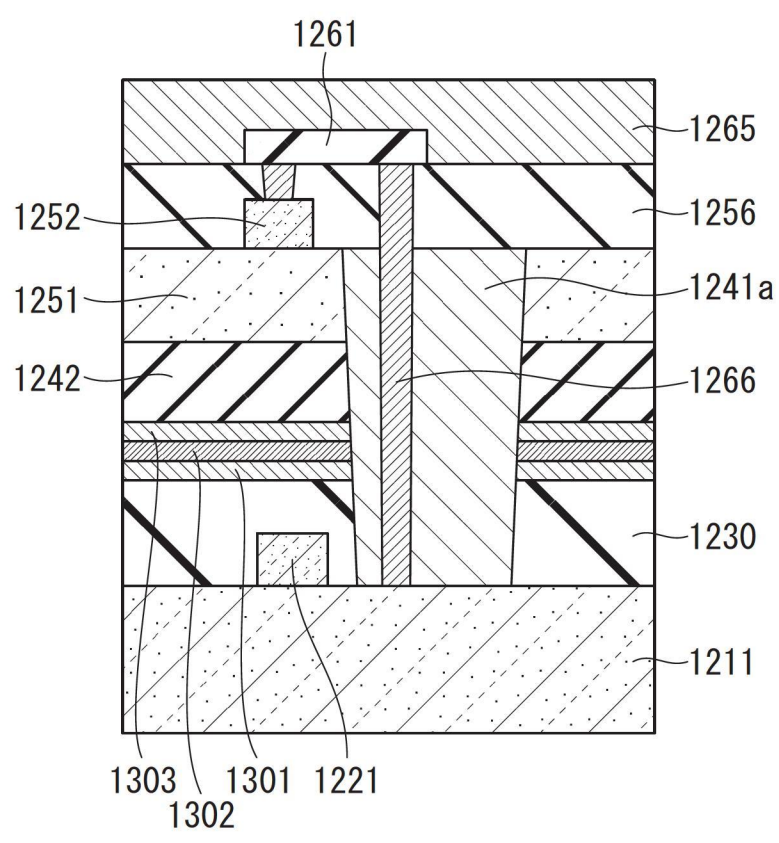
【圖36A】



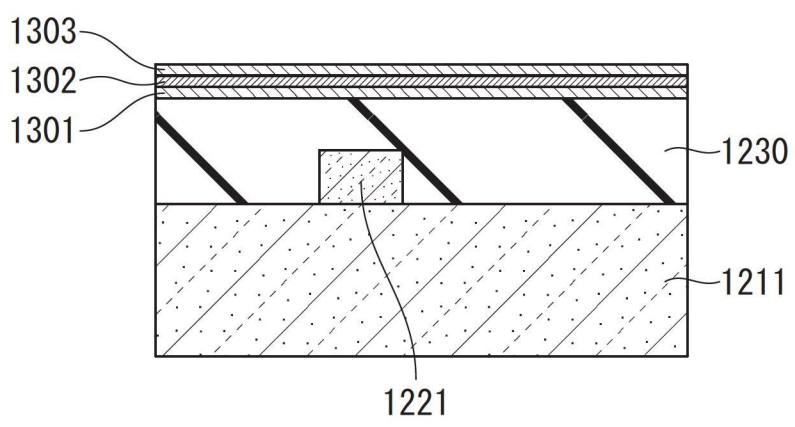
【圖36B】



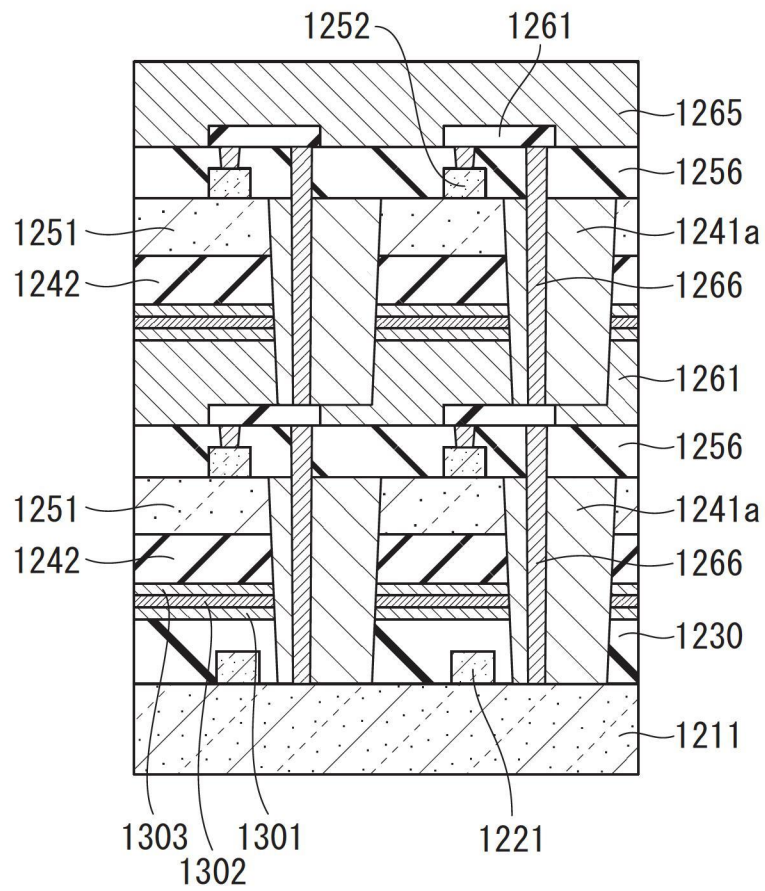
【圖36C】



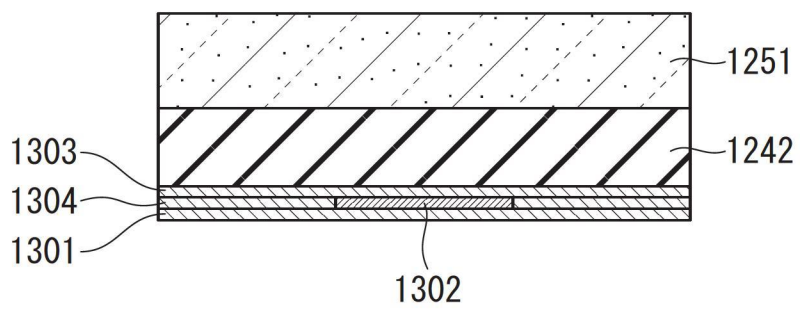
【圖36D】



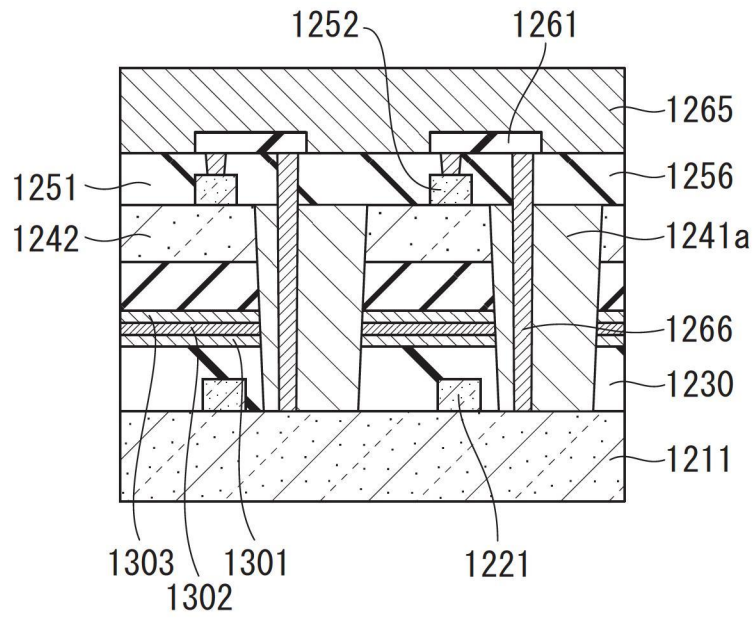
【圖37】



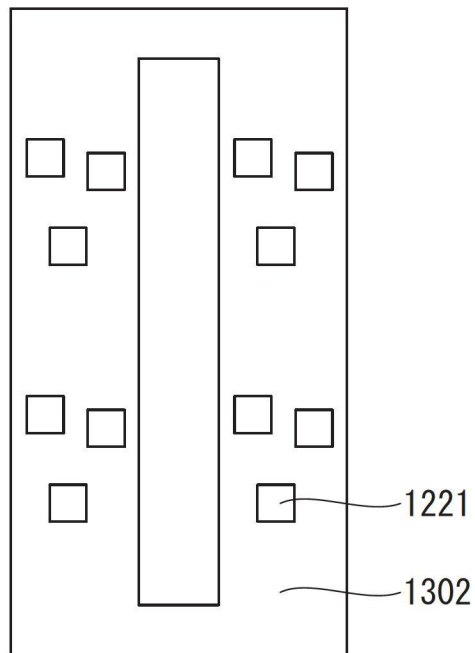
【圖38】



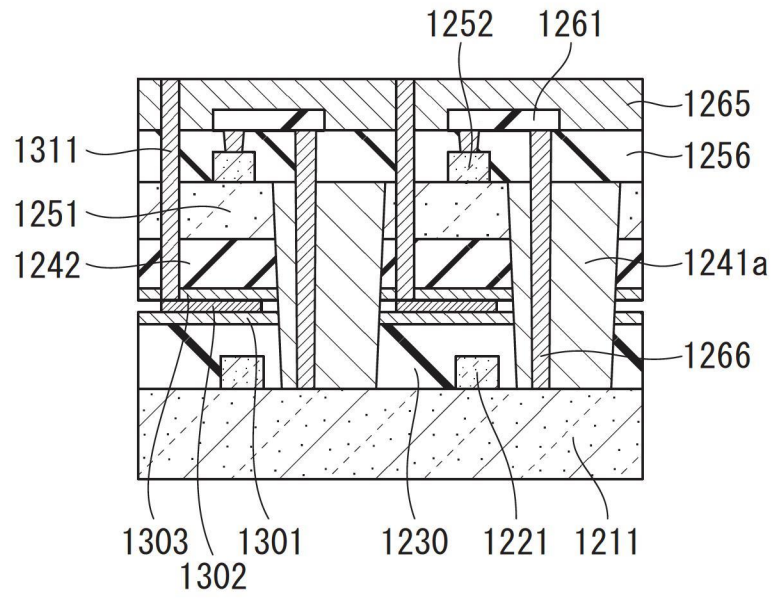
【圖39】



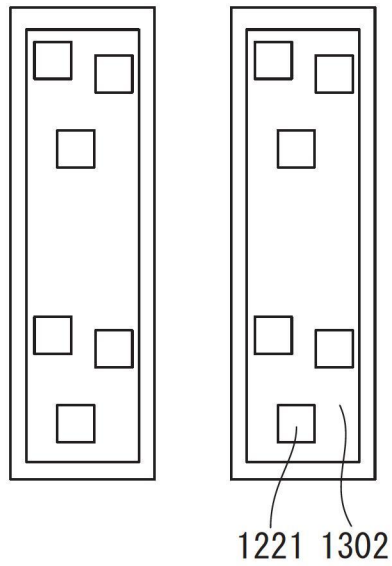
【圖40A】



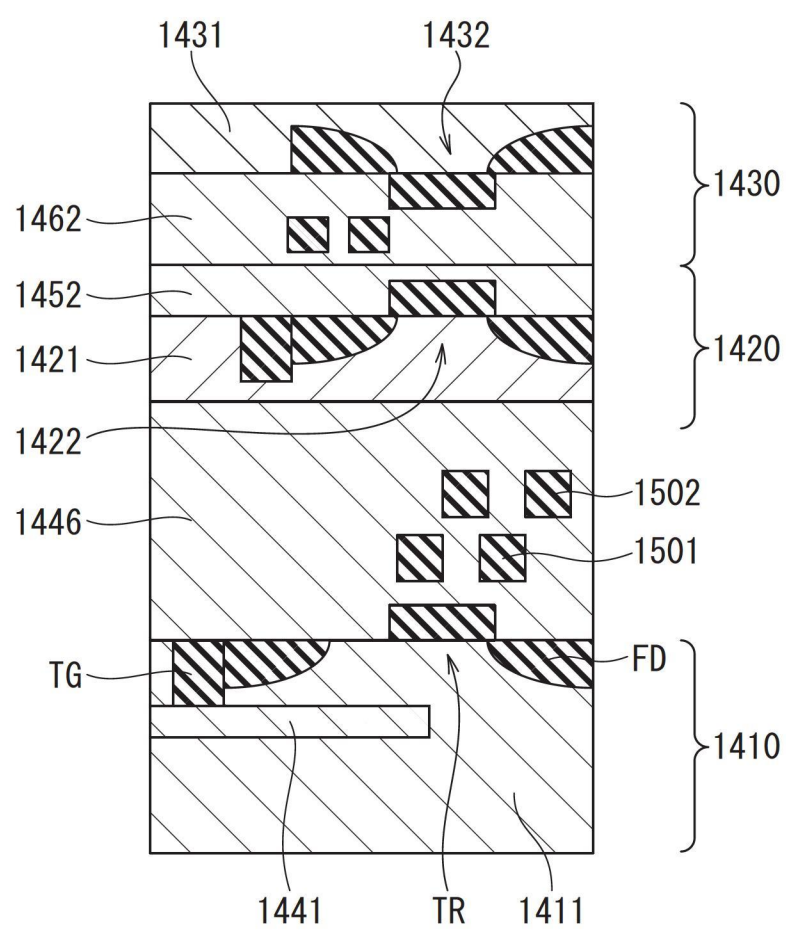
【圖40B】



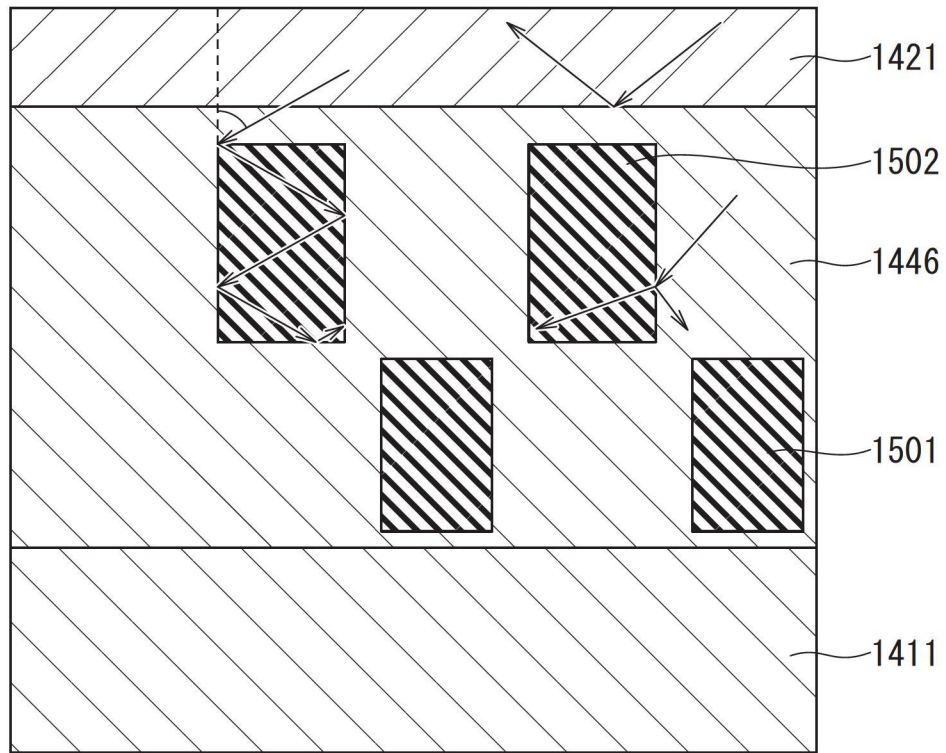
【圖41A】



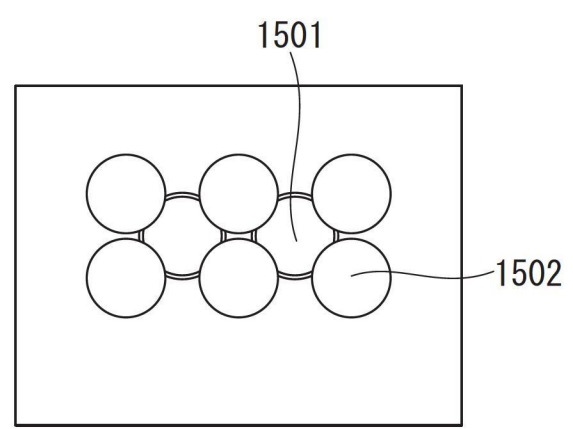
【圖41B】



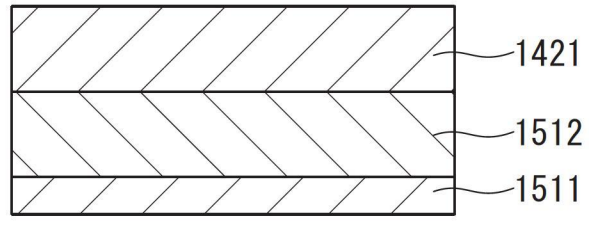
【圖42】



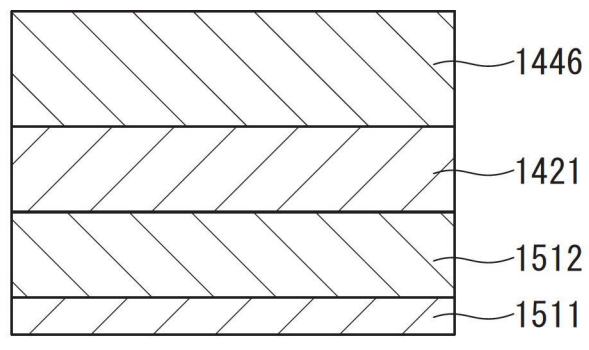
【圖43A】



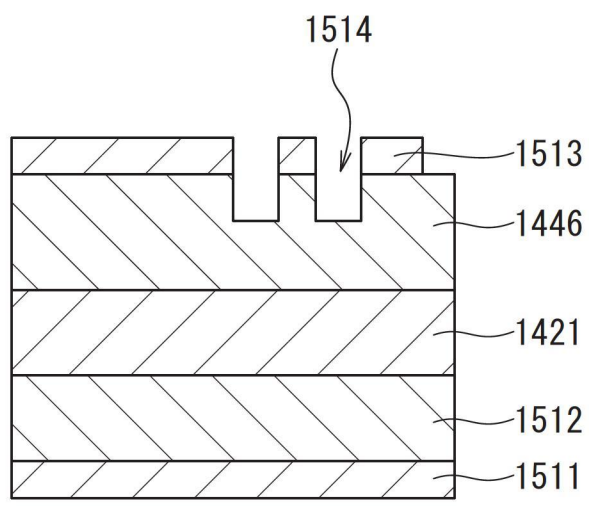
【圖43B】



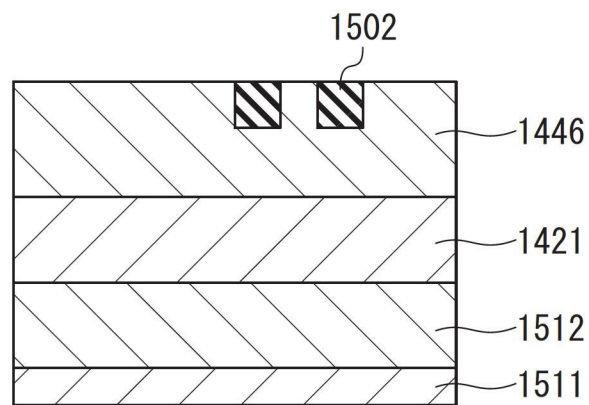
【圖44A】



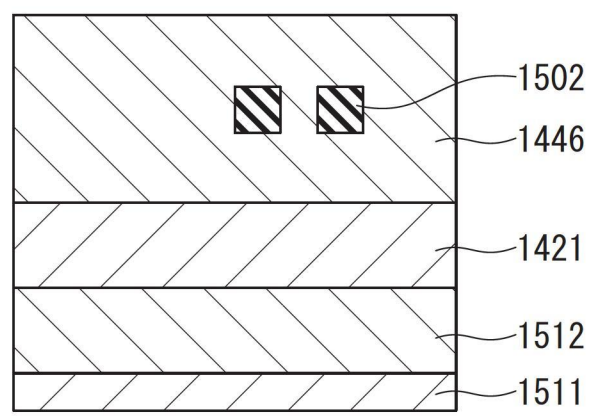
【圖44B】



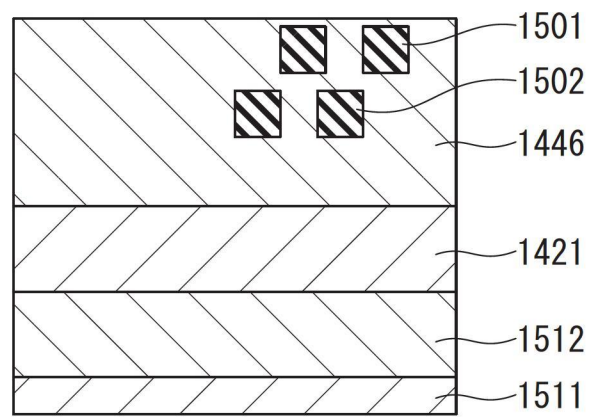
【圖44C】



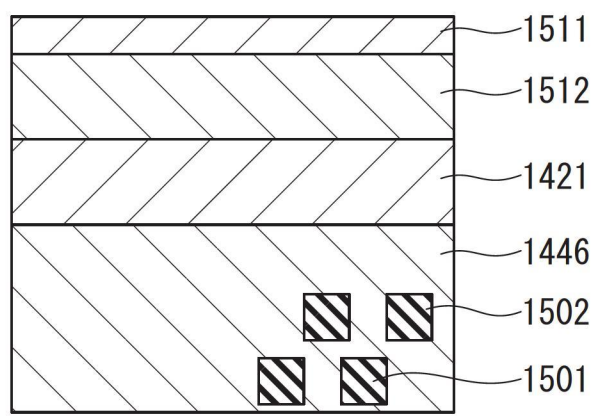
【圖45D】



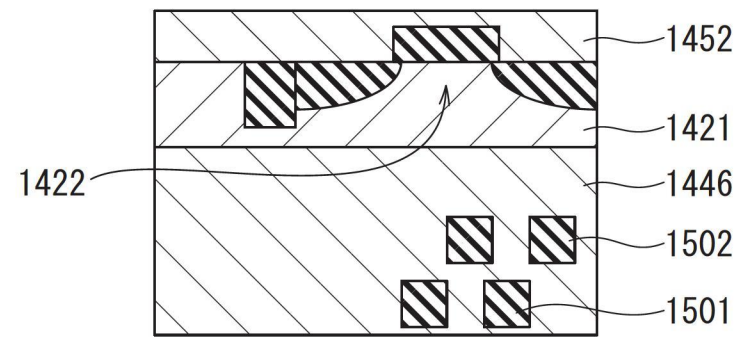
【圖45E】



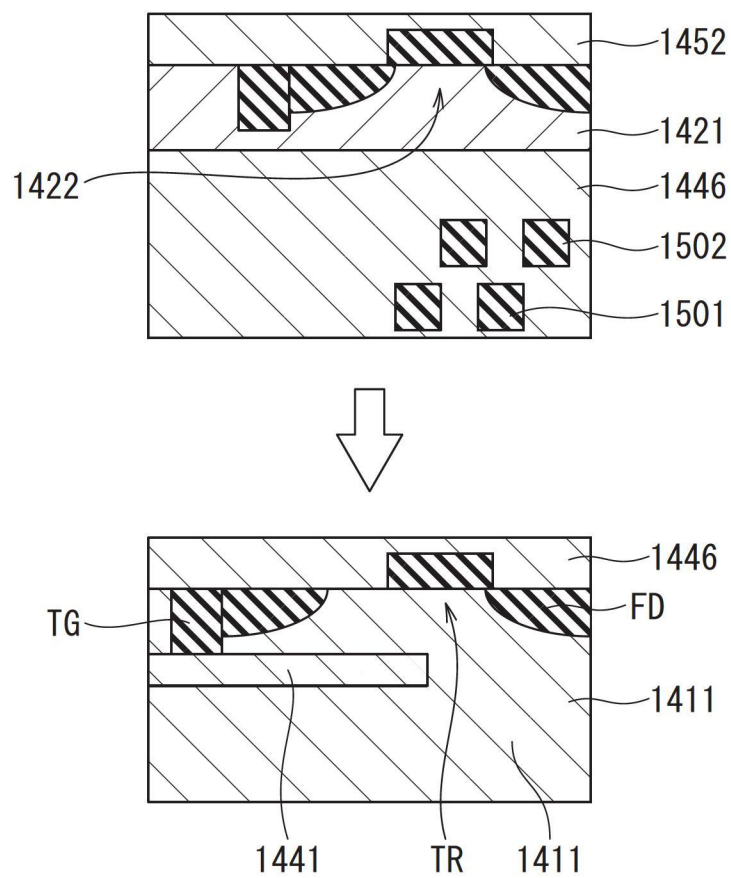
【圖45F】



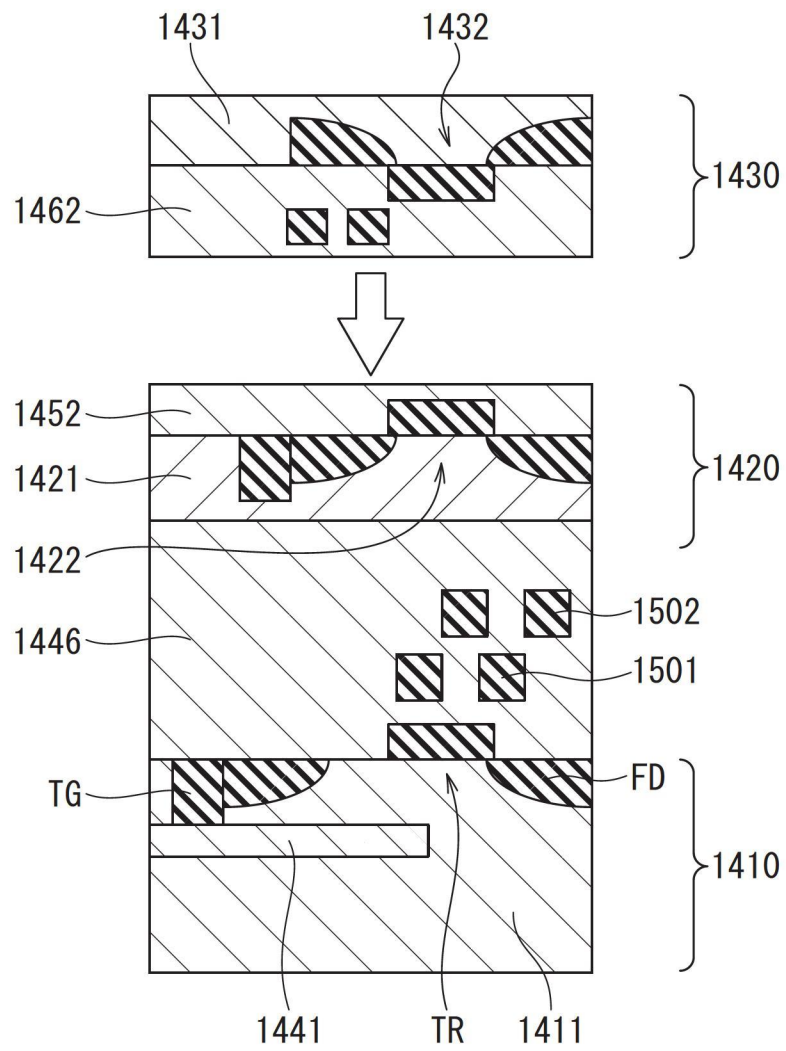
【圖46G】



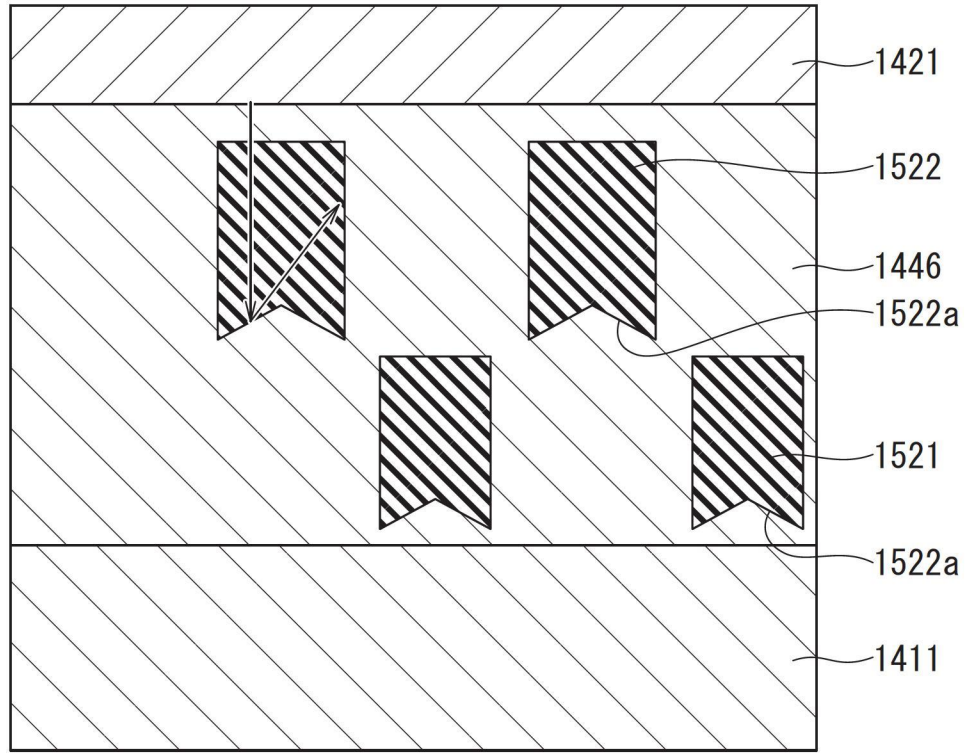
【圖46H】



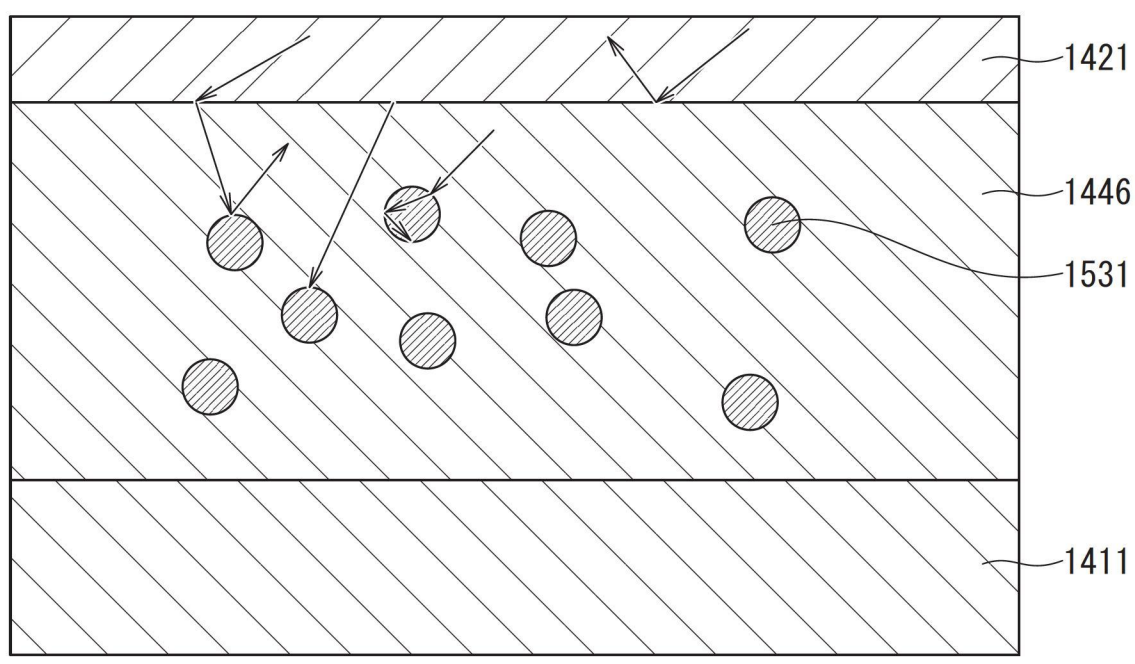
【圖47I】



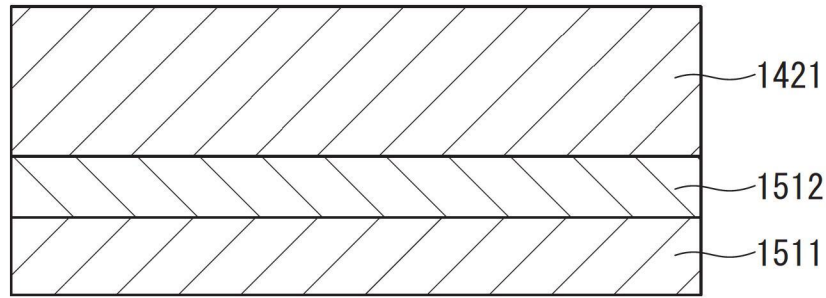
【圖47J】



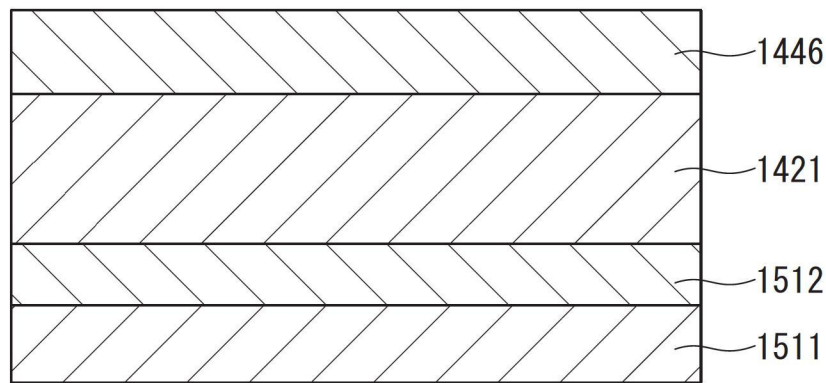
【圖48】



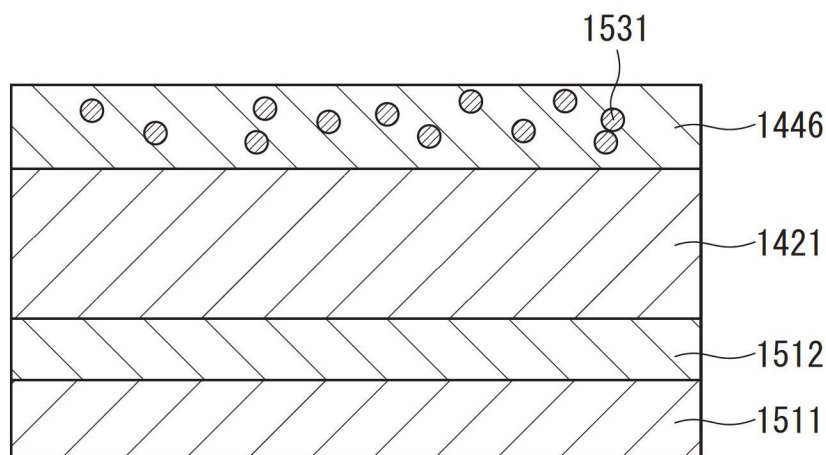
【圖49】



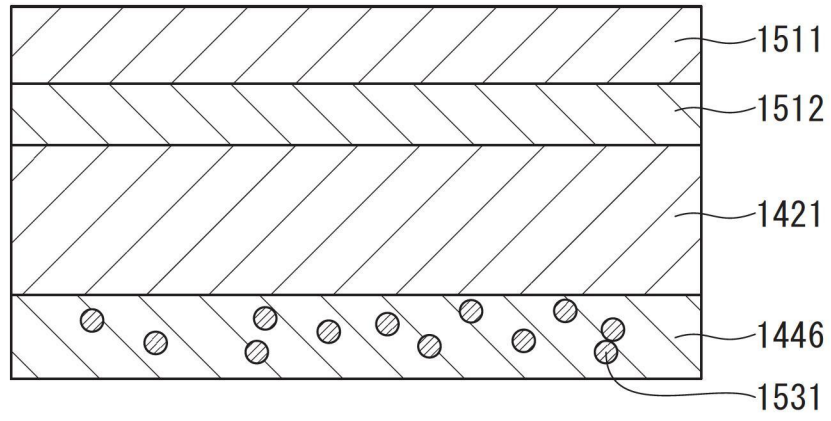
【圖50A】



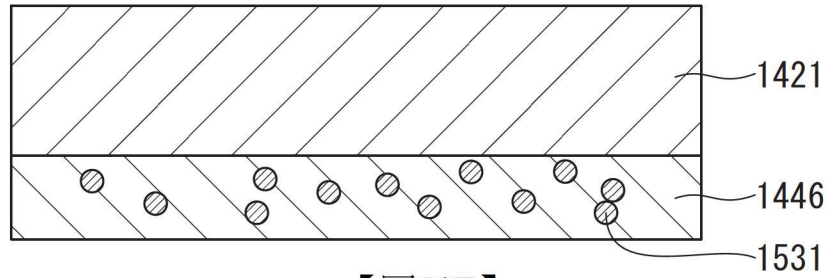
【圖50B】



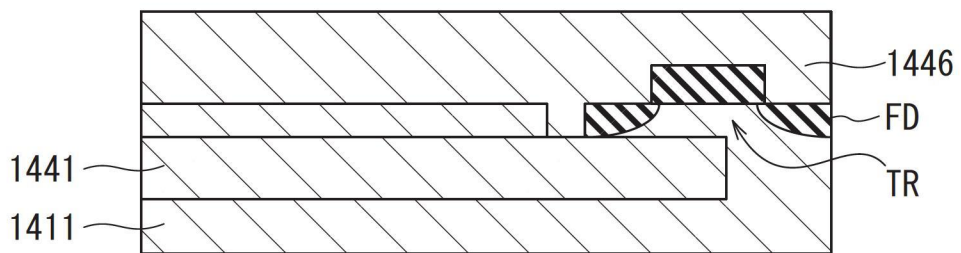
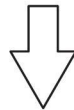
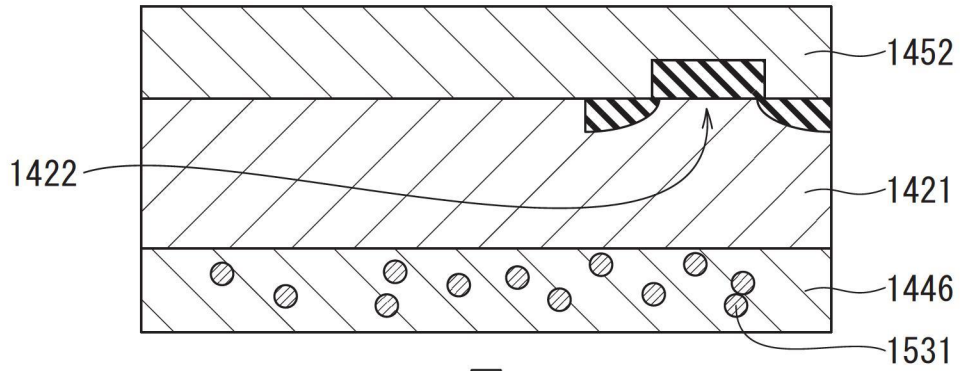
【圖50C】



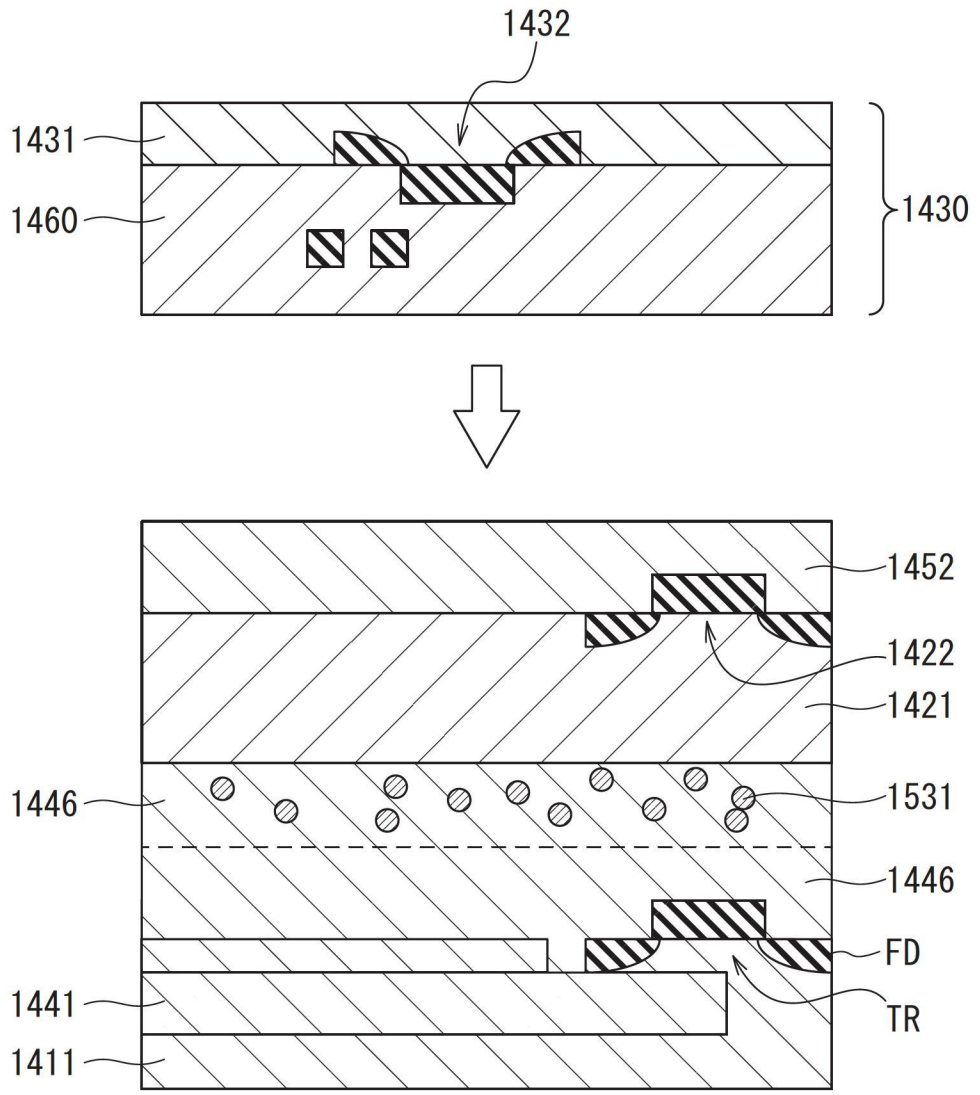
【圖51D】



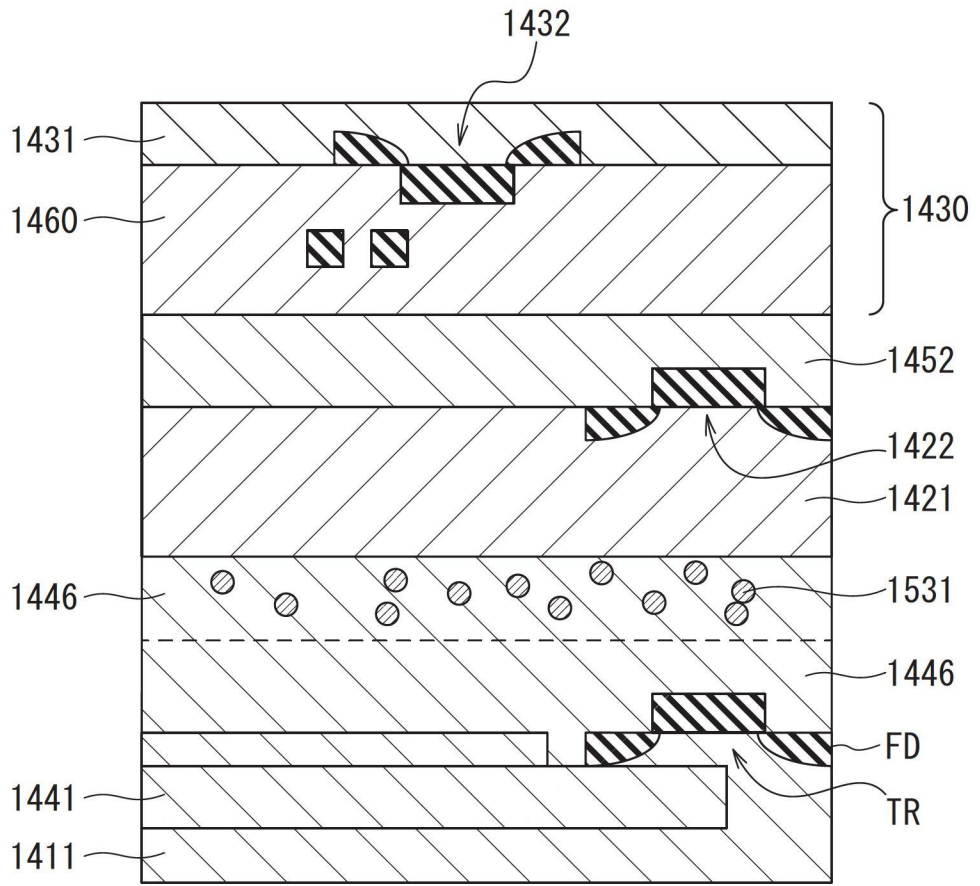
【圖51E】



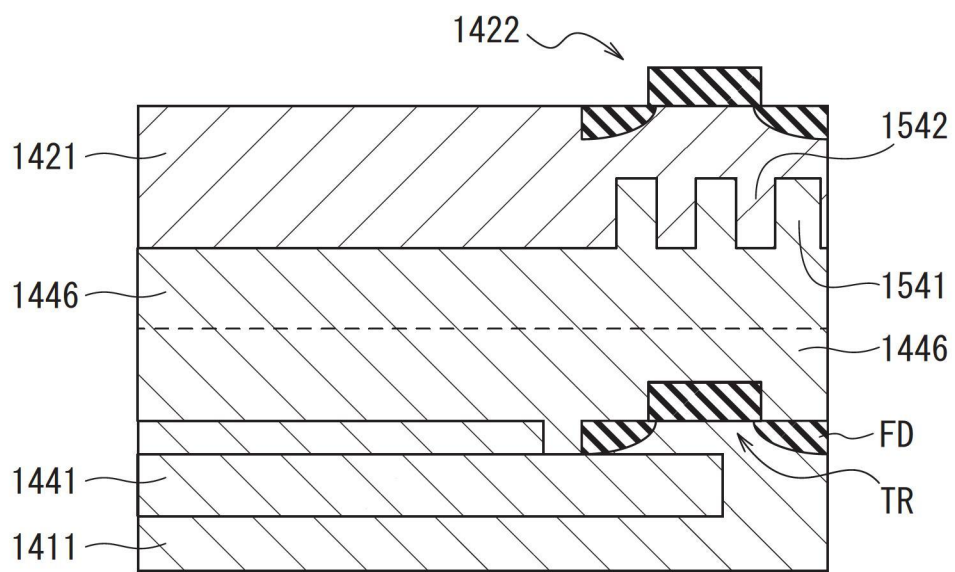
【圖51F】



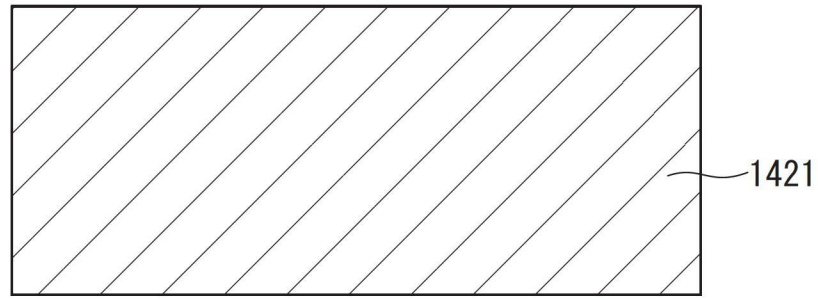
【圖52G】



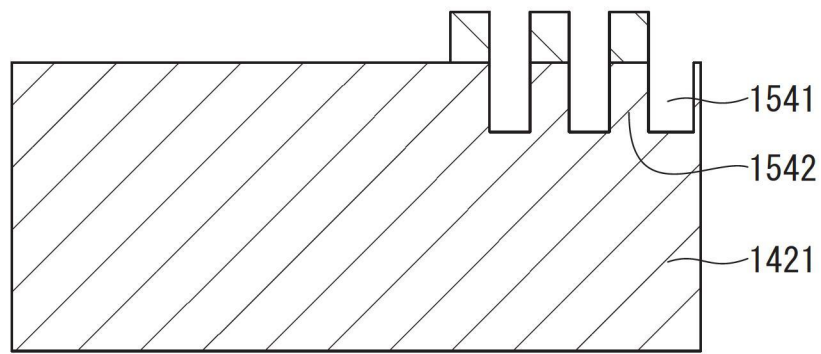
【圖52H】



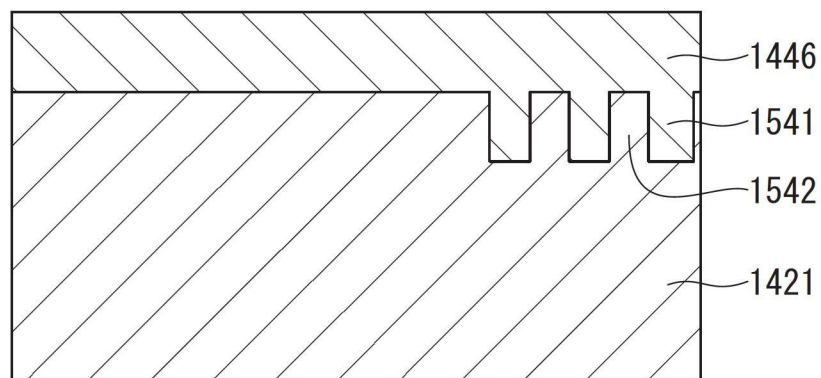
【圖53】



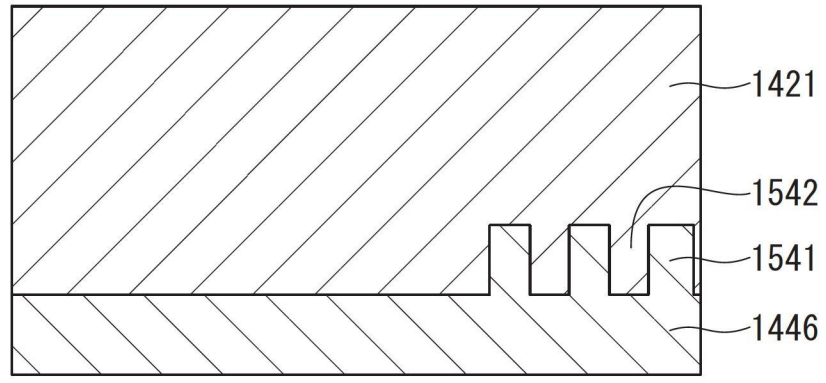
【圖54A】



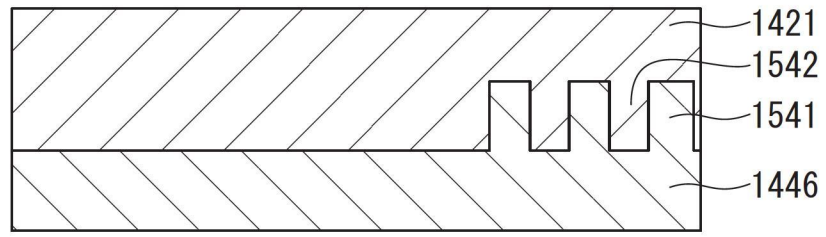
【圖54B】



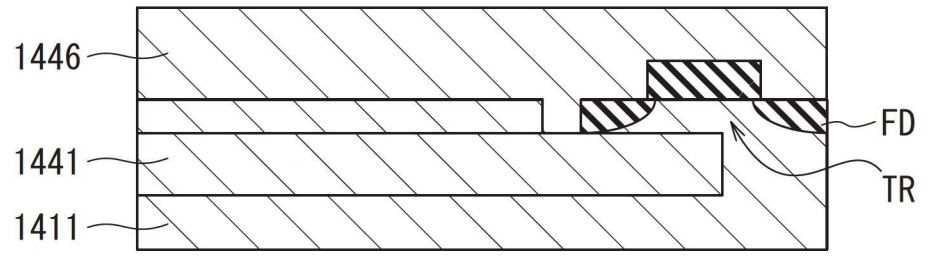
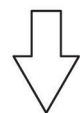
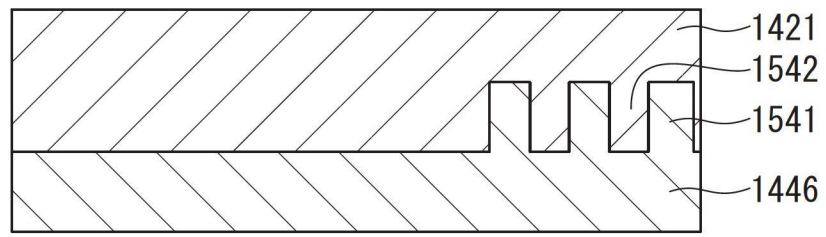
【圖54C】



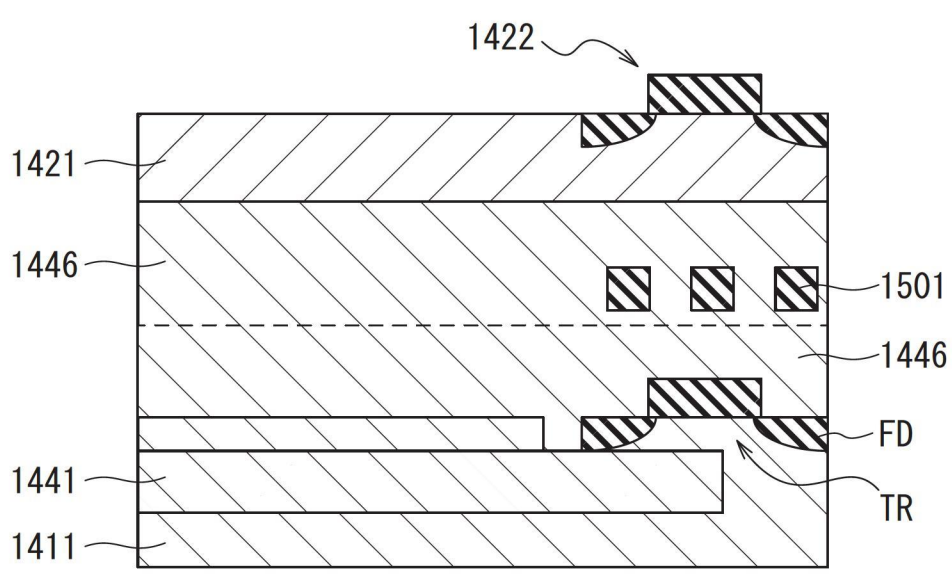
【圖55D】



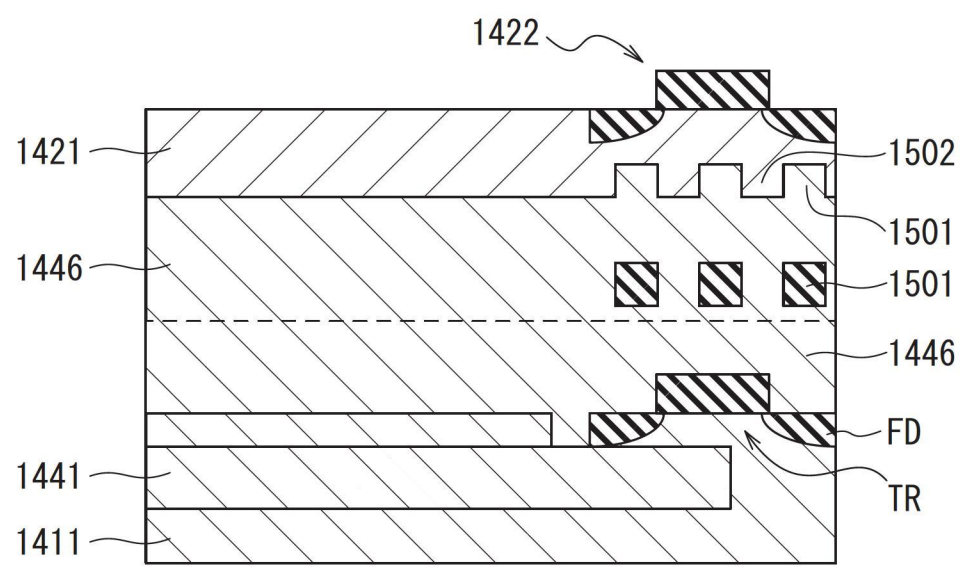
【圖55E】



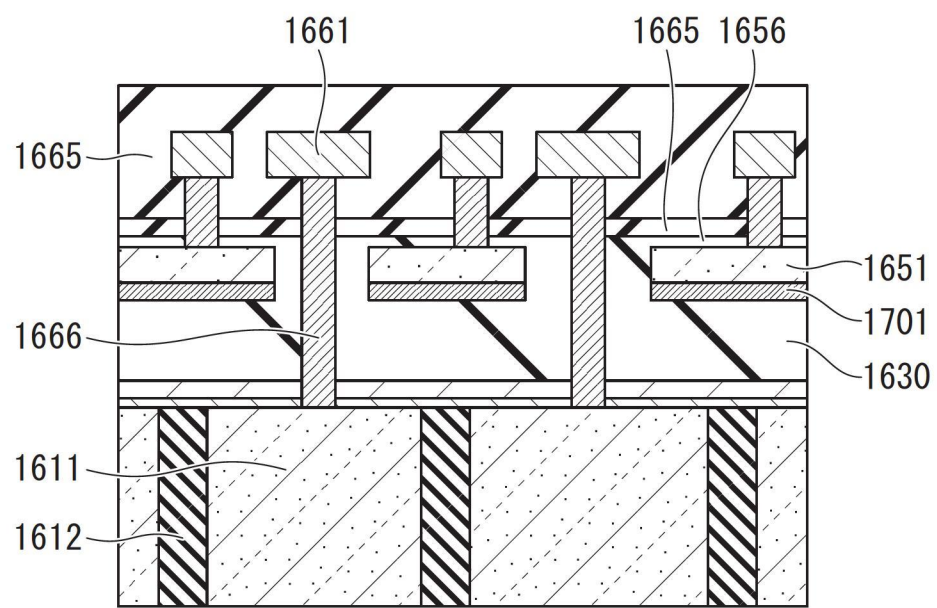
【圖55F】



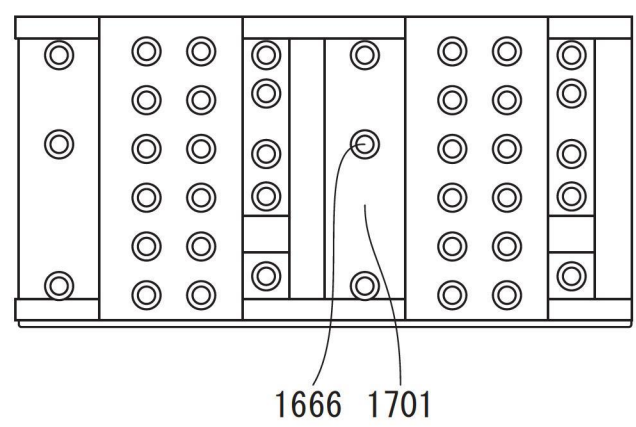
【圖56】



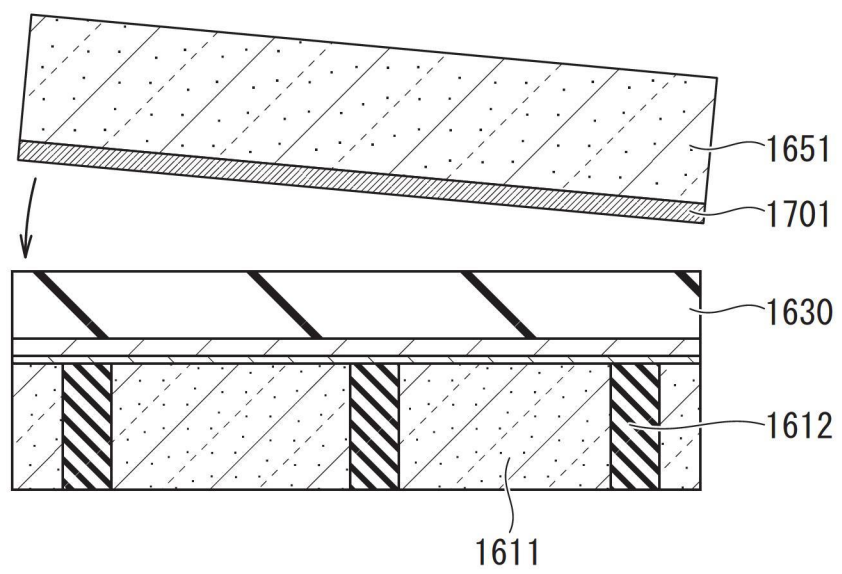
【圖57】



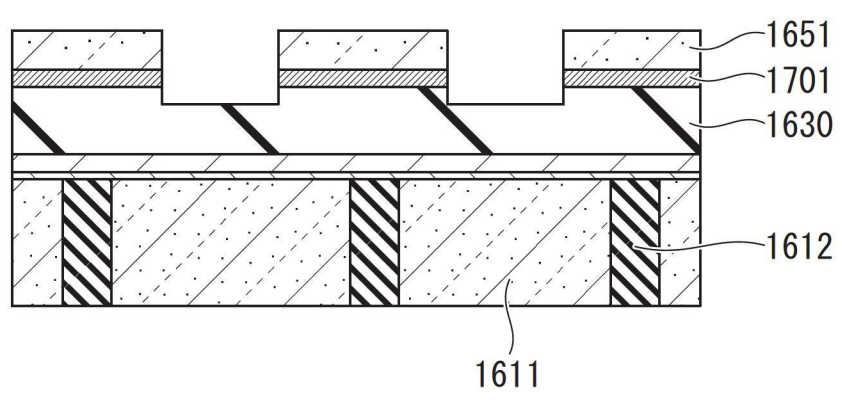
【圖58】



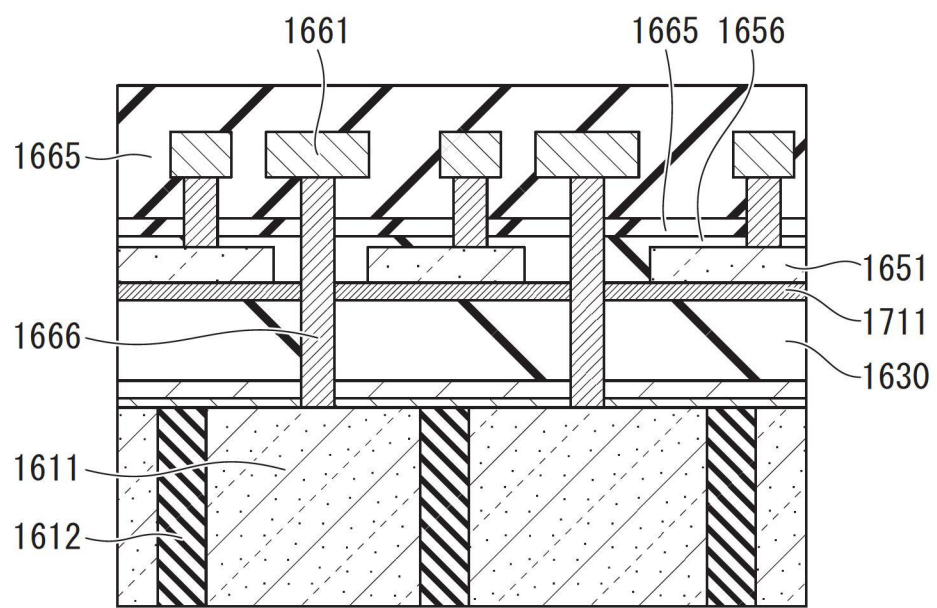
【圖59】



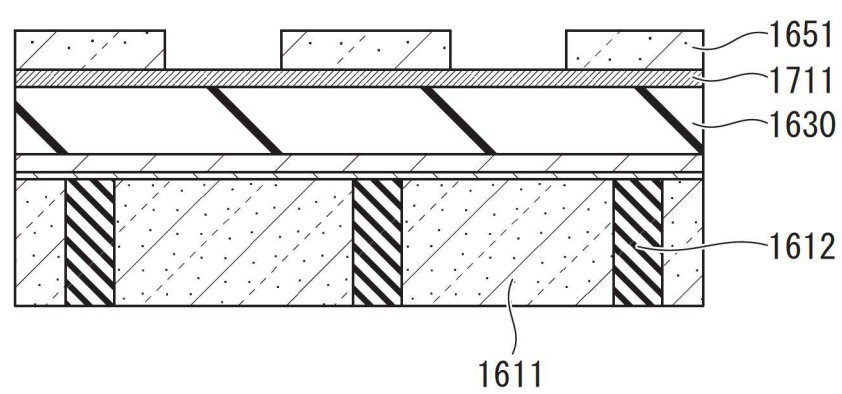
【圖60】



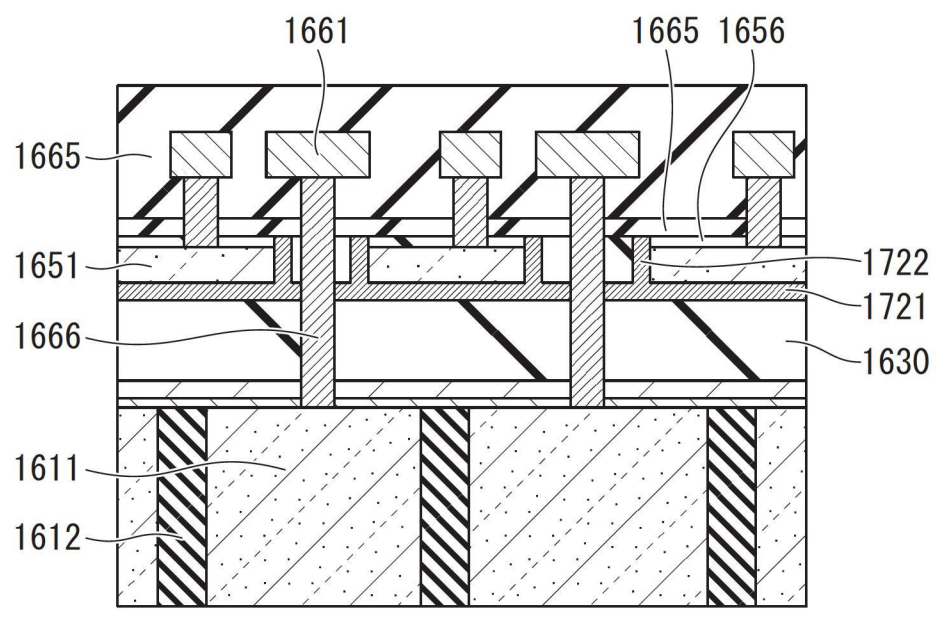
【圖61】



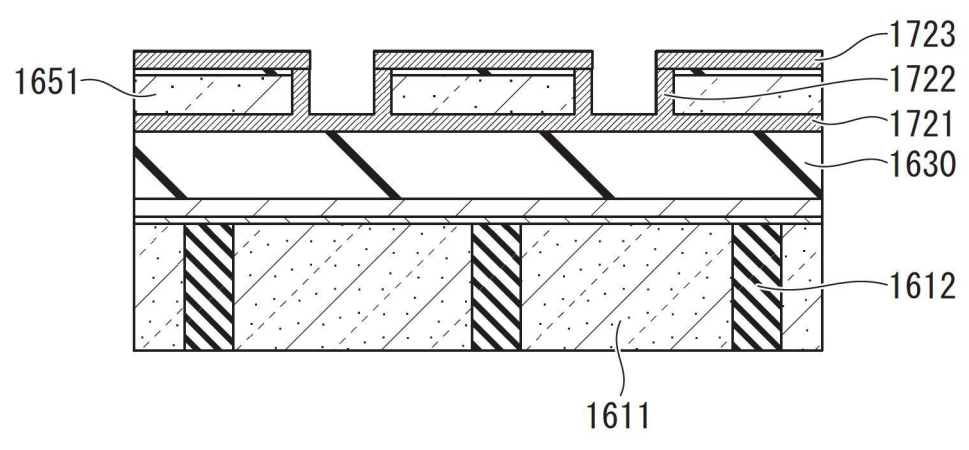
【圖62】



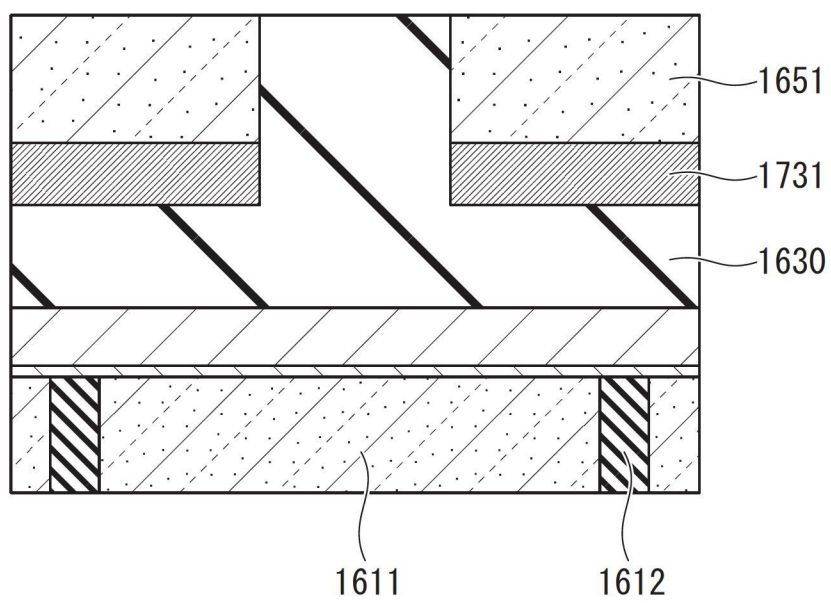
【圖63】



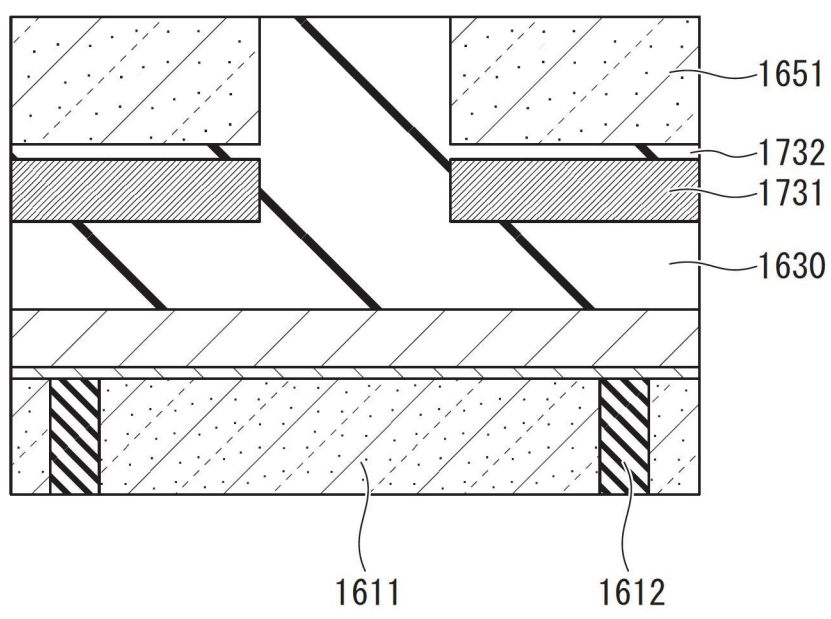
【圖64】



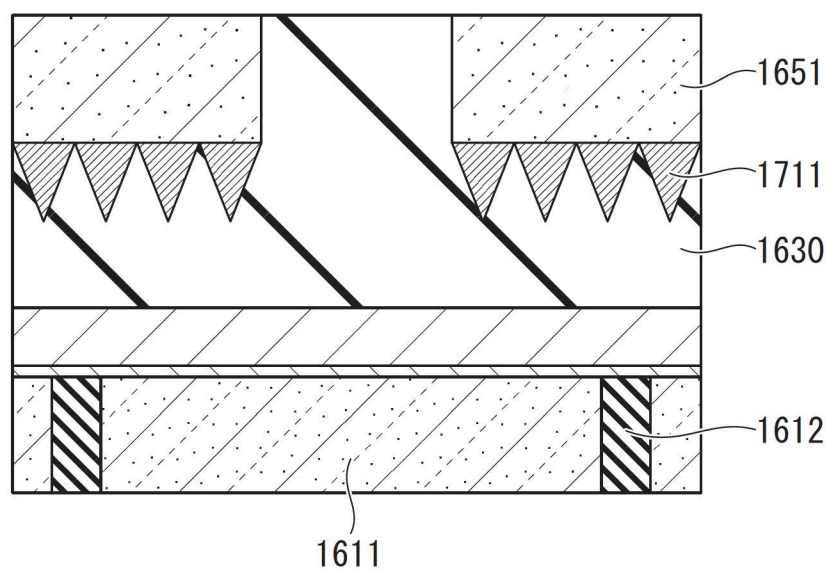
【圖65】



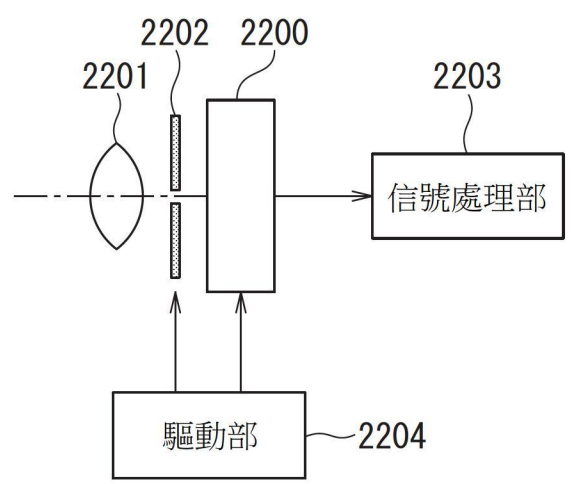
【圖66】



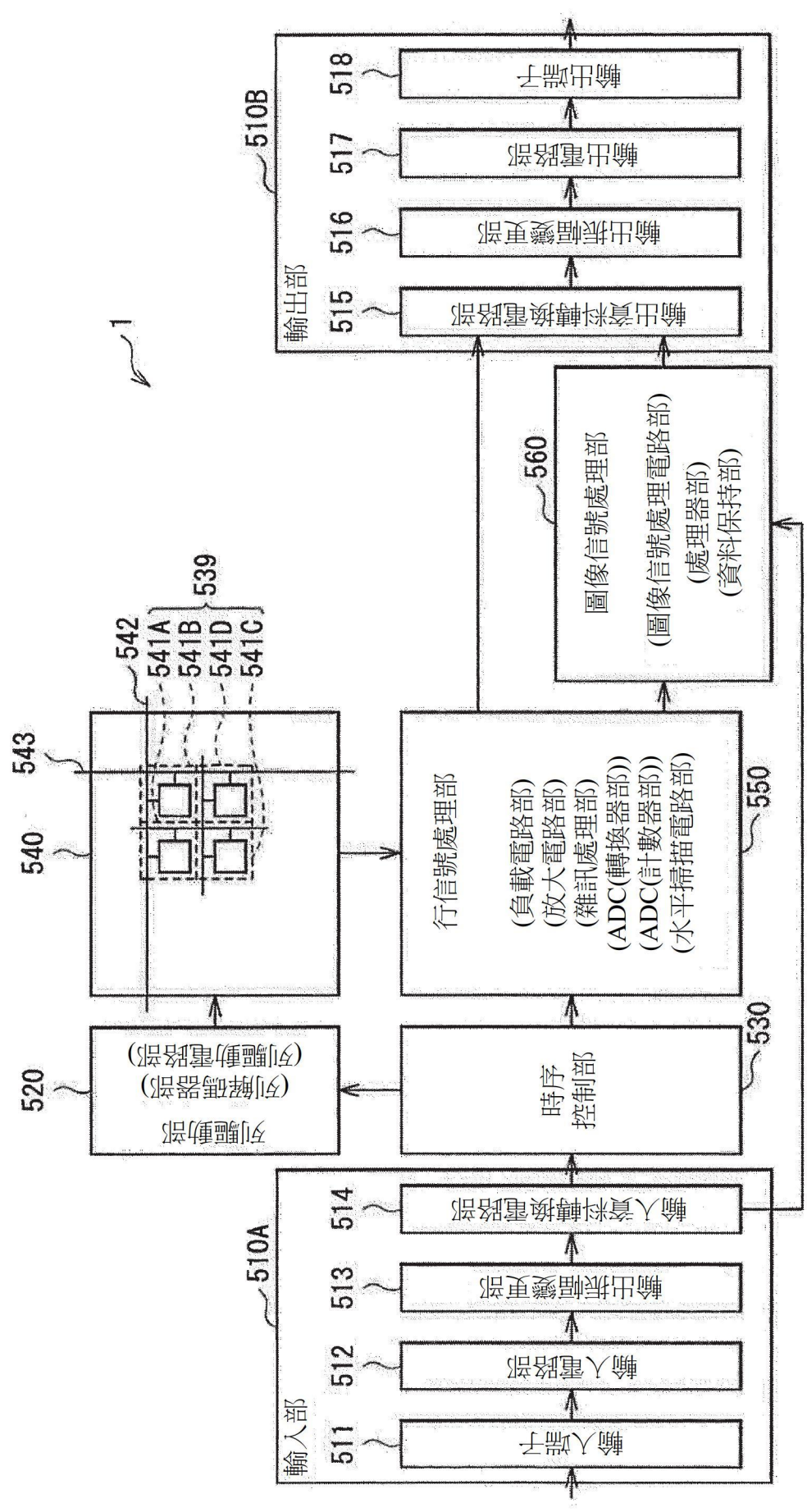
【圖67】



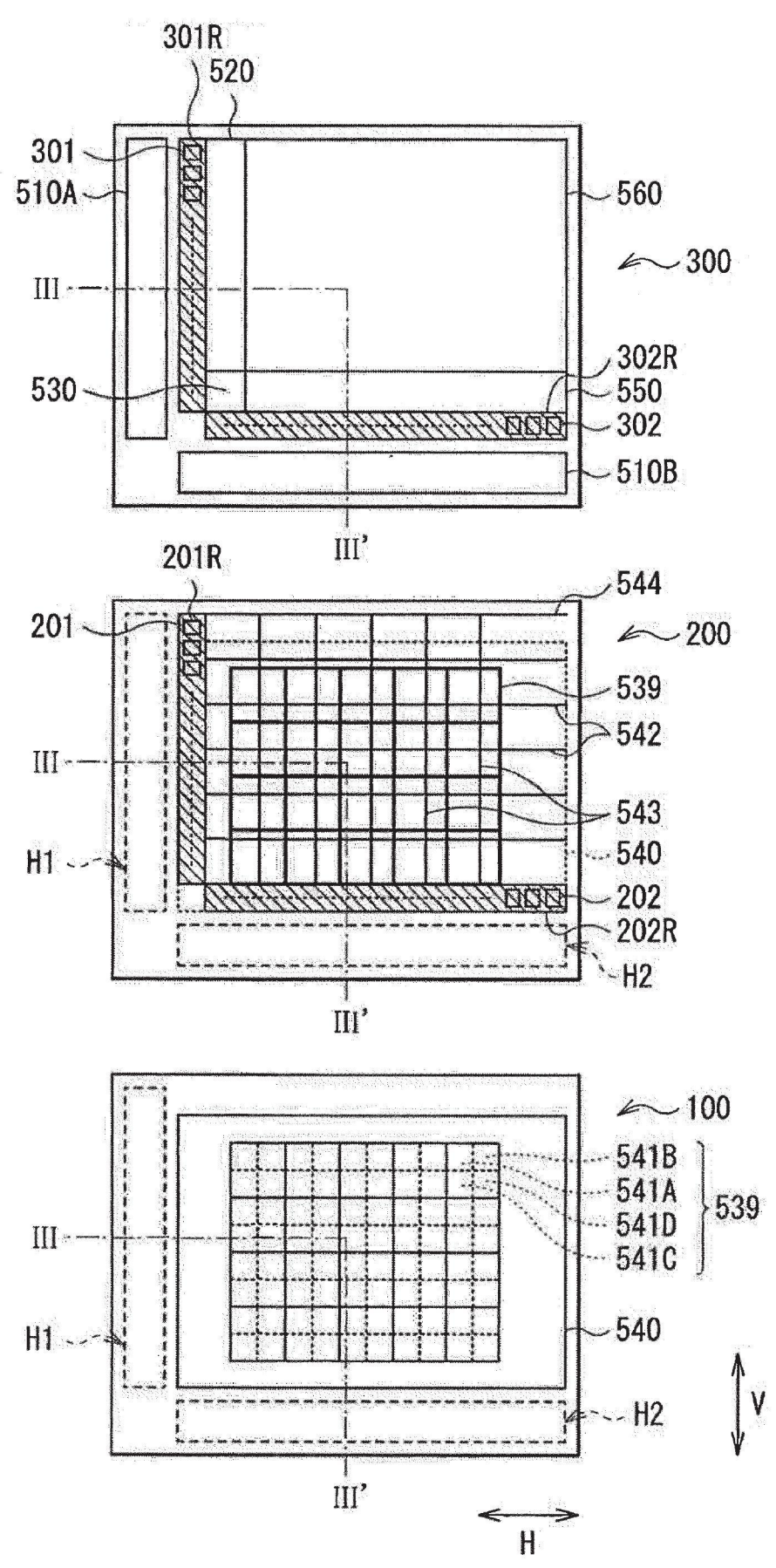
【圖68】



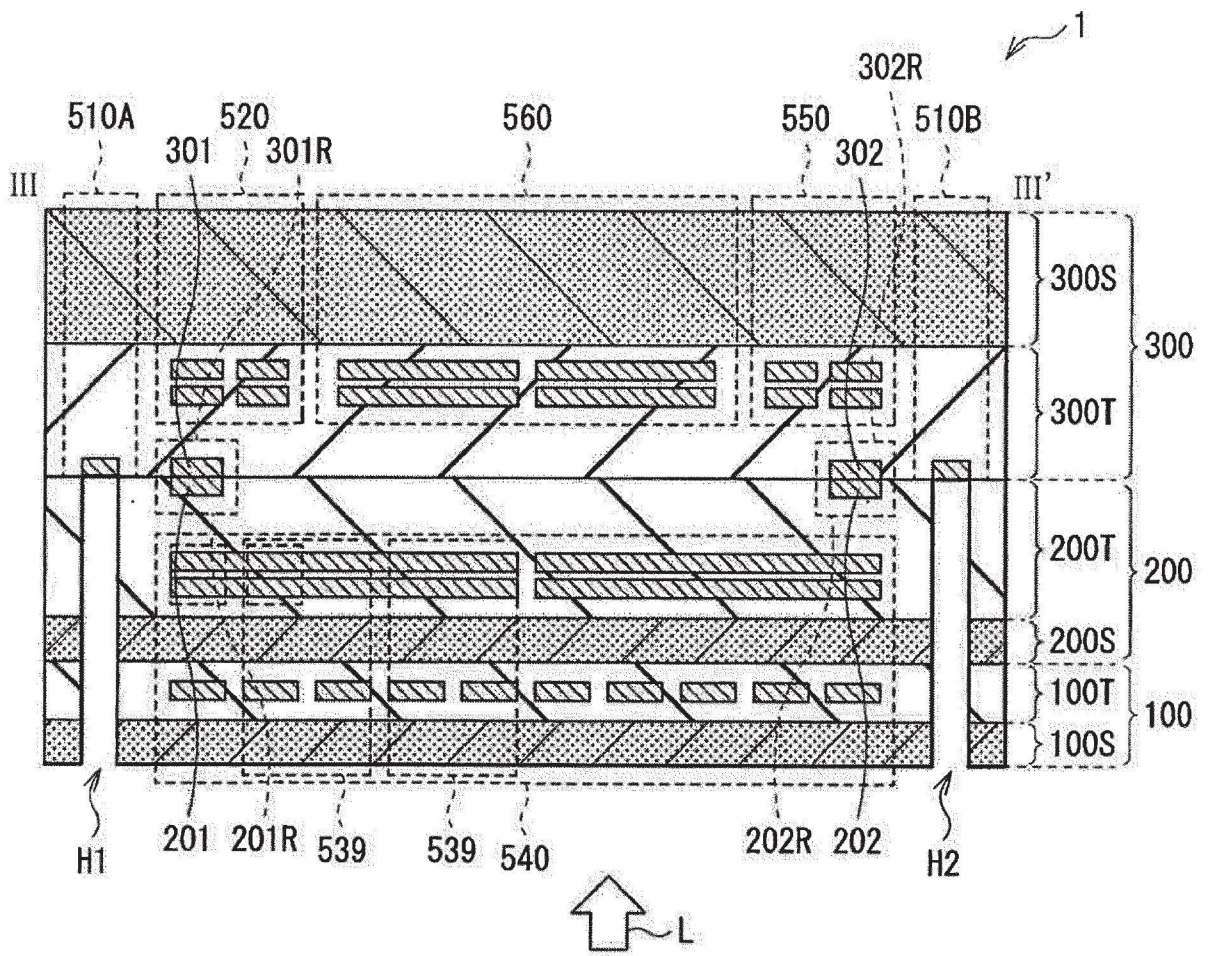
【圖69】



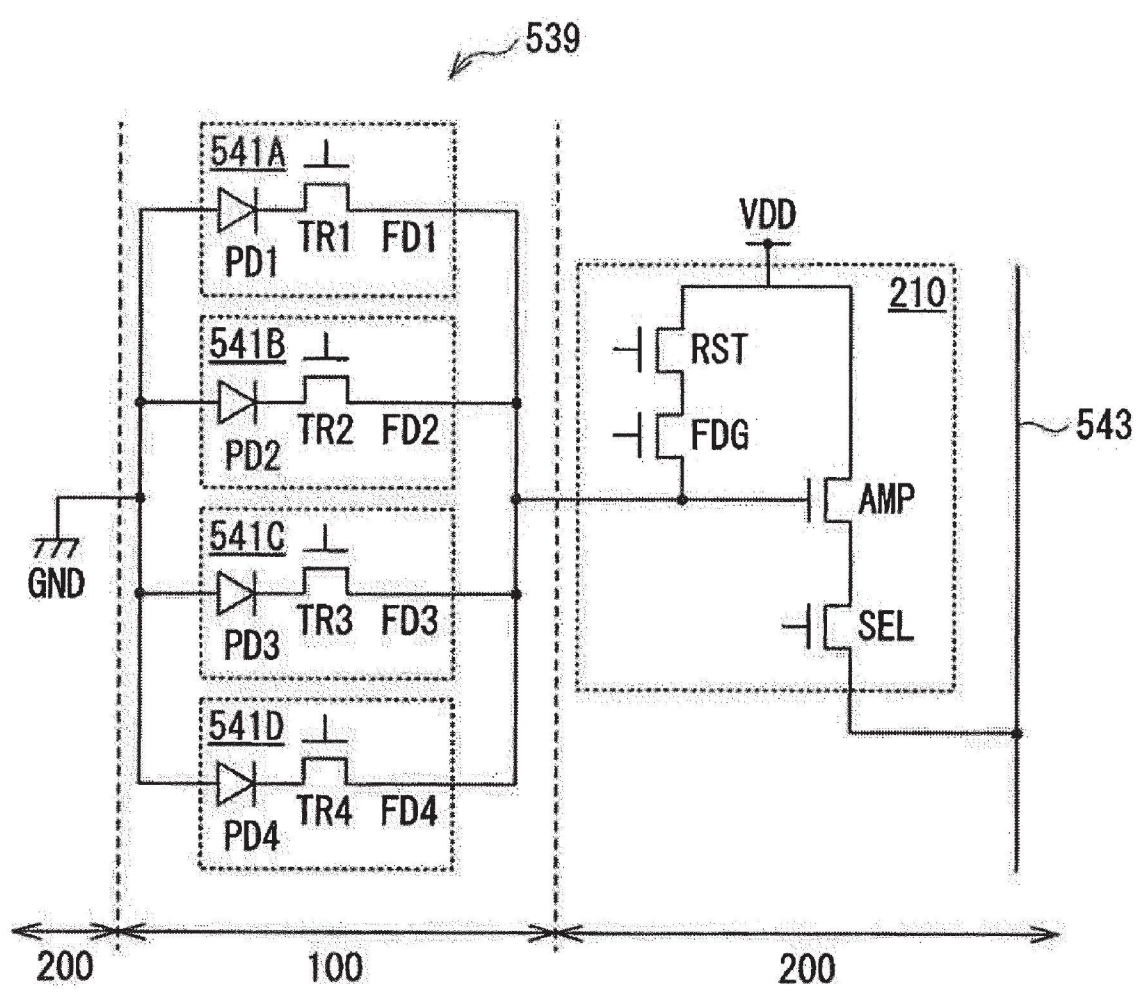
【圖70】



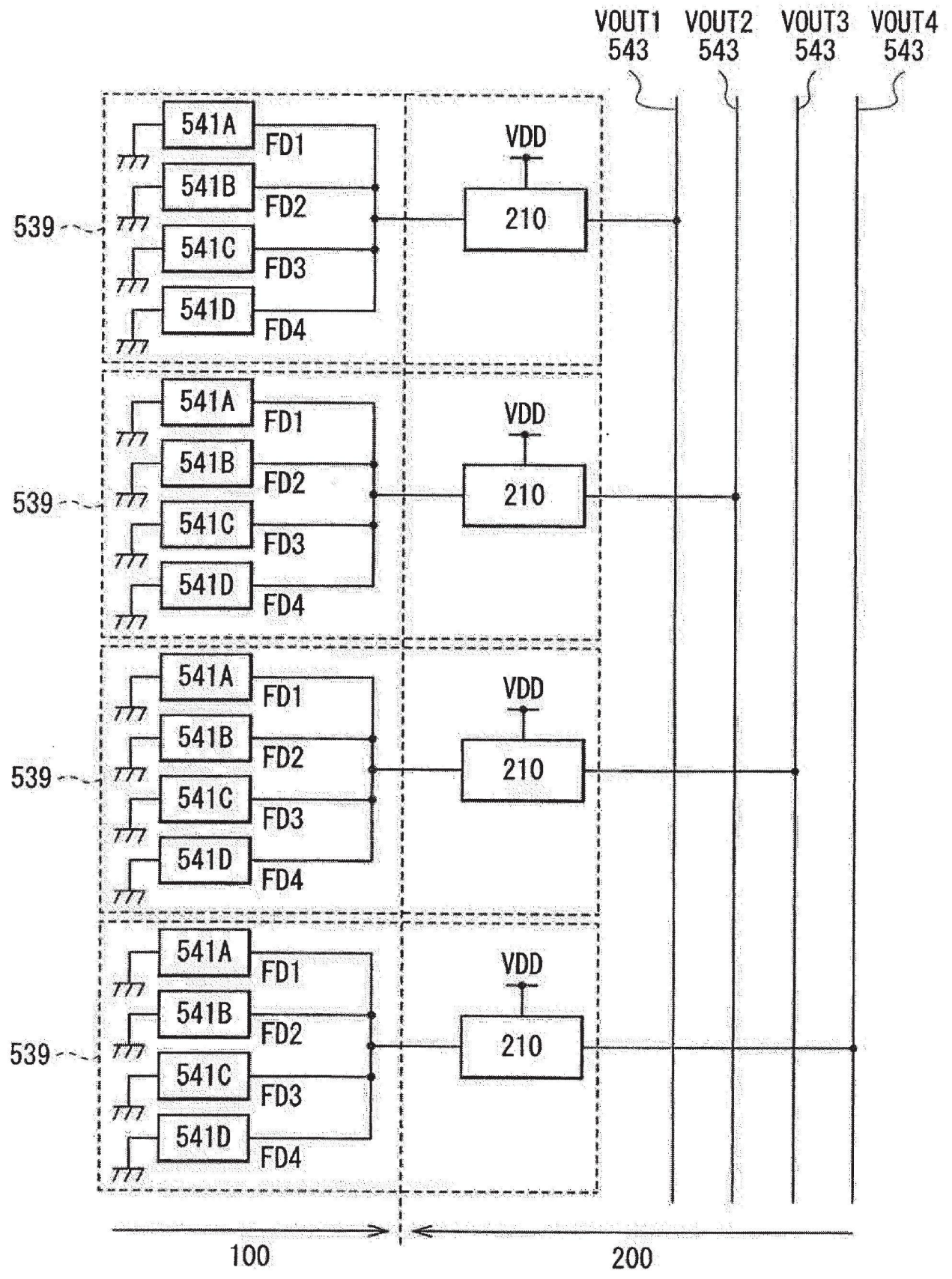
【圖71】



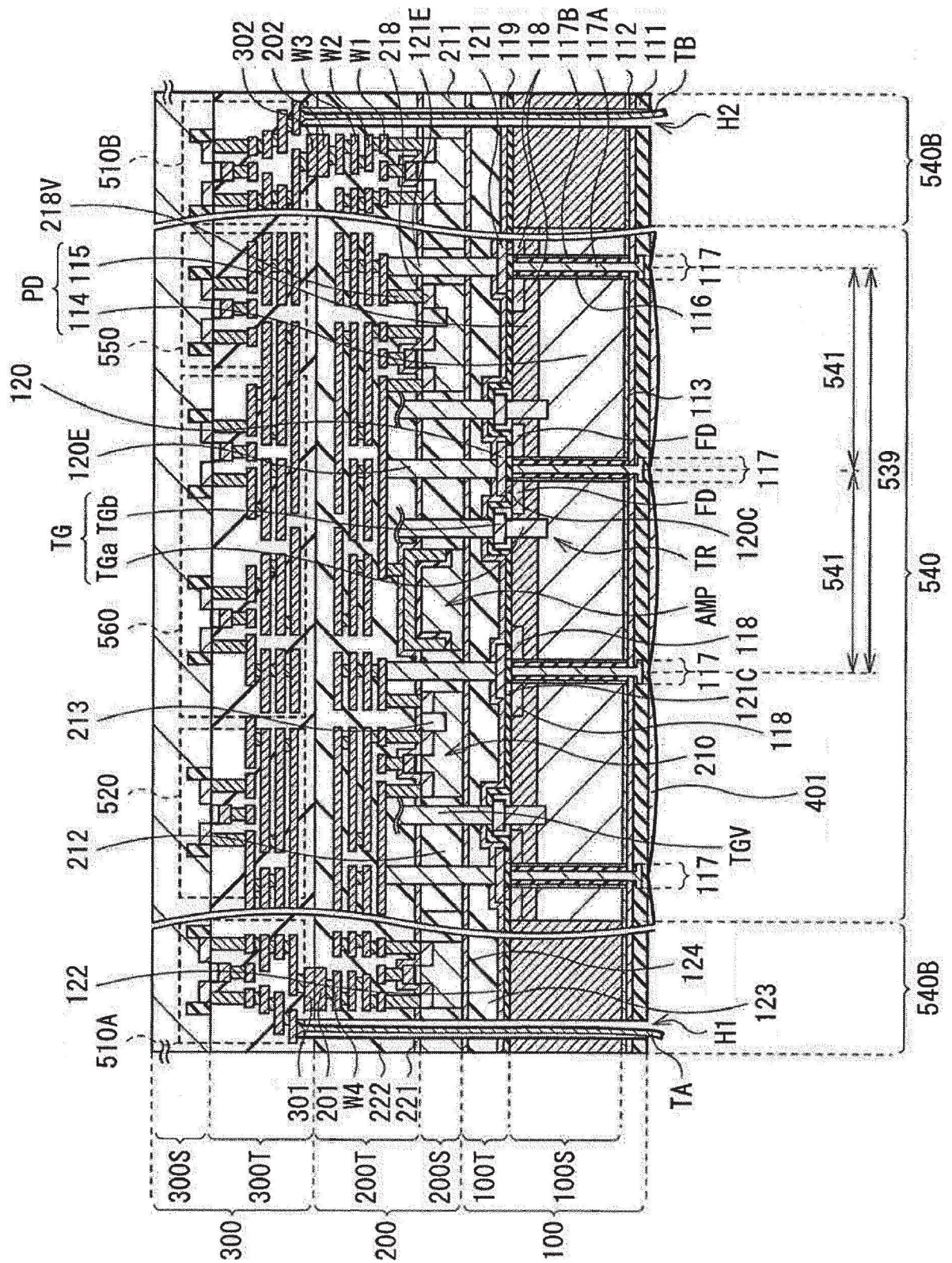
【圖72】



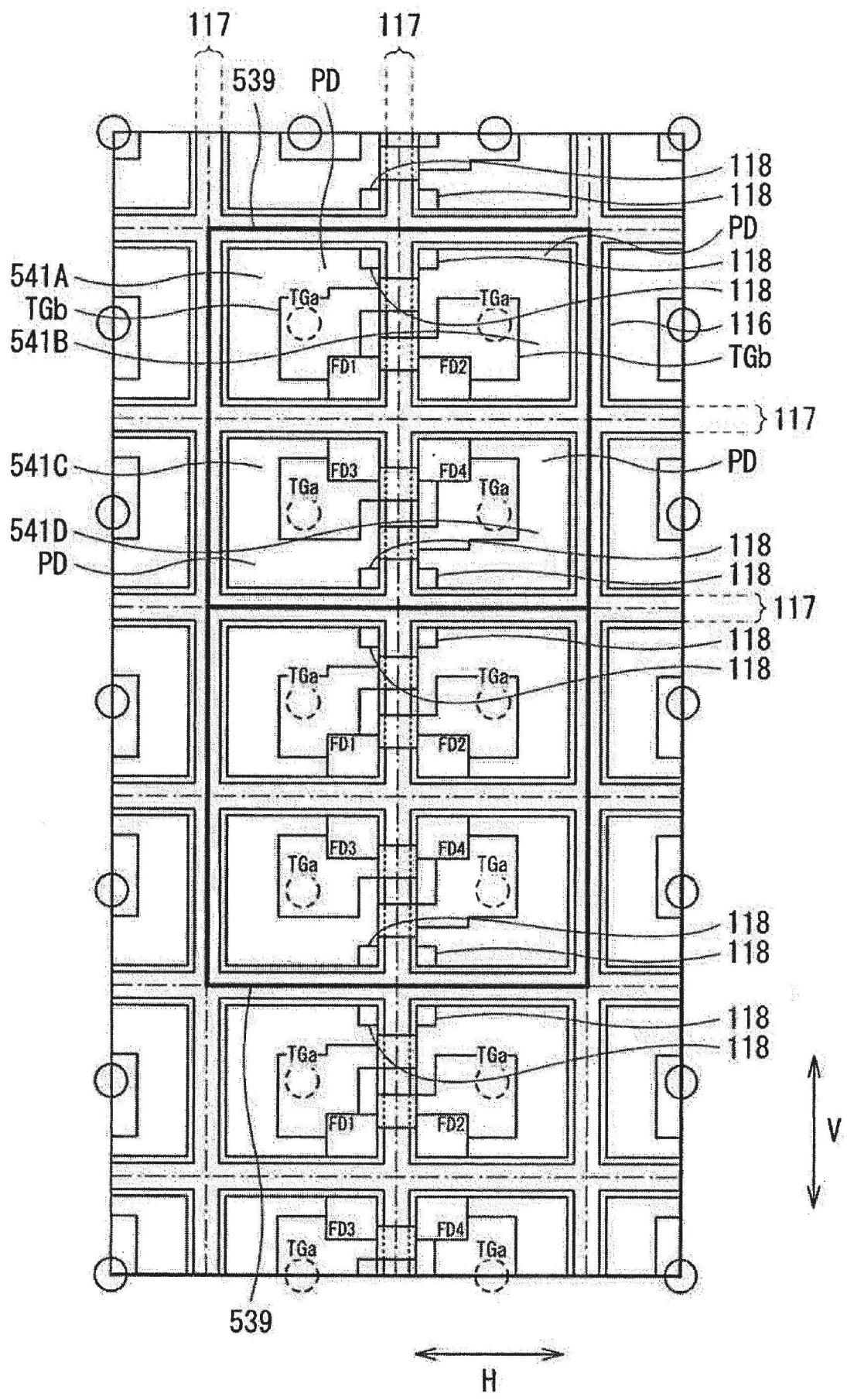
【圖73】



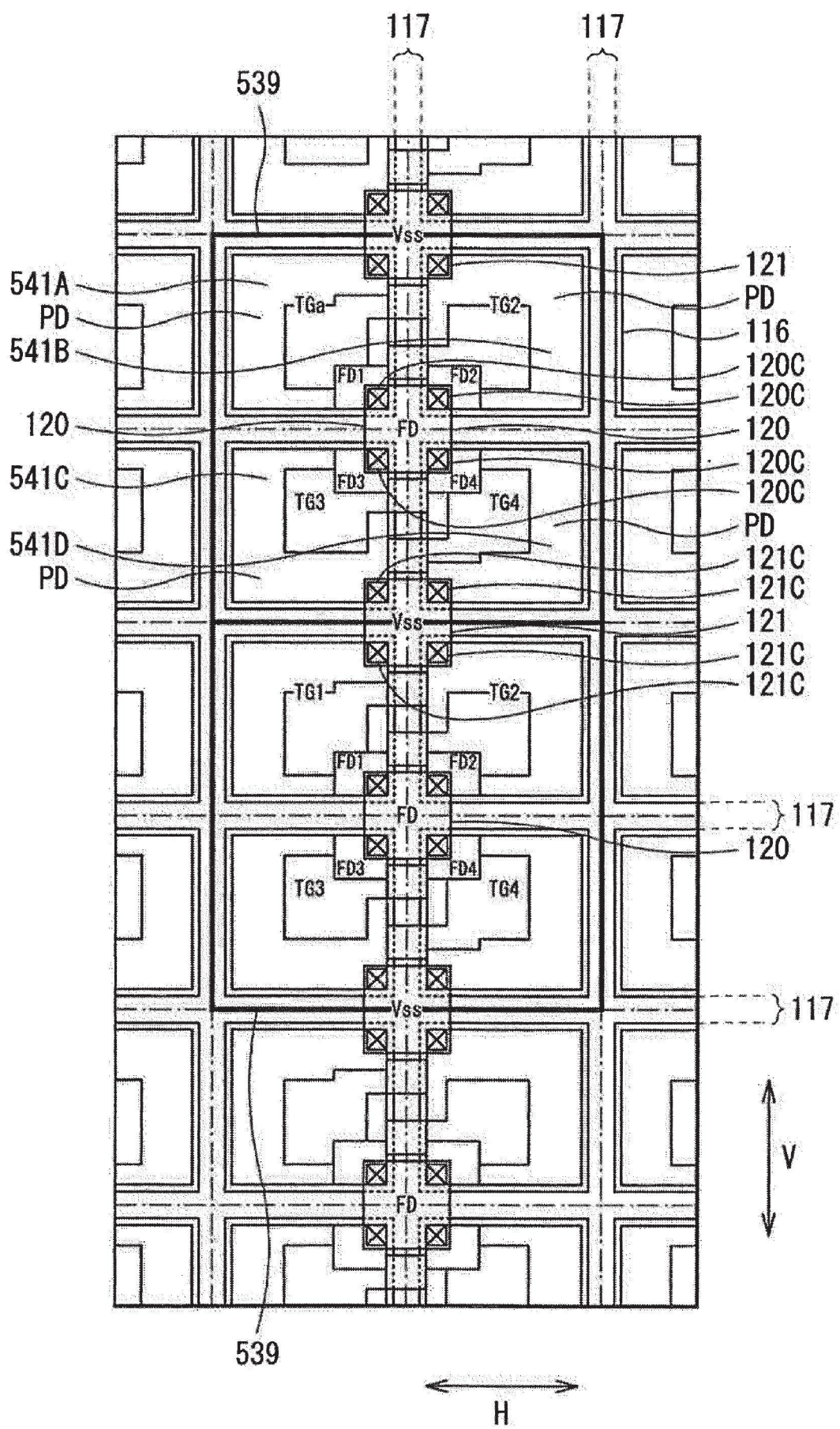
【圖74】



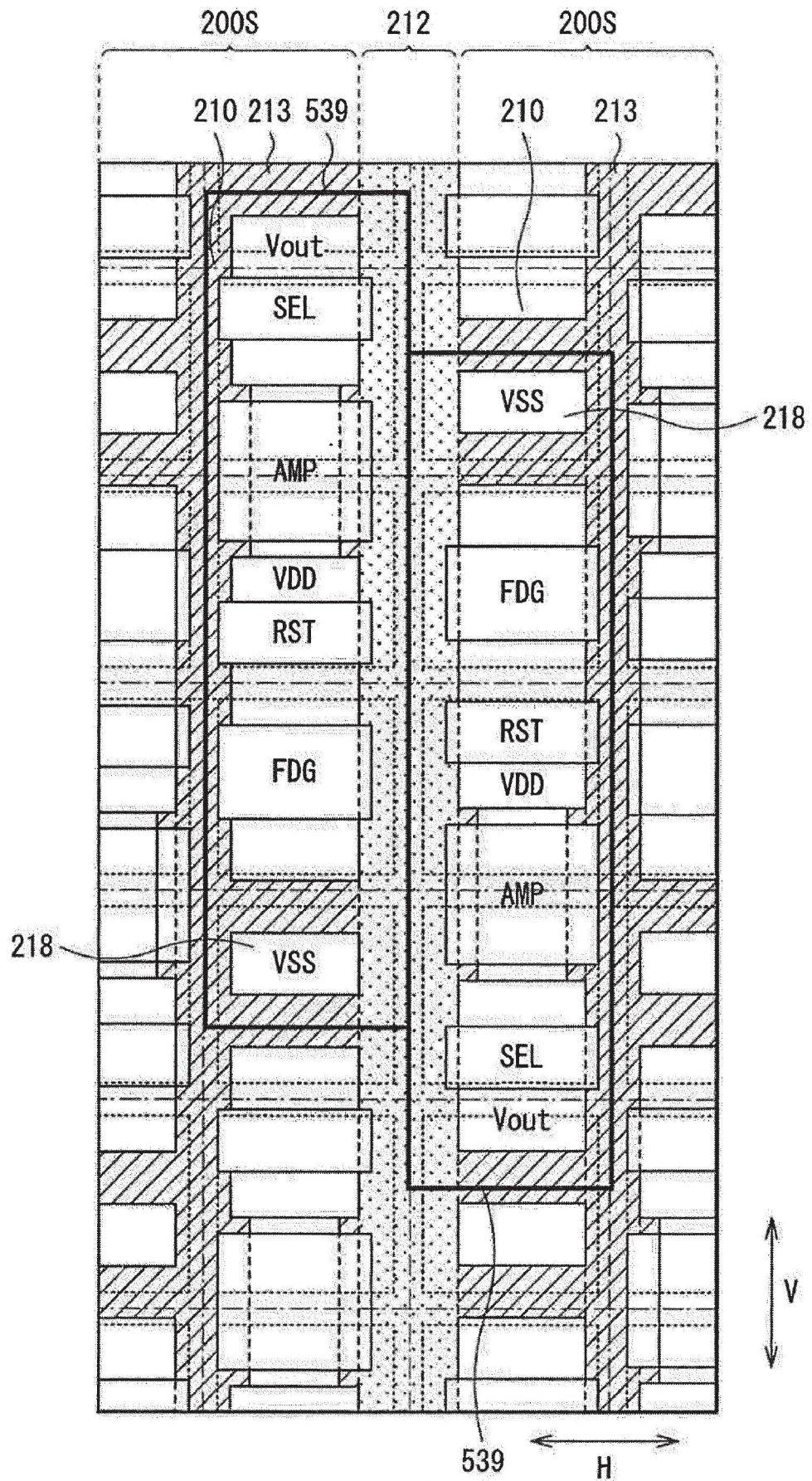
【圖75】



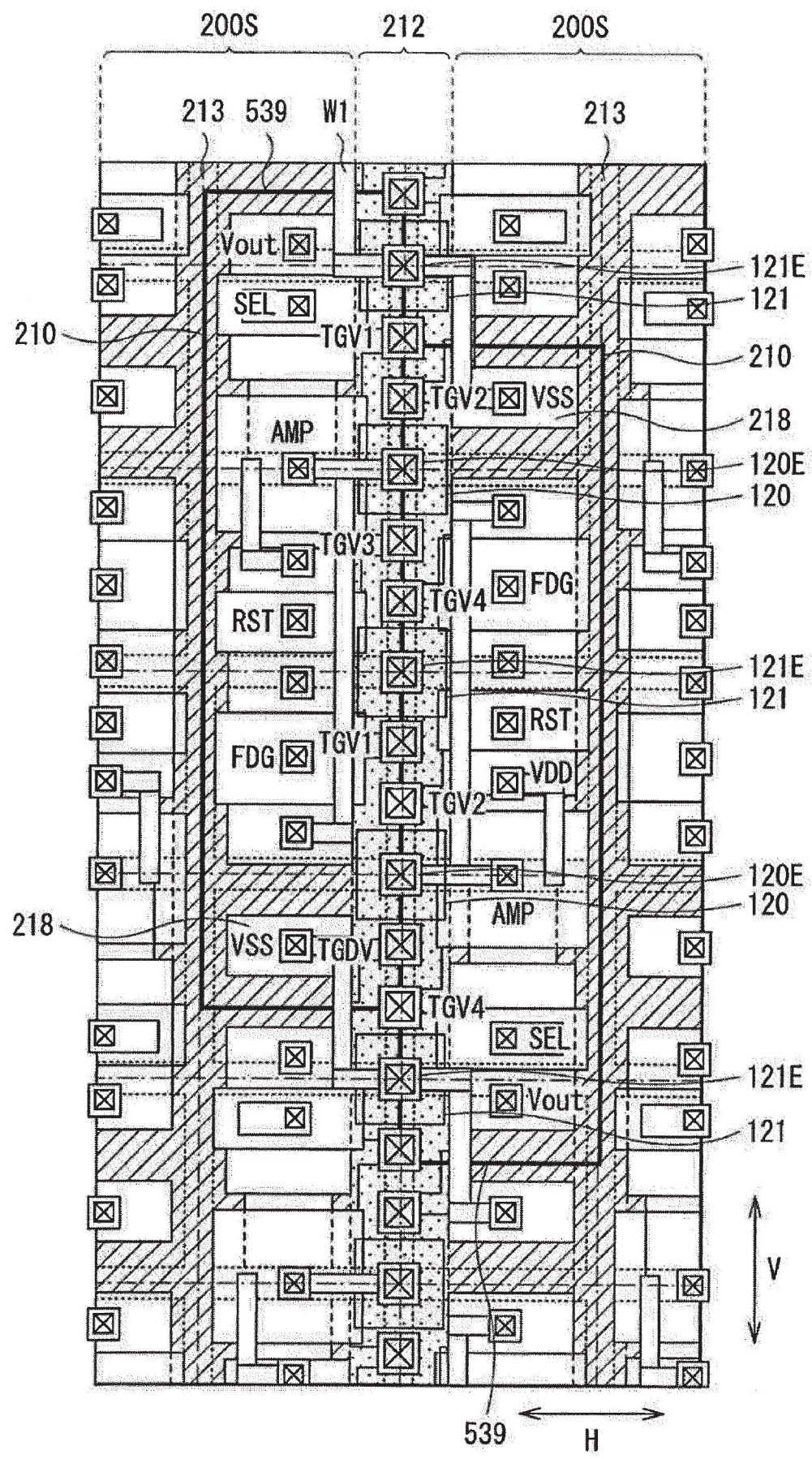
【圖76A】



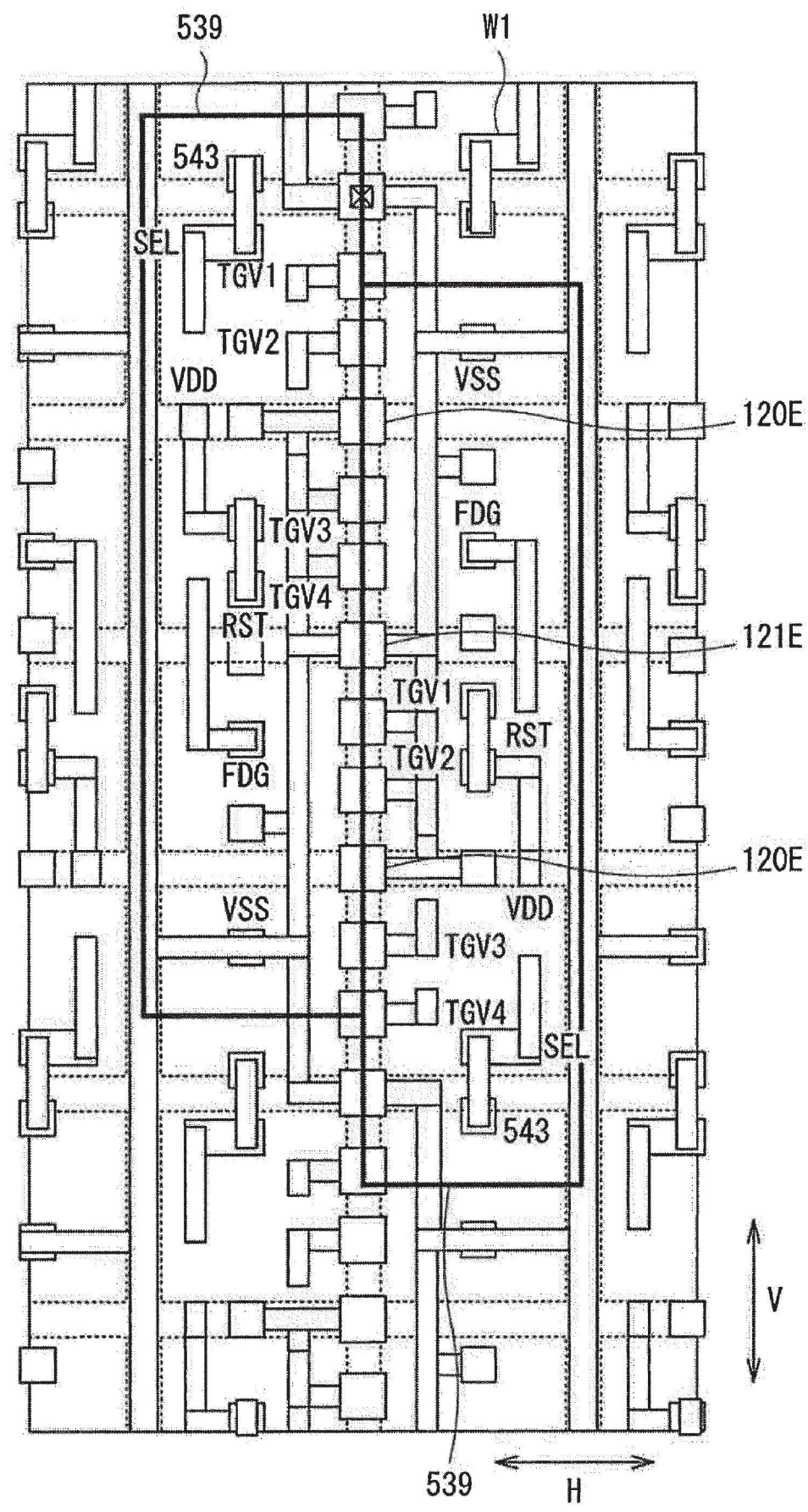
【圖76B】



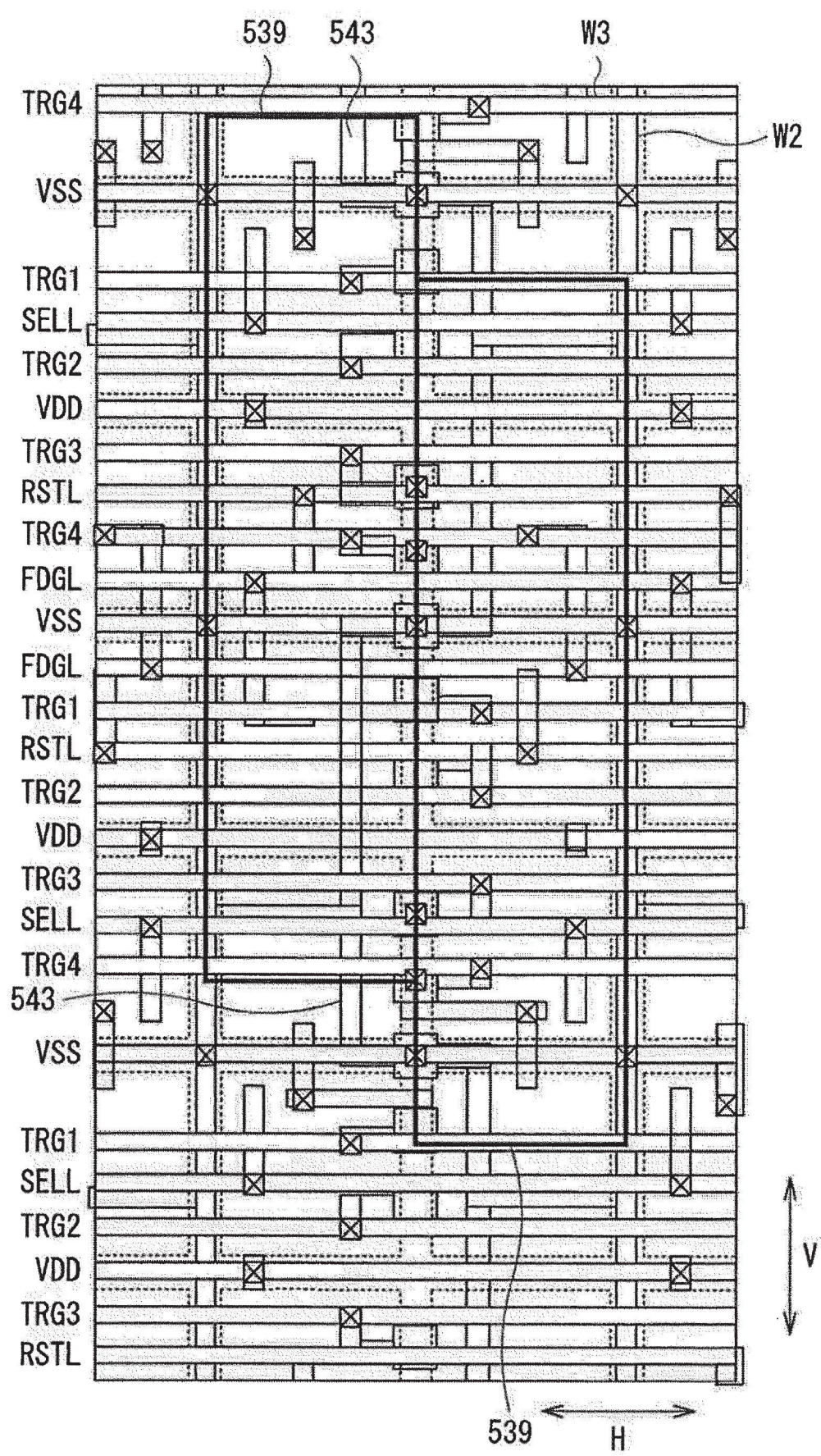
【圖77】



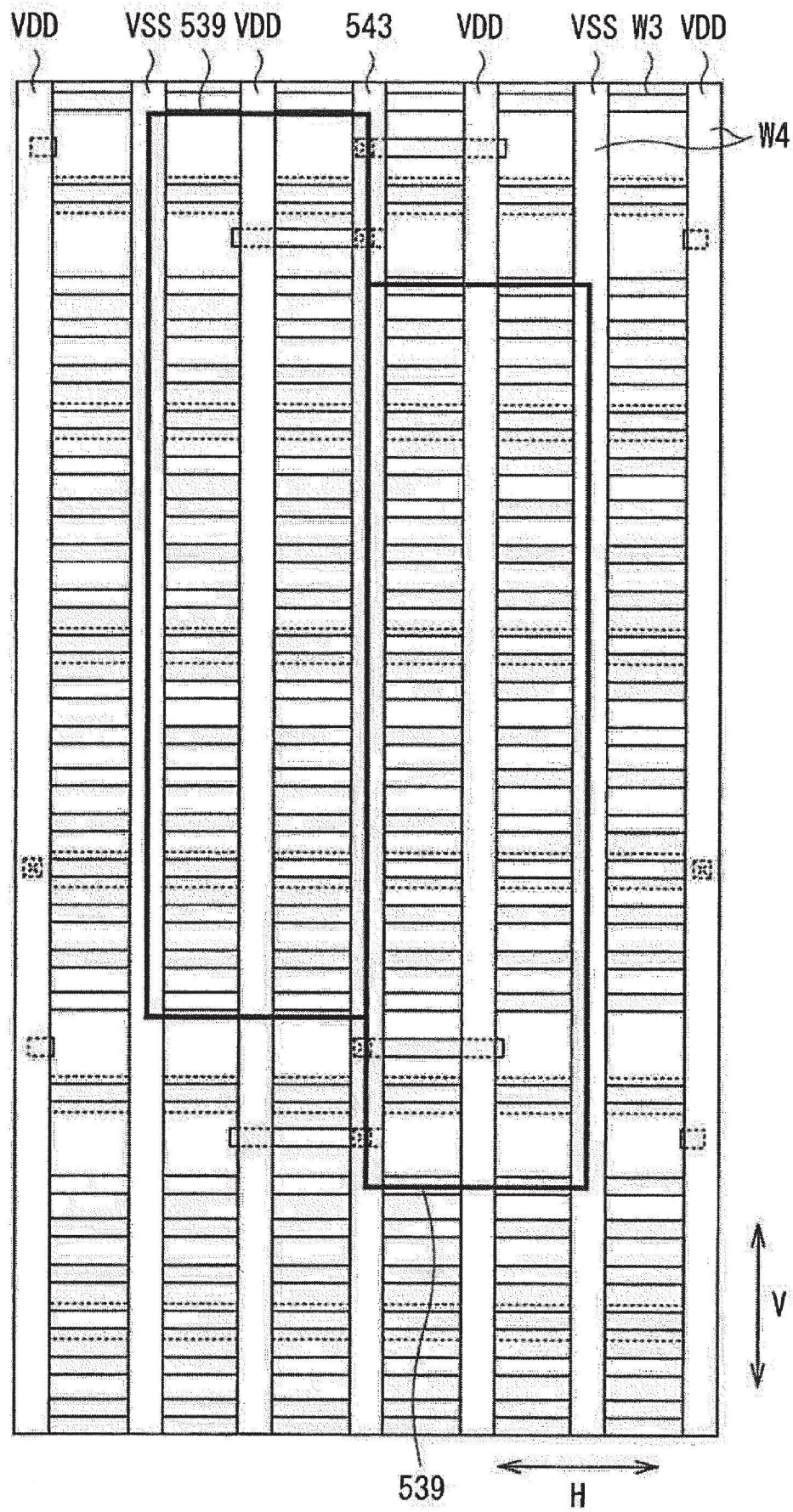
【圖78】



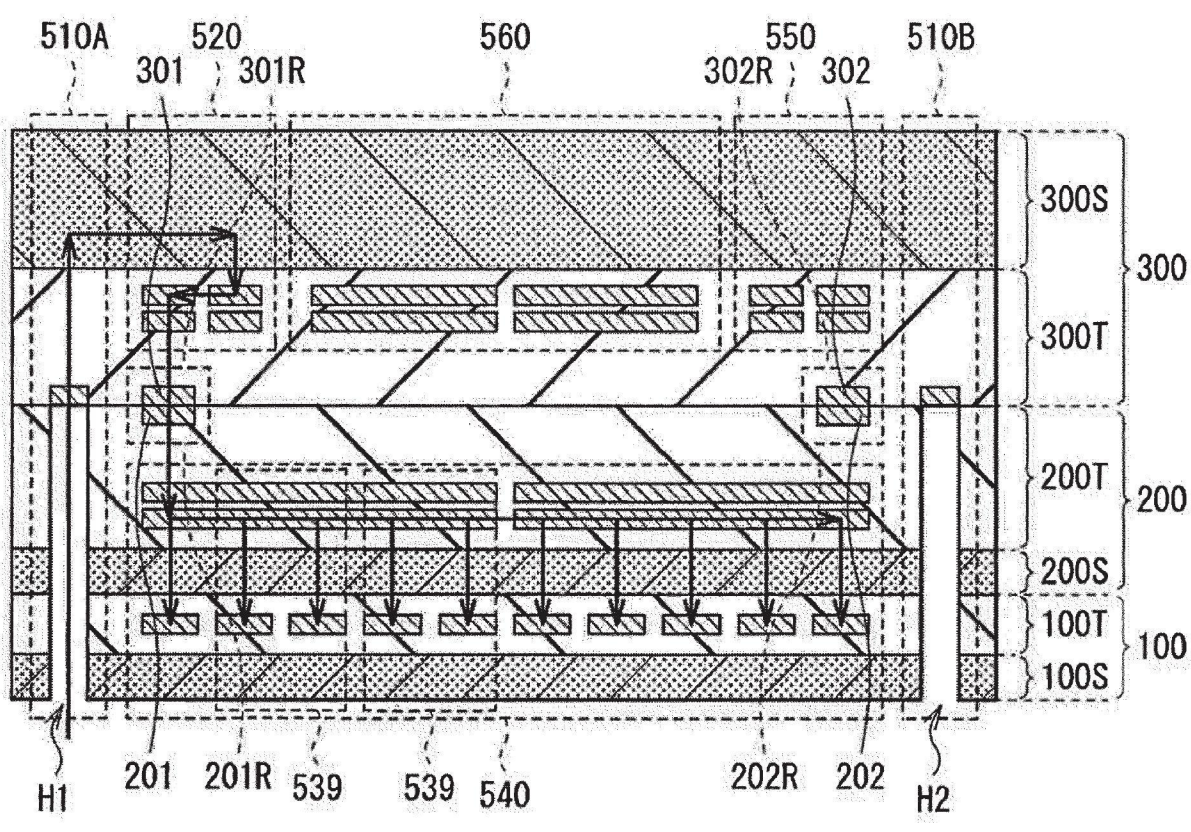
【圖79】



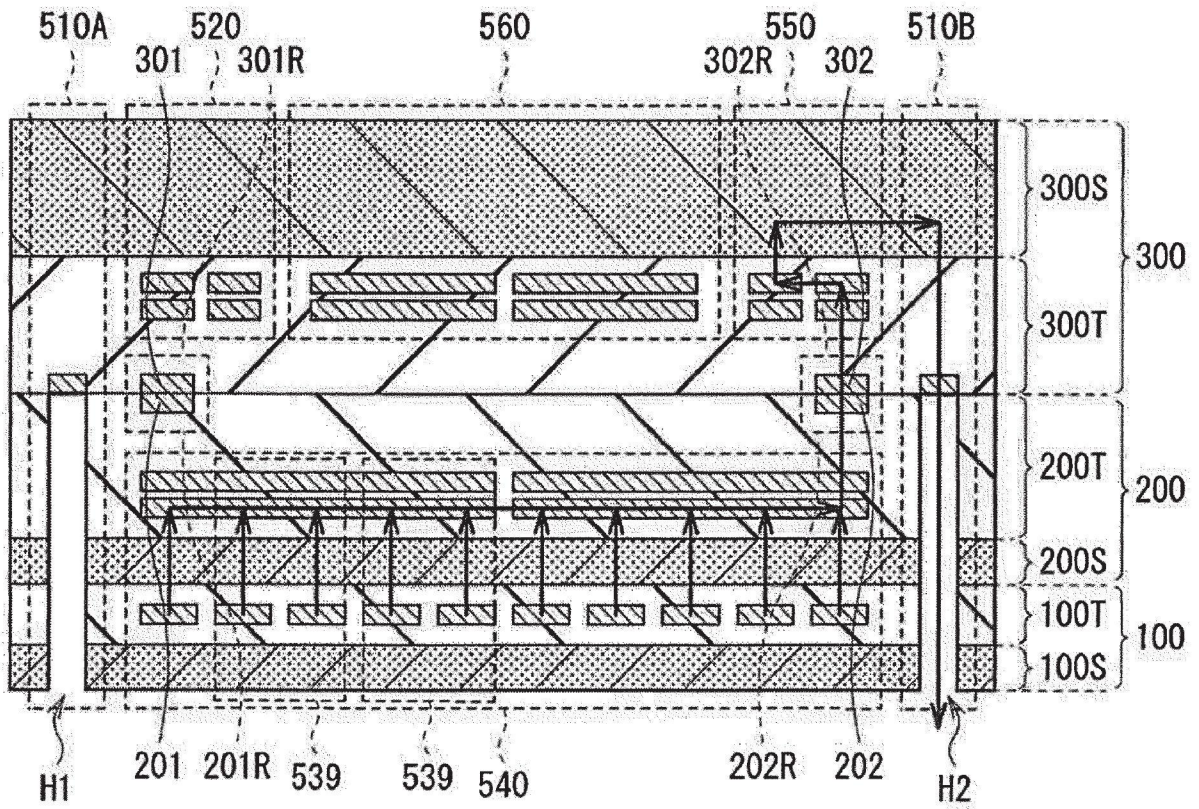
【圖80】



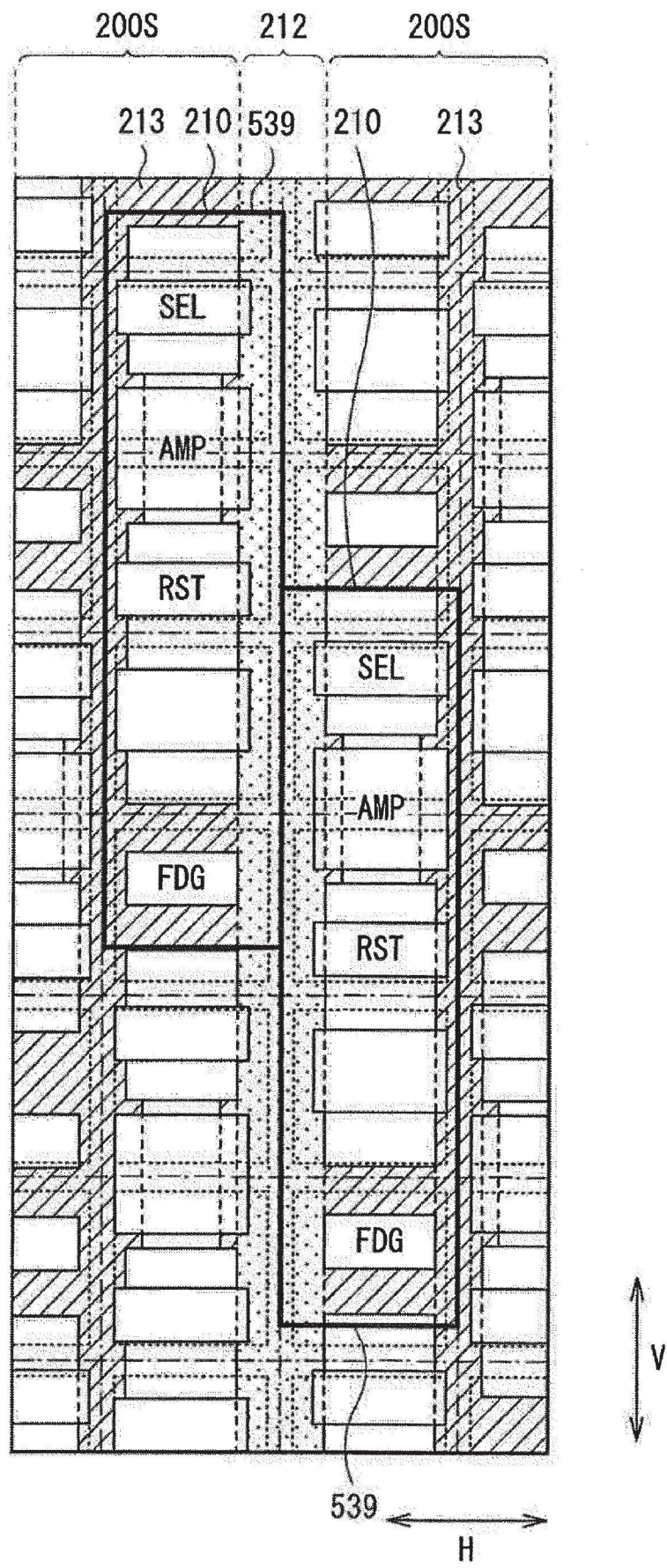
【圖81】



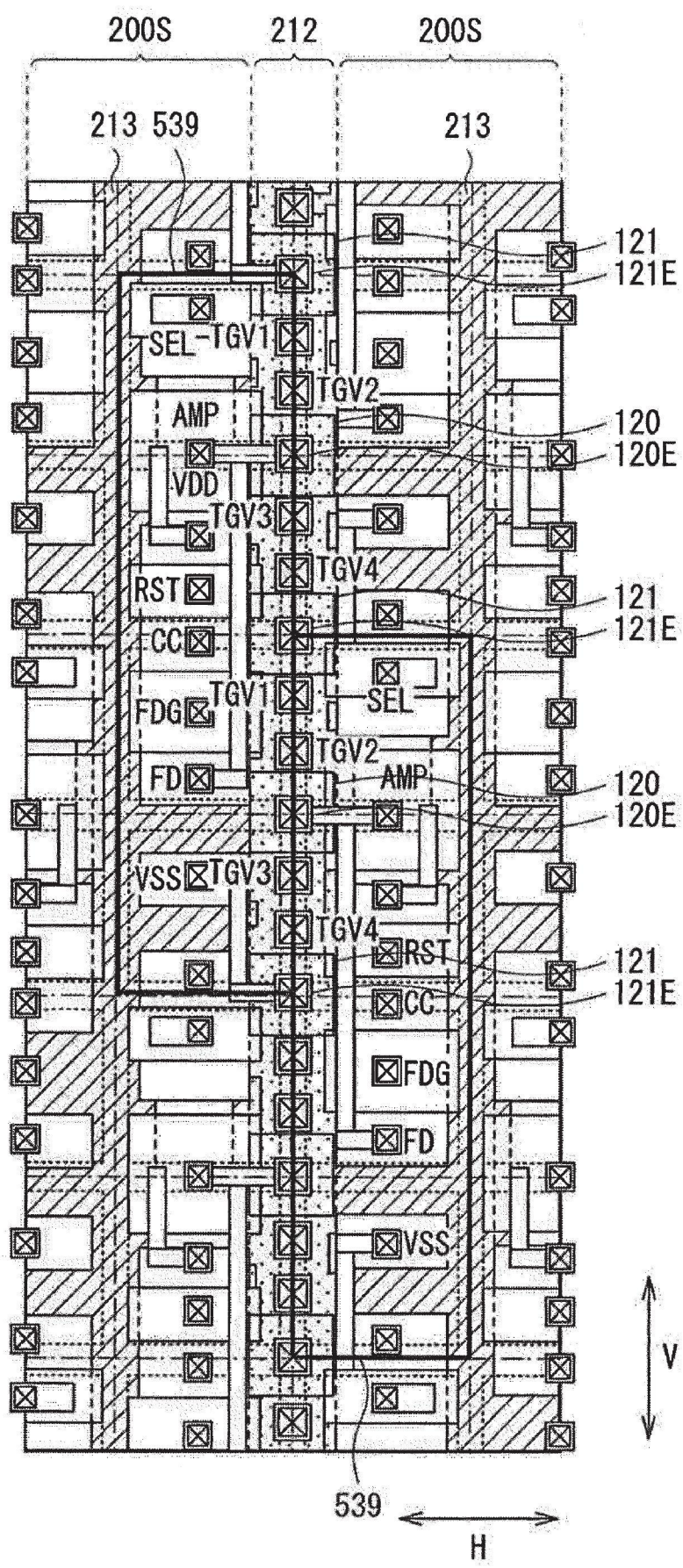
【圖82】



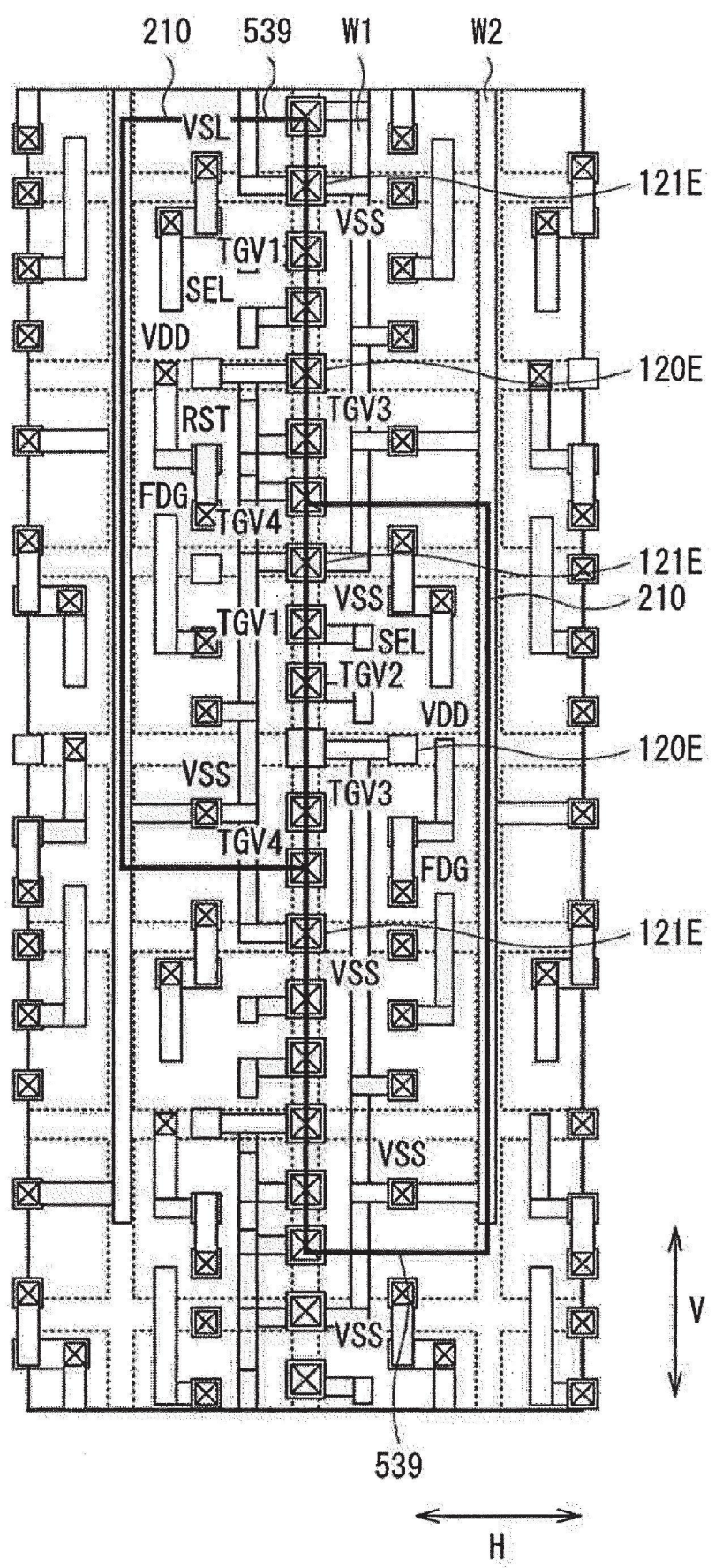
【圖83】



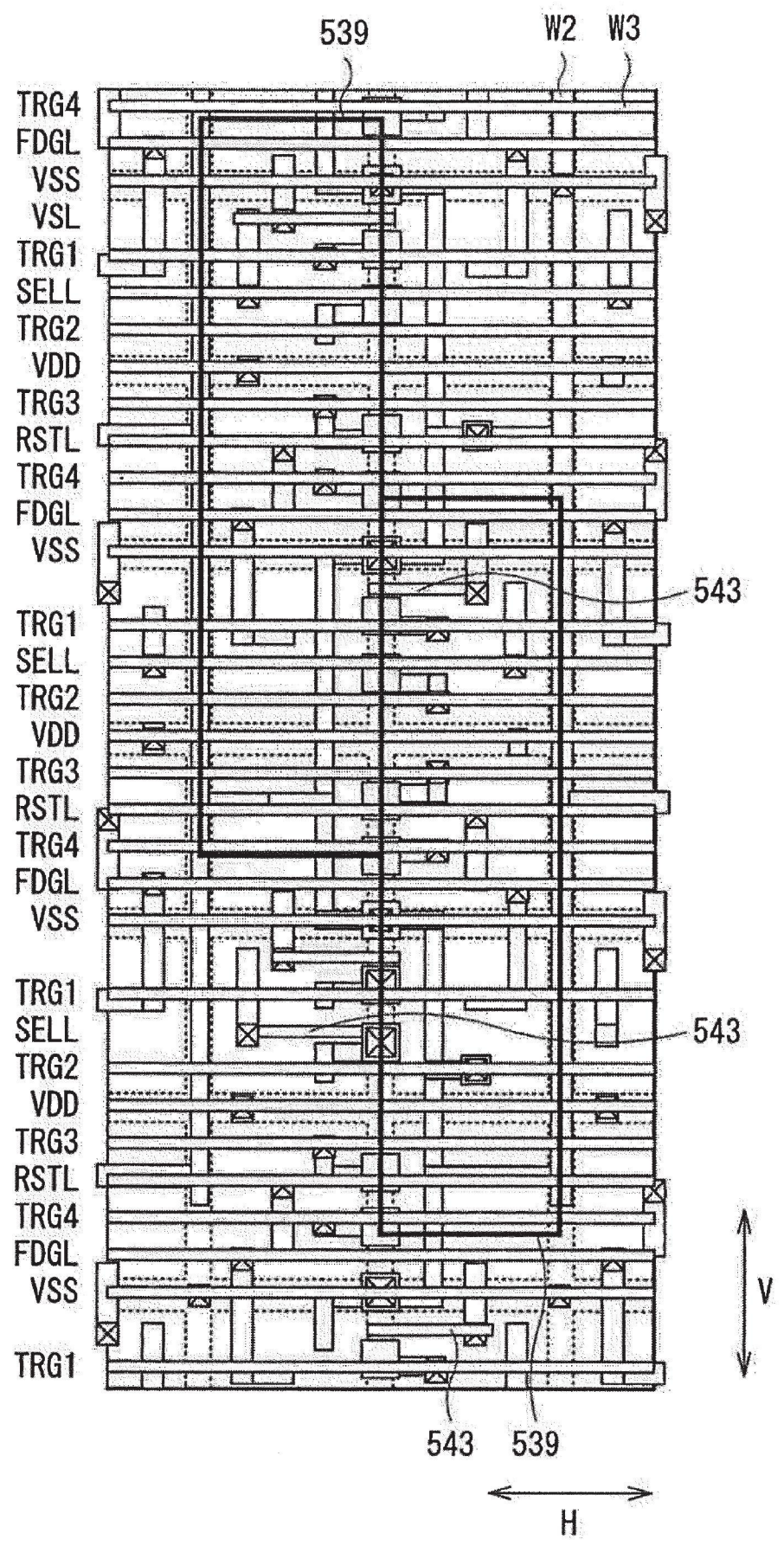
【圖84】



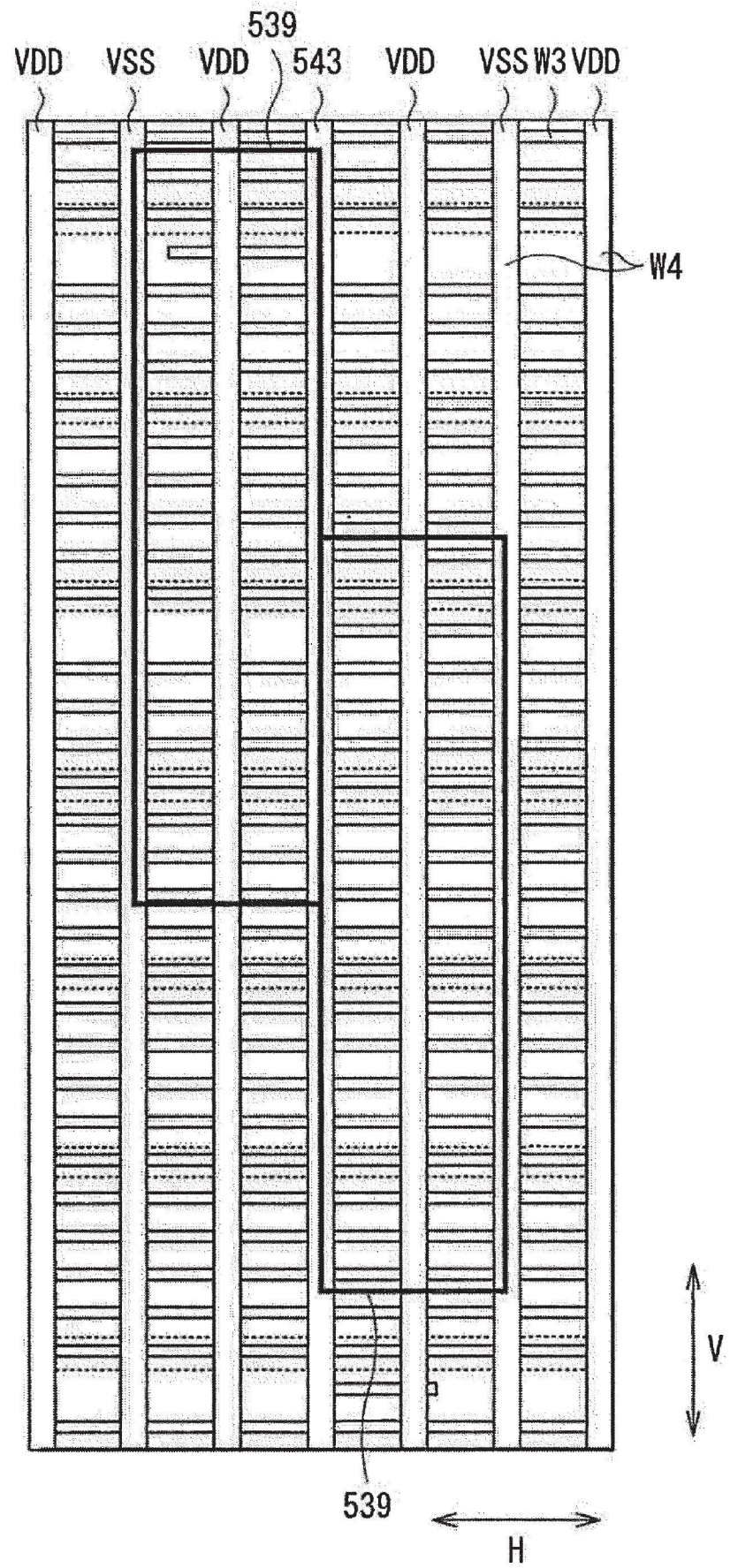
【圖85】



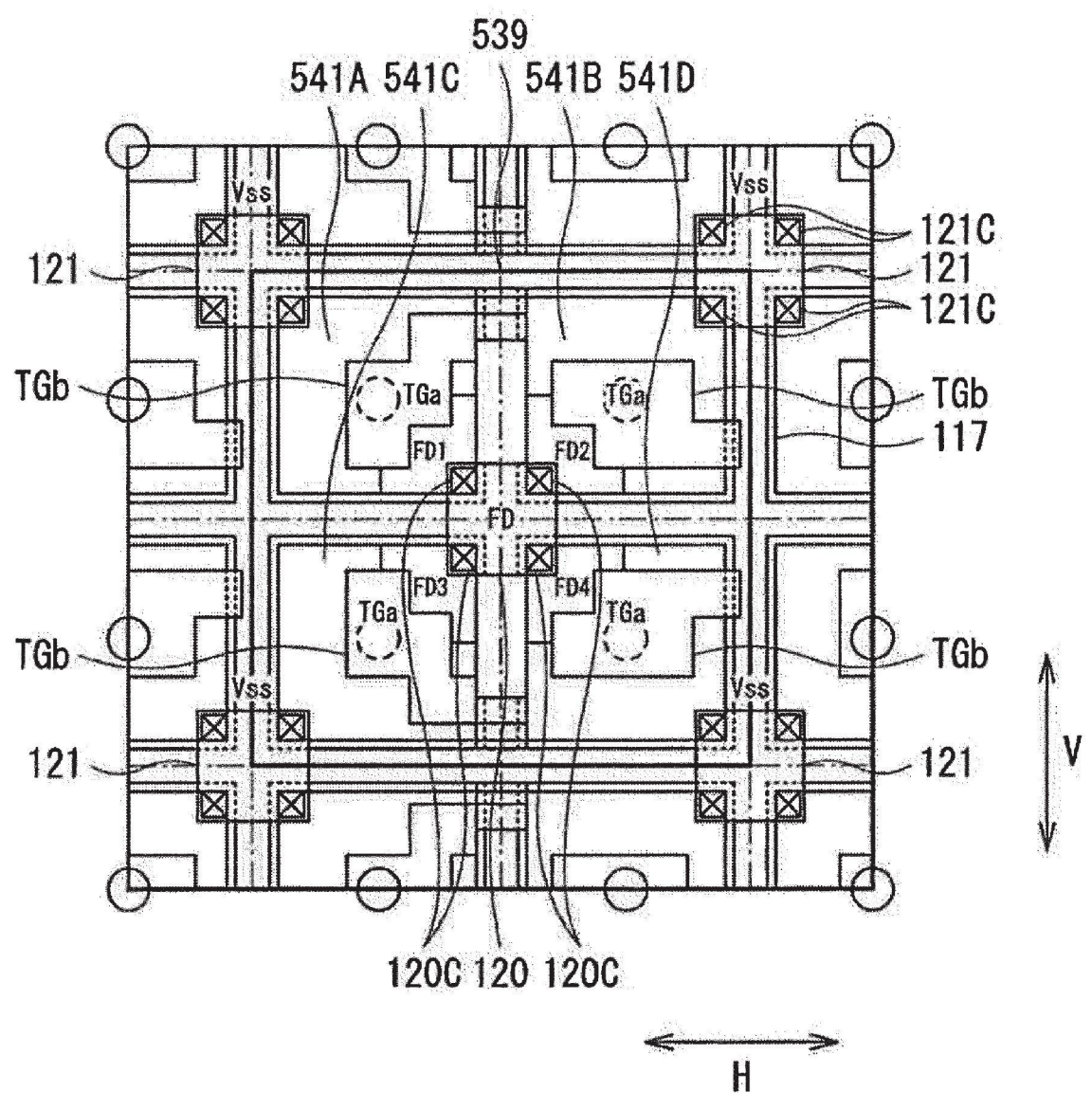
【圖86】



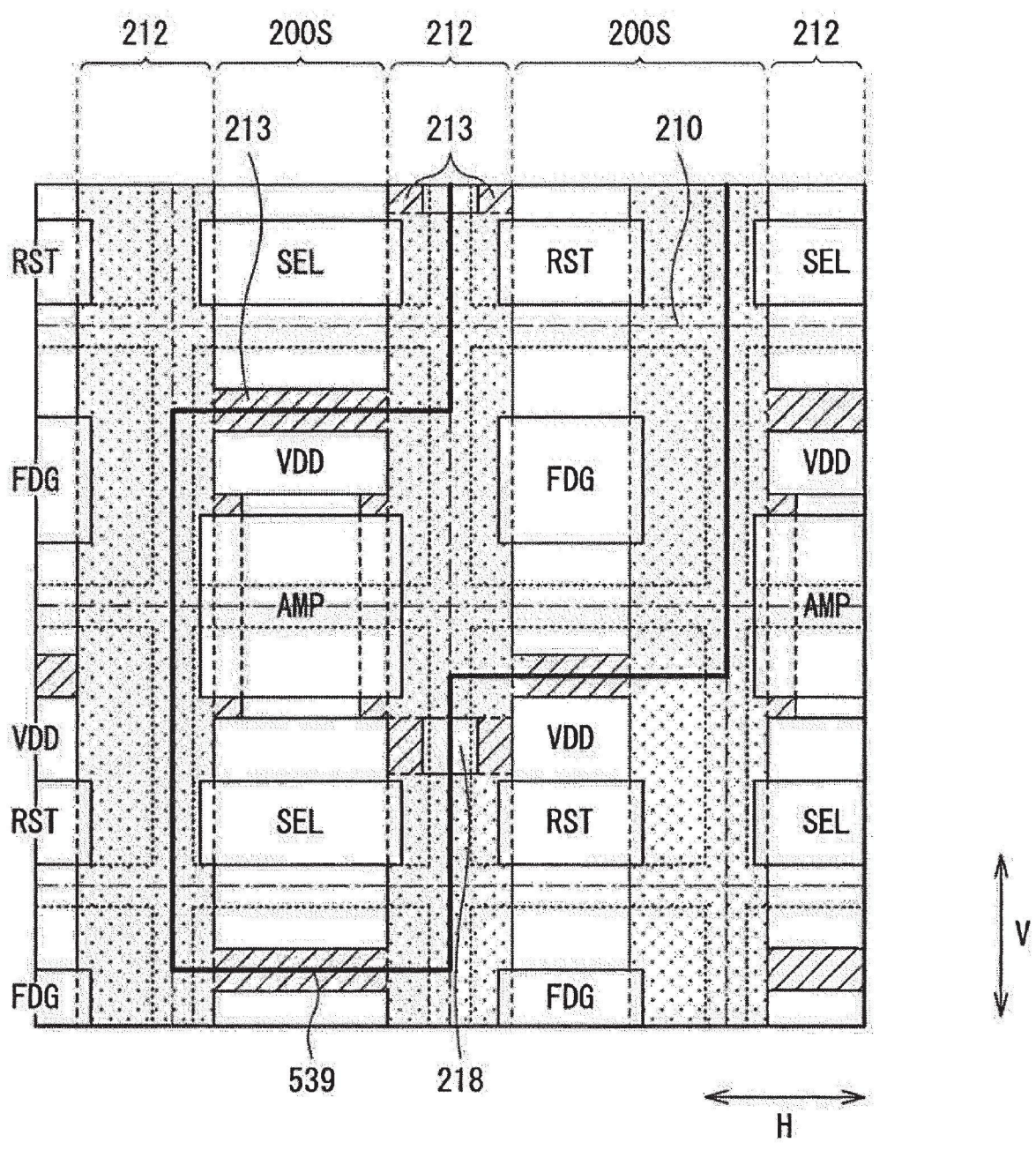
【圖87】



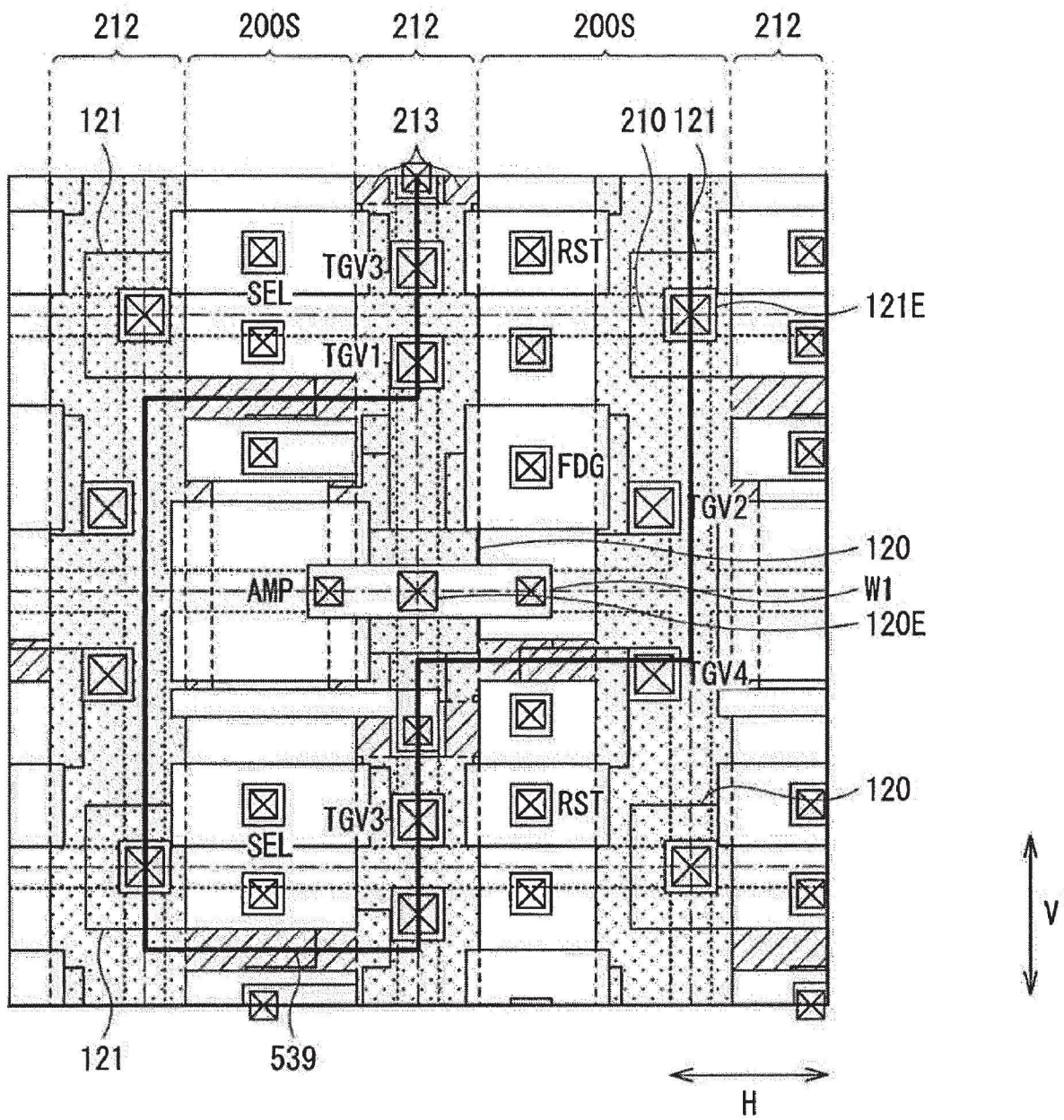
【圖88】



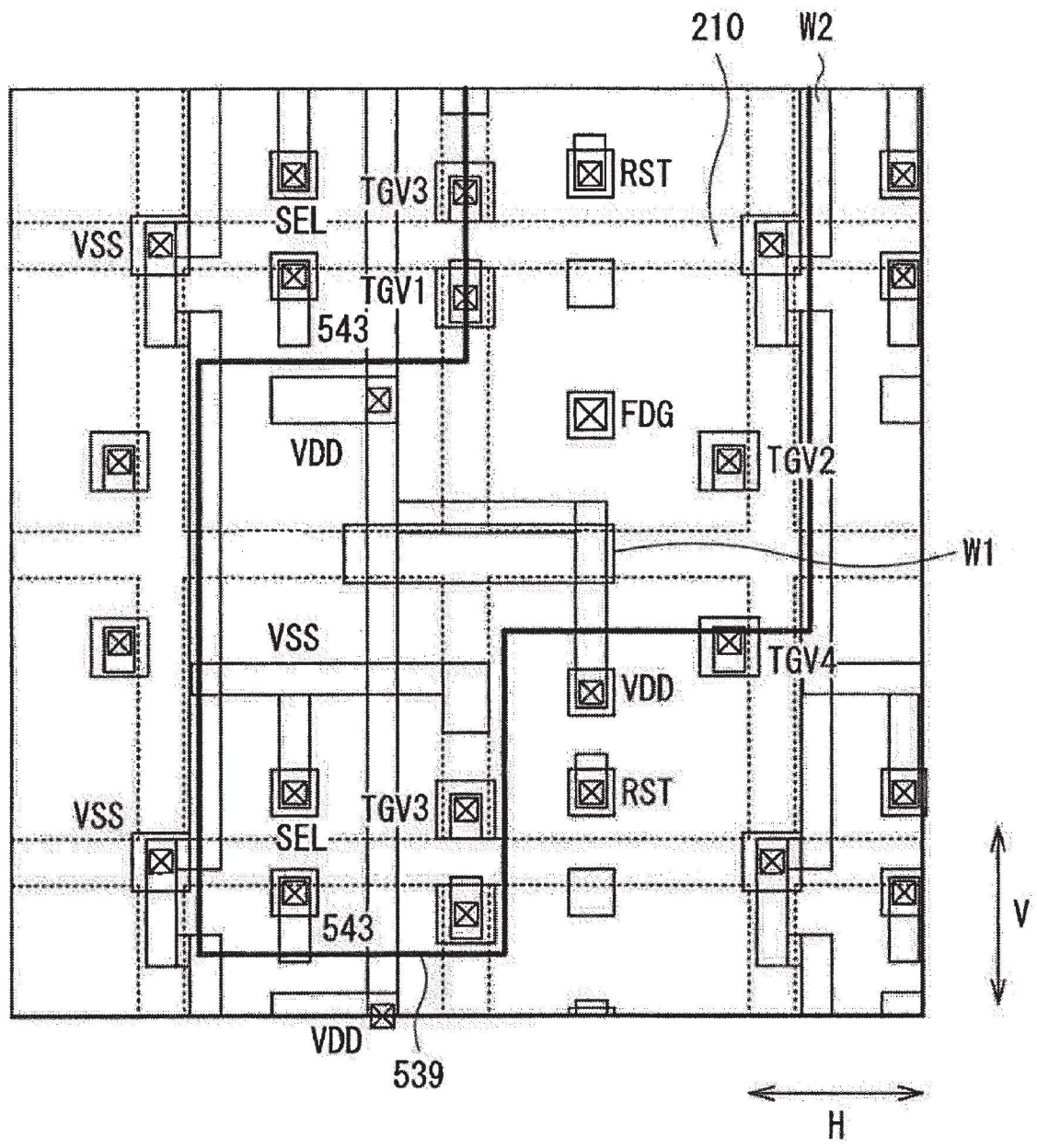
【圖89】



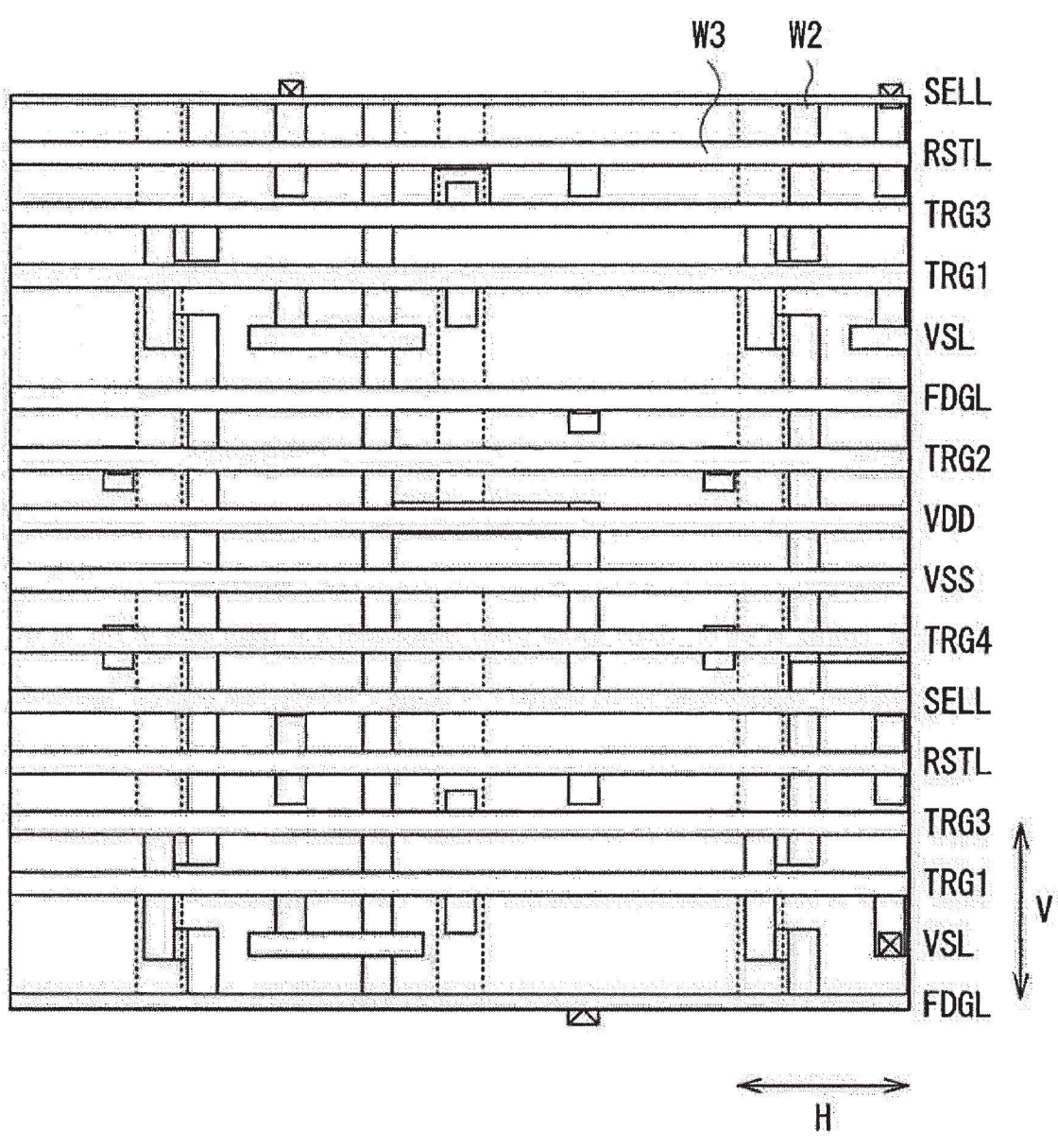
【圖90】



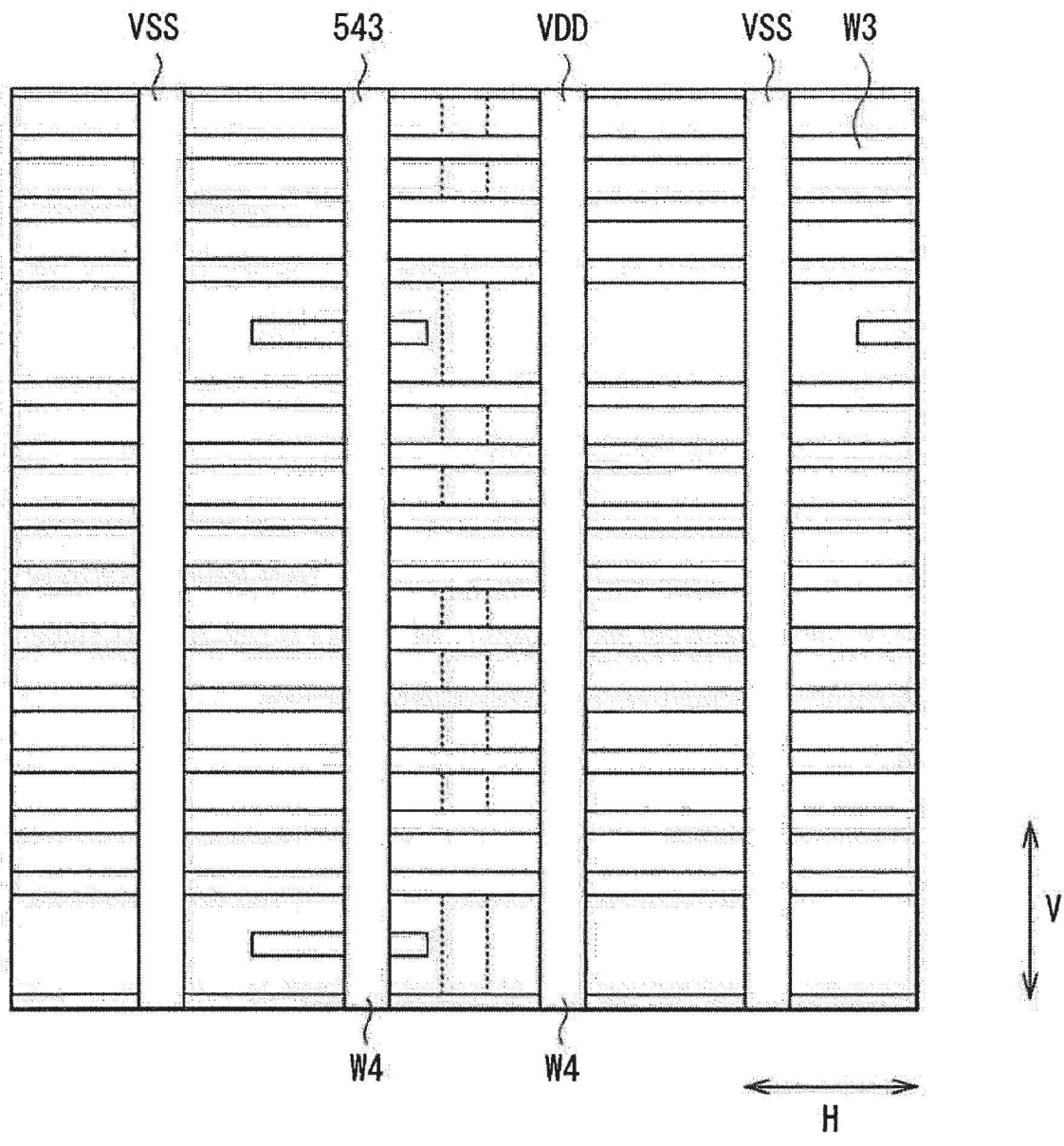
【圖91】



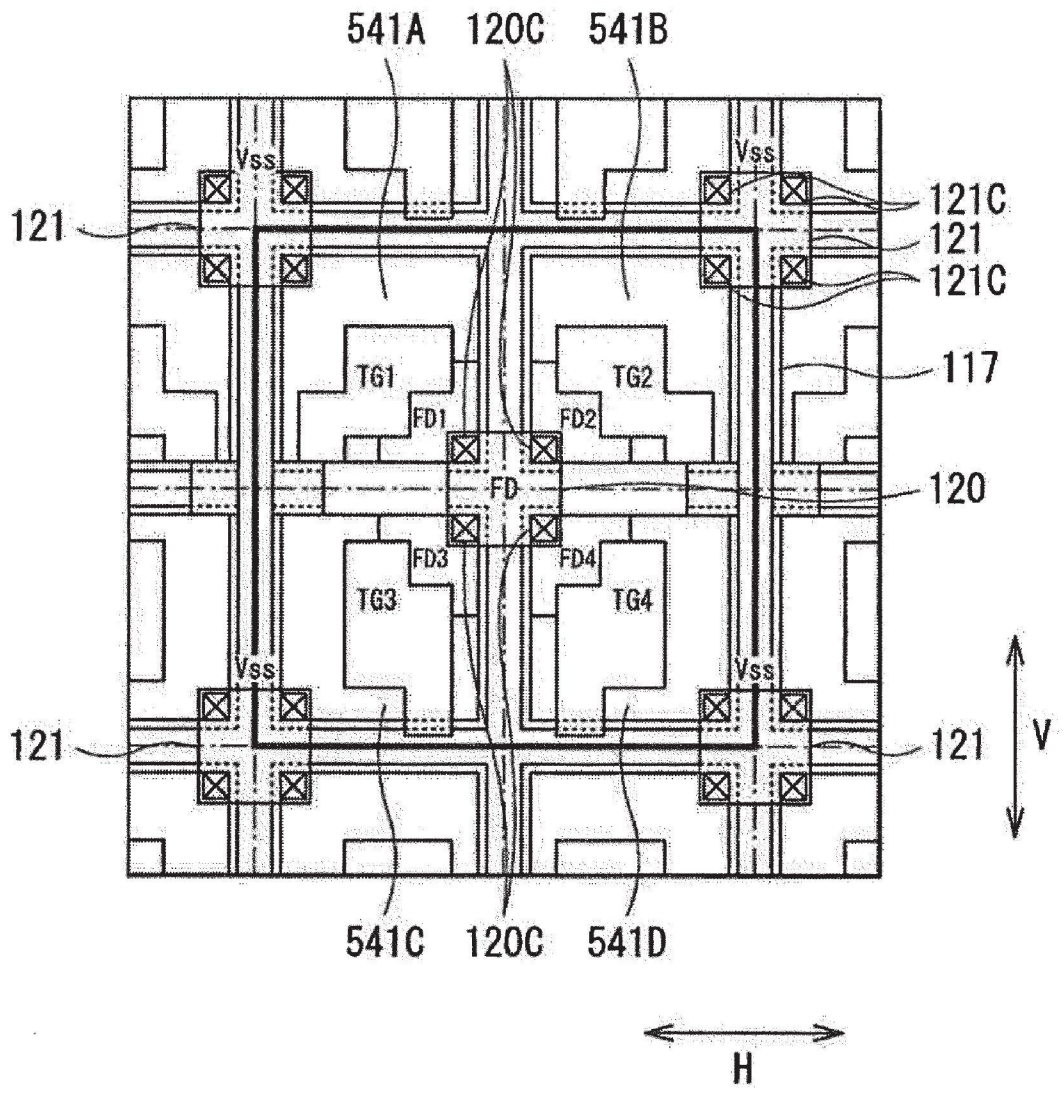
【圖92】



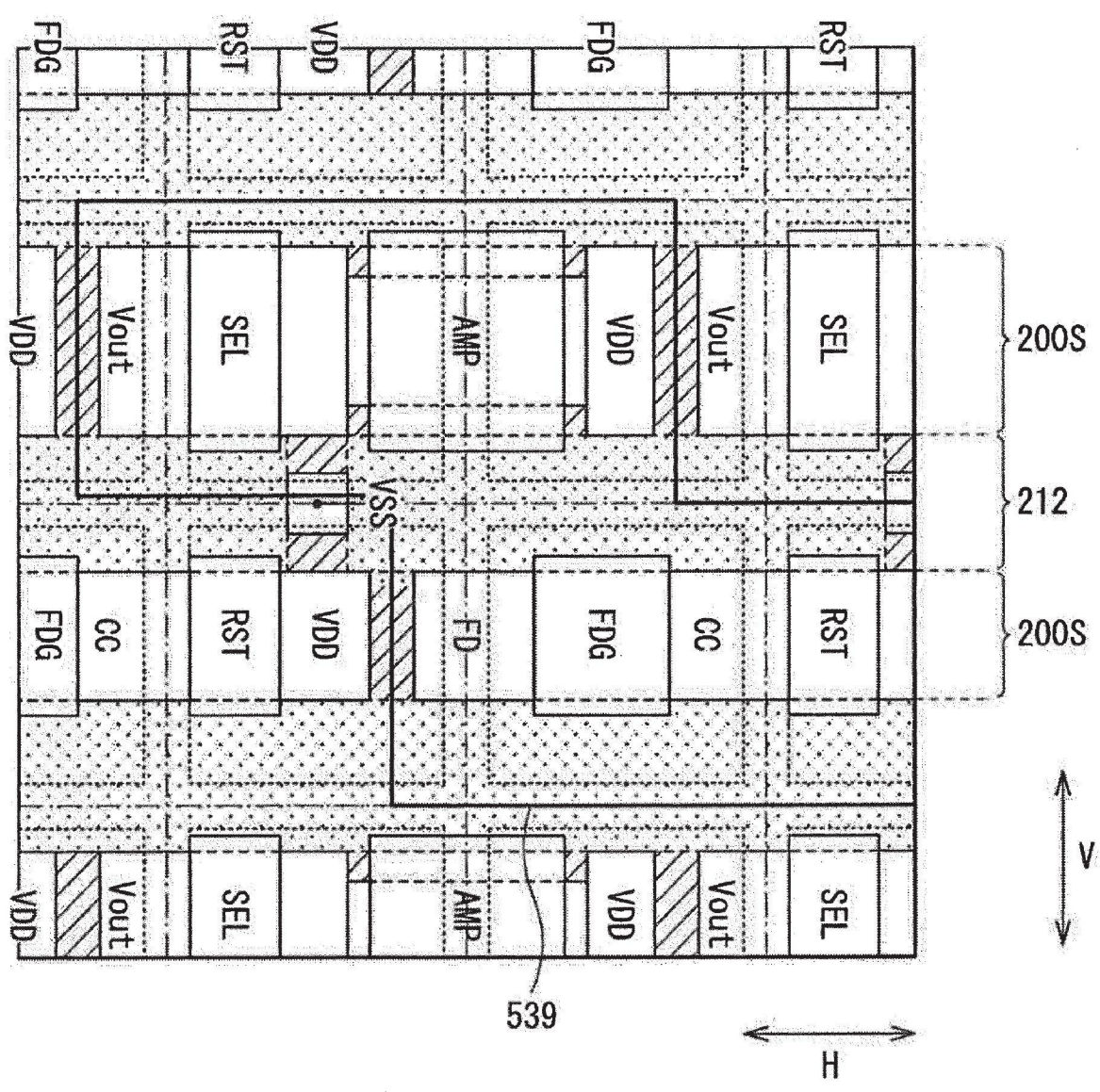
【圖93】



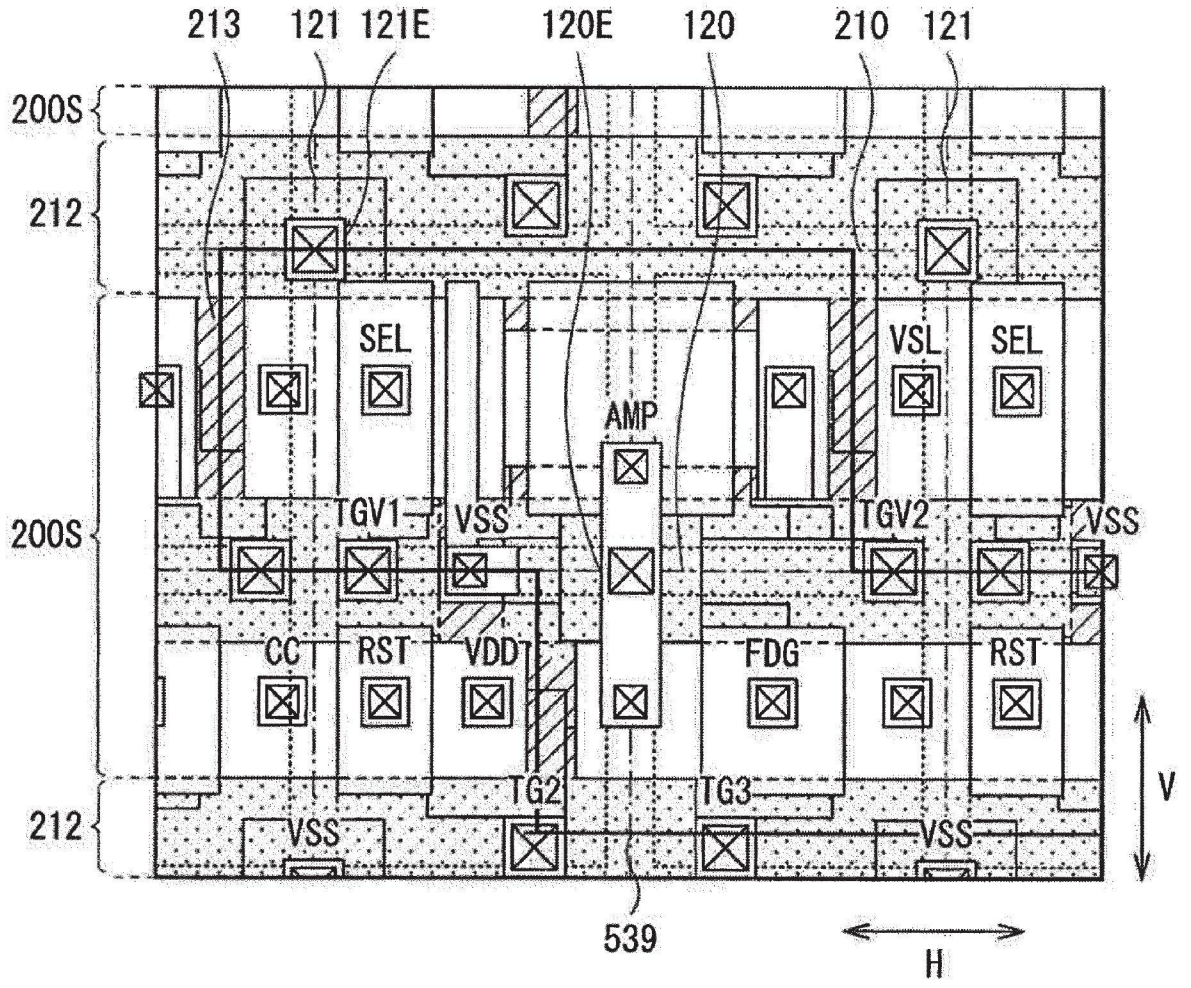
【圖94】



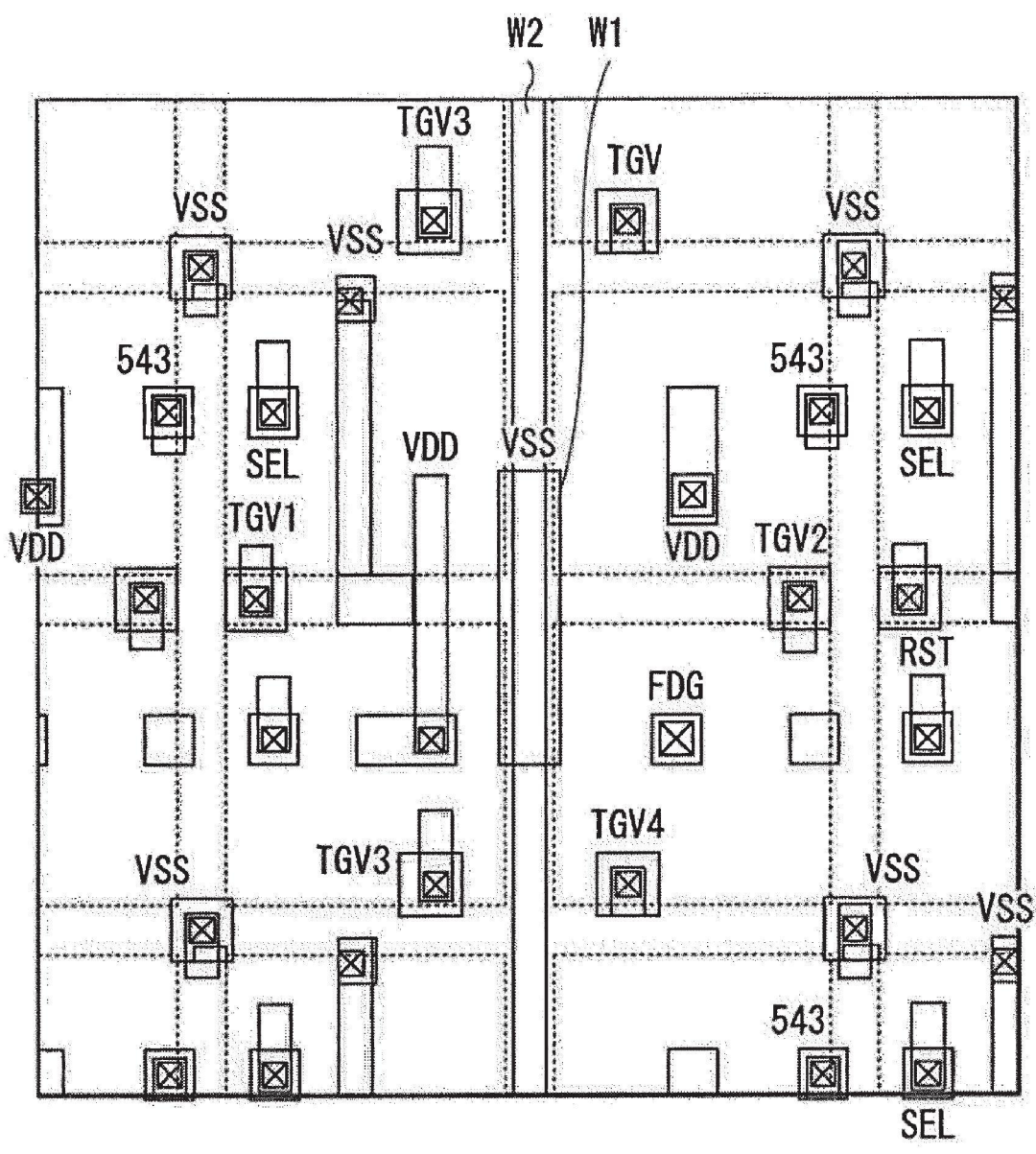
【圖95】



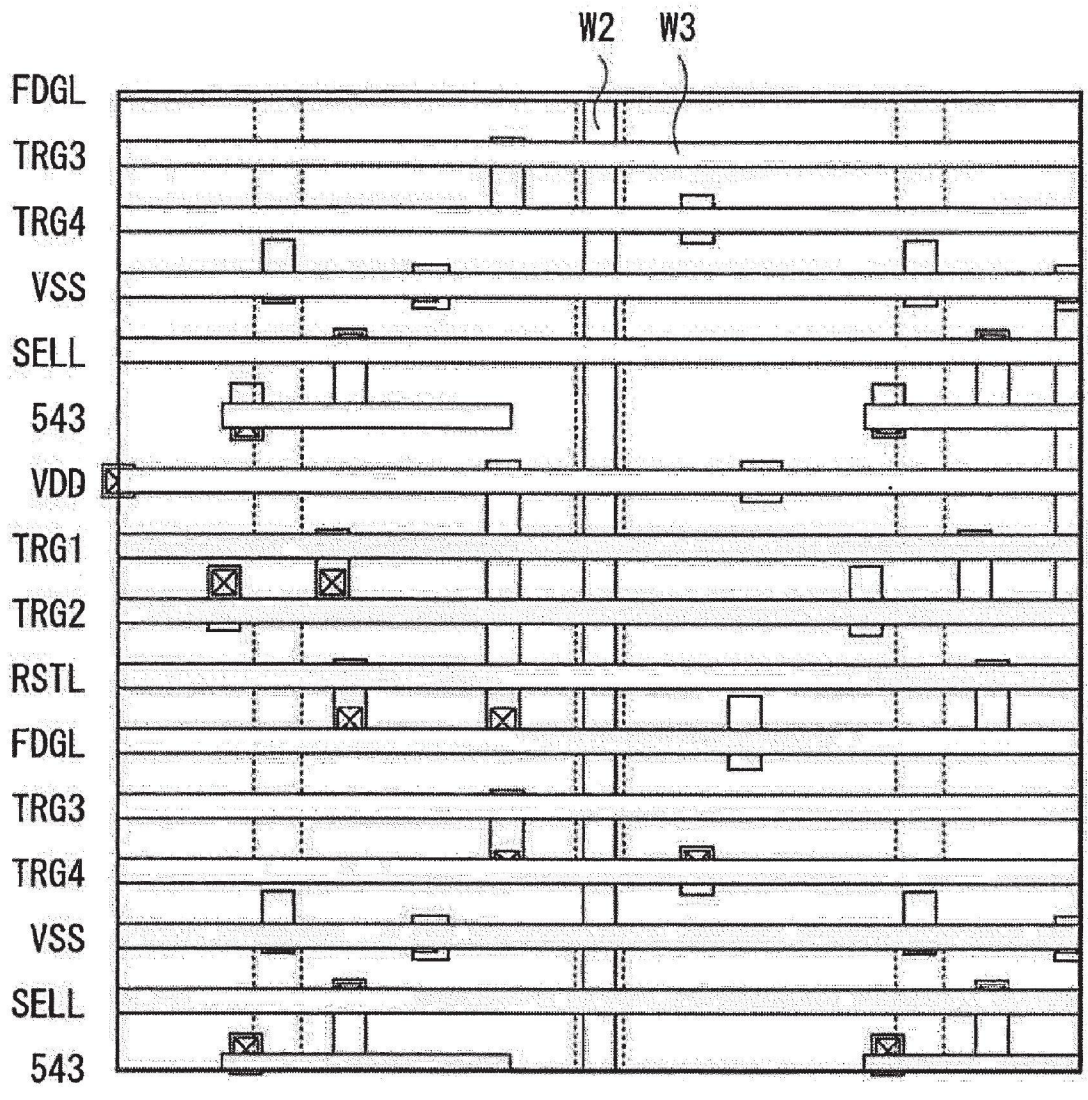
【圖96】



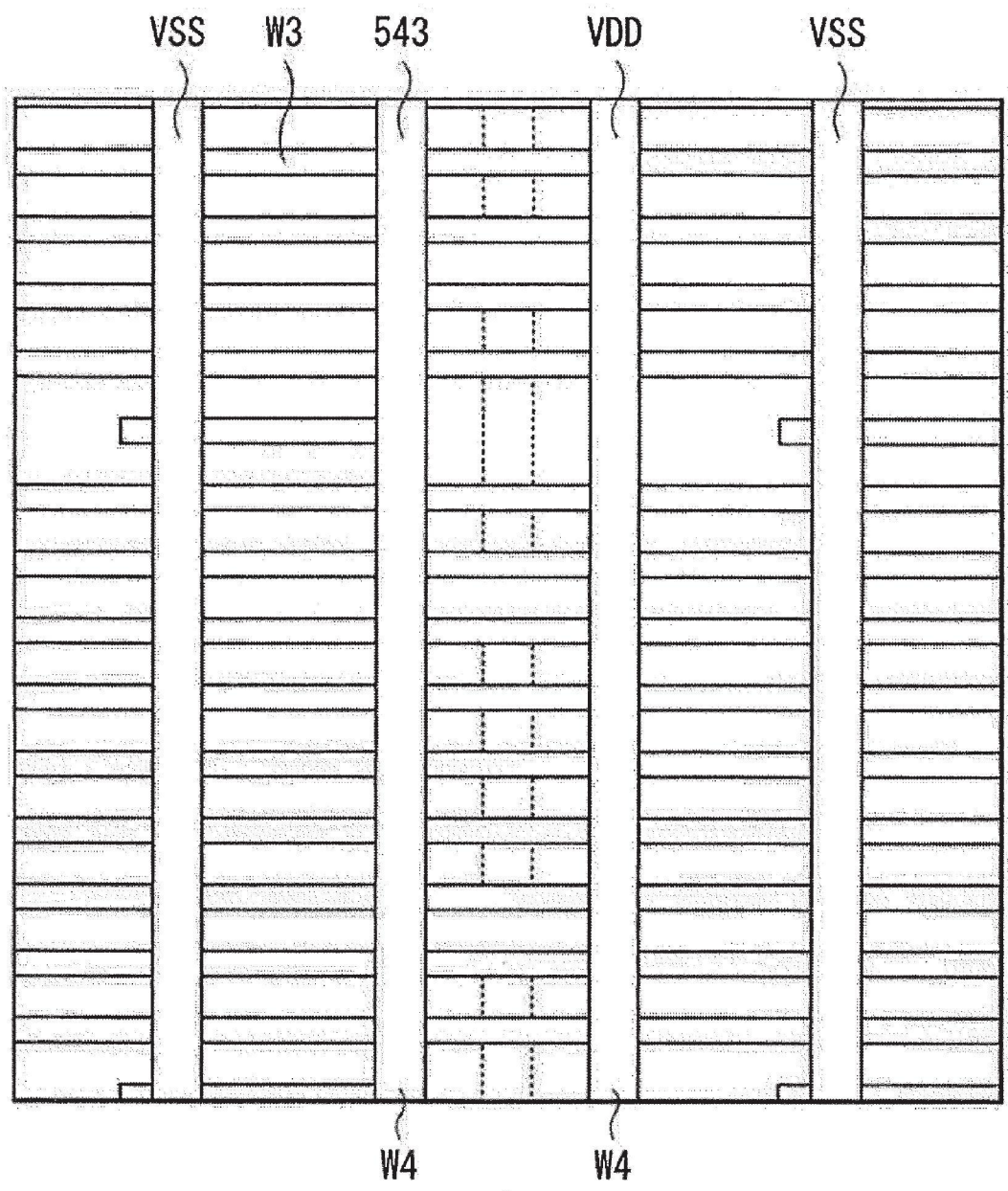
【圖97】



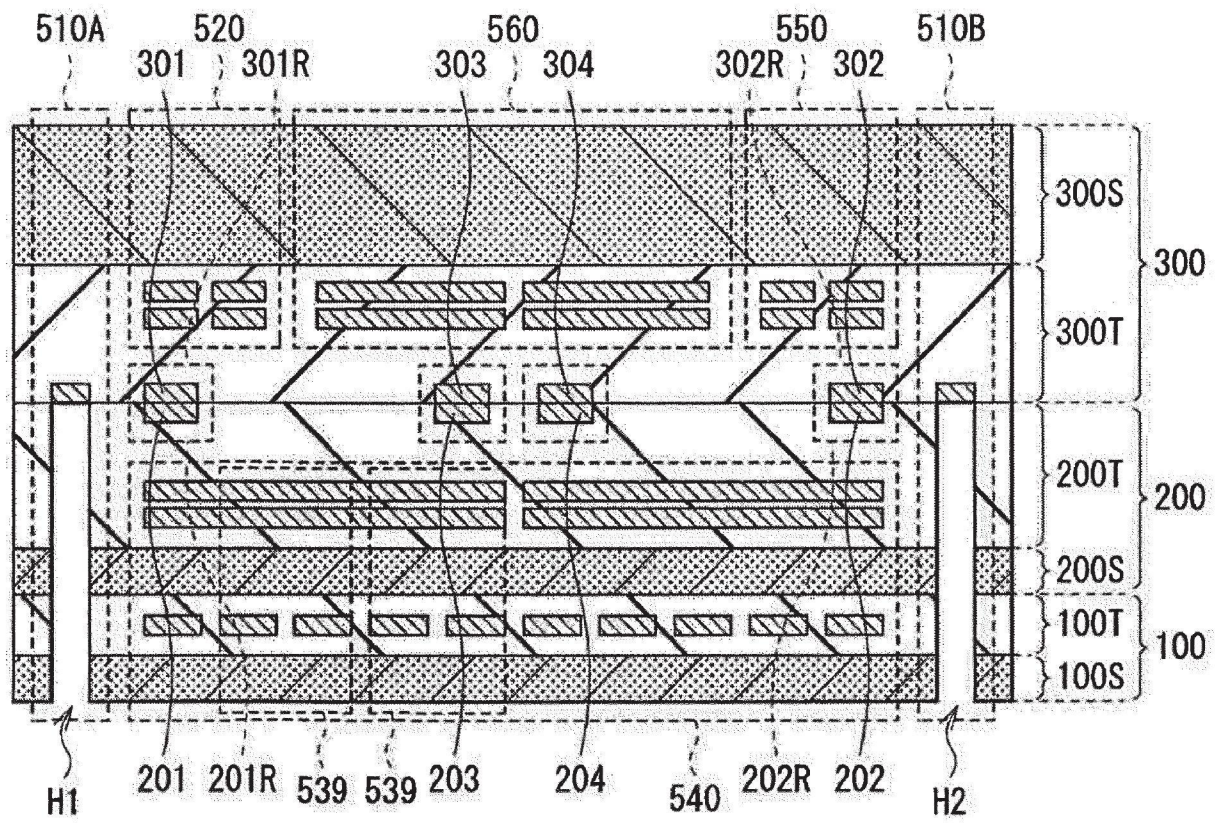
【圖98】



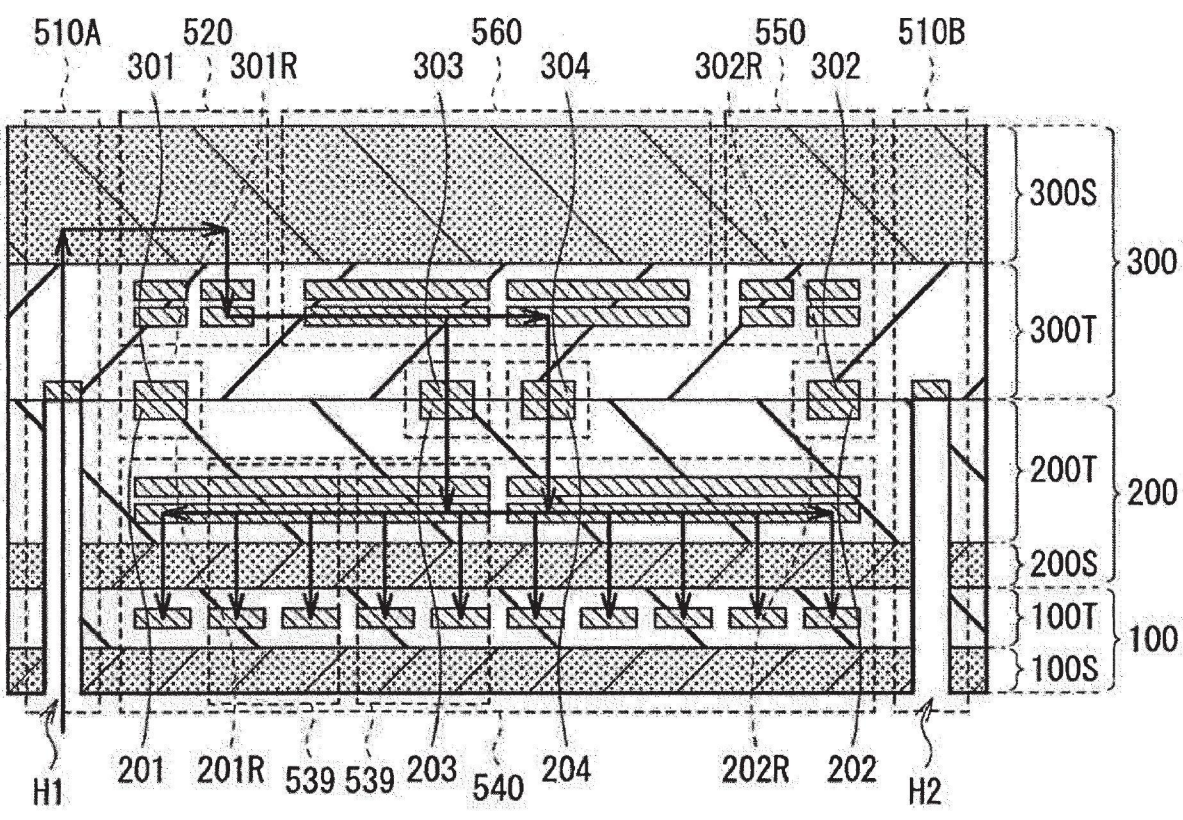
【圖99】



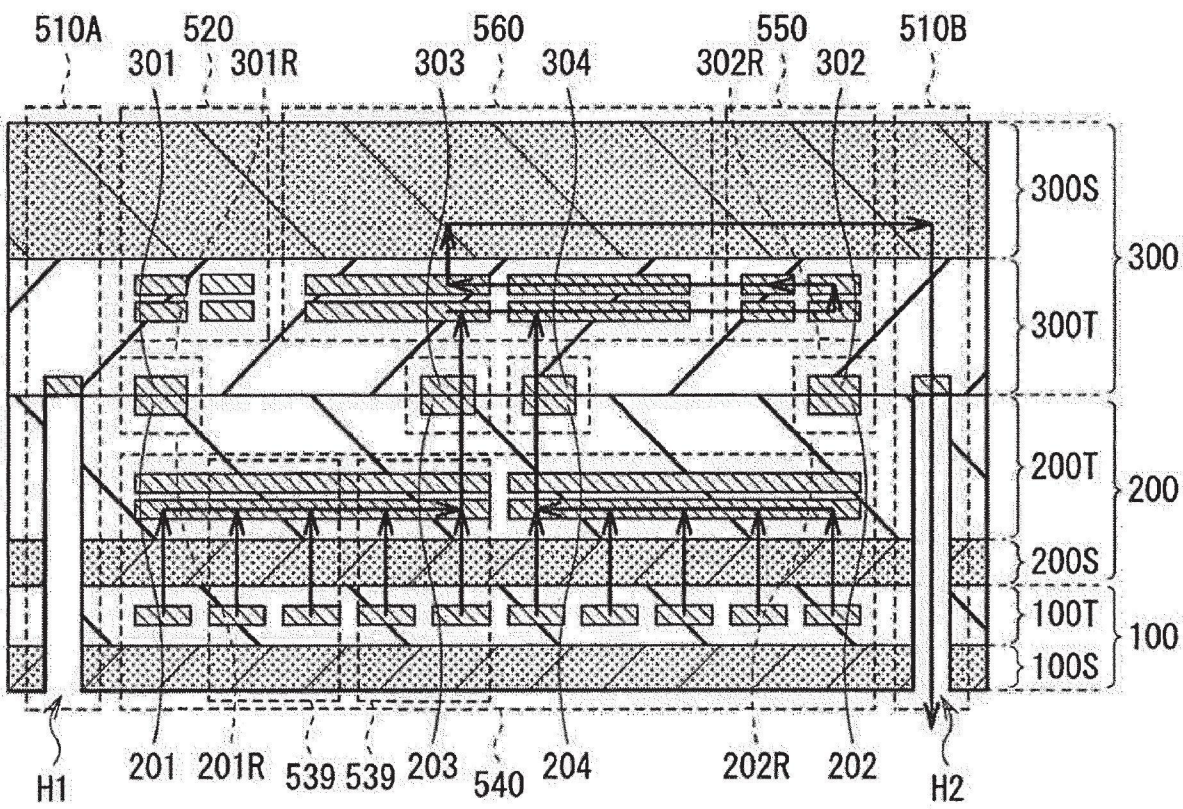
【圖100】



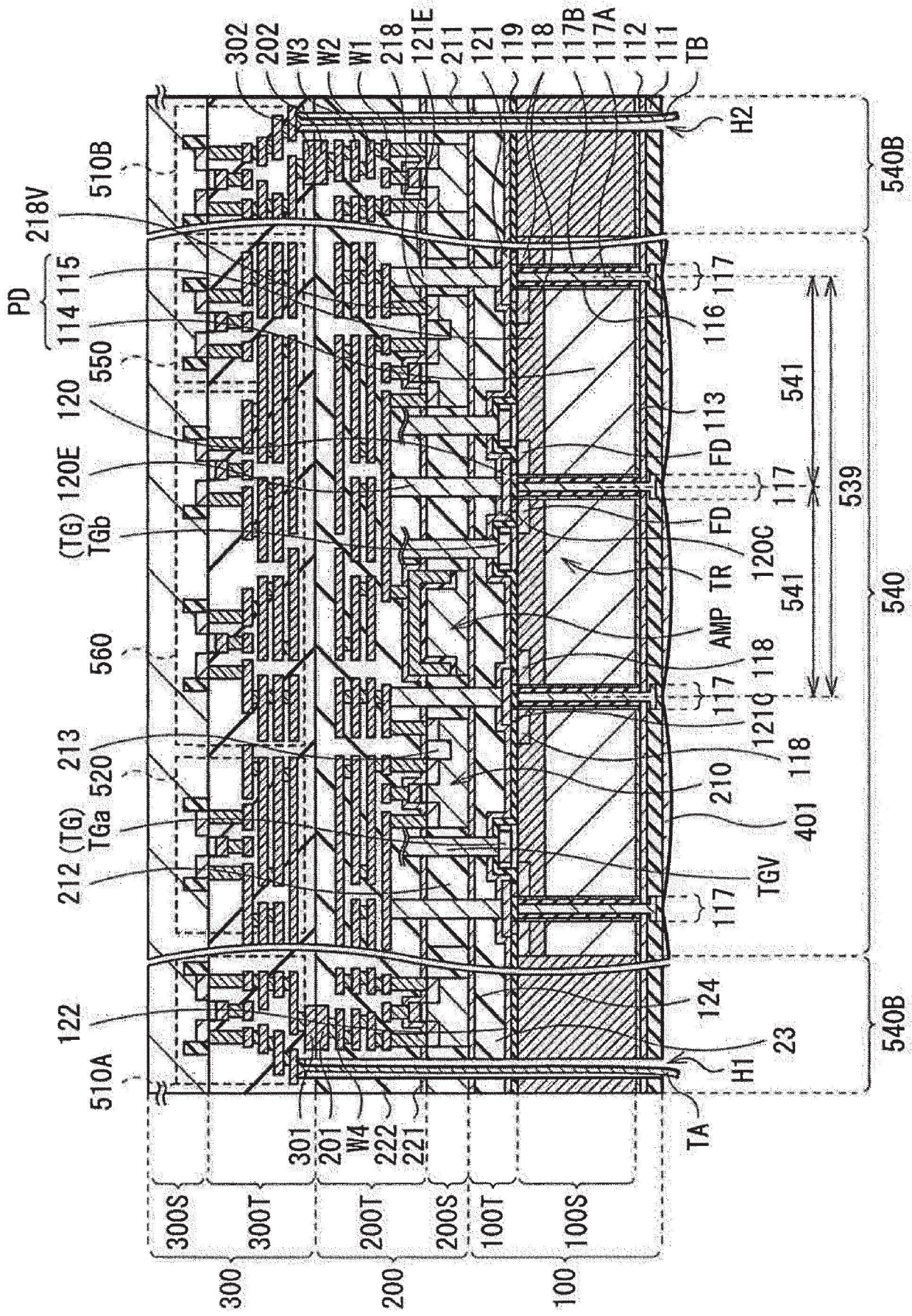
【圖101】



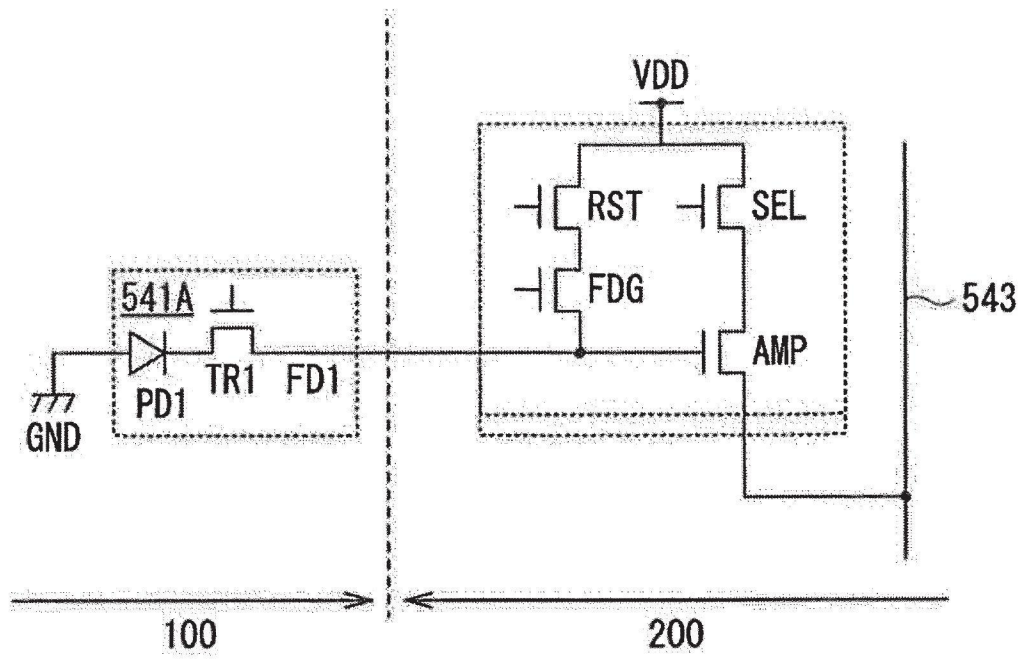
【圖102】



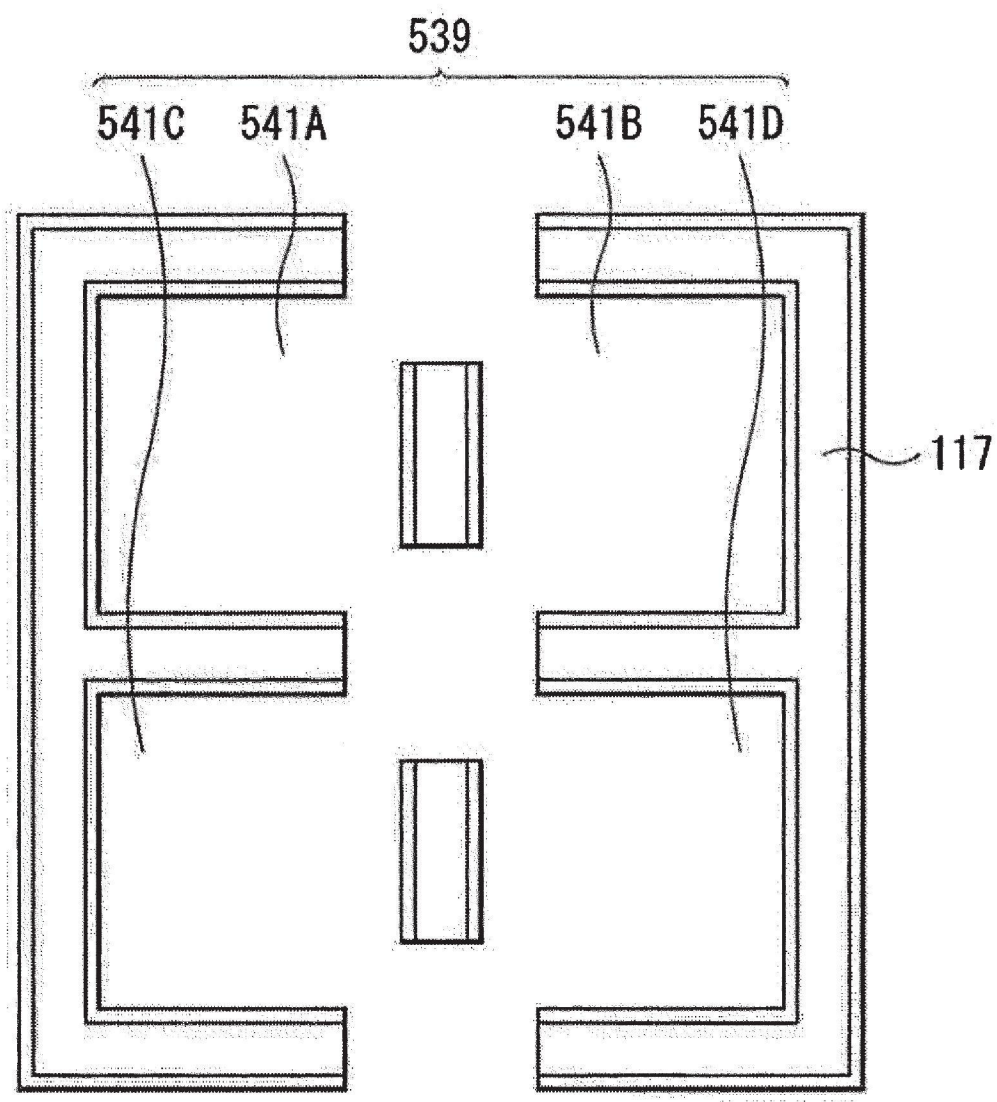
【圖103】



【圖104】

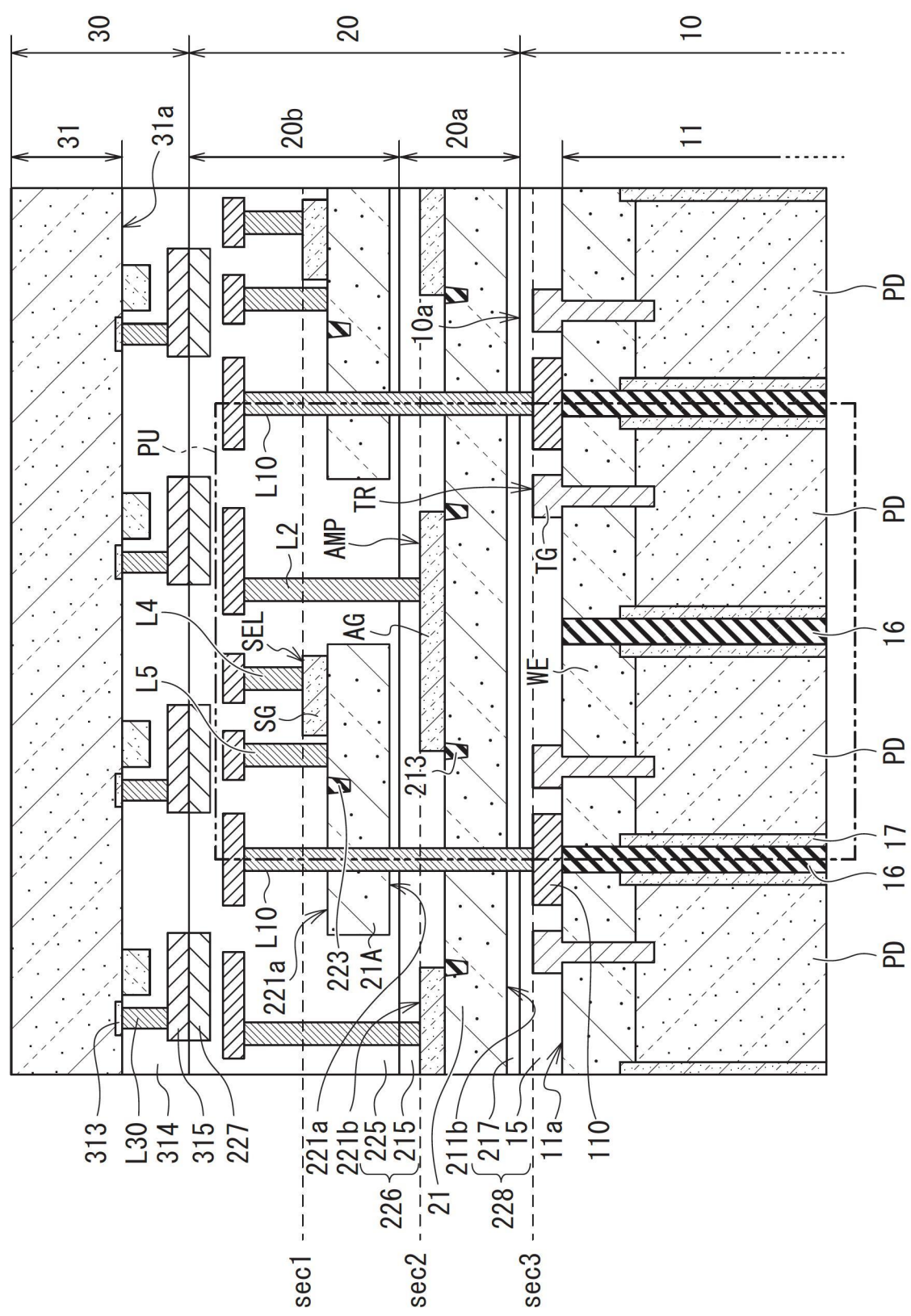


【圖105】

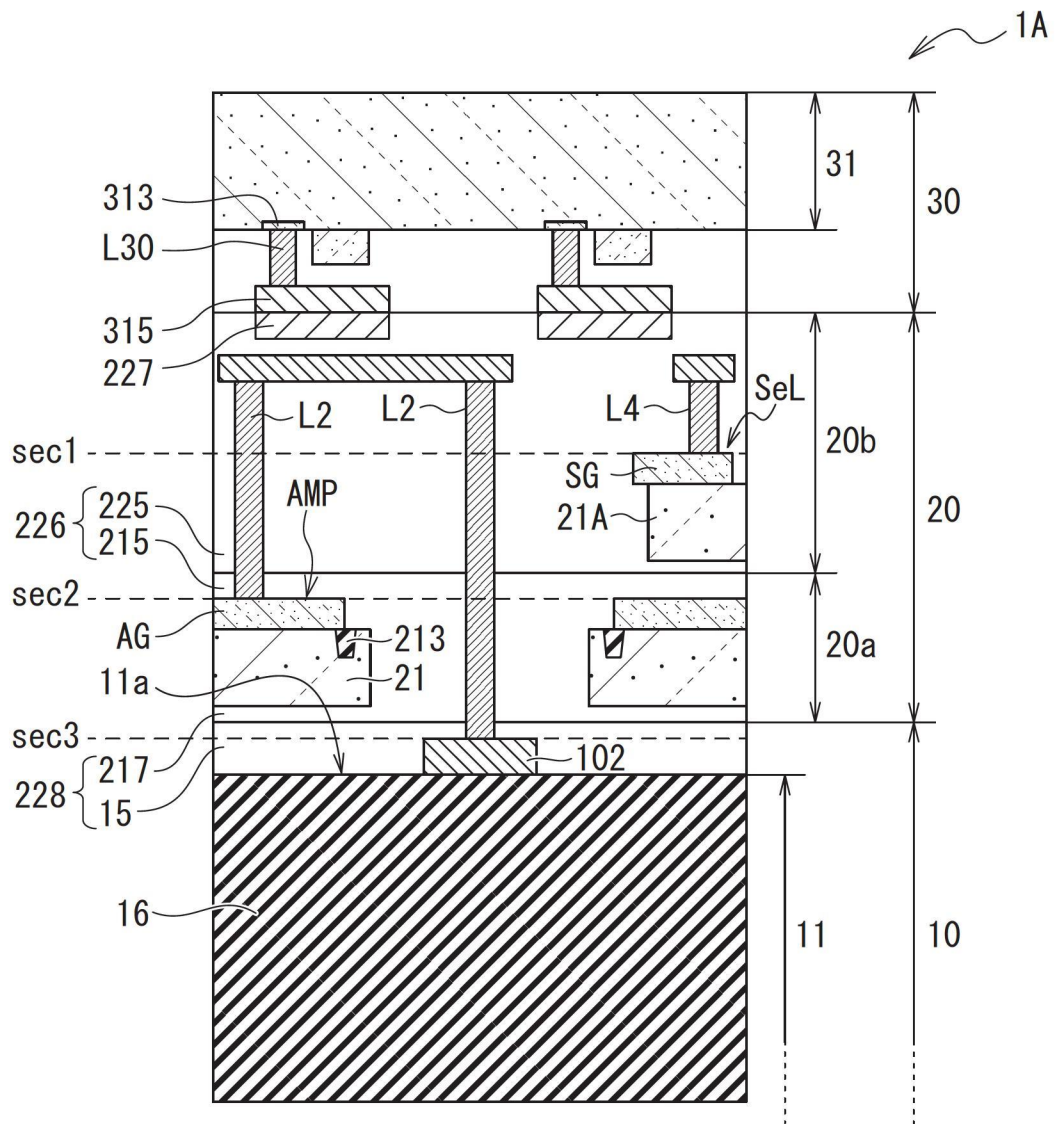


【圖106】

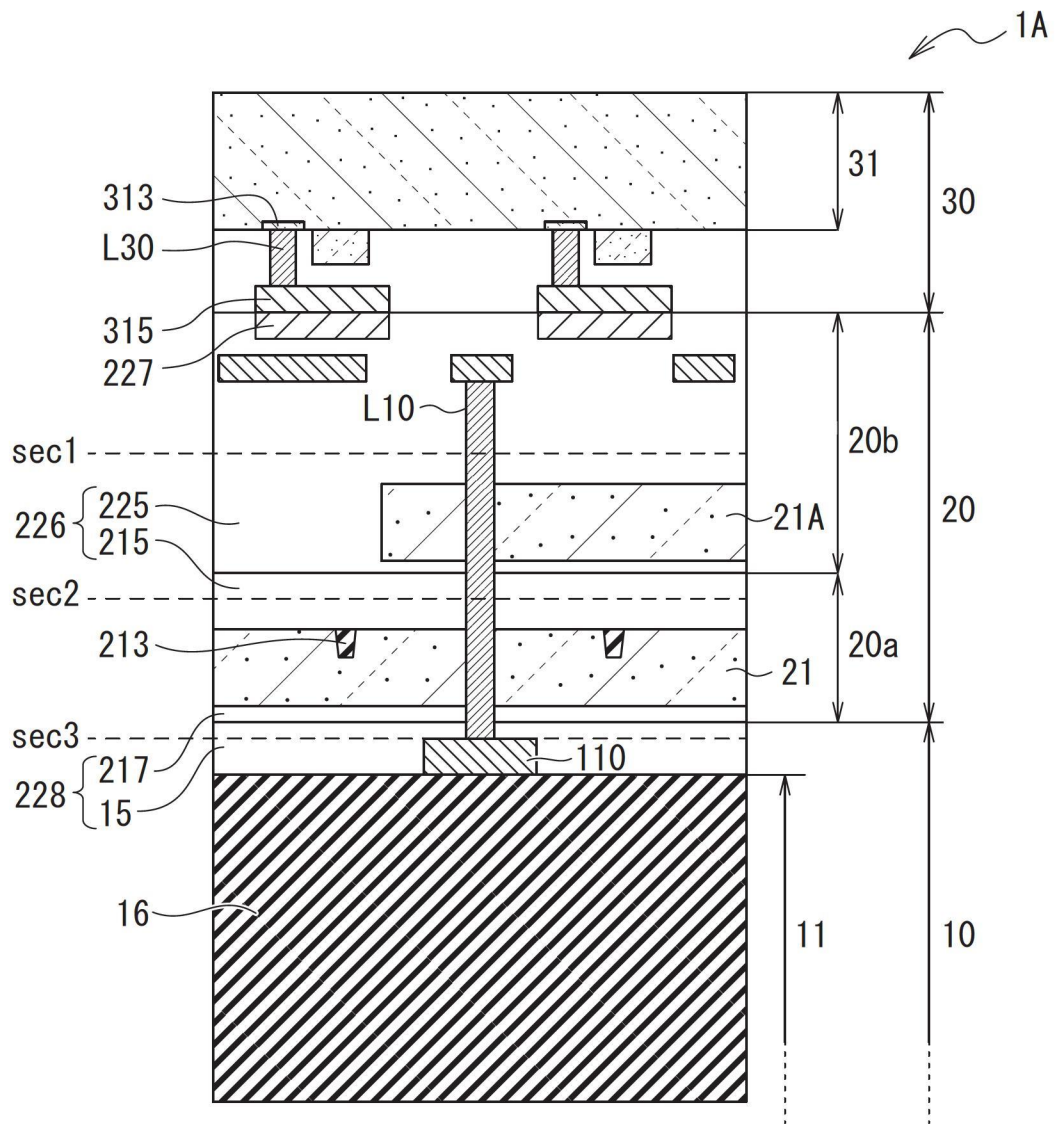
1A



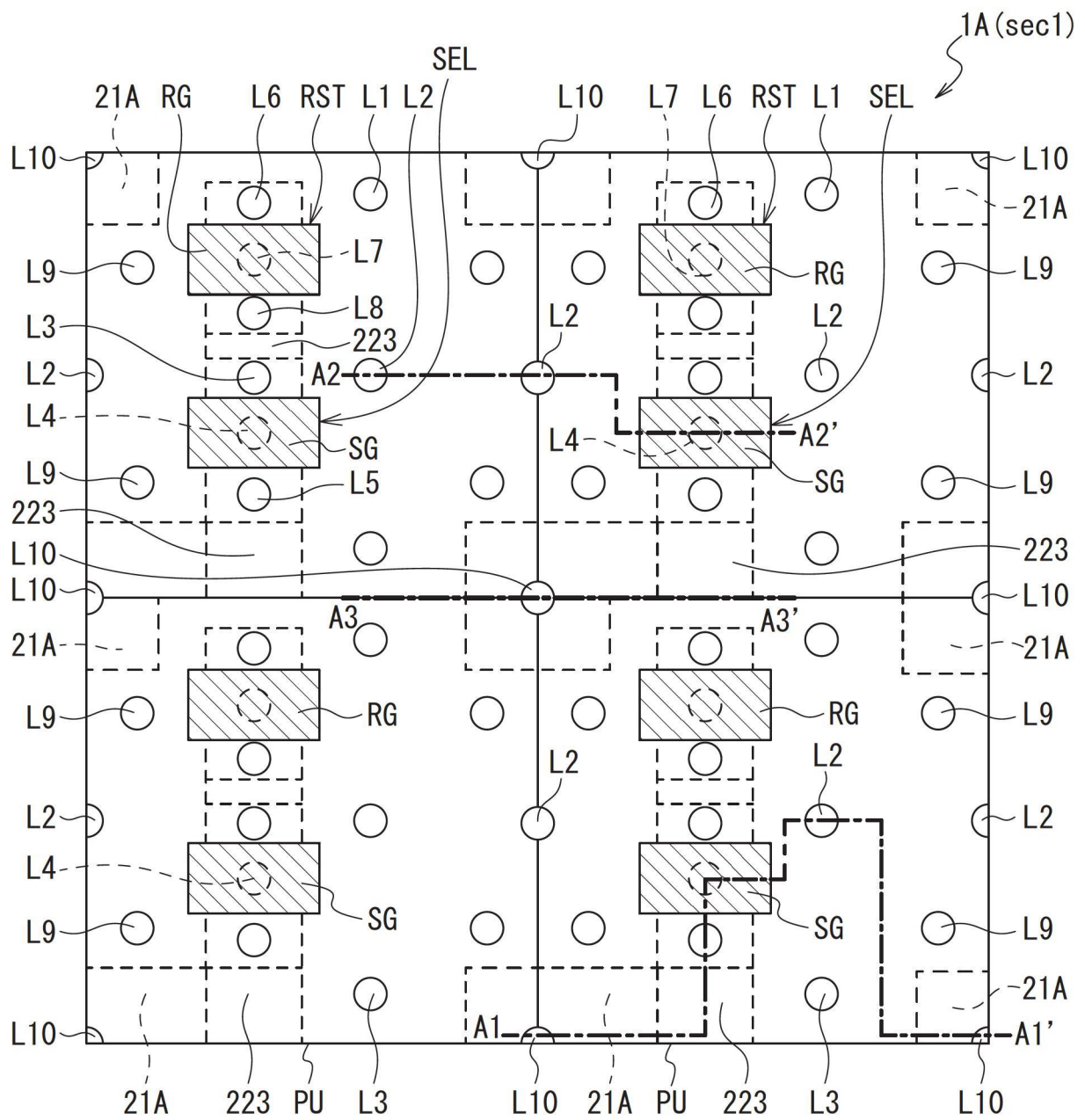
【圖107】



【圖108】

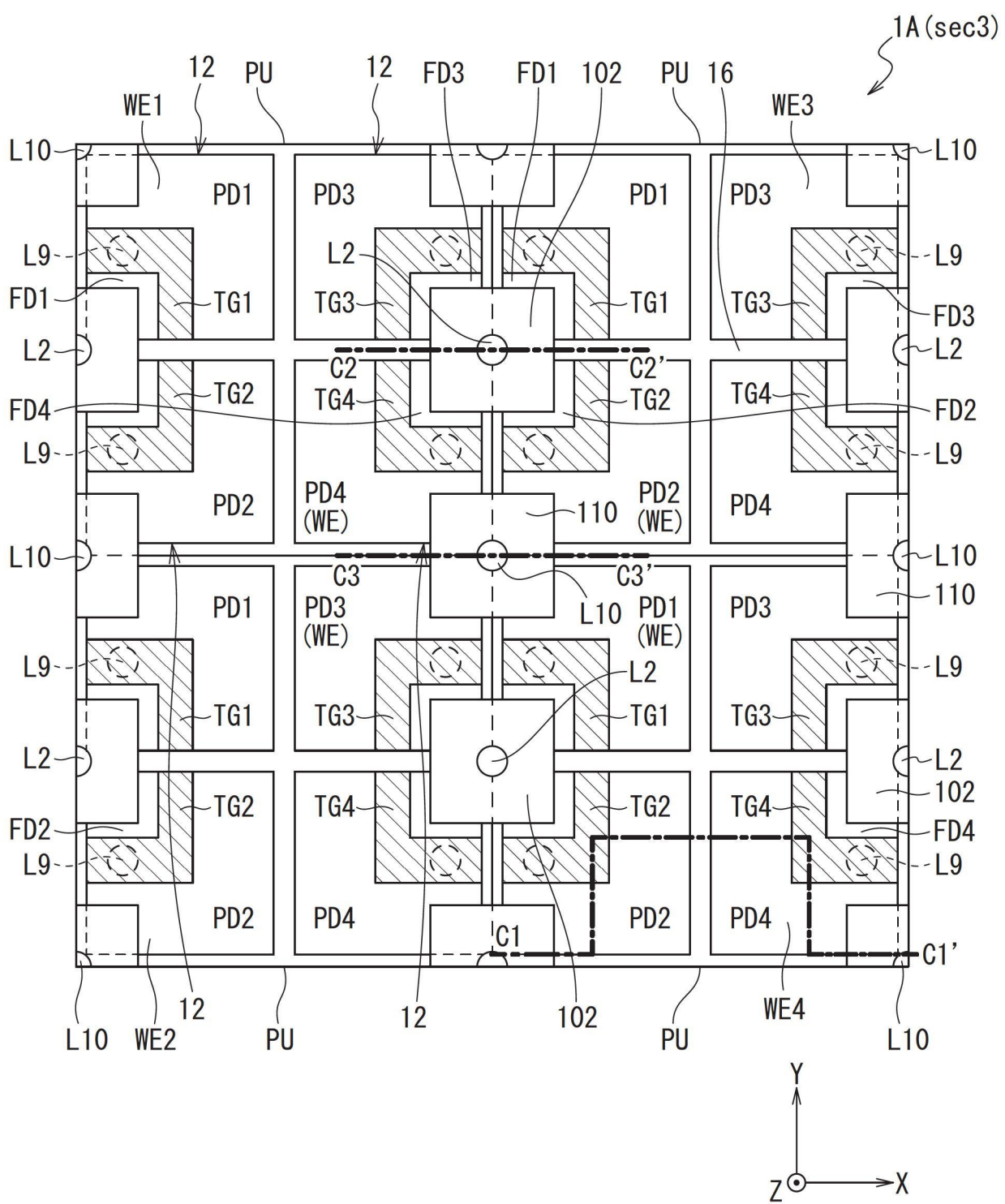


【圖109】

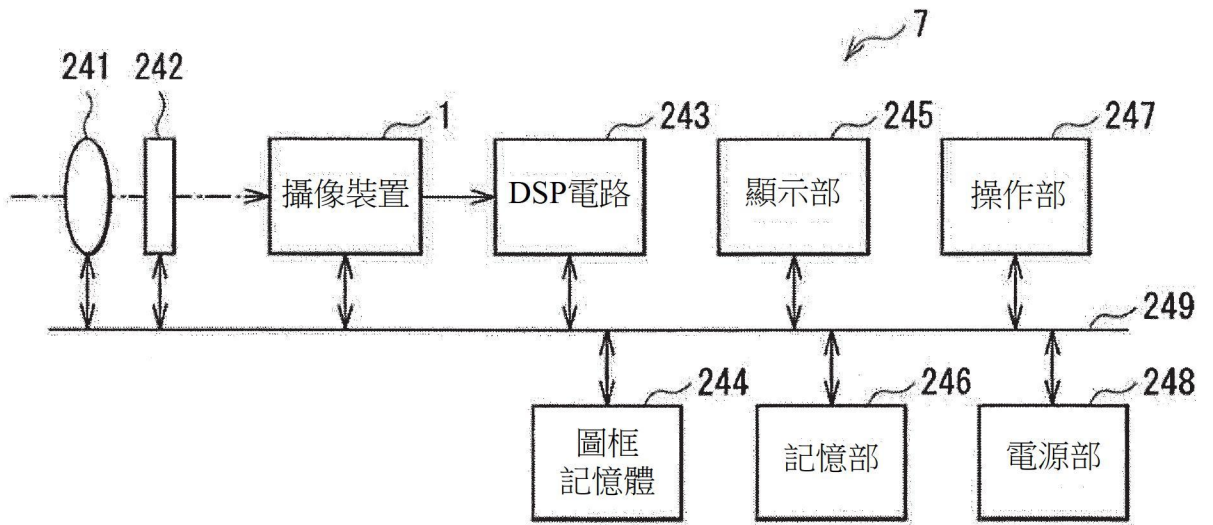


【圖110】

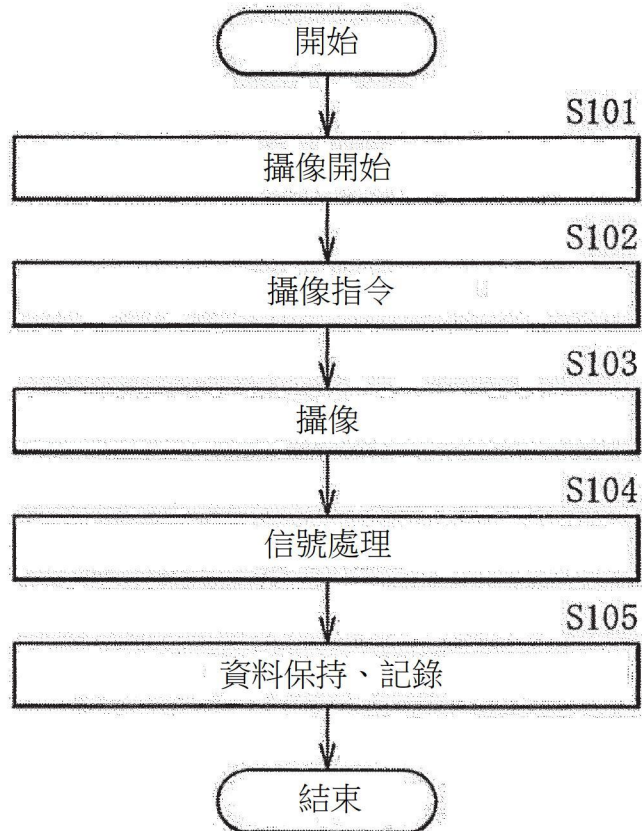




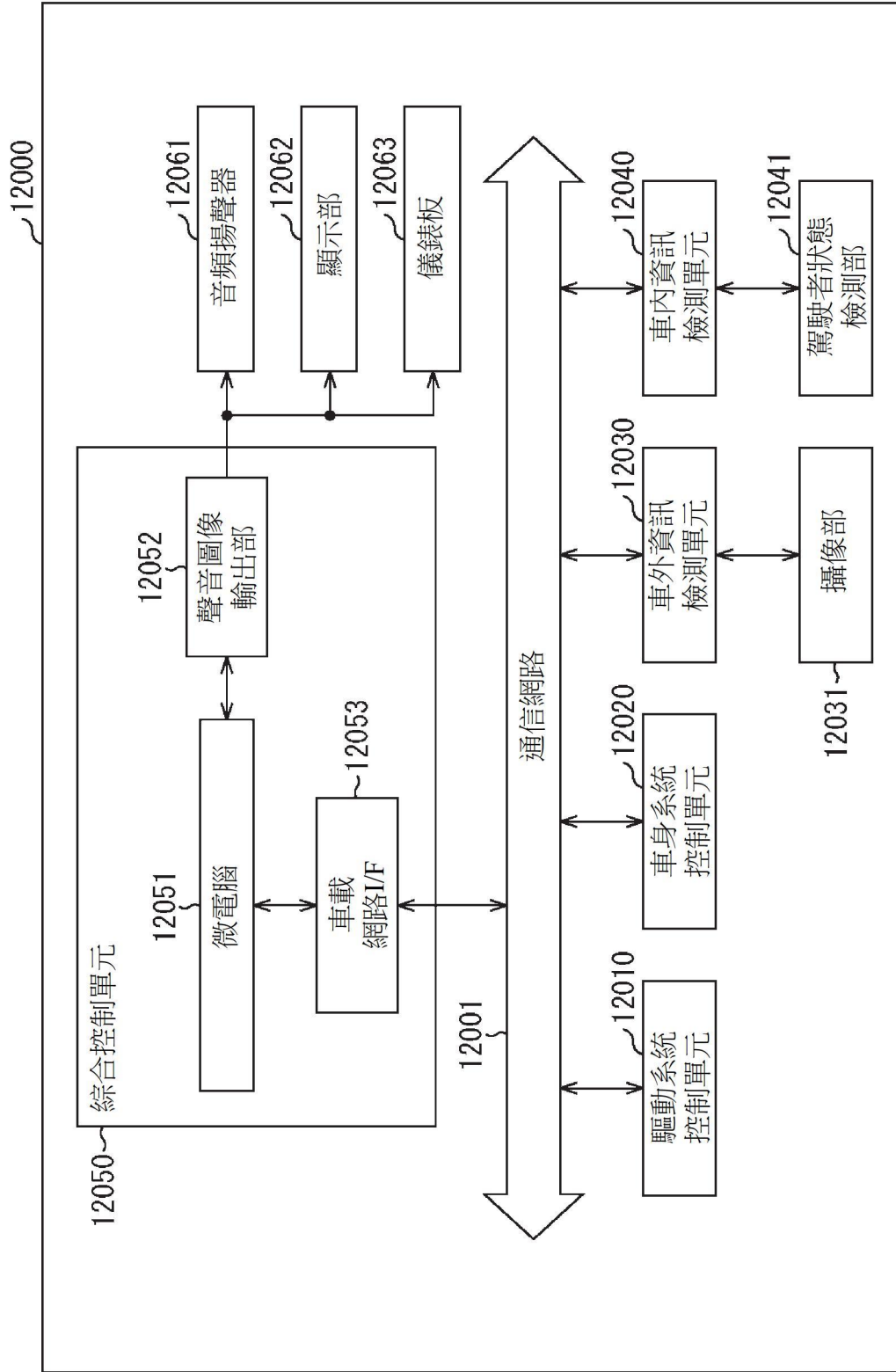
【圖112】



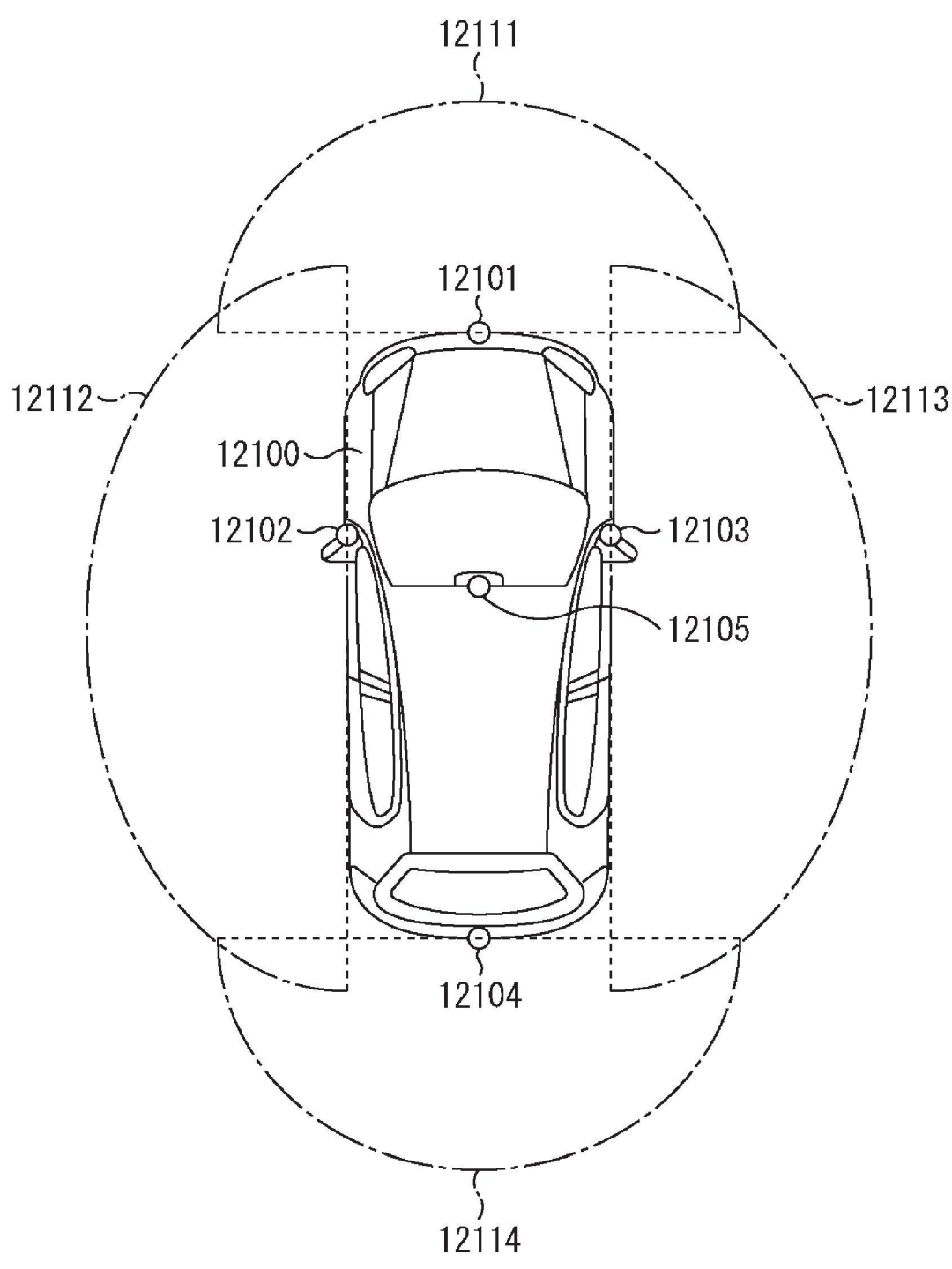
【圖113】



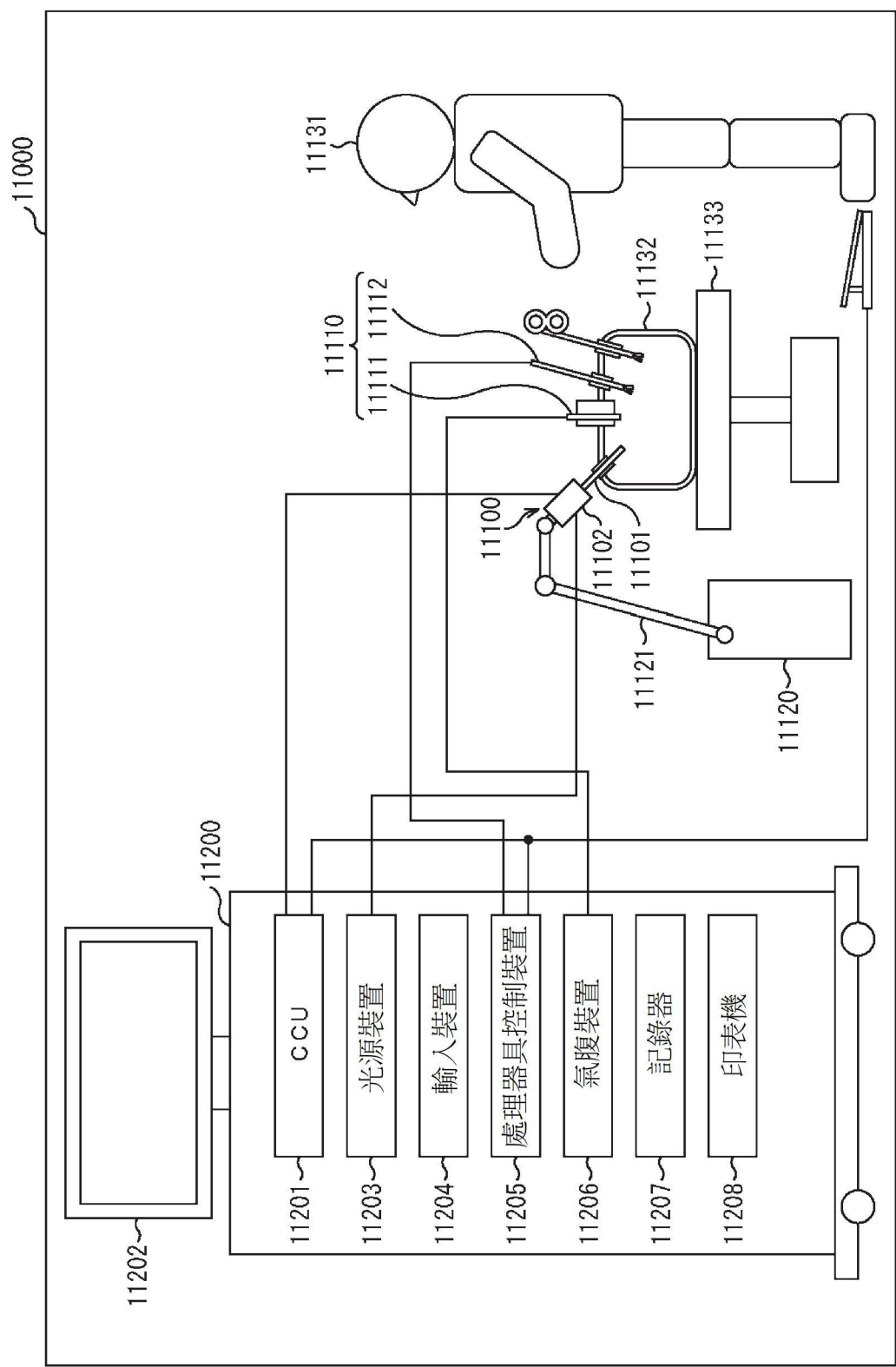
【圖114】



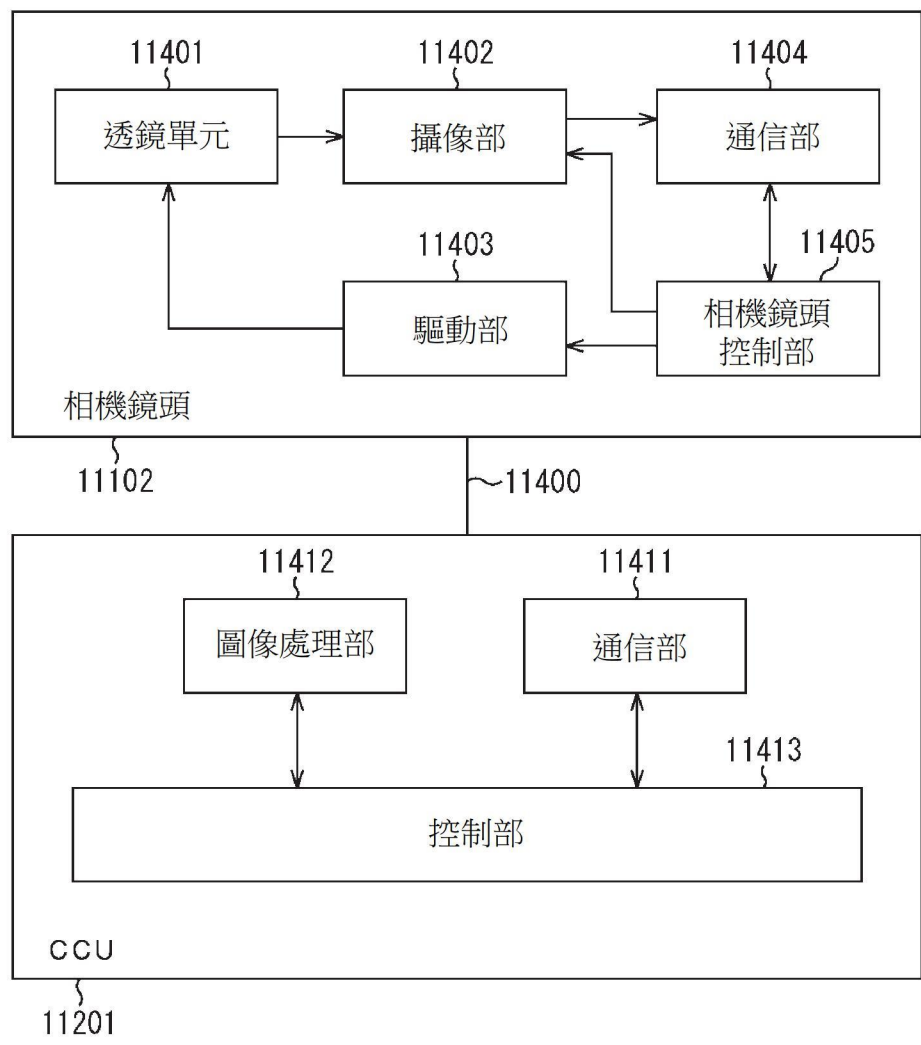
【圖115】



【圖116】



【圖117】



【圖118】