

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
1. März 2001 (01.03.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/14895 A1

(51) Internationale Patentklassifikation⁷: G01R 27/26, 31/27

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, D-81541 München (DE).

(21) Internationales Aktenzeichen: PCT/DE00/01962

(72) Erfinder; und

(22) Internationales Anmeldedatum:
15. Juni 2000 (15.06.2000)

(75) Erfinder/Anmelder (nur für US): THEWES, Roland [DE/DE]; Jägerheimstrasse 7, D-82194 Gröbenzell (DE). LINNENBANK, Carsten [DE/DE]; Volkartstrasse 76, D-80636 München (DE). SAUTER, Stephan [DE/DE]; Kirchenstrasse 1, D-81756 München (DE).

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

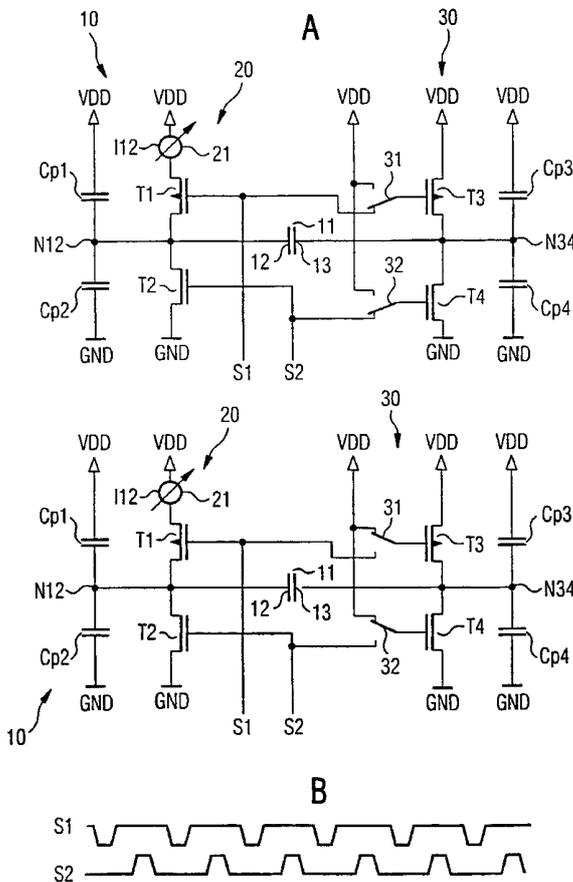
(30) Angaben zur Priorität:
199 40 357.0 25. August 1999 (25.08.1999) DE

(74) Anwalt: VIERING, Hans-Martin; Viering, Jentschura & Partner, P.O. Box 221443, D-80504 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: CIRCUIT AND METHOD FOR EVALUATING CAPACITANCES

(54) Bezeichnung: SCHALTUNGSANORDNUNG UND VERFAHREN ZUM BEWERTEN VON KAPAZITÄTEN



(57) Abstract: The invention relates to a method and a circuit (10) for evaluating capacitances (11). The aim is to provide a means of evaluating even small capacitances without making mismatch errors. To this end, a first capacitance value that has been converted into a current is measured in a measuring branch (20) of the circuit (10), said branch having a series of parasitic capacitances (Cp1, Cp2). A first operating mode (mode A) in which only the parasitic capacitances (Cp1, Cp2) in the measuring branch (20) are measured is initiated by means of a second branch (30) of the circuit. A second capacitance value that has been converted into a current is then measured in the same measuring branch (20) of the circuit (10), a second operating mode (mode B) in which the sum of the capacitance (11) to be evaluated and the parasitic capacitances (Cp1, Cp2) in the measuring branch (20) is evaluated being initiated by means of the second branch (30) of the circuit (10). The capacitance (11) to be evaluated is then determined by finding the difference between the values measured in mode A and mode B in the same measuring branch (20).

(57) Zusammenfassung: Es werden ein Verfahren und eine Schaltungsanordnung (10) zum Bewerten von Kapazitäten (11) beschrieben. Um eine hochgenaue, Mißmatch-fehlerfreie Bewertung auch von kleinen Kapazitäten vornehmen zu können, ist erfindungsgemäß vorgesehen, daß zunächst ein erster, in einen Strom umgesetzter Kapazitätswert in einem Meßzweig (20) der Schaltungsanordnung (10), der eine Reihe von Parasitärkapazitäten (Cp1, Cp2) aufweist, gemessen wird, wobei durch einen zweiten Zweig (30) der Schaltungsanordnung (10) ein erster Betriebsmodus (Modus A) eingestellt wird, in dem nur die im Meßzweig (20) befindlichen Parasitärkapazitäten (Cp1, Cp2) bewertet

werden. Anschließend

[Fortsetzung auf der nächsten Seite]

WO 01/14895 A1



(81) **Bestimmungsstaaten** (*national*): JP, US.

(84) **Bestimmungsstaaten** (*regional*): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Veröffentlicht:

— *Mit internationalem Recherchenbericht.*

wird ein zweiter in einen Strom umgesetzter Kapazitätswert im gleichen Meßzweig (20) der Schaltungsanordnung (10) gemessen, wobei durch den zweiten Zweig (30) der Schaltungsanordnung (10) ein zweiter Betriebsmodus (Modus B) eingestellt wird, in dem die Summe aus zu bewertender Kapazität (11) und der im Meßzweig (20) befindlichen Parasitärkapazitäten (Cp1, Cp2) bewertet wird. Danach wird die zu bewertende Kapazität (11) durch Differenzbildung der in Modus A und Modus B in ein und demselben Meßzweig (20) gemessenen Werte bestimmt.

Beschreibung

Schaltungsanordnung und Verfahren zum Bewerten von Kapazitäten

5

Die vorliegende Erfindung betrifft generell eine Schaltungsanordnung sowie ein Verfahren zum Bewerten von Kapazitäten.

10

Für die parametrische Beschreibung von CMOS-Prozessen und anderen Technologien ist es notwendig, den Wert bestimmter Kapazitäten, zum Beispiel beabsichtigter On-Chip-Kapazitäten für Analoganwendungen, und unbeabsichtigter, aber technisch unvermeidbarer Parasitärkapazitäten, zum Beispiel Leitungsbeläge, Leitungskreuzungen in verschiedenen Metallebenen und dergleichen, zu charakterisieren. Dabei ist für bestimmte Anwendungen eine sehr hohe Genauigkeit wünschenswert und erforderlich.

15

Aus dem Stand der Technik sind verschiedene Schaltungsanordnungen bekannt, die den Wert von zu bestimmenden Kapazitäten, etwa On-Chip-Kapazitäten, oder das Verhältnis zweier oder mehrerer Kapazitäten zueinander in eine einfacher handzuhabende Größe wie Strom und/oder Spannung beziehungsweise Strom- und/oder Spannungsverhältnisse umsetzen. Diese Größen sind in der Regel relativ problemlos und mit hoher Genauigkeit meßbar. Eine direkte Messung der Kapazitätswerte ist aufgrund von Parasitärkapazitäten in externen Zuleitungen, auf dem Chip befindlichen Pads und Zuleitungen oder dergleichen indes nicht möglich.

20

25

Die im Stand der Technik bekannten Schaltungsanordnungen und Verfahren zum Bewerten von Kapazitäten weisen jedoch eine Reihe von Nachteilen auf. Parasitärkapazitäten und andere nicht-ideale Eigenschaften der in einer jeweiligen Bewerter-schaltung eingesetzten realen Bauelemente verfälschen das Meßergebnis oder müssen mit großem schaltungstechnischem Auf-

30

35

wand so weit wie möglich kompensiert werden. Dabei ist eine vollständige Fehlerunterdrückung bisher nicht realisierbar.

Viele der bekannten Konzepte normieren die gemessenen Werte
5 auf eine ebenfalls integrierte, quantitativ jedoch nicht ex-
akt bekannte Referenzgröße. Diese Konzepte gestatten damit
nur Aussagen über Kapazitätsverhältnisse. Absolutwertbestim-
mungen insbesondere kleiner Kapazitäten, beispielsweise von
Leitungskreuzungen oder dergleichen, die für eine genaue Pro-
10 zeß-Parametrisierung unabdingbar sind, sind mit solchen
Schaltungsanordnungen bisher nicht möglich.

Die bekannten Schaltungsanordnungen und -konzepte sind somit
nicht in der Lage, eine einfache und präzise, von Parasitä-
15 reffekten und dem Einfluß nicht idealer Eigenschaften der in
der jeweiligen Bewerteranschaltung verwendeten Bauelemente
freie Bestimmung von Kapazitäten, beispielsweise On-Chip-
Kapazitäten zu gestatten. Weiterhin sind die bisher bekannten
Schaltungsanordnungen schaltungstechnisch sehr aufwendig.

20

Aus einer Reihe von Publikationen, beispielsweise "An On-
Chip, Attofarad Interconnect Charge Based Capacitance Measu-
rement (CBCM) Technique von Chen et al, IEDM 96, Seiten 69
bis 72", "A Simple Method For On-Chip, Sub-Femto Farad Inter-
25 connect Capacitance Measurement von Chen et al, IEEE Electron
Device Letters, Vol.18, No.1, January 1997, Seiten 21 bis
23", "An On-Chip, Interconnect Capacitance Characterization
Method With Sub-Femto-Farad Resolution von Chen et al,
Proc.IEEE 1997 Int.Conference on Microelectronic Test Struc-
30 tures, Vol.10, March 1997, Seiten 77 bis 80" und "An On-Chip,
Interconnect Capacitance Characterization Method With Sub-
Femto-Farad Resolution von Chen et al, IEEE Transactions on
semiconductor Manufacturing, Vol.11, No.2, May 1998, Seiten
204 bis 209" ist eine Schaltungsanordnung zum Bewerten von
35 Kapazitäten beschrieben, mit der die vorstehend beschriebenen
Nachteile bezüglich der Bewertbarkeit von Kapazitäten bereits
reduziert werden können.

Diese bekannte Schaltungsanordnung, die im Zusammenhang mit Figur 2 eingehend erläutert wird, weist zwei identische Schaltzweige auf, die jeweils Transistoren mit gleichen Abmessungen und gleichem Layout aufweisen und die jeweils paarweise gleiche Ansteuersignale erhalten. Die zu bewertende Kapazität wird nur in einem der beiden Schaltzweige realisiert. Ein Schaltzweig wird verwendet, um die Summe aus zu bewertender Kapazität und Parasitärkapazitäten zu bestimmen, während der andere Schaltzweig genutzt wird, um ausschließlich die Summe der Parasitärkapazitäten zu charakterisieren. Anschließend werden die so ermittelten Werte voneinander subtrahiert, wodurch sich der Wert der zu bewertenden Kapazität ergibt.

Auch wenn diese Schaltungsanordnung im Vergleich zu den weiter oben genannten Konzepten Vorteile aufweist, bestehen im Hinblick auf die genaue Bewertbarkeit von Kapazitäten auch bei diesem Lösungsvorschlag noch eine Reihe von Nachteilen.

So ist bekannt, daß auch Bauelemente mit gleichen Abmessungen, gleichem Layout, gleicher Orientierung und gleicher Topologie in der Umgebung aufgrund von stochastischen Ursachen Parametervariationen aufweisen. Das heißt, daß zwei benachbarte Bauelemente trotz gleicher Konfiguration Unterschiede in ihren elektrischen Parametern aufweisen. Dieser Effekt wird Mismatch genannt. Dieser Mismatch-Effekt kann mit der bekannten Schaltungsanordnung nicht vermieden werden, so daß auch hier Fehler bei der Bewertung von Kapazitäten auftreten, was insbesondere bei der Bewertung kleiner Kapazitäten von erheblichem Nachteil ist.

Ausgehend vom genannten Stand der Technik liegt der vorliegenden Erfindung die Aufgabe zugrunde, eine Schaltungsanordnung sowie ein Verfahren zum Bewerten von Kapazitäten bereitzustellen, mit dem die im Hinblick auf den Stand der Technik beschriebenen Nachteile vermieden werden. Insbesondere sollen eine Schaltungsanordnung sowie ein Verfahren geschaffen wer-

den, die/das schaltungstechnisch einfach zu realisieren ist und dabei ein hochpräzises Ergebnis liefert.

Diese Aufgabe wird gemäß dem ersten Aspekt der Erfindung gelöst durch eine Schaltungsanordnung zum Bewerten von Kapazitäten, mit einem Meßzweig, der über einen Knoten mit einer Elektrode der zu bewertenden Kapazität verbunden ist, wobei im Meßzweig ein oder mehrere Parasitärkapazitäten vorhanden sind, und mit einem zweiten Zweig zum Einstellen verschiedener Betriebsmodi in der Schaltungsanordnung, der über einen Knoten mit der anderen Elektrode der zu bewertenden Kapazität verbunden ist und der derart ausgebildet ist, daß innerhalb des Meßzweigs entweder die Summe aus zu bewertender Kapazität und Parasitärkapazität(en) oder aber nur die Parasitärkapazität(en) bewertet wird/werden oder bewertbar ist/sind.

Gemäß einem zweiten Aspekt der Erfindung wird eine Schaltungsanordnung zum Bewerten von Kapazitäten bereitgestellt, mit einem Meßzweig, der über einen Knoten mit einer Elektrode der zu bewertenden Kapazität verbunden ist, wobei im Meßzweig ein oder mehrere Parasitärkapazitäten vorhanden sind, und mit einem zweiten Zweig zum Einstellen verschiedener Betriebsmodi in der Schaltungsanordnung, der über einen Knoten mit der anderen Elektrode der zu bewertenden Kapazität verbunden ist und der derart ausgebildet ist, daß innerhalb des Meßzweigs jeweils die Summe der Parasitärkapazität(en) und einem definierten, gezielt veränderbaren Anteil der zu bewertenden Kapazität bewertet wird/werden oder bewertbar ist/sind.

Durch die erfindungsgemäßen Schaltungsanordnungen wird es auf schaltungstechnisch einfache Weise möglich, Kapazitäten hochgenau bestimmen zu können. Bei den erfindungsgemäßen Schaltungsanordnungen handelt es sich um vollständig parasitärerfekt-kompensierte Schaltungen, die insbesondere zur hochpräzisen Bewertung kleiner On-Chip-Kapazitäten und -kapazitätsbeläge geeignet sind. Dabei wird der Einfluß parasitärer Größen und nicht-idealer Eigenschaften der in der erfindungsge-

mäßen Schaltungsanordnung verwendeten Bauelemente vollkommen eliminiert. Dadurch wird eine Auflösung erreicht, die allen bisher bekannten Methoden und Schaltungen deutlich überlegen ist. Die erfindungsgemäße Schaltungsanordnung kann vorteilhaft bei CMOS-Prozessen verwendet werden.

Ein Grundgedanke der vorliegenden Erfindung besteht darin, den zu bestimmenden Kapazitätswert in einen linearen Strom umzusetzen. Ein solcher Strom kann besonders einfach und genau gemessen werden.

Beide vorstehend genannten Ausführungsformen der erfindungsgemäßen Schaltungsanordnung gehen von einem Prinzip aus, das weiter unten in Zusammenhang mit Figur 1 detailliert beschrieben wird. Im Unterschied zu dem in Figur 1 beschriebenen Prinzip können bei der erfindungsgemäßen Schaltungsanordnung mit Hilfe von entsprechenden Zusatzschaltungen, die im zweiten Schaltzweig realisiert sind, zwei unterschiedliche Betriebsmodi gewählt werden. Die eigentliche Charakterisierung der zu bewertenden Kapazität erfolgt immer im Meßzweig.

Bei dem erstgenannten Ausführungsbeispiel wird in den beiden unterschiedlichen Betriebsmodi innerhalb ein und desselben Schaltungszweigs, nämlich dem Meßzweig, entweder die Summe aus zu bewertender Kapazität und Parasitärkapazitäten, oder aber nur die Summe der Parasitärkapazitäten bewertet. Da die Bewertung der Parasitärkapazitäten immer innerhalb des gleichen Zweiges (Meßzweig) erfolgt, ergibt die Differenzbildung der Meßwerte aus den Messungen in den beiden Betriebsmodi, die im folgenden mit Modus A und Modus B bezeichnet werden, einen fehlerfreien Meßwert für die zu bewertende Kapazität.

Gemäß dem zweitgenannten Ausführungsbeispiel ist es möglich, daß innerhalb ein und desselben Zweigs (Meßzweig) jeweils die Summe der Parasitärkapazitäten und eines klar definierbaren, gezielt veränderbaren Anteils α der zu bewertenden Kapazität gemessen wird. Auch hier ergibt die Differenzbildung der Meß-

werte aus den Messungen in den beiden Betriebsmodi bei Kenntnis der Gewichtungsfaktoren α (Modus A) und α (Modus B) einen von den Eigenschaften unbeeinflussten Meßwert für die zu bestimmende Kapazität.

5

Die erfindungsgemäßen Schaltungsanordnungen können beispielsweise auch generell als Schaltungen für die -vorteilhaft On-Chip- Kapazitäts-Spannungs- oder die -vorteilhaft On-Chip- Kapazitäts-Strom-Umsetzung verwendet werden. In diesem Fall können sie beispielsweise in Produkten verwendet werden, in denen Sensorsignale, die von kapazitiven Sensoren stammen, bewertet und weiterverarbeitet werden müssen. Solche Sensoren sind beispielsweise kapazitive Drucksensoren, Beschleunigungssensoren oder dergleichen. Natürlich sind auch andere Anwendungsmöglichkeiten für die erfindungsgemäßen Schaltungsanordnungen denkbar.

Da die Parasitärkapazitäten, die bei den Messungen in den jeweiligen Betriebsmodi bestimmt werden, immer aus ein und demselben Zweig (Meßzweig) stammen, führt die Bewertung der Kapazität unter Verwendung der erfindungsgemäßen Schaltungsanordnungen immer zu einem Mismatch-fehlerfreien Meßergebnis. Dadurch ist eine besonders genaue Bewertung auch kleiner Kapazitäten möglich.

25

Die erfindungsgemäßen Schaltungsanordnungen weisen -wie dies im Hinblick auf die Figuren 3 bis 8 näher erläutert wird- vorzugsweise eine Anzahl von verschiedenen Schaltelementen auf. Dabei ist die Erfindung nicht auf bestimmte Schaltelemente beschränkt. Vorteilhaft können jedoch zumindest einzelne der Schaltelemente als Transistoren ausgebildet sein.

Auch wenn die Erfindung nicht auf die Verwendung von Transistoren als Schaltelemente beschränkt ist, soll sie zum besseren Verständnis anhand einer derartigen Ausgestaltungsform erläutert werden.

35

Gemäß einem dritten Aspekt der Erfindung wird ein Verfahren zum Bewerten von Kapazitäten bereitgestellt. Wenn das Verfahren unter Verwendung der erstgenannten Ausführungsform einer Schaltungsanordnung durchgeführt wird, weist dieses erfindungsgemäß folgende Schritte auf:

- a) Messen eines ersten, in einen Strom umgesetzten Kapazitätswerts im Meßzweig der Schaltungsanordnung, wobei durch den zweiten Zweig der Schaltungsanordnung ein erster Betriebsmodus (Modus A) der Schaltungsanordnung eingestellt wird, in dem nur die im Meßzweig befindlichen Parasitärkapazitäten bewertet werden;
- b) Messen eines zweiten in einen Strom umgesetzten Kapazitätswerts im gleichen Meßzweig der Schaltungsanordnung, wobei durch den zweiten Zweig der Schaltungsanordnung ein zweiter Betriebsmodus (Modus B) der Schaltungsanordnung eingestellt wird, in dem die Summe aus zu bewertender Kapazität und der im Meßzweig befindlichen Parasitärkapazitäten bewertet wird; und
- c) Bestimmen der zu bewertenden Kapazität durch Differenzbildung der in Schritt a) und b) gemessenen Werte.

Gemäß dem vierten Aspekt der Erfindung wird schließlich ein anderes Verfahren zum Bewerten von Kapazitäten bereitgestellt. Wenn das Verfahren unter Verwendung der zweitgenannten Ausführungsform einer Schaltungsanordnung durchgeführt wird, weist dieses erfindungsgemäß folgende Schritte auf:

- a) Messen eines ersten, in einen Strom umgesetzten Kapazitätswerts im Meßzweig der Schaltungsanordnung, wobei durch den zweiten Zweig der Schaltungsanordnung ein erster Betriebsmodus (Modus A) der Schaltungsanordnung eingestellt wird, in dem die Summe aus den im Meßzweig befindlichen Parasitärkapazitäten und einem definierten, gezielt veränderbaren Anteil der zu bewertenden Kapazität gemessen wird;

b) Messen eines zweiten in einen Strom umgesetzten Kapazitätswerts im gleichen Meßzweig der Schaltungsanordnung, wobei durch den zweiten Zweig der Schaltungsanordnung ein zweiter Betriebsmodus (Modus B) der Schaltungsanordnung eingestellt wird, in dem die Summe aus den im Meßzweig befindlichen Parasitärkapazitäten und einem definierten, gezielt veränderbaren Anteil der zu bewertenden Kapazität gemessen wird, wobei die Anteile der zu bewertenden Kapazität in den Schritten a) und b) unterschiedlich groß sind; und

c) Bestimmen der zu bewertenden Kapazität durch Differenzbildung der in Schritt a) und b) gemessenen Werte.

Durch die erfindungsgemäßen Verfahren wird es auf einfache Weise möglich, zu bewertende Kapazitäten hochpräzise bewerten zu können. Zu den Vorteilen, Wirkungen, Effekten und der Funktionsweise der erfindungsgemäßen Verfahren wird ebenfalls auf die Ausführungen zu den entsprechenden erfindungsgemäßen Schaltungsanordnungen vollinhaltlich Bezug genommen und hiermit verwiesen.

Bevorzugte Ausführungsformen der erfindungsgemäßen Schaltungsanordnungen sowie der erfindungsgemäßen Verfahren zum Bewerten von Kapazitäten ergeben sich aus den jeweiligen Unteransprüchen.

Im folgenden sollen verschiedene bevorzugte Ausführungsformen und Merkmale der Erfindung im Allgemeinen vorgestellt und erläutert werden. Hierbei wird auch auf die beiliegende Zeichnung Bezug genommen, in der jeweils konkrete Ausführungsformen der Erfindung beispielhaft dargestellt sind. Es zeigen:

Figur 1 ein allgemeines Meßprinzip zur Bewertung kleiner Kapazitäten mit idealisierten Bauelementen, das als Grundlage für die vorliegende Erfindung fungiert;

Figur 2 eine aus dem Stand der Technik bekannte Schaltungsanordnung, in der der Einfluß von Parasitärkapazitäten verringert werden konnte;

5 Figur 3a und 3b eine erste Ausführungsform einer erfindungsgemäßen Schaltungsanordnung, wobei Figur 3a den Betriebsmodus A und Figur 3b den Betriebsmodus B darstellt;

10 Figur 4 eine andere Ausführungsform einer erfindungsgemäßen Schaltungsanordnung;

Figur 5 eine weitere Ausführungsform einer erfindungsgemäßen Schaltungsanordnung;

15

Figur 6a und 6b noch eine weitere Ausführungsform einer erfindungsgemäßen Schaltungsanordnung, wobei Figur 6a den Betriebsmodus A und Figur 6b den Betriebsmodus B repräsentiert;

20

Figur 7 eine andere Ausführungsform einer erfindungsgemäßen Schaltungsanordnung; und

25 Figur 8 eine erweiterte Modifikation der Schaltungsanordnung gemäß Figur 7.

In Figur 1 ist eine Schaltungsanordnung 60 zur Bewertung einer Kapazität 64 dargestellt. Diese Schaltungsanordnung 60, die aus idealisierten Bauelementen aufgebaut ist, verdeutlicht das allgemeine Prinzip, nach dem die erfindungsgemäßen Schaltungsanordnungen funktionieren, wie sie beispielsweise in den Figuren 3 bis 8 dargestellt sind. Im oberen Bereich von Figur 1 ist die Prinzipschaltung mit idealisierten Bauelementen dargestellt. Die Schaltungsanordnung 60 weist zwei Umschalter 62, 63 auf, die mit einem Knoten N12 verbunden sind. Die Ansteuerung der Umschalter 62, 63 erfolgt über Pulse S1 und S2. Im unteren Bereich von Figur 1 ist ein Zeitdia-

30

35

gramm dargestellt, das den zeitlichen Verlauf der Pulse S1 und S2 zeigt. Ein in einen Strom umgesetzter Kapazitätswert kann über ein Strom-Meßgerät 61 gemessen werden.

5 Wie sich aus Figur 1 ergibt, wird eine der beiden Elektroden der zu bewertenden Kapazität auf festes Potential gelegt. In Figur 1 wurde dafür das GND-Potential gewählt. Allerdings ist auch jedes andere feste Potential denkbar. Die andere Elektrode der Kapazität 64 wird mittels der Umschalter 61, 62 in
10 periodischem Wechsel mit den Potentialen VDD und GND verbunden, so daß die zu bewertende Kapazität 64 mit der gleichen Periode zwischen diesen beiden Potentialen umgeladen wird. Der Mittelwert des Lade- oder Entladestroms wird über das Strom-Meßgerät 61 gemessen, wobei das Strom-Meßgerät 61 ent-
15 weder, wie in Figur 1 gezeigt, zwischen dem Umschalter 62 und VDD-Potential, oder aber alternativ zwischen dem Umschalter 63 und GND-Potential angeordnet sein kann.

Gemäß dem in Figur 1 dargestellten Zeitdiagramm sollen die
20 Umschalter 62, 63 während der "CLOSED"-Phasen geschlossen und während der "OPEN"-Phasen in nicht leitendem Zustand sein. Die zur Ansteuerung der Umschalter 62, 63 verwendeten Pulse S1 und S2 bilden sogenannte nicht-überlappende Takte, was eine notwendige Bedingung für die Anwendung dieser idealisier-
25 ten Schaltungsanordnung 60 darstellt. Während der Intervalle, in denen beide Umschalter 62, 63 geöffnet sind, "floated" der Knoten N12 und innerhalb der Schaltungsanordnung 60 fließt an keiner Stelle ein Strom. Unter Berücksichtigung des endlichen Leitwerts der Umschalter 62, 63 im geschlossenen Zustand muß
30 die Bedingung eingehalten werden, daß die Dauer der "CLOSED"-Phasen mindestens jeweils so lang ist, daß die Kapazität 64 praktisch vollkommen umgeladen werden kann, was bedeutet, daß der Knoten N12 bei Beginn der "OPEN"-Phaseen jeweils GND- beziehungsweise VDD-Potential erreicht hat.

35

Der zeitliche Mittelwert des Stroms I12 ergibt sich für diese ideale Schaltungsanordnung 60 zu

$$I_{12} = \text{Kapazität } 64 \times VDD \times f \quad (1a)$$

wobei $f=1/T$ und T die Periodendauer ist. Daraus ergibt sich
5 für die zu bewertende Kapazität

$$\text{Kapazität } 64 = I_{12} / (VDD \times f) \quad (1b)$$

Wenn die Umschalter 62, 63 nun durch reale Bauelemente er-
10 setzt werden, spielen die Parasitärkapazitäten dieser Bauele-
mente eine bedeutende Rolle.

Als Beispiel kann der linke Schaltzweig 72 der Schaltungsan-
ordnung 70 gemäß Figur 2 betrachtet werden, in der der Um-
15 schalter 62 durch einen Transistor T1 (beispielsweise einen
p-MOS-Transistor) und der Umschalter 63 durch einen Transi-
stor T2 (beispielsweise einen n-MOS-Transistor) ersetzt wur-
de. Wie aus Figur 2 ersichtlich ist, sind am Knoten N12 neben
den beiden genannten Transistoren T1 und T2 und der zu bewer-
20 tenden Kapazität 71 Parasitärkapazitäten Cp1 und Cp2 einge-
zeichnet. Diese Parasitärkapazitäten setzen sich im wesentli-
chen aus den Kapazitäten der jeweiligen Draingebiete der
Transistoren gegen Substrat beziehungsweise Wanne zusammen.
Anstelle der Gleichung (1) ergibt sich für den Zweig 72 der
25 Schaltungsanordnung 70

$$\text{Kapazität } 71 = [I_{12} / (VDD \times f)] - (Cp1 + Cp2) \quad (2)$$

Es wurde eine Simulation mit konkret dimensionierten Bauele-
30 menten durchgeführt, die folgende Ergebnisse lieferte. Die
Simulation wurde auf der Basis eines $0.5\mu\text{m}$ CMOS-Prozesses mit
Minimalabmessungen für beide Transistoren T1 und T2, das
heißt mit einer Weite $W=0.7\mu\text{m}$ und einer Länge $L=0.5\mu\text{m}$, und
mit einer zu bewertenden Kapazität von 10fF durchgeführt. Für
35 die aus dem Strom I_{12} ermittelte Gesamtkapazität ergab sich
ein Meßwert zwischen 25 und 30 fF , das heißt eine inakzept-

bei große Abweichung von über 100% vom Istwert der zu bewertenden Kapazität 71.

Zur Lösung dieses Problems ist im Stand der Technik, wie er auch in der Beschreibungseinleitung beschrieben wurde, eine Schaltungsanordnung entwickelt worden, wie sie in Figur 2 dargestellt ist. Diese Schaltungsanordnung 70 verfügt über zwei identische Schaltzweige 72, 74, die jeweils Transistoren T1, T2 sowie T3 und T4 aufweisen. Die Transistoren weisen gleiche Abmessungen und gleiches Layout auf und erhalten jeweils paarweise gleiche Ansteuersignale S1 und S2. Die zu bewertende Kapazität 71 wird jedoch nur in dem einen Zweig 72 realisiert. Der Zweig 72 wird genutzt, um die Summe aus zu bewertender Kapazität 71 und Parasitärkapazitäten Cp1 und Cp2 zu bestimmen, während der andere Zweig 74 genutzt wird, um ausschließlich die Summe der Parasitärkapazitäten Cp3 und Cp4 zu charakterisieren. Analytisch ausformuliert ergibt sich für die mit den Strom-Meßgeräten 73 und 75 gemessenen Ströme I12 und I34

20

$$I_{12} = (\text{Kapazität } 71 + C_{p1} + C_{p2}) \times V_{DD} \times f \quad (3)$$

sowie

$$I_{34} = (C_{p3} + C_{p4}) \times V_{DD} \times f \quad (4)$$

Die Differenzbildung beider Gleichungen führt zu

30

$$I_{12} - I_{34} = (\text{Kapazität } 71 + C_{p1} + C_{p2}) - (C_{p3} + C_{p4}) \times V_{DD} \times f \quad (5)$$

Unter der Annahme

$$C_{p1} + C_{p2} = C_{p3} + C_{p4} \quad (6a)$$

35 beziehungsweise

$$(C_{p1} + C_{p2}) / (C_{p3} + C_{p4}) = r = 1 \quad (\text{mit "r" für "ratio"}) \quad (6b)$$

läßt sich also aus der Messung beider Ströme gemäß Gleichung (5) der exakte Wert der zu bewertenden Kapazität 71 bestimmen.

5

Wie im Rahmen der Beschreibungseinleitung bereits dargelegt wurde, weisen auch Bauelemente mit gleicher Abmessung und Konfiguration wegen des Mismatch-Effekts jeweils Unterschiede in ihren elektrischen Parametern auf.

10

Der Mismatch-Effekt der Transistoren T1, T2, T3 und T4 der Schaltungsanordnung 70 gemäß Figur 2 führt dazu, daß der Wert "r" in Gleichung (6b) für mehrfache (identische Realisierung) der Schaltungsanordnung 70 unterschiedliche Werte annimmt, die sich um 1 herum bewegen. Somit bestimmen die Mismatch-Eigenschaften der Transistoren in Figur 2 beziehungsweise die mit diesen Transistoren assoziierten Parasitärkapazitäten auf negative Weise die erreichbare Auflösung dieser Schaltungsanordnung zur Charakterisierung insbesondere von kleinen Kapazitäten 71. Aus der Tatsache, daß Mismatch nicht vermieden werden kann, folgt, daß dieser Meßfehler eine inhärente und unvermeidbare Eigenschaft des bekannten Konzepts gemäß Figur 2 ist, bei dem in einem ersten Zweig 72 der Schaltungsanordnung 70 die Summe aus zu bewertender Kapazität 71 und den Parasitärkapazitäten Cp1 und Cp2 dieses Zweigs 72 und im anderen Zweig 74 nur die Parasitärkapazitäten Cp3 und Cp4 des zweiten Zweigs bestimmt werden.

15

20

25

30

In den Figuren 3 bis 8 werden nun Ausführungsbeispiele für Schaltungsanordnungen gemäß der vorliegenden Erfindung beschrieben, mit denen diese Mismatch-Effekte verhindert werden können, so daß eine fehlerfreie, hochgenaue Bewertung von Kapazitäten möglich wird.

35

In Figur 3 ist eine erste Ausführungsform der erfindungsgemäßen Schaltungsanordnung 10 zum Bewerten einer Kapazität 11 dargestellt. Diese Schaltungsanordnung 10 basiert auf dem

Prinzip der in Figur 1 dargestellten Schaltungsanordnung 60. Die Schaltungsanordnung 10 weist einen Meßzweig 20 auf, der über einen Knoten N12 mit einer Elektrode 12 der zu bewertenden Kapazität 11 verbunden ist. Dabei sind im Meßzweig 20 ein oder mehrere, vorzugsweise zwei Parasitärkapazitäten Cp1 und Cp2 vorhanden, die vorteilhaft mit entsprechenden Transistoren T1 und T2 assoziiert sind. Zur Messung eines Stroms I12 im Meßzweig 20 ist vorteilhaft ein Meßinstrument, im vorliegenden Fall ein Strom-Meßinstrument 21 vorgesehen.

Weiterhin weist die Schaltungsanordnung 10 einen zweiten Zweig 30 auf. Mit Hilfe des zweiten Zweigs 30 können zwei Betriebsmodi der Schaltungsanordnung 10 eingestellt werden, nämlich ein Betriebsmodus A, wie er in Figur 3a dargestellt ist, und ein Betriebsmodus B, wie er in Figur 3b dargestellt ist. Der zweite Zweig 30 ist über einen Knoten N34 mit der zweiten Elektrode 13 der zu bewertenden Kapazität 11 verbunden.

Über die Auswahl eines geeigneten Betriebsmodus kann innerhalb ein und desselben Meßzweigs 20 entweder die Summe aus zu bewertender Kapazität 11 und den Parasitärkapazitäten Cp1 und Cp2 oder aber nur die Summe der Parasitärkapazitäten bewertet werden. Da die Bewertung immer innerhalb des Meßzweigs 20 erfolgt, ergibt die Differenzbildung der Meßwerte aus den Messungen in den beiden Betriebsmodi A und B (nachfolgend Modus A und Modus B genannt) einen fehlerfreien Meßwert für die zu bewertende Kapazität 11.

In Figur 3 und allen weiteren Figuren 4 bis 8 wird die Messung jeweils im Meßzweig 20 (der linke Zweig der Schaltungsanordnungen), bestehend aus einem oder mehreren, vorzugsweise zwei Transistoren T1 und T2 sowie dem Meßinstrument 21, vorgenommen. Ähnlich wie in Figur 2 wird in Figur 3 eine Elektrode 12 der Kapazität 11 an den gemeinsamen Drainknoten N12 der Transistoren T1 und T2 angeschlossen. Die zweite Elektrode 13 der zu bewertenden Kapazität 11 wird jedoch nicht auf

festes Potential, sondern an den Knoten N34 des zweiten Zweigs 30 angeschlossen, wobei der zweite Zweig 30, vorzugsweise bestehend aus den Transistoren T3 und T4, bis auf das Meßinstrument ebenso aufgebaut ist wie der Meßzweig 20. Allerdings ist eine genaue Übereinstimmung in den Kenngrößen der Transistoren beider Zweige nicht erforderlich.

Mittels zweier Umschalter 31 und 32 können die Gates der Transistoren T3 und T4 so geschaltet werden, daß T3 das gleiche Signal wie T1 erhält, im vorliegenden Fall also ein Taktsignal S1, und T4 das gleiche Signal wie T2 erhält, im vorliegenden Fall ein Taktsignal S2. In diesem Fall befindet sich die Schaltungsanordnung 10 im Modus A. Es ist jedoch auch möglich, daß über die Stellung der Umschalter 31, 32 die Gates von T3 und T4 auf VDD-Potential liegen, so daß sich T3 in geschlossenem und T4 in geöffnetem Zustand befindet. In diesem Fall befindet sich die Schaltungsanordnung 10 im Modus B.

Im Betriebsmodus A werden beide Elektroden 12, 13 der zu bewertenden Kapazität 11 gleichsinnig zwischen VDD- und GND-Potential hin- und hergeschaltet, so daß sich der Ladungszustand der Kapazität 11 nicht ändert. Kleine Unterschiede in den Knotenpotentialen N12 und N34 während der Umladevorgänge der Knoten N12 und N34 bedingt durch Mismatch der Transistoren T1 und T3 beziehungsweise T2 und T4 haben keine nachteiligen Auswirkungen. Wichtig ist lediglich, daß der Spannungsabfall über der Kapazität 11 zu dem Zeitpunkt, zu dem das Signal S1 auf L-Potential geht (siehe unterer Bereich von Figur 3b), also dem Beginn der "CLOSED"-Phase von T1 und T3, identisch ist mit dem Spannungsabfall über der Kapazität 11 zu dem Zeitpunkt, zu dem das Signal S1 wieder auf H-Potential geht, also bei der Beendigung der "CLOSED"-Phase von T1 und T3. Diese Rahmenbedingung führt dazu, daß über das Meßinstrument 21, das den Strom I12 mißt, kein Nettostrom fließt, welcher zur Umladung der Kapazität 11 beiträgt.

Im Modus A ergibt sich als Meßergebnis für den Strom

$$I_{12}(\text{Modus A}) = (C_{p1} + C_{p2}) \times V_{DD} \times f \quad (7)$$

5 während sich in Modus B ergibt

$$I_{12}(\text{Modus B}) = (\text{Kapazität } l_1 + C_{p1} + C_{p2}) \times V_{DD} \times f \quad (8)$$

10 Wichtig dabei ist, daß in beiden Gleichungen (7) und (8) die gleichen Parasitärgrößen stehen -anders als in den Gleichungen (3) und (4) gemäß dem Stand der Technik-, so daß die Subtraktion von Gleichung (8) und Gleichung (7) zu einem Mismatch-fehlerfreien Ergebnis für die Kapazität l_1 führt:

$$15 \text{ Kapazität } l_1 = (I_{12}(\text{Modus A}) - I_{12}(\text{Modus B})) / (V_{DD} \times f) \quad (9)$$

In Figur 4 ist eine andere Ausführungsform der erfindungsgemäßen Schaltungsanordnung 10 dargestellt. Die Schaltungsanordnung 10 weist den Grundaufbau und die Grundfunktion wie diejenige aus Figur 3 auf. Allerdings sind die Umschalter 31, 32 aus Figur 3 durch eine Anzahl von Transferelementen T5, T6, T7, T8 sowie Pass-Transistoren T9 und T10 ersetzt worden. Die Kopplung der Gates von T3 und T4 an die Signale S1 und S2 in Modus A wird hierbei über die Transferelemente T6 und T5 beziehungsweise T8 und T7 vorgenommen, die vorzugsweise als n- und p-MOS-Transistoren ausgebildet sind. Dadurch wird sichergestellt, daß die Taktsignale S1 und S2 in voller Amplitude übertragen werden.

30 Für die Kopplung der Gates T3 und T4 an VDD-Potential in Modus B reichen hingegen die Transistoren T9 und T10 alleine, die als p-MOS-Transistoren ausgebildet sein können.

Die Auswahl des jeweiligen Betriebsmodus erfolgt über ein Steuersignal SEL, das zusammen mit einem über einen Inverter 33 generiertes komplementäres Signal zum Signal SEL über Verbindungen 40 in die Transferelemente und Pass-Transistoren ein-

gekoppelt wird und den Zustand der Transfergates T5, T6 beziehungsweise T7, T8 und der Pass-Transistoren T9 und T10 steuert.

5 Wie in der Schaltungsanordnung 10 gemäß Figur 5 dargestellt ist, kann die Wahl der jeweiligen Betriebsmodi A oder B gemäß der Grundschialtung nach Figur 3 auch dadurch erfolgen, daß die Umschalter 31 und 32 entfernt werden und daß anstelle von zwei Taktsignalen S1 und S2 vier Taktsignale beziehungsweise
10 Steuersignale S1 bis S4 verwendet werden. Dabei wird jedes dieser Takt- beziehungsweise Steuersignale S1 bis S4 direkt an das Gate eines jeweiligen Transistors T1 bis T4 geführt.

In Modus A müssen die Signale S3 und S4 dann gleich den Signalen S1 und S2 gewählt werden, das heißt $S1 = S3$ und $S2 = S4$. In Modus B werden die Signale S3 und S4 auf H-Potential gelegt.

In Figur 6 ist eine Schaltungsanordnung 10 dargestellt, in der die zu bestimmende Kapazität 11 in Modus A genau wie in
20 Figur 3 keinen Beitrag zum Strom I12 liefert, während sie in Modus B mit einer Gewichtung α , im vorliegenden Fall vorzugsweise einer Gewichtung $\alpha = 2$, beaufschlagt wird. Die Funktionsweise in Modus A erfolgt analog zur entsprechenden
25 Funktionsweise in Modus A bei den Figuren 3 bis 5, so daß diesbezüglich auf die vorstehenden Ausführungen verwiesen wird. Der gemessene Strom I12 ergibt sich somit zu

$$I_{12}(\text{Modus A}) = (C_{p1} + C_{p2}) \times V_{DD} \times f \quad (10)$$

30

In Modus B werden, wie aus Figur 6 ersichtlich ist, beide Elektroden 12, 13 der Kapazität 11 gegenphasig umgeladen. Wenn der im Meßzweig 20 befindliche Knoten N12 als Eingangsknoten bezeichnet wird, so wirkt die zu bewertende Kapazität
35 11 nun auf diesen Knoten N12 aufgrund des bekannten sogenannten Miller-Effekts gewichtet mit der Differenz der Spannungshöhe an beiden Elektroden 12, 13 der Kapazität 11 -vorzei-

chenrichtig!- normiert auf den Hub am Eingangsknoten N12. Da der Hub am Eingangsknoten N12 während der Aufladephase des Knotens N12, das heißt während der Phase, in der der Strom I12 durch das Meßinstrument 21 generiert wird, VDD beträgt, der Hub am Knoten N34 jedoch gleich -VDD ist, erhält man als Gewichtungsfaktor

$$\alpha = (VDD - (-VDD)) / VDD = 2 \quad (11)$$

10 Somit ergibt sich für den Strom in Modus B

$$I12(\text{Modus B}) = (2 \times \text{Kapazität } 11 + C_{p1} + C_{p2}) \times VDD \times f \quad (12)$$

und als Endergebnis für die zu bewertende Kapazität 11

15

$$\text{Kapazität } 11 = (I12(\text{Modus B}) - I12(\text{Modus A})) / (2 \times VDD \times f) \quad (13)$$

Da der Gewichtungsfaktor bekannt ist, kann die Kapazität 11 genau bewertet werden. Die Umschaltung der Takte beziehungsweise Betriebsmodi kann durch ähnliche Maßnahmen erfolgen, wie sie beim Übergang der Schaltungsanordnung 10 in Figur 3 zu den Schaltungsanordnungen in Figur 4 und 5 beschrieben worden sind.

25 In Figur 7 ist eine andere Ausführungsform einer erfindungsgemäßen Schaltungsanordnung 20 dargestellt. Hierbei wird innerhalb des Meßzweigs 20 in den beiden Betriebsmodi A und B jeweils die Summe der Parasitärkapazitäten und eines klar definierbaren, gezielt veränderbaren Anteils α der zu bewertenden Kapazität gemessen. Auch hier ergibt die Differenzbildung der Meßwerte aus den Messungen in beiden Betriebsmodi bei Kenntnis der Gewichtungsfaktoren $\alpha(\text{Modus A})$ und $\alpha(\text{Modus B})$ einen von den Eigenschaften der Parasitärkapazitäten unbeeinflussten Meßwert für die zu bewertende Kapazität.

35

Bei der Schaltungsanordnung 10 gemäß Figur 7 erfolgt die Diskriminierung von zu bewertender Kapazität 11 und den Parasi-

tärkapazitäten C_{p1} und C_{p2} dadurch, daß bei der Messung des Stroms I_{12} in den unterschiedlichen Betriebsmoden A und B die Kapazität 11 mit unterschiedlichen Wichtungen eingeht. Im Gegensatz zu den vorstehend beschriebenen Schaltungsanordnungen erhalten die Transistoren T1 bis T4 in beiden Moden unveränderte Taktsignale. Die Schaltungsanordnung 10 weist zwei Spannungsquellen 34 35 auf, die über die Transistoren T3 und T4 mit dem Knoten N34 verbunden sind. Über die Spannungsquellen 34, 35 können veränderliche Spannungswerte eingestellt werden.

In Abhängigkeit der Wahl der Spannungen V_3 und V_4 ergibt sich für den Meßstrom

$$I_{12} = [\text{Kapazität } 11 \times (V_{DD} - (V_3 - V_4)) + (C_{p3} + C_{p4}) \times V_{DD}] \times f \quad (14)$$

beziehungsweise unter Zuhilfenahme der Schreibweise mit dem Gewichtungsfaktor α

$$I_{12} = (\alpha \times \text{Kapazität } 11 + C_{p3} + C_{p4}) \times V_{DD} \times f \quad (15)$$

mit

$$\alpha = [V_{DD} - (V_3 - V_4)] / V_{DD} = 1 - (V_3 - V_4) / V_{DD} \quad (16)$$

25

In den Betriebsmoden A und B werden verschiedene Wertepaare für die Spannungen V_3 und V_4 gewählt, so daß sich in Modus A und B verschiedene Gewichtungsfaktoren α gemäß Gleichung (16) ergeben. Die Subtraktion von Gleichung (15) für beide Moden ergibt schließlich

$$\text{Kapazität } 11 = [I_{12}(\text{Modus A}) - I_{12}(\text{Modus B})] / [(\alpha(\text{Modus A}) - \alpha(\text{Modus B})) \times V_{DD} \times f] \quad (17)$$

35 Bei der Wahl der Spannungen V_3 und V_4 muß darauf geachtet werden, daß die Transistoren T3 und T4 die gewählten Spannungen

gen auch jeweils in voller Höhe an den Knoten N34 durchschalten können.

Nachfolgend werden nun einige exemplarische Beispiele für die Wahl dieser beiden Potentiale in den Moden A und B beschrieben:

Modus A: $V3 = VDD$; $V4 = \text{GND-Potential} = 0$; ($\Rightarrow \alpha = 0$) (18a)

Modus B: $V3 = V4 = VDD/2$; ($\Rightarrow \alpha = 1$) (18b)

10

oder

Modus A: $V4 = \text{GND-Potential} = 0$; $V3 = 0.5 \times VDD$; ($\Rightarrow \alpha = 0.5$)
(19a)

15 Modus B: $V4 = \text{GND-Potential} = 0$; $V3 = 0.75 \times VDD$; ($\Rightarrow \alpha = 0.25$)
(19b)

wobei die Erfindung nicht auf die genannten Beispiele beschränkt ist.

20

Die Wahl $V3 = \text{GND-Potential} = 0$; $V4 = VDD$; ($\Rightarrow \alpha = 2$) ist hingegen nicht möglich, da der Transistor T4, der vorzugsweise als n-MOS-Transistor ausgebildet ist, nicht in der Lage ist, das VDD-Potential der Spannungsquelle 35 an Knoten N34 ohne Spannungsverlust weiterzugeben, wie auch der Transistor T3, der vorzugsweise als p-MOS-Transistor ausgebildet ist, nicht in der Lage ist, das GND-Potential der Spannungsquelle 34 an Knoten N34 ohne Spannungsverlust weiterzugeben.

30 In Figur 8 ist schließlich eine weitere Modifikation der Schaltungsanordnung 10 gemäß Figur 7 dargestellt, um eine vollkommen freie Wahl der Potentiale V3 und V4 innerhalb des durch GND-Potential und VDD gegebenen Rahmens zu gestatten. Im rechten, zweiten Schaltzweig 30 der Schaltungsanordnung 10
35 wird die Verbindung von Knoten N34 zu den Spannungsquellen 34, 35 jeweils über Transistoren T3 und Transistor 38 beziehungsweise T4 und Transistor 39 vorgenommen, die in jedem

Fall in der Lage sind, vollen Pegel am Knoten N34 zu garantieren. Die für die -gegenüber Figur 7 neu eingeführten- Transistoren 38 und 39 erforderlichen Signale werden durch Inversion der Signale S1 und S2 über die Inverter 36 und 37
5 bereitgestellt.

Patentansprüche

1. Schaltungsanordnung zum Bewerten von Kapazitäten (11), mit einem Meßzweig (20), der über einen Knoten (N12) mit einer Elektrode (12) der zu bewertenden Kapazität (11) verbunden ist, wobei im Meßzweig (20) ein oder mehrere Parasitärkapazitäten (Cp1, Cp2) vorhanden sind, und mit einem zweiten Zweig (30) zum Einstellen verschiedener Betriebsmodi in der Schaltungsanordnung (10), der über einen Knoten (N34) mit der anderen Elektrode (13) der zu bewertenden Kapazität (11) verbunden ist und der derart ausgebildet ist, daß innerhalb des Meßzweigs (20) entweder die Summe aus zu bewertender Kapazität (11) und Parasitärkapazität(en) (Cp1, Cp2) oder aber nur die Parasitärkapazität(en) (Cp1, Cp2) bewertet wird/werden oder bewertbar ist/sind.

2. Schaltungsanordnung zum Bewerten von Kapazitäten (11), mit einem Meßzweig (20), der über einen Knoten (N12) mit einer Elektrode (12) der zu bewertenden Kapazität (11) verbunden ist, wobei im Meßzweig (20) ein oder mehrere Parasitärkapazitäten (Cp1, Cp2) vorhanden sind, und mit einem zweiten Zweig (30) zum Einstellen verschiedener Betriebsmodi in der Schaltungsanordnung (10), der über einen Knoten (N34) mit der anderen Elektrode (13) der zu bewertenden Kapazität (11) verbunden ist und der derart ausgebildet ist, daß innerhalb des Meßzweigs (20) jeweils die Summe der Parasitärkapazität(en) (Cp1, Cp2) und einem definierten, gezielt veränderbaren Anteil (α) der zu bewertenden Kapazität (11) bewertet wird/werden oder bewertbar ist/sind.

30

3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß der Meßzweig (20) ein oder mehrere, vorzugsweise zwei Schaltelemente (T1, T2) aufweist, das/die mit dem Knoten (N12) verbunden ist/sind.

35

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet,
daß im Meßzweig (20) ein Meßinstrument (21), insbesondere ein
5 Strom-Meßinstrument, vorgesehen ist.

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
daß der zweite Zweig (30) ein oder mehrere, vorzugsweise
10 zwei, Schaltelemente (T3, T4) aufweist, das/die mit dem Kno-
ten (N34) verbunden ist/sind.

6. Schaltungsanordnung nach einem der Ansprüche 3 bis 5,
dadurch gekennzeichnet,
15 daß zur Ansteuerung der Schaltelemente (T1, T2; T3, T4)
Taktsignale, vorzugsweise zwei oder vier Taktsignale (S1, S2,
S3, S4) vorgesehen sind, die direkt und/oder indirekt in die
Schaltelemente (T1, T2; T3, T4) geführt sind.

20 7. Schaltungsanordnung nach Anspruch 5 oder 6, soweit auf An-
spruch 1 rückbezogen,
dadurch gekennzeichnet,
daß der zweite Zweig (30) einen oder mehrere, vorzugsweise
zwei, Umschalter (31, 32) zum Umschalten der Schaltelemente
25 (T3, T4) aufweist.

8. Schaltungsanordnung nach Anspruch 7,
dadurch gekennzeichnet,
daß der oder die Umschalter (31, 32) aus jeweils einem oder
30 mehreren Schaltelementen (T5 bis T10) gebildet ist/sind.

9. Schaltungsanordnung nach Anspruch 8,
dadurch gekennzeichnet,
daß zur Einstellung des Betriebsmodus der Schaltungsanordnung
35 (10) ein Steuersignal (SEL) und ein Inverter (33) zur Erzeu-
gung eines zum Steuersignal (SEL) komplementären Signals vor-
gesehen ist, wobei das/die Signal(e) über Verbindungen (40)

in die Schaltelemente (T5 bis T10) eingekoppelt wird/werden oder einkoppelbar ist/sind.

10. Schaltungsanordnung nach einem der Ansprüche 5 bis 9, so-
5 weit auf Anspruch 2 rückbezogen,,
d a d u r c h g e k e n n z e i c h n e t,
daß eine oder mehrere, vorzugsweise zwei, Spannungsquellen
(34, 35) im zweiten Zweig (30) vorgesehen ist/sind, die über
das oder die Schaltelemente (T3, T4) mit dem Knoten (N34)
10 verbunden ist/sind.

11. Schaltungsanordnung nach Anspruch 10,
d a d u r c h g e k e n n z e i c h n e t,
daß die Spannungsquelle(n) (34, 35) zusätzlich über jeweils
15 ein Schaltelement (38, 39) und jeweils einen Inverter (36,
37) mit dem Knoten (N34) verbunden ist/sind.

12. Schaltungsanordnung nach einem der Ansprüche 3 bis 11,
d a d u r c h g e k e n n z e i c h n e t,
20 daß zumindest einzelne Schaltelemente (T1 bis T10, 38, 39)
als Transistoren ausgebildet sind.

13. Schaltungsanordnung nach Anspruch 12,
d a d u r c h g e k e n n z e i c h n e t,
25 daß die Schaltelemente (T5 bis T8) als Transferelemente und/oder
die Schaltelemente (T9, T10) als Pass-Transistoren ausgebil-
det sind.

14. Verfahren zum Bewerten von Kapazitäten unter Verwendung
30 einer Schaltungsanordnung nach einem der Ansprüche 1 sowie 3
bis 13, mit folgenden Schritten:

a) Messen eines ersten, in einen Strom umgesetzten Kapazi-
tätswerts im Meßzweig der Schaltungsanordnung, wobei durch
35 den zweiten Zweig der Schaltungsanordnung ein erster Be-
triebsmodus (Modus A) der Schaltungsanordnung eingestellt

wird, in dem nur die im Meßzweig befindlichen Parasitärkapazitäten bewertet werden;

b) Messen eines zweiten in einen Strom umgesetzten Kapazitätswerts im gleichen Meßzweig der Schaltungsanordnung, wobei durch den zweiten Zweig der Schaltungsanordnung ein zweiter Betriebsmodus (Modus B) der Schaltungsanordnung eingestellt wird, in dem die Summe aus zu bewertender Kapazität und der im Meßzweig befindlichen Parasitärkapazitäten bewertet wird;
10 und

c) Bestimmen der zu bewertenden Kapazität durch Differenzbildung der in Schritt a) und b) gemessenen Werte.

15 15. Verfahren nach Anspruch 14,
dadurch gekennzeichnet,
daß die Einstellung der unterschiedlichen Betriebsmodi für die Schaltungsanordnung über einen oder mehrere Umschalter erfolgt, die jeweils ein oder mehrere Schaltelemente im zweiten
20 Zweig der Schaltungsanordnung umschalten.

16. Verfahren nach Anspruch 14,
dadurch gekennzeichnet,
daß die Einstellung der unterschiedlichen Betriebsmodi für
25 die Schaltungsanordnung über einen oder mehrere Umschalter erfolgt, die jeweils aus einem oder mehreren Schaltelementen gebildet sind, wobei die Einstellung des jeweiligen Betriebsmodus über ein Steuersignal erfolgt, das zusammen mit einem über einen Inverter generierten komplementären Signal des
30 Steuersignals den Zustand des oder der Schaltelemente steuert.

17. Verfahren nach Anspruch 14,
dadurch gekennzeichnet,
35 daß die Einstellung der unterschiedlichen Betriebsmodi für die Schaltungsanordnung über eine Anzahl von Taktsignalen er-

folgt, wobei jeweils ein Taktsignal an jeweils ein Schaltelement des Meßzweigs und des zweiten Zweigs geführt wird.

18. Verfahren nach einem der Ansprüche 14 bis 17,

5 · d a d u r c h g e k e n n z e i c h n e t,
daß die gemäß Schritt b) im Betriebsmodus B bewerteten Kapazitätswerte mit einem Gewichtungsfaktor (α) beaufschlagt werden.

10 19. Verfahren zum Bewerten von Kapazitäten unter Verwendung einer Schaltungsanordnung nach einem der Ansprüche 2 bis 113, mit folgenden Schritten:

a) Messen eines ersten, in einen Strom umgesetzten Kapazi-
15 tätswerts im Meßzweig der Schaltungsanordnung, wobei durch den zweiten Zweig der Schaltungsanordnung ein erster Betriebsmodus (Modus A) der Schaltungsanordnung eingestellt wird, in dem die Summe aus den im Meßzweig befindlichen Parasitärkapazitäten und einem definierten, gezielt veränderbaren
20 Anteil der zu bewertenden Kapazität gemessen wird;

b) Messen eines zweiten in einen Strom umgesetzten Kapazi-
tätswerts im gleichen Meßzweig der Schaltungsanordnung, wobei
25 durch den zweiten Zweig der Schaltungsanordnung ein zweiter Betriebsmodus (Modus B) der Schaltungsanordnung eingestellt wird, in dem die Summe aus den im Meßzweig befindlichen Parasitärkapazitäten und einem definierten, gezielt veränderbaren Anteil der zu bewertenden Kapazität gemessen wird, wobei die
30 Anteile der zu bewertenden Kapazität in den Schritten a) und b) unterschiedlich groß sind; und

c) Bestimmen der zu bewertenden Kapazität durch Differenzbildung der in Schritt a) und b) gemessenen Werte.

35 20. Verfahren nach Anspruch 19,
d a d u r c h g e k e n n z e i c h n e t,

daß die in Schritt a) und b) unterschiedlich großen, definierten Anteile der zu bewertenden Kapazität über eine oder mehrere, vorzugsweise zwei, veränderliche Spannungsquellen im zweiten Zweig der Schaltungsanordnung eingestellt werden.

FIG 1

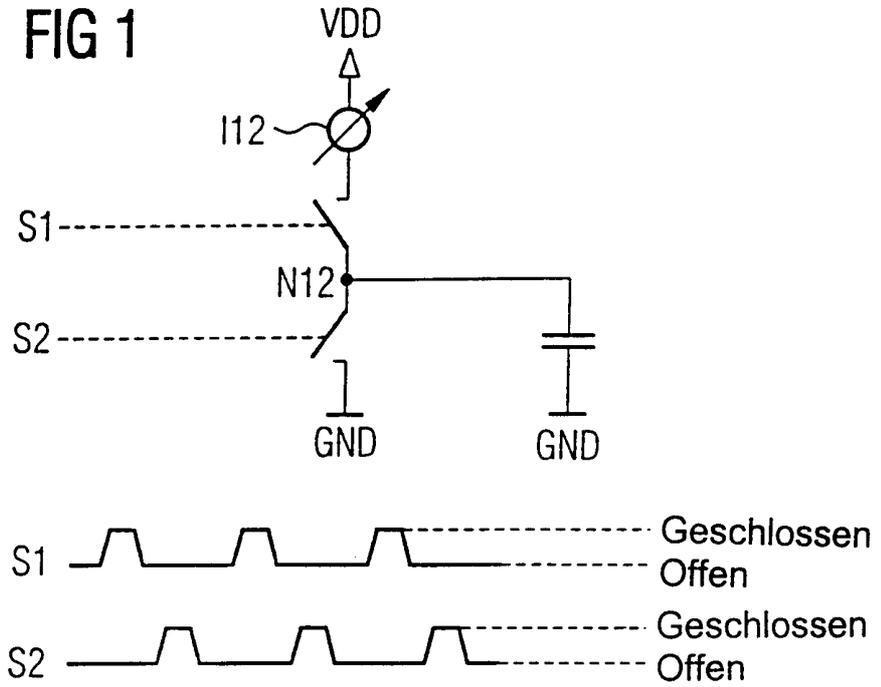
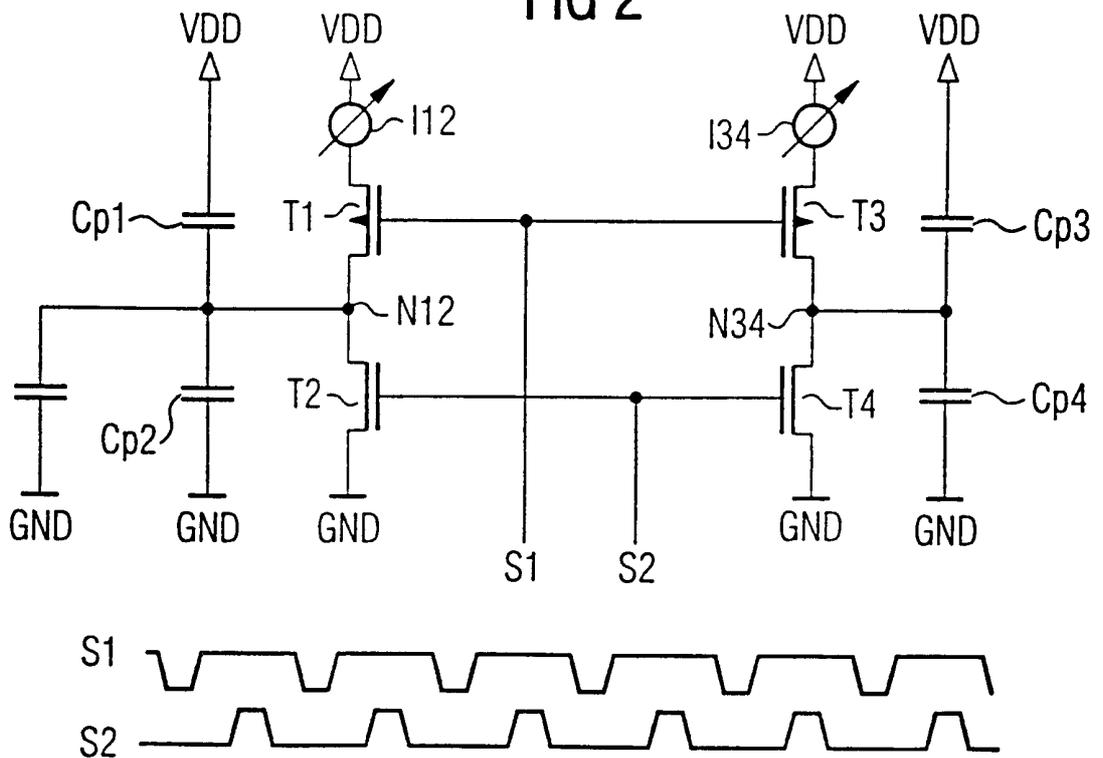


FIG 2



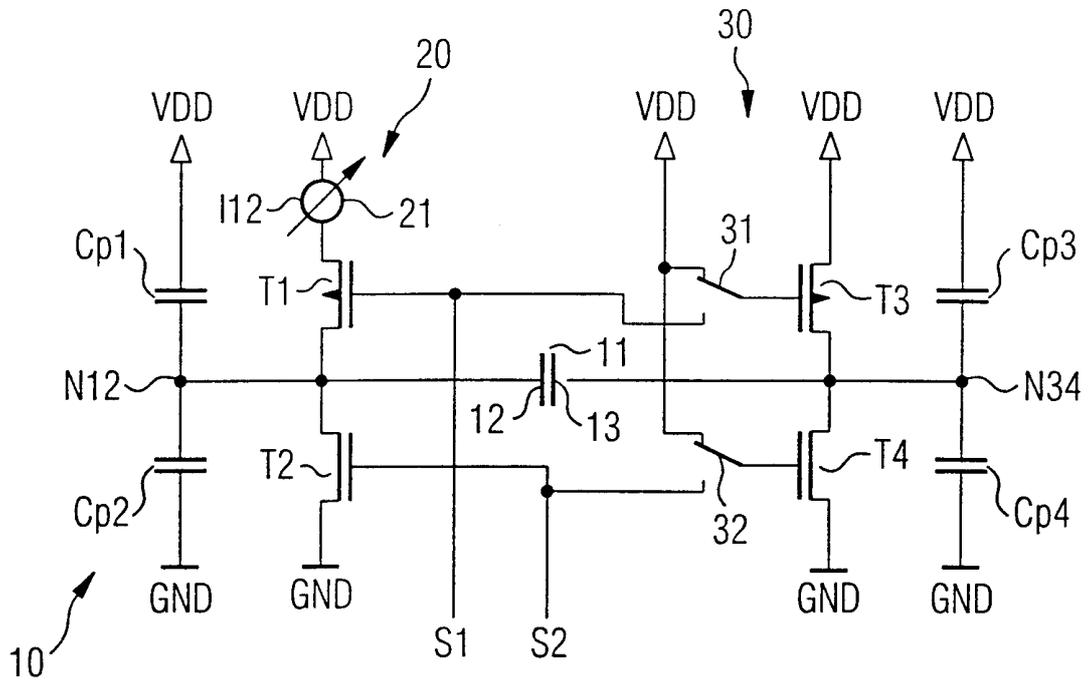
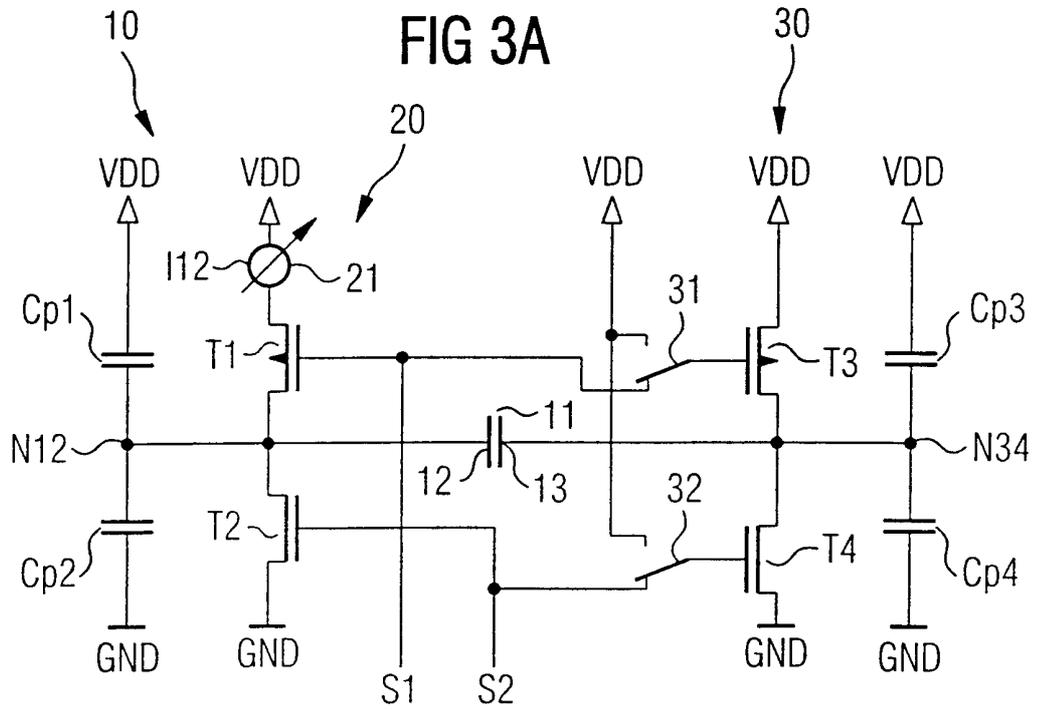
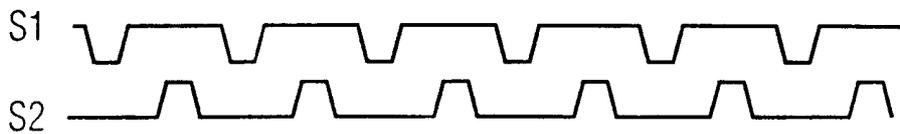


FIG 3B



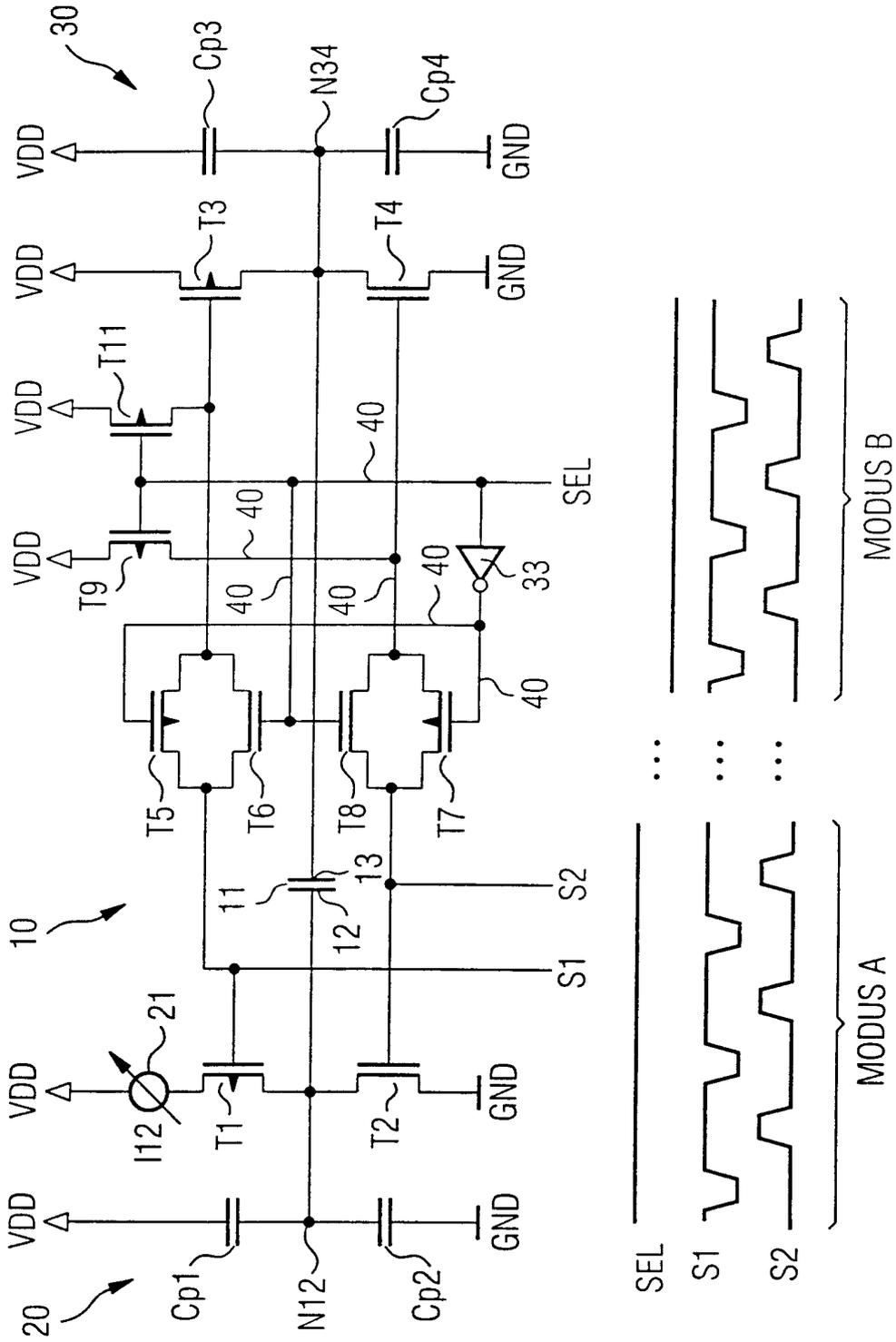


FIG 4

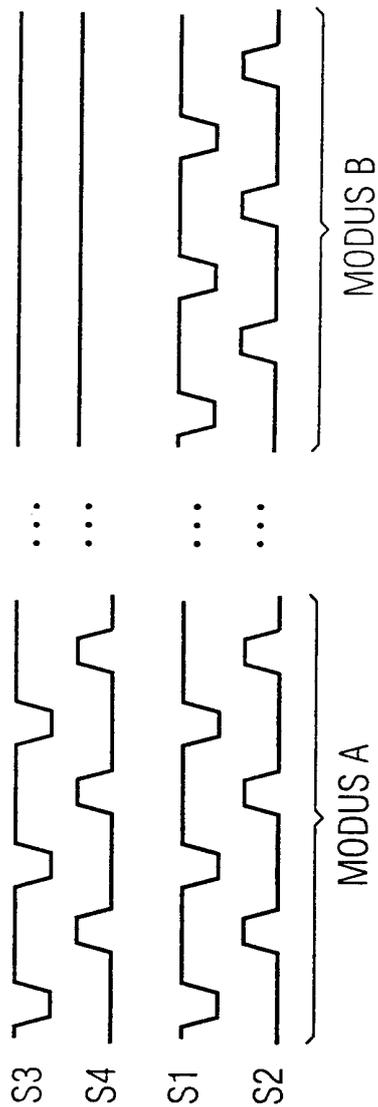
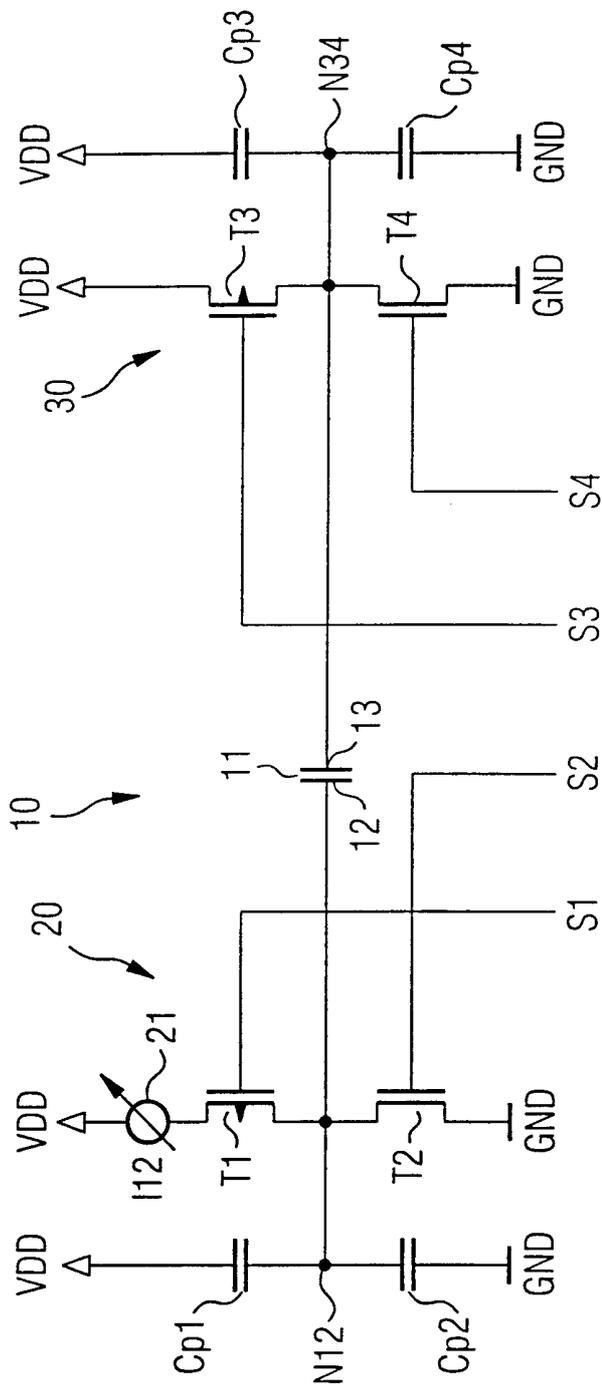


FIG 5

FIG 6A

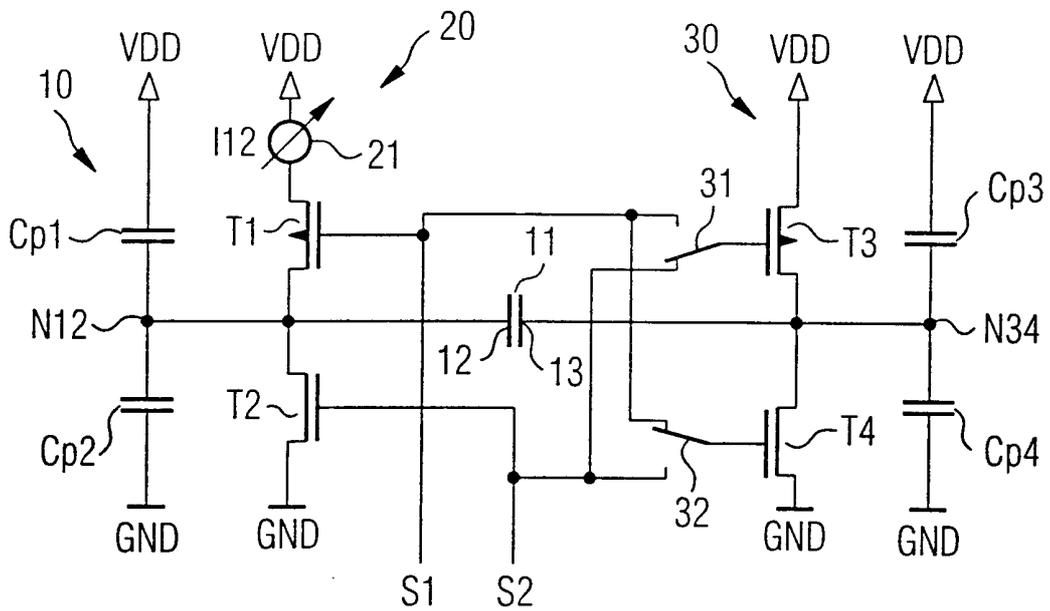
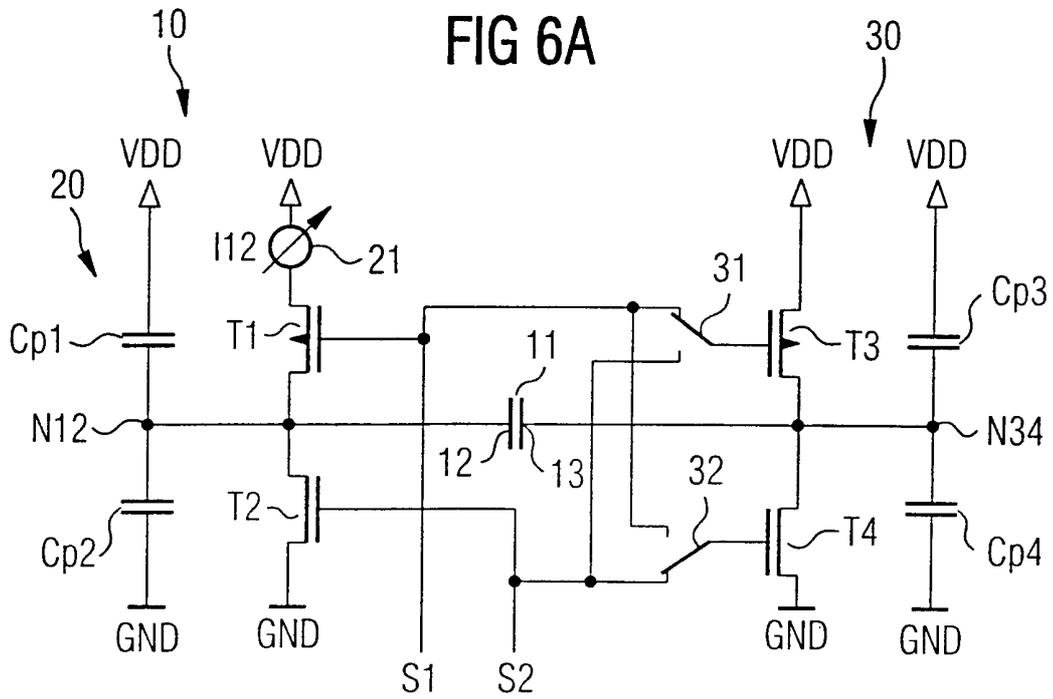
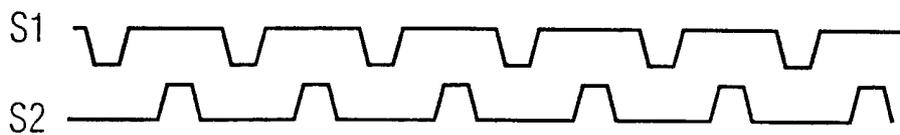


FIG 6B



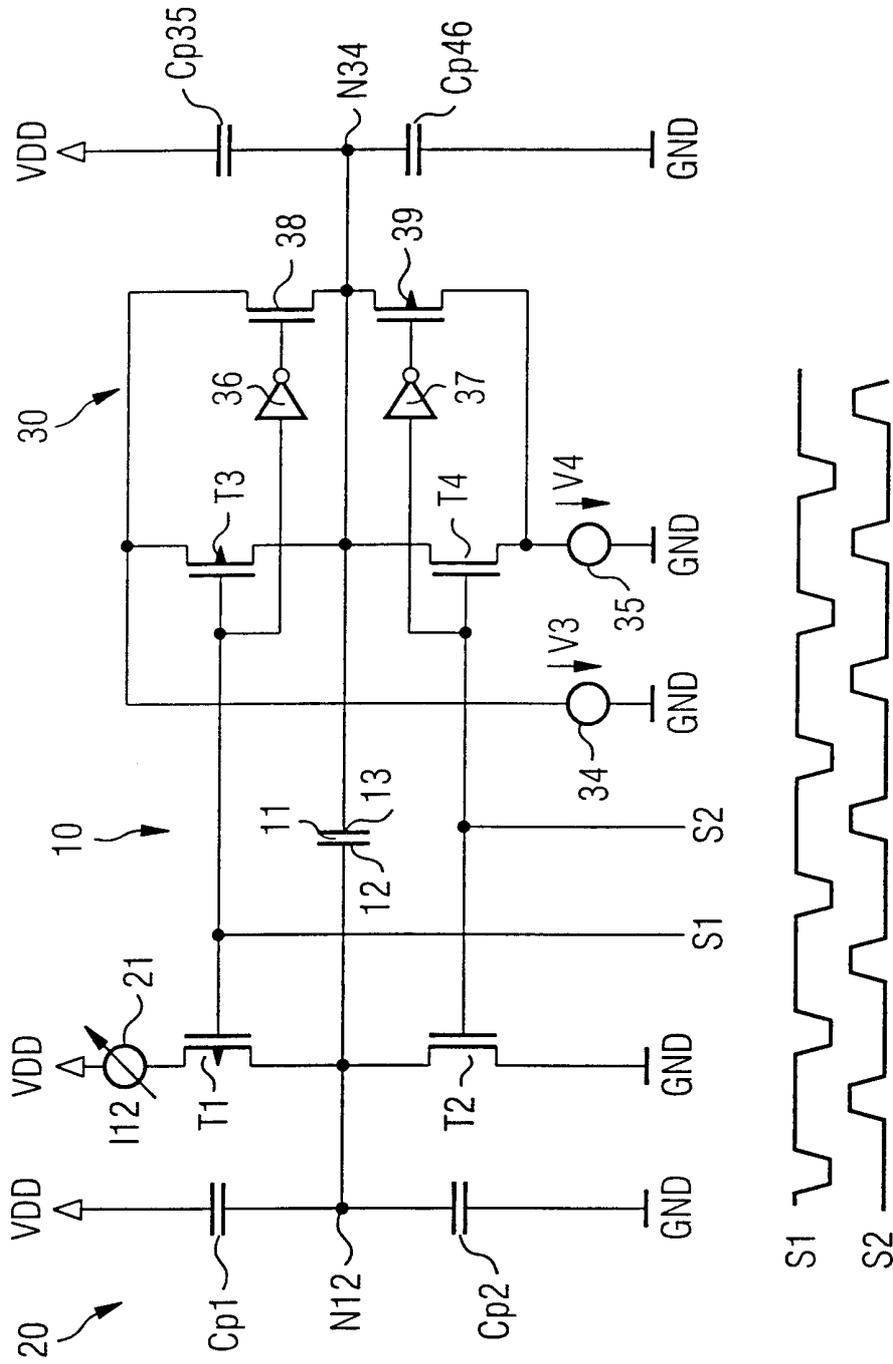


FIG 8

INTERNATIONAL SEARCH REPORT

International Classification No
PCT/DE 00/01962

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G01R27/26 G01R31/27

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G01R H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, INSPEC, WPI Data, PAJ, IBM-TDB

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MCGAUGHTY B W ET AL: "A SIMPLE METHOD FOR ON-CHIP, SUB-FEMTO FARAD INTERCONNECT CAPACITANCE MEASUREMENT" IEEE ELECTRON DEVICE LETTERS,US,IEEE INC. NEW YORK, vol. 18, no. 1, 1997, pages 21-23, XP000636030 ISSN: 0741-3106 cited in the application page 21, column 1, paragraph 2 -page 22, column 1, paragraph 1 figures 1,2 --- -/--	1,2,14,19

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

° Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

16 October 2000

Date of mailing of the international search report

24/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Lopez-Carrasco, A

INTERNATIONAL SEARCH REPORT

International Publication No

PCT/DE 00/01962

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>CHEN J C ET AL: "An on-chip, interconnect capacitance characterization method with sub-femto-farad resolution" IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING, US, IEEE INC, NEW YORK, vol. 11, no. 2, 1 May 1998 (1998-05-01), pages 204-210, XP002096116 ISSN: 0894-6507 cited in the application page 204, column 1, paragraph 1 -page 206, column 1, paragraph 1 figures 1-3</p> <p style="text-align: center;">---</p>	1,2,14, 19
A	<p>KORTEKAAS C: "ON-CHIP QUASI-STATIC FLOATING-GATE CAPACITANCE MEASUREMENT METHOD" PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES. (ICMTS), US, NEW YORK, IEEE, 5 March 1990 (1990-03-05), pages 109-113, XP000143982 abstract figure 1</p> <p style="text-align: center;">-----</p>	1,2,14, 19

INTERNATIONALER RECHERCHENBERICHT

Internationale tenzeichen

PCT/DE 00/01962

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 IPK 7 G01R27/26 G01R31/27

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 IPK 7 G01R H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, WPI Data, PAJ, IBM-TDB

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie°	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	MCGAUGHTY B W ET AL: "A SIMPLE METHOD FOR ON-CHIP, SUB-FEMTO FARAD INTERCONNECT CAPACITANCE MEASUREMENT" IEEE ELECTRON DEVICE LETTERS,US,IEEE INC. NEW YORK, Bd. 18, Nr. 1, 1997, Seiten 21-23, XP000636030 ISSN: 0741-3106 in der Anmeldung erwähnt Seite 21, Spalte 1, Absatz 2 -Seite 22, Spalte 1, Absatz 1 Abbildungen 1,2 <div style="text-align: center; margin-top: 20px;"> --- -/-- </div>	1,2,14,19

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen
 Siehe Anhang Patentfamilie

° Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche 16. Oktober 2000	Absendedatum des internationalen Recherchenberichts 24/10/2000
------------------------------------------------------------------------------------	------------------------------------------------------------------------------

Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Lopez-Carrasco, A
-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	---------------------------------------------------------------

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>CHEN J C ET AL: "An on-chip, interconnect capacitance characterization method with sub-femto-farad resolution" IEEE TRANSACTIONS ON SEMICONDUCTOR MANUFACTURING,US,IEEE INC, NEW YORK, Bd. 11, Nr. 2, 1. Mai 1998 (1998-05-01), Seiten 204-210, XP002096116 ISSN: 0894-6507 in der Anmeldung erwähnt Seite 204, Spalte 1, Absatz 1 -Seite 206, Spalte 1, Absatz 1 Abbildungen 1-3</p>	1,2,14,19
A	<p>KORTEKAAS C: "ON-CHIP QUASI-STATIC FLOATING-GATE CAPACITANCE MEASUREMENT METHOD" PROCEEDINGS OF THE INTERNATIONAL CONFERENCE ON MICROELECTRONIC TEST STRUCTURES. (ICMTS),US,NEW YORK, IEEE, 5. März 1990 (1990-03-05), Seiten 109-113, XP000143982 Zusammenfassung Abbildung 1</p>	1,2,14,19