

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6816046号
(P6816046)

(45) 発行日 令和3年1月20日(2021.1.20)

(24) 登録日 令和2年12月25日(2020.12.25)

(51) Int.Cl.	F 1
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 501 P
HO 5 K 3/00 (2006.01)	HO 5 K 3/00 X
HO 5 K 3/46 (2006.01)	HO 5 K 3/00 J
	HO 5 K 3/46 Q
	HO 5 K 3/46 X

請求項の数 15 (全 14 頁)

(21) 出願番号	特願2018-19434 (P2018-19434)
(22) 出願日	平成30年2月6日(2018.2.6)
(65) 公開番号	特開2019-140150 (P2019-140150A)
(43) 公開日	令和1年8月22日(2019.8.22)
審査請求日	令和1年10月16日(2019.10.16)

早期審査対象出願

前置審査

(73) 特許権者	390022471 アオイ電子株式会社 香川県高松市香西南町455番地の1
(74) 代理人	100084412 弁理士 永井 冬紀
(74) 代理人	100169029 弁理士 池田 恵一
(72) 発明者	河野 一郎 東京都青梅市藤橋3丁目3番地の2 青梅 エレクトロニクス株式会社内
	審査官 平林 雅行

最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

主面側に剥離層が形成された支持基板を用意すること、
前記支持基板上の前記剥離層よりも上に、部分的に配線層および層間絶縁膜を形成すること、
半導体チップのパッドの少なくとも一部が、前記配線層の少なくとも一部に電気的に接続するように、前記半導体チップを前記支持基板上に配置すること、

前記配線層の少なくとも一部、前記層間絶縁膜の少なくとも一部、および前記半導体チップを包含するとともに、前記支持基板の前記主面上の前記剥離層またはそれよりも上の層と接触し、前記支持基板の前記主面以外の面とは接触しない封止層を形成し、前記支持基板上に、前記半導体チップおよび前記配線層、前記封止層を含む中間積層体を形成すること、

前記中間積層体を形成した後に、前記支持基板の周辺部であって前記封止層が形成されている部分を切断すること、

前記周辺部を切断した前記支持基板から、前記剥離層を境界として、前記中間積層体を機械的に剥離すること、とを含む半導体装置の製造方法。

【請求項 2】

請求項 1 に記載の半導体装置の製造方法において、

前記配線層の形成は、前記支持基板の前記周辺部に給電用電極を取り付け、前記支持基板に対して電解めっきを行うことにより形成する、半導体装置の製造方法。

【請求項 3】

請求項 1 または請求項 2 に記載の半導体装置の製造方法において、
前記切断において、前記支持基板の周辺部であって前記封止層と前記層間絶縁膜とがともに形成されている部分を切断する、半導体装置の製造方法。

【請求項 4】

請求項 1 から請求項 3 までのいずれか一項に記載の半導体装置の製造方法において、
前記支持基板の前記周辺部の前記切断は、
前記支持基板の周辺部に、割断予定線を形成すること、
前記支持基板上に形成されている前記剥離層および前記封止層を、前記割断予定線に対応する位置で前記支持基板の主面側から切断すること、
前記支持基板の周辺部を、前記割断予定線に沿って割断すること、とを含む半導体装置の製造方法。

【請求項 5】

請求項 4 に記載の半導体装置の製造方法において、
前記割断予定線の形成は、前記支持基板の裏面に切り筋を形成することにより行う半導体装置の製造方法。

【請求項 6】

請求項 5 に記載の半導体装置の製造方法において、
前記切り筋の形成は、前記支持基板上に前記中間積層体を形成した後に行う半導体装置の製造方法。

【請求項 7】

請求項 5 に記載の半導体装置の製造方法において、
前記切り筋の形成は、前記支持基板上に前記配線層を形成する前に行う半導体装置の製造方法。

【請求項 8】

請求項 4 に記載の半導体装置の製造方法において、
前記割断予定線の形成は、前記剥離層を形成する前に、前記支持基板の主面に切り筋を形成することにより行う半導体装置の製造方法。

【請求項 9】

請求項 4 に記載の半導体装置の製造方法において、
前記割断予定線の形成は、前記支持基板の内部に、他の部分と比較して強度の弱い部分を形成することにより行う半導体装置の製造方法。

【請求項 10】

請求項 1 から請求項 9 までのいずれか一項に記載の半導体装置の製造方法において、
前記支持基板としてガラス基板を使用する、半導体装置の製造方法。

【請求項 11】

請求項 1 から請求項 10 までのいずれか一項に記載の半導体装置の製造方法において、
前記支持基板として、前記主面に基板側から順に金属層、前記剥離層、薄銅層が形成されている支持基板を用いる半導体装置の製造方法。

【請求項 12】

請求項 1 から請求項 11 までのいずれか一項に記載の半導体装置の製造方法において、
前記配線層の形成を複数回行い、多層配線型の配線層を形成する半導体装置の製造方法。

【請求項 13】

請求項 1 から請求項 12 までのいずれか一項に記載の半導体装置の製造方法において、
前記支持基板上に、複数並列して前記中間積層体を形成し、かつ、前記複数並列して形成された前記中間積層体を一体的に前記支持基板から剥離するとともに、前記剥離後に前記中間積層体を個々に切断する半導体装置の製造方法。

【請求項 14】

請求項 1 から請求項 13 までのいずれか一項に記載の半導体装置の製造方法において、

10

20

30

40

50

前記中間積層体中に前記半導体チップを複数個配置する半導体装置の製造方法。

【請求項 15】

請求項 1 から請求項 14 までのいずれか一項に記載の半導体装置の製造方法において、前記中間積層体中に前記半導体チップとともに受動部品を配置する半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関する。

【背景技術】

【0002】

いわゆるチップラスト型（RDL ファースト型）の半導体装置は、一時的に使用する仮の支持基板上に配線層および絶縁層を形成し、半導体チップを配置してモールドした後、仮の支持基板を除去する工程を経て製造される。仮の支持基板の除去は、モールドされた半導体チップ、配線層および絶縁層（以下、これらを総称して中間積層体とよぶ）から、仮の支持基板を機械的に引き剥がして分離することにより行われる。

特許文献 1 には、表面上に密着金属層、剥離層、反射防止層および極薄銅層を備えたガラスで構成されるキャリア（支持基板）を用いるプリント配線板（半導体装置）の製造方法が開示される。

【先行技術文献】

10

【特許文献】

【0003】

【特許文献 1】特許第 6203988 号公報

20

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 は、支持基板（キャリア）上に形成した中間積層体を、支持基板の全面に渡って一括して支持基板から剥離する方法を開示する。

しかし、支持基板の周辺部は、成膜条件が不安定なため配線層や絶縁層を安定した膜厚で成膜することが難しく、また、周辺部には配線層の形成のための電気めっき工程において給電機構（給電用電極）を接触させる必要があり、これによりキズ等が発生し易い。

30

【0005】

そのため、支持基板上の周辺部も含めて剥離を行うと、配線層および絶縁層の不均一性やキズが原因で、周辺部に剥離ムラが発生する恐れがある。そして、周辺部の剥離ムラが、半導体チップと配線層がモールドされた中間積層体が形成されている基板の中央部分の剥離にも悪影響を与え、中間積層体およびその中間積層体を含む半導体装置の歩留まりを低下させる恐れがある。

【課題を解決するための手段】

【0006】

本発明の半導体装置の製造方法は、正面側に剥離層が形成された支持基板を用意すること、前記支持基板上の前記剥離層よりも上に、部分的に配線層および層間絶縁膜を形成すること、半導体チップのパッドの少なくとも一部が、前記配線層の少なくとも一部に電気的に接続するように、前記半導体チップを前記支持基板上に配置すること、前記配線層の少なくとも一部、前記層間絶縁膜の少なくとも一部、および前記半導体チップを包含するとともに、前記支持基板の前記正面の上に前記剥離層またはそれよりも上の層と接触し、前記支持基板の前記正面以外の面とは接触しない封止層を形成し、前記支持基板上に、前記半導体チップおよび前記配線層、前記封止層を含む中間積層体を形成すること、前記中間積層体を形成した後に、前記支持基板の周辺部であって前記封止層が形成されている部分を切断すること、および、前記周辺部を切断した前記支持基板から、前記剥離層を境界として、前記中間積層体を機械的に剥離すること、とを含む。

40

50

【発明の効果】**【0007】**

本発明によれば、支持基板の周辺部に形成された膜の不均一性やキズによらず、中間積層体を安定して剥離することができる。

【図面の簡単な説明】**【0008】**

【図1】本発明の第1の実施形態による半導体装置の製造方法を説明する図であり、前半の工程を示す図。

【図2】本発明の第1の実施形態による半導体装置の製造方法を説明する図であり、図1に続く工程を示す図。

10

【図3】本発明の第1の実施形態による半導体装置の製造方法を説明する図であり、図2に続く工程を示す図。

【図4】本発明の第1の実施形態による半導体装置の製造方法を説明する図であり、図3に続く工程を示す図。

【図5】本発明の第1の実施形態による半導体装置の製造方法を説明する図であり、図4に続く工程を示す図。

【図6】本発明の第1の実施形態による半導体装置の製造方法を説明する図であり、支持基板上に中間積層体が複数並列して形成された状態を示す図。

【図7】変形例1から3による半導体装置の製造方法を説明する図。図7(a)は変形例1を説明する図。図7(b)は変形例2を説明する図。図7(c)は変形例3を説明する図。

20

【図8】本発明の第2の実施形態による半導体装置の製造方法を説明する図。

【発明を実施するための形態】**【0009】****(第1の実施形態)**

図1から図6は、本発明の第1の実施形態による半導体装置30の製造方法を説明するための図である。図1から図5は、支持基板11上に、配線層16、半導体チップ23、封止層24等からなる中間積層体29を形成していく工程等を説明する断面図であり、図6は、支持基板11上に中間積層体29が複数並列して形成された状態を示す上面図である。ただし、図6では後述する封止層24等の一部の部材は図示を省略している。

30

【0010】**(製造工程の概要)**

図6を参照して、本例の製造工程の概要を説明する。

図6に示すように、本例では、支持基板11は略正方形で、一辺が100～300mm程度である。そして、本例においては、図6に示すとおり、この支持基板11上に、後述する封止層や半導体チップおよび配線層を含む中間積層体29を複数並列して形成する。

その後、図6中に破線で示した左端切断線2L、右端切断線2R、上端切断線2U、下端切断線2Dの位置にて、支持基板11の周辺部を切断する。左端切断線2L、右端切断線2R、上端切断線2Uおよび下端切断線2Dを、総称して切断線2と呼ぶ。

【0011】

40

周辺部を切断した後に、支持基板11から、複数並列して形成された中間積層体29を一括して剥離する。その後、複数並列された中間積層体29のそれぞれを、図6中に破線で示した複数の縦分離線3V、複数の横分離線3Hの位置にて分離(ダイシング)する。縦分離線3Vおよび横分離線3Hを、総称して分離線3と呼ぶ。

中間積層体29は、後述するその後の工程を経て、半導体装置30として完成される。

切断線2の位置および分離線3の間隔は、半導体装置30の大きさ(面積)に応じて設定される。

以下、図1から図5を参照して、支持基板11上に、配線層16、半導体チップ23、封止層24等からなる中間積層体29を形成する工程、および半導体装置30を形成する工程を説明する。

50

【0012】

(支持基板)

図1(a)は、製造工程の初期における支持基板11の断面構造を示す図である。支持基板11の構成は、特許第6203988号公報に開示されるキャリア付き銅箔と同様の構成である。支持基板11自体はガラスからなり、その正面(おもて側の面であって、図中の上方の面)に、基板側から順に密着金属層12と、剥離層13と、反射防止層14と、薄銅層15が形成されている。上記の各層を構成する材料や厚さも、特許第6203988号公報に開示されるキャリア付き銅箔と同様の構成でよい。

【0013】

すなわち、支持基板11自体はガラスからなり、その厚さは100~2000μmが好ましい。

密着金属層12は支持基板11との密着性を確保する点から、Ti、Cr及びNiからなる群から選択される少なくとも1種の金属で構成される層であるのが好ましく、純金属であってもよいし、合金であってもよい。密着金属層12の厚さは、10~300nm程度が好ましい。

剥離層13は、主として炭素を含んでなる層であるのが剥離容易性や膜形成性の点等から好ましく、より好ましくは主として炭素又は炭化水素からなる層であり、さらに好ましくは硬質炭素膜であるアモルファスカーボンからなる。剥離層13の厚さは、1~20nm程度が好ましい。

【0014】

反射防止層14は、Cr、W、Ta、Ti、Ni及びMoからなる群から選択される少なくとも1種の金属で構成される。反射防止層14の厚さは、10~300nm程度が好ましい。なお、反射防止層14は、製造工程での配線層の画像検査の精度を向上するために設ける層であるので、画像による検査工程が必要でない場合等には省略してもかまわない。

薄銅層15は、厚さが50~2000nm程度の銅を主成分とする層である。薄銅層15は、真空蒸着やスパッタリングまたはめっきにより形成することが好ましい。

【0015】

また、密着金属層12、剥離層13、反射防止層14についても、スパッタリング等で形成することが好ましい。

また、上記の条件に適した、剥離層13等の形成された支持基板11が販売されていれば、それを購入して、すなわち用意して、使用してもよい。

【0016】

(下段パッドの形成)

図1(b)は、支持基板11上の最上層である薄銅層15の上に、半導体装置30の一部となる下段パッド16を形成した状態を示している。下段パッド16の形成に際しては、始めに薄銅層15上の全面に不図示のフォトトレジスト層を形成し、このフォトトレジスト層に下段パッド16の形状に対応する所望のパターンを形成する。

【0017】

その後、切断線2より外側の支持基板11上の薄銅層15に給電用電極を取り付け、支持基板11をめっき液に浸し銅めっき等の電解めっきを行うことで、薄銅層15が露出する部分(すなわちフォトトレジストで覆われていない部分)に、下段パッド16を形成する。そして、フォトトレジストを除去する。

図1(b)は、下段パッド16を形成した後にフォトトレジストを除去した状態を示している。

【0018】

下段パッド16の厚さは5~200μm程度が好ましく、下段パッド16の直径は30~200μm程度が好ましい。下段パッド16の上面形状は、円形でも多角形でも良い。

下段パッド16と後述する層間絶縁膜17との密着性を向上するために、下段パッド16の表面および側面に粗面化処理を行うか、あるいはカップリング剤を形成して、両者の

10

20

30

40

50

密着性を向上させてもよい。

また、上記の工程に基づいて、フォトレジストに形成するパターンの形状により、下段パッド16と同時に支持基板11上の異なる2箇所を電気的に導通させるための配線を形成することもできる。

【0019】

(層間絶縁膜の形成)

図1(c)は、支持基板11上に、下段パッド16を覆うように層間絶縁膜17を形成し、その上にドライフィルムレジスト19を形成した状態を示している。層間絶縁膜17の材料としては、シリコンフィラーを80%以上含有するエポキシ樹脂等を使用する。層間絶縁膜17は、印刷法や圧縮成型法、またはシート状の樹脂フィルムを真空ラミネートする方法で形成し、形成後にある程度の硬化処理を行う。

【0020】

下段パッド16を覆うように層間絶縁膜17を形成した後、層間絶縁膜17の所定の箇所に、レーザー照射によるアブレーション等によりピア形成用のスルーホール18を形成し、さらにスルーホール形成に伴う残渣を除去するデスマニア処理を行う。そして、スルーホール18の形成された層間絶縁膜17の上に、無電解めっきまたはスパッタにより、銅等の金属からなる不図示のめっきシード層を形成する。

そして、その上にドライフィルムレジスト19を形成し、レーザー照射によるアブレーション等によりドライフィルムレジスト19内の所定の箇所であってスルーホール18と部分的に重なる箇所に、開口20を形成する。

図1(c)は、開口20が形成された状態を示している。

【0021】

(上段パッドの形成)

切断線2より外側の支持基板11上の層間絶縁膜17の上に形成された上記の不図示のめっきシード層に給電用電極を取り付ける。そして、支持基板11をめっき液に浸し銅めっき等の電解めっきを行うことで、スルーホール18および開口20の内部に銅等の金属を堆積させることで、ピアおよび上段パッド21(以下、併せて上段パッド21と呼ぶ)を形成する。

図2(a)は、スルーホール18および開口20の内部に上段パッド21が形成された状態を示している。

なお、下段パッド16と上段パッド21はともに導電性の部材であるため、これらを配線層と呼ぶこともできる。

【0022】

(エッチング)

その後、ドライフィルムレジスト19を除去し、層間絶縁膜17の硬化処理を行う。また、層間絶縁膜17上に形成した上記の不図示のめっきシード層の除去(エッチング)を行う。これらの除去は、公知の一般的な方法で行えばよい。

【0023】

(半導体チップの接合および封止)

図2(b)は、上記で形成した支持基板11上の積層物(下段パッド16、上段パッド21および層間絶縁膜17)の上に、半導体チップ23を接合し、半導体チップ23を封止層24で封止した状態を表している。

半導体チップ23の接合に際しては、予め半導体チップ23の電極端子としてはんだ付き銅ピラー22を形成しておき、各銅ピラー22が所定の上段パッド21上の重なるように、半導体チップ23を配置する。そして、銅ピラー22と上段パッド21とをフラックス剤を使用して仮固定し、その後C4(Controlled Collapse Chip Connection)接合する。

【0024】

銅ピラー22と上段パッド21との接合は、超音波接合により行っても良い。また、半導体チップ23には、はんだ付き銅ピラー22の代わりに、はんだボールバンプやマイク

10

20

30

40

50

ロハンダバンプを形成しておいても良い。

この後、半導体チップ 23 および支持基板 11 の主面（図 2 (b) 中の上側の面）を覆うように、コンプレッションモールド法などにより樹脂による封止層 24 を形成する。封止層 24 は、下段パッド 16、上段パッド 21 および層間絶縁膜 17 の上面や側面も覆い、支持基板 11 上に形成されている剥離層 13 または剥離層 13 より上層にある反射防止層 14 も覆う。

【0025】

以上の工程により、支持基板 11 上には、封止層 24、半導体チップ 23、銅ピラー 22、配線層（上段パッド 21 および下段パッド 16）、層間絶縁膜 17 からなる中間積層体 29 が形成される。

10

【0026】

（支持基板の周辺部の切断）

中間積層体 29 の形成後、支持基板 11 の周辺部を切断する。すなわち、支持基板 11 のうち、図 6 に示した上述の切断線 2 よりも外側の部分を切断する。

図 2 (c) は、周辺部の切断のために中間積層体 29 が形成された主面を下側に向けて配置された支持基板 11 を示している。なお、図 2 (b) と図 2 (c) では、支持基板 11 が紙面に垂直な線を回転中心として 180 度回転しているため、右端切断線 2R と左端切断線 2L の位置関係が入れ替わっている。

【0027】

周辺部の切断に際しては、まず支持基板 11 の裏面（上記主面とは反対側の面）の右端切断線 2R と左端切断線 2L に相当する部分に、スクライビングホイール 70 により、微小なキズである切り筋 4R、4L を形成する。

20

同様に、支持基板 11 の裏面の上端切断線 2U と下端切断線 2D に相当する部分にも、切り筋を形成する。

【0028】

図 3 (a) は、周辺部を切断した後に上下を正転させて配置した支持基板 11 を表している。周辺部を切断した後に、支持基板 11 の主面側の封止層 24 等の積層物を、ダイシングソー 71 を使用して左端切断線 2L および右端切断線 2R に相当する部分で切断する。

同様に、上端切断線 2U と下端切断線 2D に相当する部分においても、支持基板 11 の主面側の封止層 24 等の積層物を切断する。

30

【0029】

ダイシングソー 71 による切断は、封止層 24、層間絶縁膜 17、反射防止層 14、剥離層 13、密着金属層 12 を対象とするが、支持基板 11 の主面近傍に部分的に切れ込みが入ってもかまわない。切断された積層物は、支持基板 11 の周辺部（切断線 2 より外側）の主面に密着しているため、支持基板 11 の周辺部が支持基板 11 と繋がっている以上、切断してもすぐに支持基板 11 から離れるわけではない。

この状態の支持基板 11 に対し周辺部（切断線 2 よりも外周部）に撃力を加えることにより、支持基板 11 を切断線 2 の位置で割断（ブレーク）する。

【0030】

40

図 3 (b) は、周辺部を割断した状態の支持基板 11 および中間積層体 29 を示す。図 3 (b) に示したとおり、中間積層体 29 の切断面には、剥離層 13 の端部が明確に露出する。

なお、切り筋 4R、4L は、この割断（ブレーク）を行うために形成するクラックであるので、割断予定線とみることもできる。

【0031】

（中間積層体の支持基板からの剥離）

図 4 (a) は、周辺部を割断した支持基板 11 および中間積層体 29 を、剥離装置（80、81）に装着し、支持基板 11 から中間積層体 29 を剥離する状態を示している。

剥離装置は、一例として、支持基板 11 を載置する載置台 80 と、ニードル等の亀裂イ

50

ニシエータ 8 2 が設けられた剥離アーム 8 1 を備える装置である。

【0032】

中間積層体 2 9 の剥離では、まず、支持基板 1 1 の一方の端（図 4 (b) では右端）を載置台 8 0 上の係止部 8 0 a に固定する。そして、亀裂イニシエータ 8 2 の先端を、支持基板 1 1 上に形成されている剥離層 1 3 の近傍に接触させ、支持基板 1 1 上に押し込むことで剥離開始点を形成する。そして、剥離アーム 8 1 を載置台 8 0 に対して図中右方向に相対移動させることで、中間積層体 2 9 を支持基板 1 1 から剥離する。

【0033】

本例においては、支持基板 1 1 と中間積層体 2 9 の間に剥離層 1 3 が形成されているため、中間積層体 2 9 を剥離層 1 3 を境界面として支持基板 1 1 から均一に剥離することができる。

続いて、支持基板 1 1 から剥離した中間積層体 2 9 から、剥離面に残存する剥離層 1 3 の残骸、反射防止層 1 4 、および薄銅層 1 5 を除去する。

【0034】

図 4 (b) は、支持基板 1 1 から剥離し、剥離層 1 3 の残骸、反射防止層 1 4 、薄銅層 1 5 を除去した中間積層体 2 9 を示す。剥離層 1 3 の残骸、反射防止層 1 4 、および薄銅層 1 5 の除去についても、エッチング等の公知の一般的な除去方法を使用することができる。

【0035】

(はんだボールの形成)

図 5 (a) は、中間積層体 2 9 の下段パッド 1 6 に、はんだボールを形成するために、層間絶縁膜 1 7 の上にソルダーレジスト 2 5 を形成し、下段パッド 1 6 上のソルダーレジスト 2 5 に開口 2 7 を形成した状態を示している。図 5 (a) では、中間積層体 2 9 は図 4 (b) に示した状態から回転（上下反転）して表されている。

この後、フラックスをソルダーレジスト 2 5 の開口 2 7 上に塗布し、はんだボール 2 6 を下段パッド 1 6 上に仮固定し、その後リフローを行ってはんだボール 2 6 を固定する。

図 5 (b) は、はんだボール 2 6 が固定された状態の中間積層体 2 9 を示している。

【0036】

(ダイシング)

その後、複数並列して、すなわち複数個が連続したままの中間積層体 2 9 のそれぞれを回路テスター等でテストし、ダイシングソーを使用してダイシング（個片化）する。

図 5 (c) は、ダイシングされ完成した状態の半導体装置 3 0 を示している。

なお、図 1 から図 5 の各図では、説明を容易にするために、支持基板 1 1 の面内方向の長さに対して厚さ方向の長さを拡大して示している。

【0037】

また、上記の第 1 の実施形態では、支持基板 1 1 上には左右に 2 個の中間積層体 2 9 を形成するものとしているが、支持基板 1 1 上に形成する中間積層体 2 9 の配列数はこれに限るものではなく、より多数個の中間積層体 2 9 を形成することができる。

なお、製造する半導体装置 3 0 の用途によっては、上述のはんだボールの形成工程を省略してもよい。

【0038】

(変形例)

以下、図 7 を参照して、変形例 1 から 4 について説明する。

以下の変形例は、支持基板 1 1 の切断方法に関する変形例である。よって、支持基板 1 1 の切断方法以外については、上述の第 1 の実施形態と同様であるので説明を省略する。

【0039】

(変形例 1)

図 7 (a) は、変形例 1 で使用する支持基板 1 1 a を示す。

支持基板 1 1 a には、上述の第 1 の実施形態で使用する支持基板 1 1 と同様に、その正面に基板側から順に密着金属層 1 2 と、剥離層 1 3 と、反射防止層 1 4 と、薄銅層 1 5 が

10

20

30

40

50

形成されている。ただし、その裏面（上記の主面とは反対側の面）には、左端切断線 2 L および右端切断線 2 R 等の切断線 2 に相当する位置に、予め切り筋 4 a L および 4 a R を形成しておく。

【0040】

従って、本変形例 1 では、半導体装置の製造工程の中で支持基板 1 1 a の裏面に切り筋を形成する工程（例えば、図（c）参照）を削減することができる。

切り筋 4 a L および 4 a R と、密着金属層 1 2、剥離層 1 3、反射防止層 1 4 および薄銅層 1 5 は、どちらを先に形成してもかまわない。ただし、切り筋 4 a L および 4 a R は、支持基板 1 1 a 上に配線層（下段パッド 1 6）を形成する前に行うことが好ましい。

なお、変形例 1 の切り筋 4 a L および 4 a R についても、上述の第 1 の実施形態での切り筋 4 L および 4 R と同様に、割断予定線とみることもできる。 10

【0041】

（変形例 2）

図 7（b）は、変形例 2 で使用する支持基板 1 1 b を示す。

変形例 2 では、支持基板 1 1 b の主面の左端切断線 2 L および右端切断線 2 R 等の切断線 2 に相当する位置に、予め切り筋 4 b L および 4 b R を形成しておく。そして、その後に、不図示ではあるがその主面に、基板側から順に密着金属層 1 2、剥離層 1 3 と、反射防止層 1 4 と、薄銅層 1 5 を形成しておく。

【0042】

支持基板 1 1 b の主面に形成された切り筋であっても、裏面に形成された切り筋と同様に割断（ブレーク）の開始点として機能するため、本変形例 2 でも、半導体装置の製造工程の中で支持基板 1 1 b の裏面に切り筋を形成する工程を削減することができる。 20

なお、変形例 2 の切り筋 4 b L および 4 b R についても、上述の第 1 の実施形態での切り筋 4 L および 4 R と同様に、割断予定線とみることもできる。

【0043】

（変形例 3）

図 7（c）は、変形例 3 で使用する支持基板 1 1 c を示す。

支持基板 1 1 c には、上述の第 1 の実施形態で使用する支持基板 1 1 と同様に、その主面に基板側から順に密着金属層 1 2、剥離層 1 3 と、反射防止層 1 4 と、薄銅層 1 5 が形成されている。そして、支持基板 1 1 c の内部の、左端切断線 2 L および右端切断線 2 R 等の切断線 2 に相当する位置には、他の部分と比較して強度の弱い劣化部分 4 c L および 4 c R を形成しておく。 30

【0044】

この劣化部分 4 c L および 4 c R は、例えばガラス製の支持基板 1 1 c に対して、レーザーを劣化部分に集光して照射することにより、形成することができる。

劣化部分 4 c L および 4 c R が割断（ブレーク）の開始点として機能するため、本変形例 3 でも、半導体装置の製造工程の中で支持基板 1 1 c の裏面に切り筋を形成する工程を削減することができる。

【0045】

なお、変形例 3 の劣化部分 4 c L および 4 c R についても、上述の第 1 の実施形態での切り筋 4 L および 4 R と同様に、割断予定線とみることもできる。 40

【0046】

（変形例 4）

変形例 4 においては、支持基板 1 1 の周辺部の切断に際して、支持基板 1 1 に切り筋を設けて割断を行うのではなく、ダイシングソーを用いて支持基板 1 1 全体を切断する。

よって、変形例 4 においては、上述の第 1 の実施形態や各変形例に比べ、切り筋を形成する工程（例えば、図 2（c）参照）や割断の工程が削減できるので、切断工程が簡略化される。

【0047】

（第 1 の実施形態および変形例 1 から 4 の効果）

10

20

30

40

50

以上の第1の実施形態および変形例1から4によれば、以下の効果を得られる。

(1) 本実施形態の半導体装置30の製造方法は、主面側に剥離層13が形成された支持基板11を用意すること、支持基板11上の剥離層13よりも上に、部分的に配線層(下段パッド16、上段パッド21)を形成すること、半導体チップ23を支持基板11上に配置すること、配線層(下段パッド16、上段パッド21)の少なくとも一部および半導体チップ23を包含するとともに、支持基板11上の剥離層13またはそれよりも上の層と接触する封止層24を形成し、支持基板11上に、半導体チップ23および配線層16、21、封止層24を含む中間積層体29を形成すること、中間積層体29を形成した後に、支持基板11の周辺部を切断すること、周辺部を切断した支持基板11から剥離層13を境界として中間積層体29を機械的に剥離すること、とを含んでいる。

10

このような製造方法としたので、支持基板11の周辺部に、成膜ムラや電解めっき電極の接触によるキズが生じても、それらの悪影響は支持基板11の中央部に及びことがなく、中間積層体29を安定して支持基板11から剥離することができる。その結果、中間積層体29およびその中間積層体を含む半導体装置の歩留まりを向上させることができる。

(2) さらに、支持基板11の周辺部の切断を、支持基板11の周辺部に割断予定線を形成すること、支持基板11上に形成されている剥離層13および封止層24を割断予定線に対応する位置で支持基板11の主面側から切断すること、支持基板11の周辺部を割断予定線に沿って割断すること、を経て行うことにより、さらに安定して支持基板11の周辺部の切断を行うことができ、一層の歩留まりの向上が得られる。

(3) さらに、支持基板11として、その主面に基板側から順に金属層12、剥離層13、薄銅層14が形成されている支持基板を用いることで、剥離層13からの剥離をより安定して実現することができる。

20

(4) さらに、支持基板11上に、複数並列して中間積層体29を形成し、かつ、複数並列して形成された中間積層体29を一体的に支持基板11から剥離するとともに、剥離後に中間積層体29を個々に切断する構成とすることで、生産効率の高い製造方法を実現できる。

【0048】

(第2の実施形態)

図8を参照して、半導体装置30aの製造方法の第2の実施形態を説明する。

第2の実施形態においては、形成する配線層の層数が3層となる。なお、以下で説明する箇所を除いては、第2の実施形態においても、その製造工程は上述の第1の実施形態と同様である。

30

本変形例においては、上述の第1の実施形態において上段パッド21を形成しドライフィルムレジスト19を除去した後に(すなわち図2(a)に示した状態からドライフィルムレジスト19を除去した後に)、上段パッド21および層間絶縁膜17の上に第2の層間絶縁膜31を形成し、第2の層間絶縁膜31の所定の部分にスルーホール32を形成する。

【0049】

スルーホール32形成後の第2の層間絶縁膜31上に、無電解めっきまたはスパッタにより、銅等の金属からなる不図示のめっきシード層を形成する。

40

そして、その上にドライフィルムレジスト33を形成し、ドライフィルムレジスト33内の所定箇所に開口34を形成する。図7(a)は、開口34が形成された状態を示している。

【0050】

その後、銅めっき等の電解めっきを行うことで、スルーホール32および開口34の内部に銅等の金属を堆積させることで、最上段パッド35を形成する。なお、最上段パッド35も導電性の部材であるため、これも上述の配線層の一部と見ることもできる。

そして、ドライフィルムレジスト33を除去し、第2の層間絶縁膜31の硬化処理を行う。また、第2の層間絶縁膜31上に形成した上記の不図示のめっきシード層の除去(エッジ)を行う。

50

図7(b)は最上段パッド35が形成され、ドライフィルムレジスト33が除去された状態を示している。

【0051】

その後は、上述の実施形態で示した(半導体チップの接合および封止)の工程以降と同様の工程を行うことにより、図7(c)に示した、配線層の層数が3層(下段パッド16、上段パッド21、最上段パッド35)である半導体装置30aを製造することができる。

なお、上述の第1実施形態に対して第2実施形態で加えた工程と同様の工程を、第2実施形態にさらに加えることで、配線層の層数が4層以上の半導体装置を製造可能である。

【0052】

(第2の実施形態の効果)

以上の第2の実施形態の製造方法によれば、上述の第1の実施形態および変形例1から4の効果に加えて、3層の配線層を持つ半導体装置を、高い歩留まりで製造できるという効果がある。

【0053】

以上の各実施形態および変形例においては、支持基板11自体はガラス製であるとしたが、支持基板11自体は、セラミックス、樹脂、または金属のいずれかからなる基板を使用しても良い。また、支持基板11の形状も正方形に限らず、長方形や円形等の他の形状であっても良い。

また、下段パッド16、上段パッド21、最上段パッド35は銅には限らず、他の金属で形成しても良い。各種のフォトレジストは、感光性のドライフィルムでもよく、レーザープレーショントリエットによってパターン形成を行っても良い。

【0054】

また、各中間積層体29中に配置する半導体チップ23は1個には限定されず、複数個の半導体チップ23を1つの中間積層体29中に配置してもよい。これにより、より高性能な中間積層体29および半導体装置30を実現できる。

また、各中間積層体29中に配置する電子部品は半導体チップ23には限定されず、コンデンサ、コイル、アンテナ等の受動部品を半導体チップ23とともに配置しても良い。これにより、半導体チップ23だけでは実現できない機能を持った、高機能の中間積層体29および半導体装置30を実現できる。

【0055】

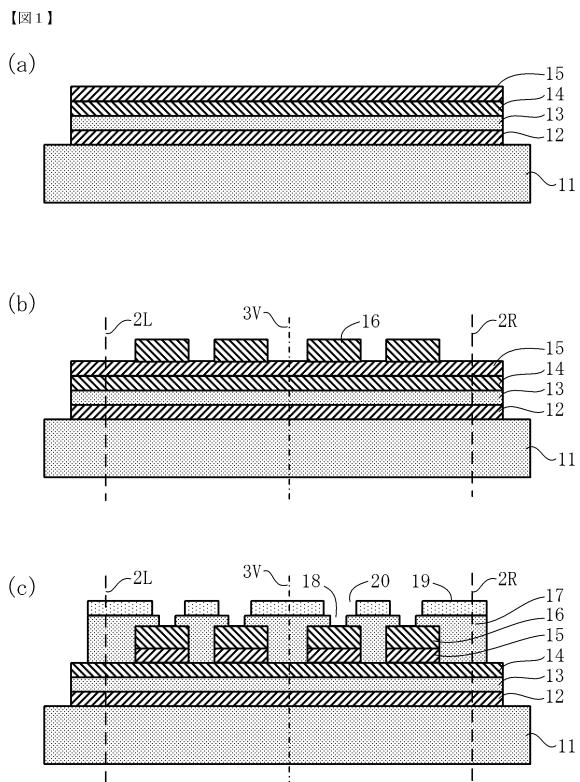
本発明は以上の内容に限定されるものではない。本発明の技術的思想の範囲内で考えられるその他の態様も本発明の範囲内に含まれる。

【符号の説明】

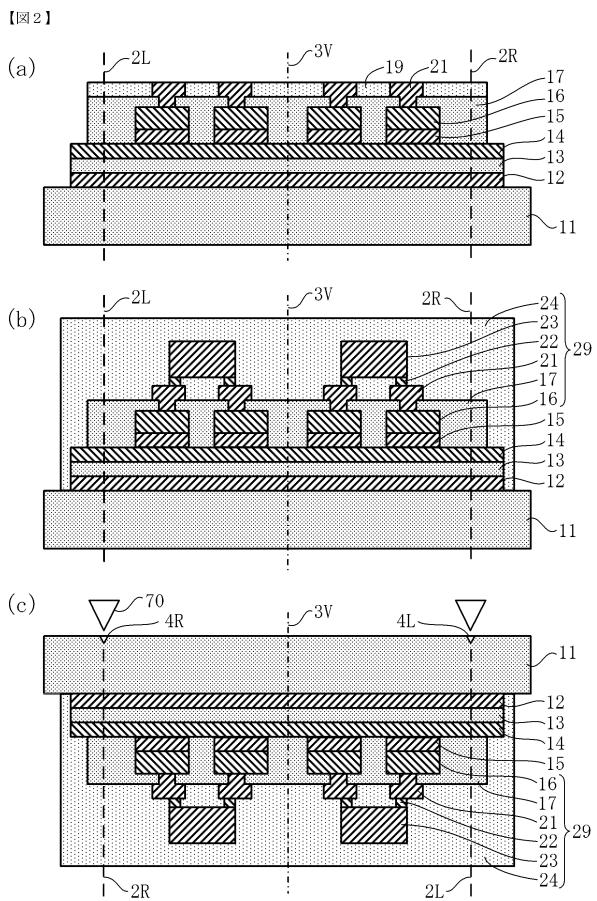
【0056】

30、30a：半導体装置、11、11a、11b、11c：支持基板、12：金属層、13：剥離層、14：反射防止層、15：薄銅層、16：下段パッド(配線層)、17：層間絶縁膜、19：レジスト、21：上段パッド(配線層)、23：半導体チップ、24：封止層、2：切断線、3：分離線、29：中間積層体

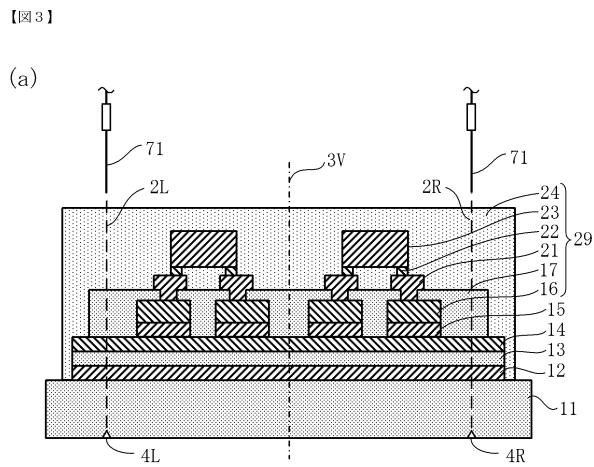
【図1】



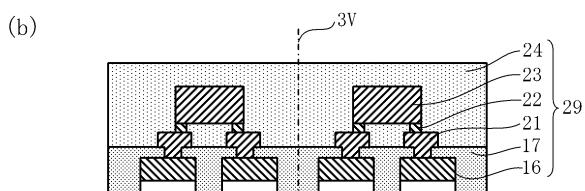
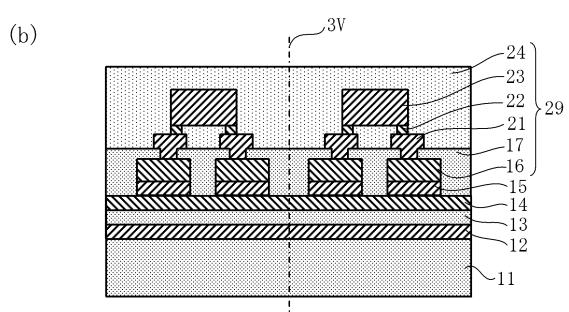
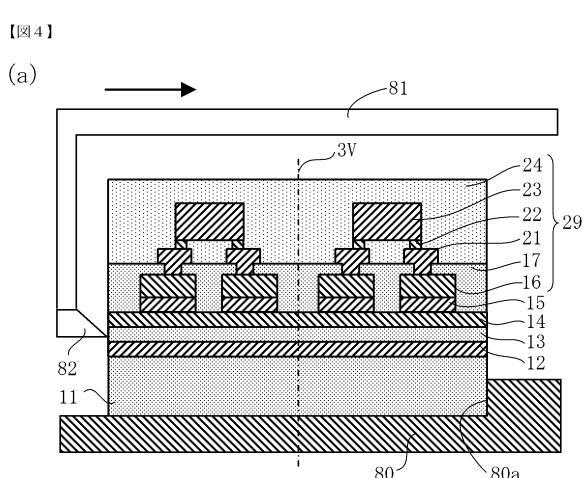
【図2】



【図3】

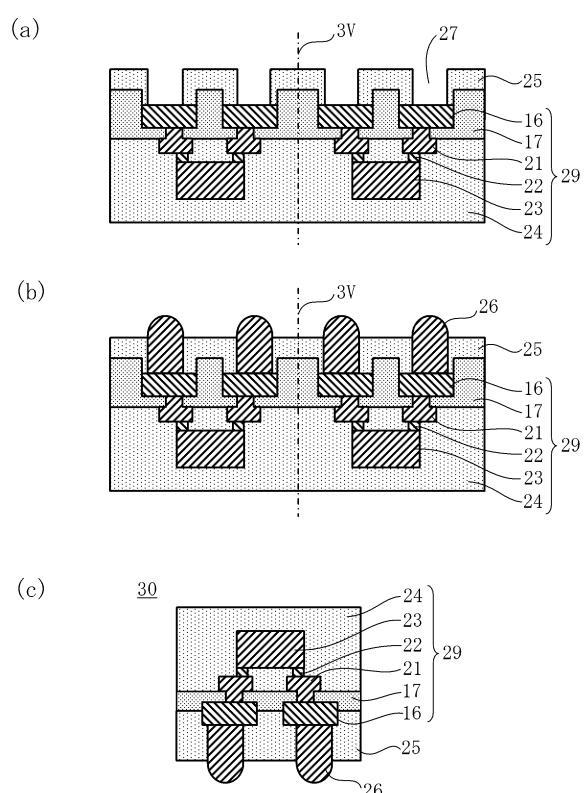


【図4】



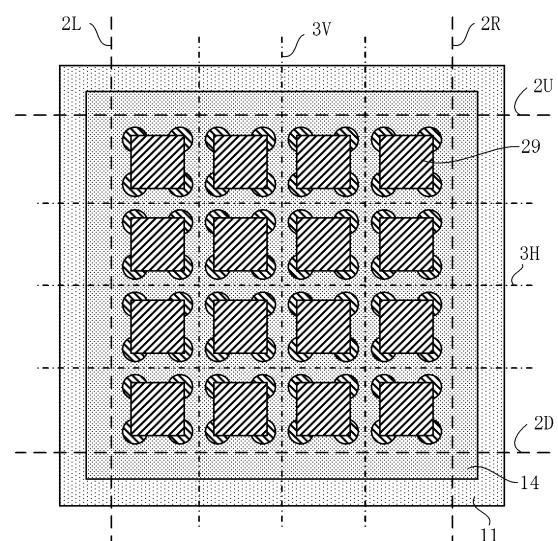
【図5】

【図5】



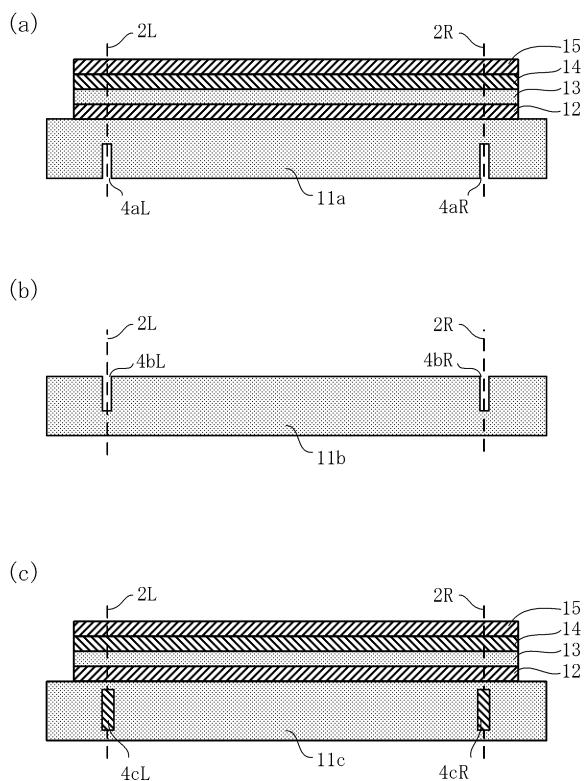
【図6】

【図6】



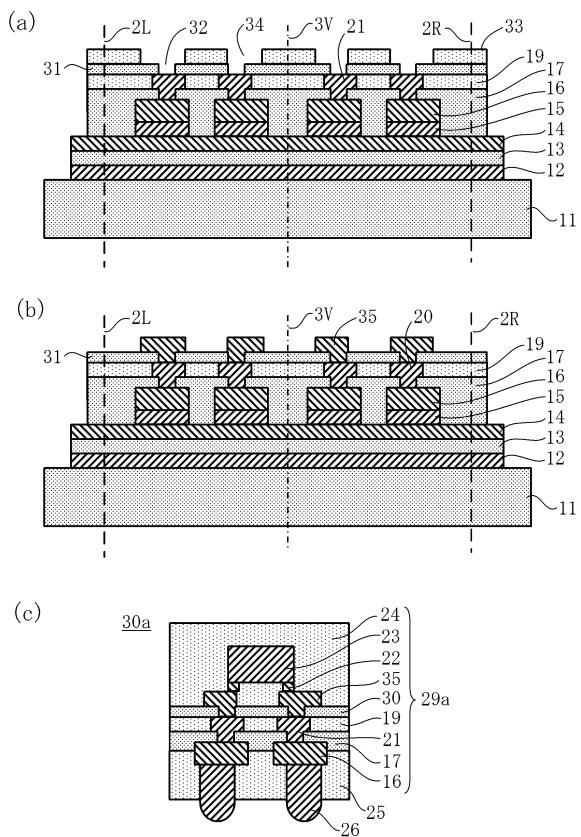
【図7】

【図7】



【図8】

【図8】



フロントページの続き

(56)参考文献 特許第6203988(JP,B2)
特開2006-222164(JP,A)
特開2017-162876(JP,A)
特開2016-134516(JP,A)
特開2010-251682(JP,A)
特開2017-017238(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L	21 / 56
H 01 L	23 / 12 - 23 / 15
H 01 L	23 / 28 - 23 / 31
H 05 K	1 / 00 - 1 / 02
H 05 K	3 / 00
H 05 K	3 / 46