

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6570115号  
(P6570115)

(45) 発行日 令和1年9月4日(2019.9.4)

(24) 登録日 令和1年8月16日(2019.8.16)

(51) Int.Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 J
HO 1 L 29/78 (2006.01)	HO 1 L 29/66 S
HO 1 L 29/66 (2006.01)	HO 1 L 29/78 6 2 2
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 Z
HO 1 L 29/06 (2006.01)	HO 1 L 29/78 6 1 8 F
請求項の数 8 (全 17 頁) 最終頁に続く	

(21) 出願番号 特願2015-146869 (P2015-146869)	(73) 特許権者 301021533 国立研究開発法人産業技術総合研究所 東京都千代田区霞が関1-3-1
(22) 出願日 平成27年7月24日(2015.7.24)	(73) 特許権者 301023238 国立研究開発法人物質・材料研究機構 茨城県つくば市千現一丁目2番地1
(65) 公開番号 特開2017-28153 (P2017-28153A)	(73) 特許権者 503359821 国立研究開発法人理化学研究所 埼玉県和光市広沢2番1号
(43) 公開日 平成29年2月2日(2017.2.2)	(74) 代理人 100125298 弁理士 塩田 伸
審査請求日 平成30年6月21日(2018.6.21)	(72) 発明者 森 貴洋 茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内
特許法第30条第2項適用 2015年2月26日「第62回応用物理学会春季学術講演会講演予稿集」(DVD), 12-118, 公益社団法人応用物理学会	最終頁に続く
特許法第30条第2項適用 2015年3月22日早稲田大学において開催された一般社団法人日本物理学会第70回年次大会で発表	

(54) 【発明の名称】 単電子トランジスタ及びその製造方法並びに集積回路

(57) 【特許請求の範囲】

【請求項1】

ソース部及び前記ソース部と離間して配されるドレイン部と、  
前記ソース部及び前記ドレイン部の間に配されるとともに前記ソース部との境界及び前記ドレイン部との境界のそれぞれでトンネル接合が形成され、領域中に量子ドットを形成する量子ドット形成不純物が含まれる量子ドット形成半導体部と、  
少なくとも前記量子ドット形成半導体部上にゲート絶縁膜を介してゲート電極が配されるゲート部と、で形成され、  
前記量子ドット形成半導体部をチャンネル部としたトンネル電界効果トランジスタの構造を有し、  
前記ソース部及び前記ドレイン部間の最短距離であるゲート長が大きくとも100nm未満であり、  
前記量子ドット形成半導体部が、前記量子ドット形成不純物であるアイソエレクトロニックトラップ形成不純物を含む半導体で形成されることを特徴とする単電子トランジスタ。

【請求項2】

ゲート長が小さくとも5nm以上である請求項1に記載の単電子トランジスタ。

【請求項3】

半導体がシリコン、ゲルマニウム及びこれらの混晶のいずれかである請求項1から2のいずれかに記載の単電子トランジスタ。

## 【請求項 4】

半導体がシリコンであり、アイソエレクトロニックトラップ形成不純物が A 1 及び N である請求項 3 に記載の単電子トランジスタ。

## 【請求項 5】

ソース部と量子ドット形成半導体部との境界及びドレイン部と前記量子ドット形成半導体部との境界のいずれかの境界に形成されるトンネル接合が P N 接合で形成される請求項 1 から 4 のいずれかに記載の単電子トランジスタ。

## 【請求項 6】

トンネル接合がショットキー接合で形成される請求項 1 から 4 のいずれかに記載の単電子トランジスタ。

## 【請求項 7】

ソース部を形成するソース部形成工程と、  
前記ソース部と離間してドレイン部を形成するドレイン部形成工程と、  
前記ソース部及び前記ドレイン部の間に、量子ドットを形成する量子ドット形成不純物を含む量子ドット形成半導体部を形成する量子ドット形成半導体部形成工程と、  
少なくとも前記量子ドット形成半導体部上にゲート絶縁膜を介してゲート電極を配したゲート部を形成するゲート部形成工程と、を含み、  
前記ソース部形成工程、前記ドレイン部形成工程及び前記量子ドット形成半導体部形成工程は、前記ソース部及び前記ドレイン部間の最短距離であるゲート長を大きくとも 1 0 0 n m 未満として前記ソース部、前記ドレイン部及び前記量子ドット形成半導体部を形成する工程であり、  
前記量子ドット形成半導体部形成工程が、前記量子ドット形成不純物であるアイソエレクトロニックトラップ形成不純物を含む半導体で前記量子ドット形成半導体部を形成する工程であることを特徴とする単電子トランジスタの製造方法。

## 【請求項 8】

請求項 1 から 6 のいずれかに記載の単電子トランジスタを有することを特徴とする集積回路。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、室温動作が可能な単電子トランジスタ及びその製造方法並びに前記単電子トランジスタを有する集積回路に関する。

## 【背景技術】

## 【0002】

近年、従来の CMOS 論理回路に基づくコンピュータに代わる次世代のコンピュータとして、量子コンピュータが注目されている。前記量子コンピュータは、その並列計算能力により、従来型のコンピュータでは実現できない計算性能が期待されている。

## 【0003】

前記量子コンピュータは、量子ビットを基本素子とする。現在実用化されている前記量子ビットとしては、超伝導型量子ビットを用いたものが挙げられるが、前記超伝導型量子ビットは、超伝導現象を利用するため、極低温下でしか動作できない問題がある。

また、半導体で作製する単電子トランジスタ中の前記量子ビットを用いることが試みられている（例えば、非特許文献 1 参照）。前記単電子トランジスタによれば、前記超伝導量子ビットに比べ高い集積度を実現でき、また、前記超伝導型量子ビットに比べ高温での動作が可能である。

## 【0004】

図 1 に一般的な単電子トランジスタの等価回路の例を示す。本例において前記単電子トランジスタは、ドレイン電圧  $V_D$  が印加された状態で、静電容量  $C_R$ 、 $C_L$  の 2 つのトンネル障壁の間に配された量子ドット（単電子島とも呼ばれる）が静電容量  $C_G$  のゲート電極のゲート電圧  $V_G$  を変化させることで単電子動作する。

10

20

30

40

50

即ち、前記量子ドット内に存在する $N$ 個 ( $N$ は整数)の電子は、静電容量 $C_R, C_L, C_G$ の総和が小さいときに、前記量子ドットと前記トンネル障壁との間でトンネルが禁止され電流の流れないクーロンブロッケード状態となるが、ゲート電圧 $V_G$ を変化させると、前記ゲート電極と前記量子ドットとの容量的な結合により、前記量子ドットにおけるエネルギー準位が変化し、ソースから図中左側の前記トンネル障壁を介して前記量子ドット内に1つの電子のトンネルが許容され、前記量子ドット内に存在する電子が $N+1$ 個となる。この単電子は、前記量子ドット内から右側の前記トンネル障壁をそのままトンネルしてドレインに移動する(図2(a), (b)参照)。これにより、前記単電子トランジスタでは、前記量子ドット内の電子数が $N$ 個と $N+1$ 個の状態をとることができ、一旦、ソースからトンネル移動して $N+1$ 個となった前記量子ドット内の電子がドレインにトンネル移動して再び $N$ 個となることで電流を流すことができ、また、再度電流が流れない前記クーロンブロッケード状態をとることで単電子の移動に基づくオンオフ動作が可能となる。このオンオフ動作は、ソース・ドレイン間の電流の振動(クーロンピーク)により確認することができる。なお、図2(a)は、前記クーロンブロッケード状態における前記エネルギー準位を示す図であり、図2(b)は、前記トンネルが許容される状態における前記エネルギー準位を示す図である。前記エネルギー準位の間隔は、 $E_C$ で一定である。

10

## 【0005】

前記単電子トランジスタとしては、前記量子ドットを微細化することで、より高温側での動作を期待することができ、室温動作に向けて、例えば、微細加工により前記量子ドットを微細化する方法(特許文献1, 2, 非特許文献2参照)が提案されている。

20

しかしながら、現在の微細加工技術を用いた場合、前記量子ドットを5nm程度の大きさで作製可能であるが、このような微細加工技術を用いても室温動作を可能とする単電子トランジスタを実現することができていないのが現状である。

また、前記量子ドットをナノ粒子を用いて形成して微細化する方法(特許文献3, 4参照)も提案されているが、前記ナノ粒子のサイズのばらつきを回避できないため、均一な素子の生産に難がある。

## 【0006】

一方、前記微細加工技術によらない別の方法として、シリコン中の不純物やMOSトランジスタのチャンネル中に存在する不純物を前記量子ドットとして用いる方法(非特許文献3, 4参照)が提案されている。これらの提案によれば、原子サイズの前記不純物が前記量子ドットとしての役割を果たすため、極めて微小な量子ドットを作製することができる。

30

しかしながら、シリコンMOSトランジスタのチャンネル中に存在する前記不純物を前記量子ドットとして利用する場合でも、前記シリコンMOSトランジスタ中に発生する熱拡散電流を動作原理に用いるため、温度上昇とともに前記熱拡散電流の量がトンネル電流を上回り、前記トンネル電流が前記熱拡散電流に埋もれ、その結果、室温環境下では、前記単電子トランジスタとして機能させることができなくなる問題がある。

## 【0007】

こうした状況にあるため、室温動作可能な単電子トランジスタとしては、ナノ材料を用いて特殊な加工を行って形成されたものなど、数例に限られており、容易に製造を行うことができない問題がある。

40

## 【先行技術文献】

## 【特許文献】

## 【0008】

【特許文献1】特開2006-319038号公報

【特許文献2】特開2006-303018号公報

【特許文献3】特開2008-4791号公報

【特許文献4】特開2014-175658号公報

## 【非特許文献】

## 【0009】

50

【非特許文献1】T. Mori et al., Journal of Vacuum Science & Technology B vol. 27, p. 795 (2009), "Formation of single electron transistors in single-walled carbon nanotubes with low energy Ar ion irradiation technique"

【非特許文献2】E. Prati et al, Nanotechnology vol.23, No. 215204 (2012) "Few electron limit of n-type metal oxide semiconductor single electron transistors"

【非特許文献3】J. J. Pla et al., Nature vol. 496, p. 334 (2013), "High-fidelity readout and control of a nuclear spin qubit in silicon"

【非特許文献4】H. Sellier et al., Physical Review Letters vol. 97, No. 206805 (2006), "Transport Spectroscopy of a Single Dopant in a Gated Silicon Nanowire"

【発明の概要】

【発明が解決しようとする課題】

【0010】

本発明は、従来技術における前記諸問題を解決し、容易に製造可能で、かつ、室温で単電子動作可能な単電子トランジスタ及びその製造方法並びに集積回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

前記課題を解決するための手段としては、以下の通りである。即ち、

< 1 > ソース部及び前記ソース部と離間して配されるドレイン部と、前記ソース部及び前記ドレイン部の間に配されるとともに前記ソース部との境界及び前記ドレイン部との境界のそれぞれでトンネル接合が形成され、領域中に量子ドットを形成する量子ドット形成不純物が含まれる量子ドット形成半導体部と、少なくとも前記量子ドット形成半導体部上にゲート絶縁膜を介してゲート電極が配されるゲート部と、で形成され、前記量子ドット形成半導体部をチャンネル部としたトンネル電界効果トランジスタの構造を有し、前記ソース部及び前記ドレイン部間の最短距離であるゲート長が大きくとも100nm未満であり、前記量子ドット形成半導体部が、前記量子ドット形成不純物であるアイソエレクトロニックトラップ形成不純物を含む半導体で形成されることを特徴とする単電子トランジスタ。

< 2 > ゲート長が小さくとも5nm以上である前記< 1 >に記載の単電子トランジスタ。

< 3 > 半導体がシリコン、ゲルマニウム及びこれらの混晶のいずれかである前記< 1 >から< 2 >のいずれかに記載の単電子トランジスタ。

< 4 > 半導体がシリコンであり、アイソエレクトロニックトラップ形成不純物がAl及びNである前記< 3 >に記載の単電子トランジスタ。

< 5 > ソース部と量子ドット形成半導体部との境界及びドレイン部と前記量子ドット形成半導体部との境界のいずれかの境界に形成されるトンネル接合がPN接合で形成される前記< 1 >から< 4 >のいずれかに記載の単電子トランジスタ。

< 6 > トンネル接合がショットキー接合で形成される前記< 1 >から< 4 >のいずれかに記載の単電子トランジスタ。

< 7 > ソース部を形成するソース部形成工程と、前記ソース部と離間してドレイン部を形成するドレイン部形成工程と、前記ソース部及び前記ドレイン部の間に、量子ドットを形成する量子ドット形成不純物を含む量子ドット形成半導体部を形成する量子ドット形成半導体部形成工程と、少なくとも前記量子ドット形成半導体部上にゲート絶縁膜を介してゲート電極を配したゲート部を形成するゲート部形成工程と、を含み、前記ソース部形成工程、前記ドレイン部形成工程及び前記量子ドット形成半導体部形成工程は、前記ソース部及び前記ドレイン部間の最短距離であるゲート長を大きくとも100nm未満として前記ソース部、前記ドレイン部及び前記量子ドット形成半導体部を形成する工程であり、前記量子ドット形成半導体部形成工程が、前記量子ドット形成不純物であるアイソエレクトロニックトラップ形成不純物を含む半導体で前記量子ドット形成半導体部を形成する工程であることを特徴とする単電子トランジスタの製造方法。

10

20

30

40

50

< 8 > 前記 < 1 > から前記 < 6 > のいずれかに記載の単電子トランジスタを有することを特徴とする集積回路。

【発明の効果】

【0012】

本発明によれば、従来技術における前記諸問題を解決することができ、容易に製造可能で、かつ、室温で単電子動作可能な単電子トランジスタ及びその製造方法並びに集積回路を提供することができる。

【図面の簡単な説明】

【0013】

【図1】一般的な単電子トランジスタの等価回路の例を示す図である。

10

【図2(a)】クーロンブロック状態におけるエネルギー準位を示す図である。

【図2(b)】トンネルが許容される状態におけるエネルギー準位を示す図である。

【図3】本発明の第1の実施形態に係る単電子トランジスタを説明する説明図である。

【図4】本発明の第2の実施形態に係る単電子トランジスタを説明する説明図である。

【図5(a)】単電子トランジスタの製造工程の一例を示す図(1)である。

【図5(b)】単電子トランジスタの製造工程の一例を示す図(2)である。

【図5(c)】単電子トランジスタの製造工程の一例を示す図(3)である。

【図5(d)】単電子トランジスタの製造工程の一例を示す図(4)である。

【図5(e)】単電子トランジスタの製造工程の一例を示す図(5)である。

【図5(f)】単電子トランジスタの製造工程の一例を示す図(6)である。

20

【図5(g)】単電子トランジスタの製造工程の一例を示す図(7)である。

【図5(h)】単電子トランジスタの製造工程の一例を示す図(8)である。

【図5(i)】単電子トランジスタの製造工程の一例を示す図(9)である。

【図5(j)】単電子トランジスタの製造工程の一例を示す図(10)である。

【図5(k)】単電子トランジスタの製造工程の一例を示す図(11)である。

【図6(a)】実施例に係る単電子トランジスタのゲート電圧 - ドレイン電流特性を示す図である。

【図6(b)】比較例1に係る単電子トランジスタのゲート電圧 - ドレイン電流特性を示す図である。

【図6(c)】比較例2に係る単電子トランジスタのゲート電圧 - ドレイン電流特性を示す図である。

30

【図7(a)】比較例3に係る単電子トランジスタのゲート電圧 - ドレイン電流特性を示す図である。

【図7(b)】比較例4に係る単電子トランジスタのドレイン電圧 - ドレイン電流特性を示す図である。

【発明を実施するための形態】

【0014】

(単電子トランジスタ)

本発明の単電子トランジスタは、少なくとも、ソース部、ドレイン部、量子ドット形成半導体部及びゲート部とで形成され、前記量子ドット形成半導体部をチャンネル部としたトンネル電界効果トランジスタの構造を有する。

40

【0015】

< ソース部及びドレイン部 >

前記ソース部及び前記ドレイン部は、半導体に不純物を導入して形成される公知のソース領域及びドレイン領域、又は、金属材料により形成される公知のソース電極及びドレイン電極と同様に形成される。

【0016】

前記ソース部及び前記ドレイン部を前記ソース領域及び前記ドレイン領域として形成する場合、前記ソース領域は、P型又はN型のいずれかの導電型である第1の導電型で形成され、前記ドレイン領域は、前記第1の導電型と異なる前記導電型である第2の導電型で

50

形成される。

即ち、前記単電子トランジスタは、前記ソース領域及び前記ドレイン領域が同じ導電型で形成されるMOSトランジスタと異なり、これらが異なる導電型で形成されるトンネル電界効果トランジスタの構造を有し、熱拡散電流を伴わないトンネル電流によって単電子動作が可能とされる。

前記ソース領域及び前記ドレイン領域を形成する半導体材料としては、前記量子ドット形成半導体部とトンネル接合を形成可能な材料である限り、特に制限はなく、公知の半導体材料を適用することができ、製造上、前記量子ドット形成半導体部を構成する半導体材料と同じ半導体材料で形成することが好ましい。即ち、この場合、一つの半導体基板に前記不純物をイオン注入等によりドーピングして前記ソース領域、前記ドレイン領域を形成する代表的な製造方法を適用することができる。

10

また、前記不純物としては、特に制限はなく、ボロン、リン、ヒ素等の公知の不純物を用いることができる。

#### 【0017】

前記ソース部及び前記ドレイン部を前記ソース電極及び前記ドレイン電極として形成する場合、これら電極と前記量子ドット形成半導体部とをショットキー接合で接合してトンネル接合が形成される。

このような前記ソース電極及び前記ドレイン電極としては、特に制限はなく、公知の金属材料を挙げることができ、例えば、前記量子ドット形成半導体部がシリコンで構成される場合、 $\text{NiSi}_2$ 等の金属シリサイドを挙げることができる。

20

また、前記ソース電極及び前記ドレイン電極の形成方法としても特に制限はなく、前記金属材料を用いた、スパッタリング法、CVD法等の公知の形成方法を挙げることができる。

#### 【0018】

<量子ドット形成半導体部>

前記量子ドット形成半導体部は、前記ソース部及び前記ドレイン部の間に配されるとともに前記ソース部との境界及び前記ドレイン部との境界のそれぞれでトンネル接合が形成され、量子ドット形成不純物を含む。

#### 【0019】

前記量子ドット形成不純物は、量子ドットを形成する不純物である。

30

前記量子ドット形成不純物としては、特に制限なく、半導体分野で用いられる公知のドナー不純物、アクセプタ不純物に加え、本発明者が先に提案のアイソエレクトロニックトラップ形成不純物(国際公開第2015/033706号公報参照)が挙げられる。これらの不純物は、いずれも原子サイズであり、究極的にサイズが小さい量子ドットを実現することができる。

ただし、前記量子ドット形成不純物としては、前記ソース部及び前記ドレイン部を前記ソース領域及び前記ドレイン領域で形成する場合、前記ソース領域及び前記ドレイン領域の導電型を設定する不純物と異なる不純物であることが好ましい。前記ソース領域及び前記ドレイン領域に含まれる不純物と同じ種類の不純物を用いると、前記ソース領域及び前記ドレイン領域の導電型の設定と前記量子ドットの動作設定を独立して制御することが困難となる。

40

また、前記量子ドット形成不純物としては、キャリアを放出する前記ドナー不純物及び前記アクセプタ不純物よりも、前記キャリアを放出しない前記アイソエレクトロニックトラップ形成不純物が好ましい。前記アイソエレクトロニックトラップ形成不純物を用いる場合、前記ドナー不純物及び前記アクセプタ不純物を用いる場合よりも、不純物準位がバンドギャップ中のより深いエネルギー位置に形成されるため、より室温環境下で安定した単電子動作が可能となる。

#### 【0020】

前記量子ドット形成半導体部を形成する半導体材料としては、特に制限はなく、公知のトランジスタ作製に用いられる半導体材料が挙げられるが、既存の半導体設備の多くを利

50

用することができ、簡便で製造コストを低減させる観点から、シリコン、ゲルマニウム及びこれらの混晶のいずれかが好ましい。中でも、下記参考文献 1 に記載の核スピンを持つ  $^{29}\text{Si}$  原子の存在割合が低く、 $^{28}\text{Si}$  原子の存在割合が高いシリコンを用いることが好ましい。

参考文献 1 : A. M. Tyryshkin et al, Nature Materials 11, 143-147 (2012).

#### 【0021】

前記量子ドット形成不純物として好適な前記アイソエレクトロニックトラップ形成不純物は、前記トンネル接合をトンネル移動し、前記量子ドット形成半導体部中に存在する電子を捕獲する不純物準位を形成する。即ち、前記アイソエレクトロニックトラップ形成不純物は、前記量子ドット形成半導体部中の前記半導体材料と置換ないし結合して前記量子ドット形成半導体部における電子を捕獲する不純物であり、それ自身からはキャリアを放出しない物質が該当する。

10

また、前記アイソエレクトロニックトラップ形成不純物としては、前記物質であれば特に制限はなく、単一元素又は 2 種以上の元素からなる物質で構成されるが、前記量子ドット形成半導体部を形成する前記半導体材料がシリコンである場合には、Al 及び N (III-V 族化合物半導体材料) が好ましく、また、ゲルマニウムの場合には、C、Sn が好ましい。即ち、これらの材料であれば、既存の製造設備の多くを利用することができ、簡便かつ低コストに前記単電子トランジスタを製造することができる。

#### 【0022】

前記アイソエレクトロニックトラップ形成不純物を用いて前記量子ドット形成半導体部中の電子をトンネル移動させ捕獲する不純物準位を形成する場合、前記ソース領域と前記量子ドット形成半導体部との境界、及び、前記ドレイン領域と前記量子ドット形成半導体部との境界に形成される各トンネル接合を跨ぐ領域に前記アイソエレクトロニックトラップ形成不純物を導入する。また、前記ソース部及び前記ドレイン部が前記ソース電極及び前記ドレイン電極で形成される場合には、各トンネル接合を前記ソース電極と前記ドレイン電極との間に配される前記量子ドット形成半導体部に前記アイソエレクトロニックトラップ形成不純物を導入する。

20

#### 【0023】

前記アイソエレクトロニックトラップ形成不純物を導入する方法としては、特に制限はなく、公知のイオン注入方法を挙げることができ、イオン注入後、前記アイソエレクトロニックトラップ形成不純物を活性化させるため、活性化アニールすることが好ましい。前記活性化アニールの方法としては、特に制限はなく、公知の方法を挙げることができ、例えば、ハロゲンランプを用いて加熱する方法等が挙げられる。

30

#### 【0024】

本発明者らは、前記トンネル電界効果トランジスタの構造を有する前記単電子トランジスタでは、室温環境下で単電子動作が可能であるとの知見を偶然にも得ることができた。

また、前記知見をきっかけに更に検討を進めた結果、前記ソース部及び前記ドレイン部間の最短距離であるゲート長が一定の長さを有する場合に単電子動作が可能であるとの知見を得た。

このようなゲート長としては、100 nm 未満であり、安定的に単電子動作させる観点から 95 nm 以下が好ましい。前記ゲート長がこのような長さであると、単電子動作が可能であるが、その理由としては、現時点では、短チャネル効果により前記トンネル接合におけるトンネル障壁が単電子動作に適した厚さまで薄くなるためであると推察される。

40

前記ゲート長の下限としては、特に制限はないが、現在実用化されている VLSI の作製に用いられるトランジスタ作製技術により安定して製造可能な 5 nm が好ましく、10 nm がより好ましい。

本発明は、室温環境下で単電子動作可能な単電子トランジスタの提供を目的に検討が進められたものであるが、このように現在実用化されている VLSI の作製に用いられるトランジスタ作製技術により安定して製造可能な大きさの前記ゲート長により、この目的を実現できることは、既存の製造設備の多くをそのまま利用できることを意味し、製造上、

50

極めて大きな意義を有する。

【0025】

<ゲート部>

前記ゲート部は、少なくとも前記量子ドット形成半導体部の一部又は全体上にゲート絶縁膜を介してゲート電極が配される部である。

前記ゲート絶縁膜の形成材料としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、 $\text{HfO}_2$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ 等が挙げられる。

また、前記ゲート絶縁膜の形成方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、前記形成材料を用いた、ALD法、スパッタリング法、CVD法等が挙げられる。

10

前記ゲート電極の形成材料としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、 $\text{TiN}$ 、 $\text{TaN}$ 、 $\text{NiSi}$ 等が挙げられる。

また、前記ゲート電極の形成方法としては、特に制限はなく、目的に応じて適宜選択することができ、例えば、前記形成材料を用いた、スパッタリング法、CVD法が挙げられる。

【0026】

<第1の実施形態>

前記単電子トランジスタの第1の実施形態を図3を参照しつつ説明する。なお、図3は、本発明の第1の実施形態に係る単電子トランジスタを説明する説明図である。この第1の実施形態に係る単電子トランジスタは、前記ソース部及び前記ドレイン部を半導体材料で形成する場合の例を示すものである。

20

【0027】

図3に示すように、単電子トランジスタ10は、量子ドット形成半導体部11と、量子ドット形成半導体部11の左側及び右側にそれぞれ配されるソース領域12及びドレイン領域13と、量子ドット形成半導体部11上に絶縁膜14を介して配されるゲート電極15で構成される。

量子ドット形成半導体部11とソース領域12との境界及び量子ドット形成半導体部11とドレイン領域13との境界は、それぞれトンネル接合で接合されている。

量子ドット形成半導体部11、ソース領域12及びドレイン領域13のゲート絶縁膜14が配される側の表層16には、ソース領域12(N型)及びドレイン領域13(P型)の導電型を設定する不純物と異なる不純物である前記量子ドット形成不純物が導入される。

30

ソース領域12 - ドレイン領域13間の長さで規定されるゲート長 $L_g$ は、100nm未満である。

量子ドット形成半導体部11、ソース領域12及びドレイン領域13は、一の半導体基板中に形成され、前記半導体基板は、好適には、シリコン等の半導体材料で形成される。

前記量子ドット形成不純物が導入された表層16は、量子ドット形成半導体部11、ソース領域12及びドレイン領域13の全体に亘って形成されているが、前記量子ドット形成不純物としては、量子ドット形成半導体部11から各トンネル接合を跨いだソース領域12及びドレイン領域13の一部の領域までを導入範囲としてもよい。

40

前記量子ドット形成不純物としては、前記アイソエレクトロニックトラップ形成不純物を好適に用いることができ、例えば、前記半導体基板がシリコン半導体基板である場合には、前記アイソエレクトロニックトラップ形成不純物としてAl及びNを好適に用いることができる。

量子ドット形成半導体部11の表層16中に存在する前記量子ドット形成不純物(例えば図中dで示す)が前記量子ドットとしての役割を有する。

【0028】

このように形成される単電子トランジスタ10では、ゲート電極15から印加されるゲート電圧の大きさを変化させることにより、ソース領域12 - ドレイン領域13間で電子の移動が禁止されるクーロンブロック状態と、前記クーロンブロック状態が解か

50

れソース領域12 - ドレイン領域13間で電子が一つずつ移動する状態とを制御してオンオフ動作させることができる。また、このオンオフ動作は、低温環境下から室温環境下までの広い温度範囲で行うことができる。

【0029】

<第2の実施形態>

次に、前記単電子トランジスタの第2の実施形態を図4を参照しつつ説明する。なお、図4は、本発明の第2の実施形態に係る単電子トランジスタを説明する説明図である。この第2の実施形態に係る単電子トランジスタは、前記ソース部及び前記ドレイン部を金属材料で形成し、ショットキー接合により前記トンネル接合を形成する例を示すものである。

10

【0030】

図4に示すように、単電子トランジスタ20は、量子ドット形成半導体部21と、量子ドット形成半導体部21の左側及び右側にそれぞれ配されるソース電極22及びドレイン電極23と、量子ドット形成半導体部21上に絶縁膜24を介して配されるゲート電極25と、これら各部を支持する絶縁基板28とで構成される。

量子ドット形成半導体部21とソース電極22との境界及び量子ドット形成半導体部21とドレイン電極23との境界は、それぞれショットキー接合によるトンネル接合で接合されている。

量子ドット形成半導体部21には、前記量子ドット形成不純物が導入される。

前記ソース電極22 - ドレイン電極23間の長さで規定されるゲート長 $L_g$ は、100nm未満である。

20

前記量子ドット形成不純物としては、前記アイソエレクトロニックトラップ形成不純物を好適に用いることができる。例えば、量子ドット形成半導体部21の半導体形成材料がシリコンである場合には、前記アイソエレクトロニックトラップ形成不純物としてAl及びNを好適に用いることができる。なお、絶縁基板28としては、特に制限はなく、例えば、 $SiO_2$ 基板等が挙げられる。

量子ドット形成半導体部21中に存在する前記量子ドット形成不純物(例えば図中dで示す)が前記量子ドットとしての役割を有する。

【0031】

このように形成される単電子トランジスタ20では、ゲート電極25から印加されるゲート電圧の大きさを変化させることにより、ソース電極22 - ドレイン電極23間で電子の移動が禁止されるクーロンブロック状態と、前記クーロンブロック状態が解かれソース電極22 - ドレイン電極23間で電子が一つずつ移動する状態とを制御してオンオフ動作させることができる。また、このオンオフ動作は、低温環境下から室温環境下までの広い温度範囲で行うことができる。

30

【0032】

(単電子トランジスタの製造方法)

本発明の単電子トランジスタの製造方法は、少なくとも、ソース部形成工程、ドレイン部形成工程、量子ドット形成半導体部形成工程及びソース部形成工程を含む。

【0033】

40

前記ソース部形成工程は、前記ソース部を形成する工程であり、前記ドレイン部形成工程は、前記ソース部と離間してドレイン部を形成する工程である。

前記量子ドット形成半導体形成工程は、前記ソース部及び前記ドレイン部の間に、前記量子ドットを形成する前記量子ドット形成不純物を含む前記量子ドット形成半導体部を形成する工程である。

前記ゲート部形成工程は、少なくとも前記量子ドット形成半導体部上に前記ゲート絶縁膜を介して前記ゲート電極を配した前記ゲート部を形成する工程である。

また、前記ソース部形成工程、前記ドレイン部形成工程及び前記量子ドット形成半導体部形成工程は、前記ソース部及び前記ドレイン部間の最短距離であるゲート長を大きくとも100nm未満として前記ソース部、前記ドレイン部及び前記量子ドット形成半導体部

50

を形成する工程である。

これら各工程は、本発明の前記単電子トランジスタについて説明した方法により実施することができる。

また、より実用的な製造方法として、特開2012-204583号公報等に記載の公知の製造方法を適宜参考とすることができる。

#### 【0034】

(集積回路)

本発明の集積回路は、本発明の前記単電子トランジスタを有することを特徴とする。

これ以外の事項については、公知の集積回路に適用される事項を適宜選択して採用することができる。

#### 【実施例】

#### 【0035】

実施例に係る単電子トランジスタを図5(a)~図5(k)に示す工程と同様の工程で製造した。なお、図(a)~図5(k)は、単電子トランジスタの製造工程の一例を示す図(1)~(11)である。

#### 【0036】

まず、ハンドル用Si層107上に、厚み145nmのSiO<sub>2</sub>絶縁層(BOX層)108と、厚み50nmのp型不純物が $1 \times 10^{15} \text{ cm}^{-3}$ 程度ドーピングされた量子ドット形成半導体部101とが、この順で形成されたSOIウエハを用意した。

次に、このSOIウエハの量子ドット形成半導体部101上に保護酸化膜110を厚み5nmで形成した(図5(a)参照)。

次に、電子線リソグラフィーにより、保護酸化膜110上に厚み200nmのレジスト層111aを形成した(図5(b)参照)。

次に、レジスト層111aをマスクとして、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、Asを用いたイオン注入を行い、量子ドット形成半導体部101にソース領域102を形成した(図5(c)参照)。

次に、酸素アッシング処理により、レジスト層111aを除去し、表面をSPM(Sulfuric Acid Peroxide Mixture)洗浄した(図5(d)参照)。SPM洗浄は、洗浄液として、H<sub>2</sub>SO<sub>4</sub>とH<sub>2</sub>SO<sub>4</sub>を4:1の割合で混合させたものを用い、120の温度で洗浄処理を行った

#### 【0037】

次に、SPM洗浄された保護酸化膜110上に厚み200nmのレジスト層111bを形成した(図5(e)参照)。

次に、レジスト層111bをマスクとして、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、BF<sub>2</sub>を用いたイオン注入を行い、量子ドット形成半導体部101にドレイン領域103を形成した(図5(f)参照)。

ソース領域102及びドレイン領域103の形成は、これらの領域間のゲート長が60nmとなる条件で行った。

次に、酸素アッシング処理により、レジスト層111bを除去し、表面をSPM洗浄した(図5(g)参照)。SPM洗浄は、洗浄液として、H<sub>2</sub>SO<sub>4</sub>とH<sub>2</sub>SO<sub>4</sub>を4:1の割合で混合させたものを用い、120の温度で洗浄処理を行った

次に、N<sub>2</sub>ガス雰囲気の大気圧下で、1,000の温度で1秒間、活性化アニール処理し、ソース領域102及びドレイン領域103中の各不純物物質を活性化させた。

#### 【0038】

次に、保護酸化膜110側から、Alを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入するとともに、Nを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、ソース領域102、量子ドット形成半導体部101及びドレイン領域103の表層側に、量子ドット形成不純物でありアイソエレクトロニックトラップ形成不純物であるAl及びNを含む半導体領域106を形成した(図5(h)参照)。

10

20

30

40

50

次に、 $N_2$  ガス雰囲気の大気圧下で、450 の温度で60時間、活性化アニール処理し、半導体領域106中のAl及びNを活性化させた。

【0039】

次に、1%濃度の希フッ酸(DHF)を用いて、保護酸化膜110を除去した(図5(i)参照)。

次に、SC2洗浄液(HClと $H_2O_2$ の混合液)を用い、80 の温度条件下で5分間洗浄した。

次に、ALD法により、250 の温度条件下で $HfO_2$ を堆積させ、半導体領域106上に厚み3.6nmのゲート絶縁膜104を形成した。なお、このゲート絶縁膜104の厚みは、 $SiO_2$ 膜換算膜厚(EOT:Equivalent Oxide Thickness)で1.5nmである。

次に、スパッタリング法により、ゲート絶縁膜104上にTa<sub>2</sub>N(厚み10nm)とpoly-Si(厚み50nm)とを積層させた積層構造のゲート電極105を厚み60nmで形成した(図5(j)参照)。

次に、マスクを用いたリソグラフィ加工により、ゲート絶縁膜104及びゲート電極105を形状加工した(図5(k)参照)。

以上により、ゲート長が60nmである実施例に係る単電子トランジスタとして、単電子トランジスタ100を製造した。

【0040】

(比較例1)

ソース領域102、量子ドット形成半導体部101及びドレイン領域103の表層側に、量子ドット形成不純物でありアイソエレクトロニックトラップ形成不純物であるAl及びNをイオン注入する工程(図5(h)参照)を実施しないこと以外は、実施例に係る単電子トランジスタと同様にして、比較例1に係る単電子トランジスタを製造した。

【0041】

(比較例2)

ソース領域102及びドレイン領域103の形成を、これらの領域間のゲート長が100nmとなる条件で行ったこと以外は、実施例に係る単電子トランジスタと同様にして、比較例2に係る単電子トランジスタを製造した。

【0042】

実施例に係る単電子トランジスタ及び比較例1, 2に係る各単電子トランジスタに対し、ゲート電圧-ドレイン電流特性の測定を行った。

測定は、単電子動作のためドレイン領域に-100mV~100mVまでの小さなドレイン電圧を印加して行った。また、測定は、室温(25 )で行った。

【0043】

図6(a)に実施例に係る単電子トランジスタのゲート電圧-ドレイン電流特性を示す。また、図6(b)に比較例1に係る単電子トランジスタのゲート電圧-ドレイン電流特性を示す。また、図6(c)に比較例2に係る単電子トランジスタのゲート電圧-ドレイン電流特性を示す。

実施例に係る単電子トランジスタでは、図6(a)に示すように単電子動作を示すクーロンピークを確認することができる。

一方、量子ドット形成不純物を導入しない比較例1に係る単電子トランジスタでは、図6(b)に示すように単電子動作を示すクーロンピークを確認することができなかった。

また、ゲート長が100nmである比較例2に係る単電子トランジスタでは、図6(c)に示すように、単電子動作を示すクーロンピークの小さなピーク形状が確認されるが、明確な単電子動作が得られておらず、安定的な動作の観点から実用的なレベルには至らないものと考えられる。

なお、図6(a)~(c)中のIETは、量子ドット形成不純物として用いたアイソエレクトロニックトラップ形成不純物を意味する。

【0044】

10

20

30

40

50

(比較例3)

次に、トンネル電界効果トランジスタに代えて、MOSトランジスタの構造で単電子トランジスタを作製して検討を行った結果について説明する。

【0045】

まず、ハンドル用Si層上に、厚み145nmのSiO<sub>2</sub>絶縁層(BOX層)と、厚み50nmのp型不純物が $1 \times 10^{15} \text{ cm}^{-3}$ 程度ドープされた量子ドット形成半導体部とが、この順で形成されたSOIウエハを用意した。

次に、このSOIウエハの量子ドット形成半導体部上に保護酸化膜を厚み5nmで形成した。

次に、電子線リソグラフィーにより、前記保護酸化膜上に厚み200nmのレジスト層をゲート構造と同一の幅で形成した。

次に、N<sub>2</sub>ガス雰囲気の大気圧下で、1,000の温度で1秒間、活性化アニール処理し、ソース領域102及びドレイン領域103中の各不純物物質を活性化させた。

次に、前記レジスト層をマスクとして、5keVの加速エネルギー及び $2 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で、Asを用いたイオン注入を行い、前記量子ドット形成半導体部にソース領域とドレイン領域とを一括して形成した。即ち、前記トンネル電界効果トランジスタと異なり、同一導電型で前記ソース領域と前記ドレイン領域とを形成し、前記MOSトランジスタの構造とした。

一方、前記ソース領域及び前記ドレイン領域の形成は、これらの領域間のゲート長が100nmとなる条件で行った。

【0046】

次に、前記保護酸化膜側から、Alを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入するとともに、Nを15keVの加速エネルギー及びドーズ量 $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、前記ソース領域、前記量子ドット形成半導体部及び前記ドレイン領域の表層側に、量子ドット形成不純物でありアイソエレクトロニックトラップ形成不純物であるAl及びNを含む半導体領域を形成した。

次に、N<sub>2</sub>ガス雰囲気の大気圧下で、450の温度で60時間、活性化アニール処理し、前記半導体領域中のAl及びNを活性化させた。

【0047】

次に、1%濃度の希フッ酸(DHF)を用いて、保護酸化膜を除去した。

次に、SC2洗浄液(HClとH<sub>2</sub>O<sub>2</sub>の混合液)を用い、80の温度条件下で5分間洗浄した。

次に、ALD法により、250の温度条件下でHfO<sub>2</sub>を堆積させ、前記半導体領域上に厚み3.6nmのゲート絶縁膜を形成した。なお、このゲート絶縁膜の厚みは、SiO<sub>2</sub>膜換算膜厚(EOT)で1.5nmである。

次に、スパッタリング法により、前記ゲート絶縁膜上にTaN(厚み10nm)とpoly-Si(厚み50nm)とを積層させた積層構造のゲート電極を厚み60nmで形成した。

次に、マスクを用いたリソグラフィー加工により、前記ゲート絶縁膜及び前記ゲート電極を形状加工した。

以上により、比較例3に係る単電子トランジスタを製造した。この比較例3に係る単電子トランジスタは、トンネル電界効果トランジスタの構造を有する単電子トランジスタを、前述の通り、MOSトランジスタの構造に変更し、ゲート長を100nmとする条件で製造した比較例に係る。

【0048】

(比較例4)

ゲート長を100nmから70nmに変更したこと以外は、比較例3と同様にして、比較例4に係る単電子トランジスタを製造した。

【0049】

実施例及び比較例1,2に係る各単電子トランジスタにおける測定方法と同様の方法で

10

20

30

40

50

、比較例 3 , 4 に係る各単電子トランジスタのゲート電圧 - ドレイン電流特性の測定を行った。

【 0 0 5 0 】

図 7 ( a ) に、比較例 3 に係る単電子トランジスタのゲート電圧 - ドレイン電流特性を示す。

該図 7 ( a ) に示すように、MOS トランジスタで製造した比較例 3 では、クーロンピークを確認することができず、量子ドット形成不純物を導入しても室温環境下では、単電子動作させることができなかった。

【 0 0 5 1 】

また、比較例 3 に係る単電子トランジスタ ( ゲート長 1 0 0 n m ) からゲート長を変えた比較例 4 に係る単電子トランジスタ ( 7 0 n m ) でも、クーロンピークを確認することができず、量子ドット形成不純物を導入しても室温環境下では、単電子動作させることができなかった。

更に、比較例 4 に係る単電子トランジスタでは、ゲート電圧を 0 V , - 1 . 5 V と変化させてドレイン電流 - ドレイン電圧特性の測定を行い、通常のトランジスタ動作の確認を行ったが、比較例 3 に係る単電子トランジスタと異なり、通常のトランジスタ動作も確認することができなかった。

即ち、比較例 4 に係る単電子トランジスタのゲート電圧 - ドレイン電流特性を示す図 7 ( b ) に示すように、ゲート電圧を 0 V , - 1 . 5 V を変化させてもゲート電圧 - ドレイン電流特性に変化が確認されず、通常のトランジスタ動作も確認することができなかった。

【 符号の説明 】

【 0 0 5 2 】

1 0 , 2 0 , 1 0 0	単電子トランジスタ
1 1 , 2 1 , 1 0 1	量子ドット形成半導体部
1 2 , 1 0 2	ソース領域
1 3 , 1 0 3	ドレイン領域
1 4 , 2 4 , 1 0 4	ゲート絶縁膜
1 5 , 2 5 , 1 0 5	ゲート電極
1 6	表層
2 2	ソース電極
2 3	ドレイン電極
2 8	絶縁基板
1 0 6	半導体領域
1 0 7	S i 層
1 0 8	B O X 層
1 1 0	保護酸化膜
1 1 1 a , b	レジスト層

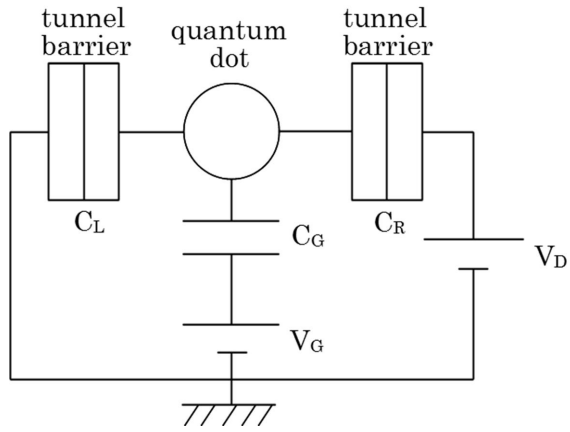
10

20

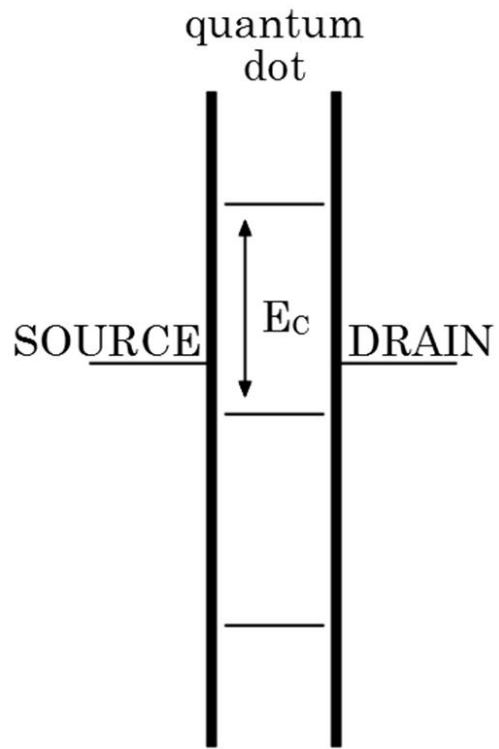
30

40

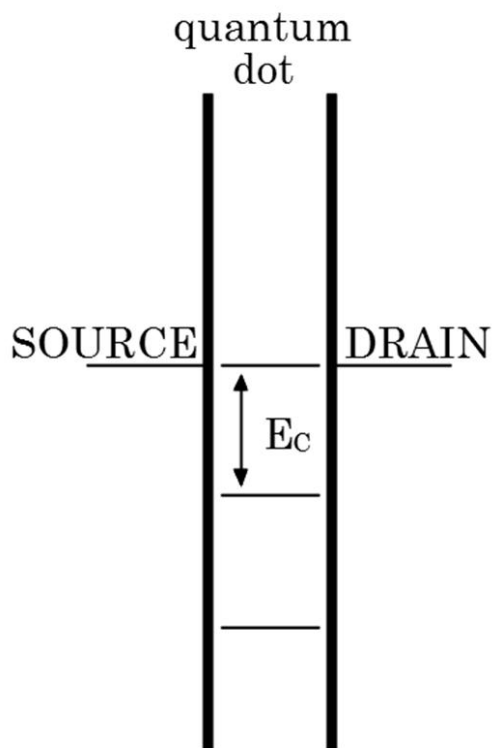
【図 1】



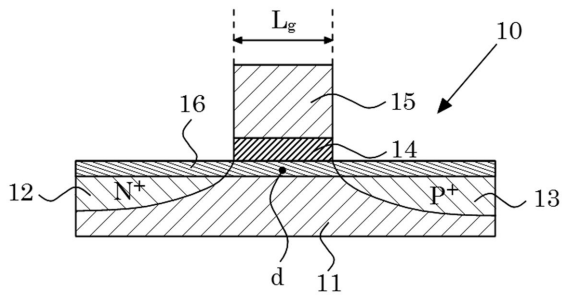
【図 2 ( a )】



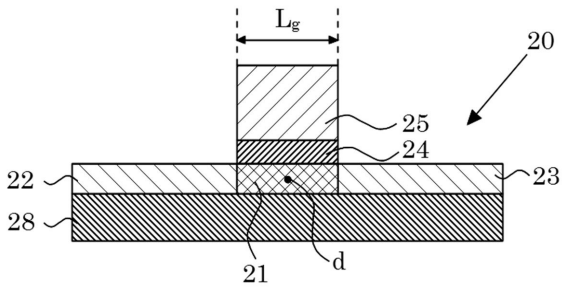
【図 2 ( b )】



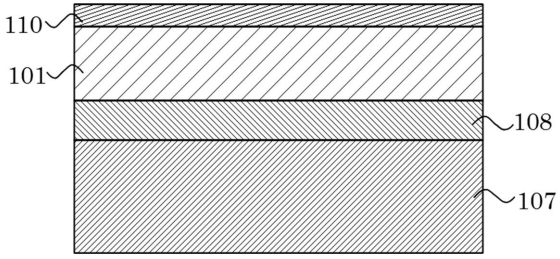
【図 3】



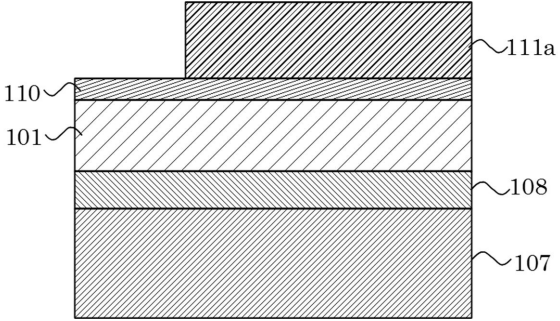
【図 4】



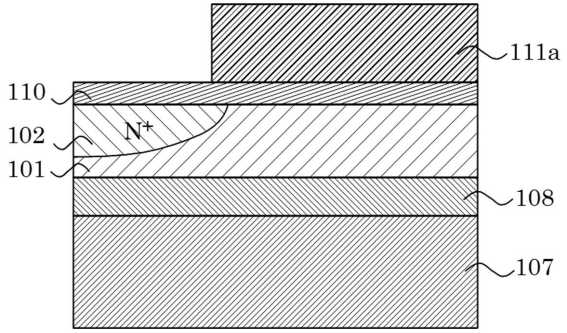
【図 5 ( a )】



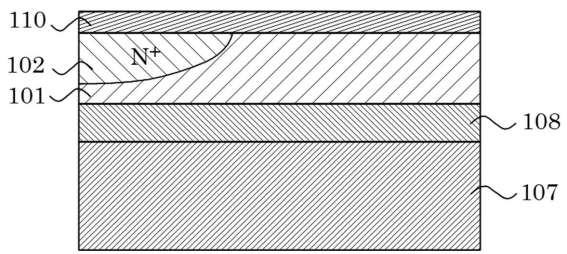
【図 5 ( b )】



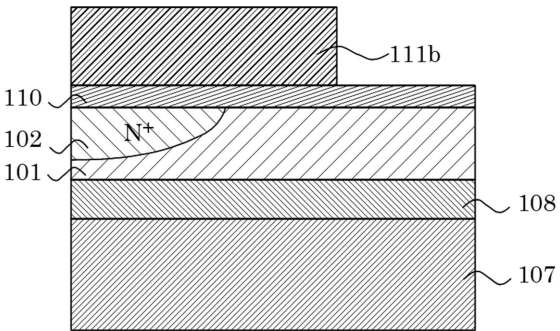
【図 5 ( c )】



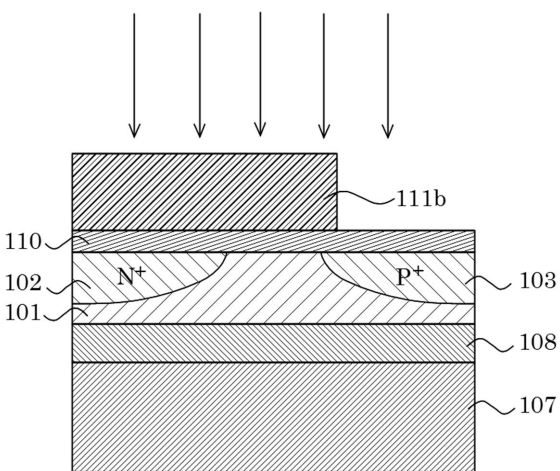
【図 5 ( d )】



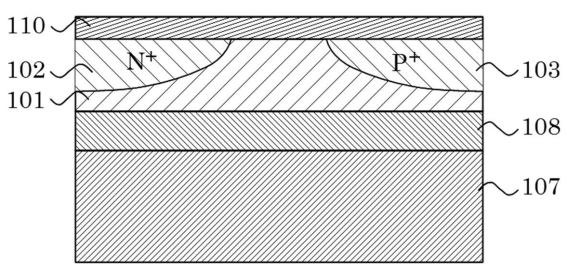
【図 5 ( e )】



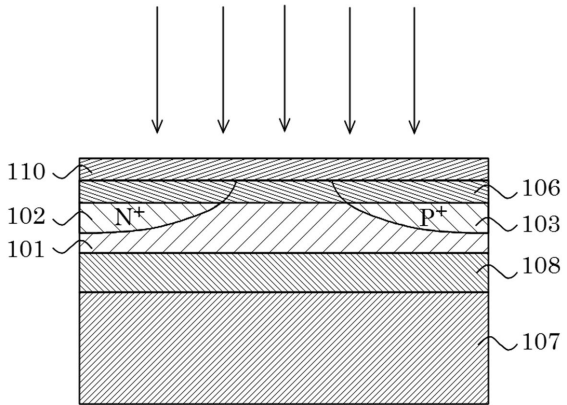
【図 5 ( f )】



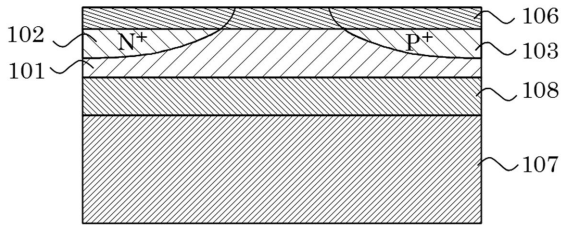
【図 5 ( g )】



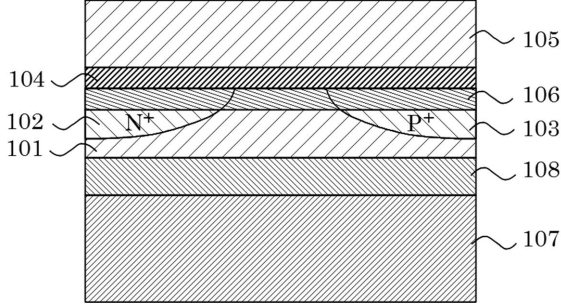
【図 5 ( h )】



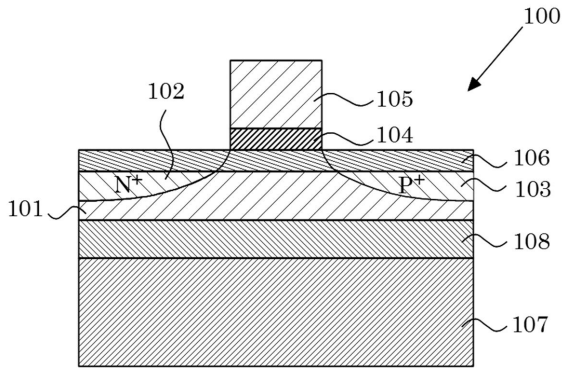
【図 5 ( i )】



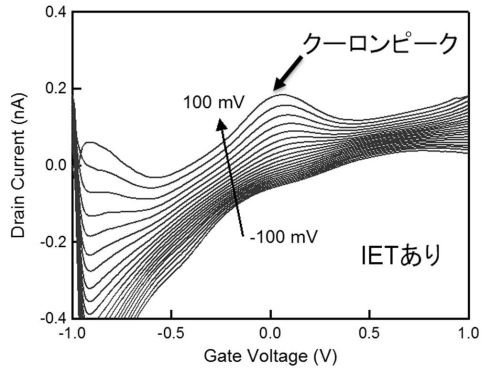
【図 5 ( j )】



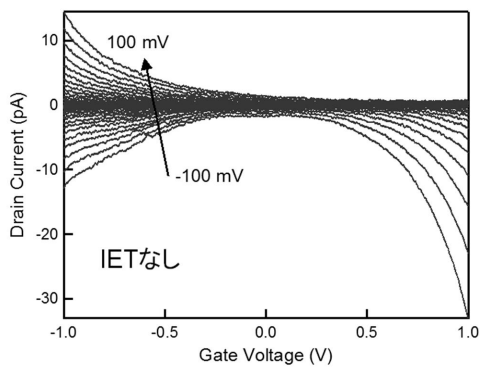
【図 5 ( k )】



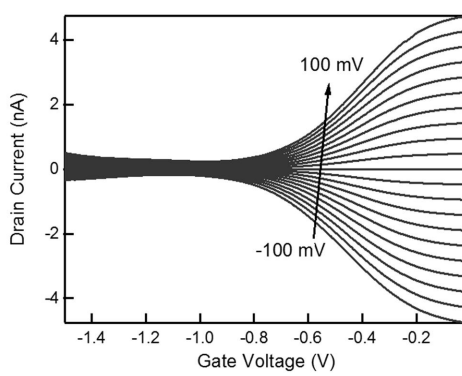
【図 6 ( a )】



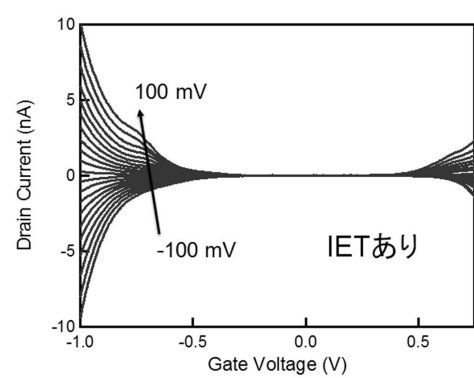
【図 6 ( b )】



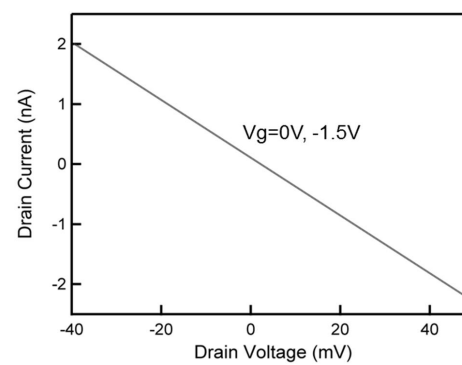
【図 7 ( a )】



【図 6 ( c )】



【図 7 ( b )】



## フロントページの続き

(51)Int.Cl.		F I			
H 0 1 L	29/47	(2006.01)	H 0 1 L	29/06	6 0 1 D
H 0 1 L	29/872	(2006.01)	H 0 1 L	29/06	6 0 1 N
H 0 1 L	29/417	(2006.01)	H 0 1 L	29/48	F
B 8 2 Y	10/00	(2011.01)	H 0 1 L	29/50	M
			B 8 2 Y	10/00	

特許法第30条第2項適用 2015年3月24日「日本物理学会講演概要集 第70巻 第1号 第70回年次大会(2015年)」(DVD), 一般社団法人日本物理学会

- (72)発明者 森山 悟士  
茨城県つくば市千現一丁目2番地1 国立研究開発法人物質・材料研究機構内
- (72)発明者 大野 圭司  
埼玉県和光市広沢2番1号 国立研究開発法人理化学研究所内

審査官 辻 勇貴

- (56)参考文献 特表2011-512652(JP,A)  
特開2006-309038(JP,A)  
特開昭63-206726(JP,A)  
国際公開第2015/033706(WO,A1)  
特表平11-510967(JP,A)  
特開2006-332097(JP,A)  
特開平07-221322(JP,A)  
特開平10-012895(JP,A)

## (58)調査した分野(Int.Cl., DB名)

B 8 2 Y 1 0 / 0 0  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 0 6  
H 0 1 L 2 9 / 4 1 7  
H 0 1 L 2 9 / 4 7  
H 0 1 L 2 9 / 6 6  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 9 / 7 8 6  
H 0 1 L 2 9 / 8 7 2