



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

(19) DD (11) 217 087 A1

4(51) H 01 L 21/265

H 01 L 29/78

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21) WP H 01 L / 253 752 2

(22) 05.08.83

(44) 02.01.85

(71) VEB ZFT Mikroelektronik, 8080 Dresden, Karl-Marx-Straße, DD

(72) Unger, Wolf, Dr.-Ing., DD

(54) Verfahren zur Herstellung einer Halbleitervorrichtung

(57) Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung einer Halbleitervorrichtung in Form eines VDMOS-Transistors mit implantiertem D-Gebiet, wobei der Implantationsschritt unter einem Winkel α kleiner 90° zur Oberfläche des Halbleitersubstrates erfolgt. Ziel der Erfindung ist eine bessere technologische Beherrschbarkeit und Reproduzierbarkeit der Transistorparameter Schwellspannung und Kanallänge. Die erfindungsgemäße Anordnung ist durch Fig. 3 am besten dargestellt. Fig. 3 zeigt den Teilschritt der Implantation von Bor unter dem Winkel α zur Oberfläche des Halbleitersubstrates zur Dotierung des Kanalgebietes. Fig. 3

Verfahren zur Herstellung einer Halbleitervorrichtung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft ein Verfahren zur Herstellung von VDMOS-Transistoren (Vertical Metal Oxide Semiconductor-Transistoren mit D-Gebiet zur definierten Einstellung der Kanallänge). Nach dem vorgeschlagenen Verfahren hergestellte VDMOS-Transistoren können vorteilhaft als Leistungsbaulemente und als Elemente integrierter Halbleiteranordnungen angewandt werden.

Charakteristik der bekannten technischen Lösungen

Bisher erfolgte die Herstellung von VDMOS-Transistoren durch Implantation oder Diffusion des D-Gebietes senkrecht zur Halbleitersubstratoberfläche vor dem technologischen Teilschritt der V-Grubenätzung. Der Einsatz der Ionenimplantation zur Einstellung der Schwellspannung solcher VDMOS-Transistoren wird im US-PS 4 084 175 von Paul Hsiung Ouyang beschrieben. Der Nachteil dieses Verfahrens ist nach wie vor die Tatsache, daß die für die Transistorfunktion entscheidenden Größen Kanallänge und Schwellspannung in empfindlicher Weise vom Profil der implantierten Dotanten abhängen, deren Oberflächenkonzentration längs des D-Gebietes stark ortsabhängig ist.

Nachfolgende Hochtemperaturschritte beeinflussen die technologische Beherrschbarkeit dieser Größen zusätzlich negativ.

Ziel der Erfindung

Das Ziel der Erfindung besteht darin, die Reproduzierbarkeit der Einstellung der Transistorgrößen Schwellspannung und Kanallänge zu verbessern und gleichzeitig eine Erhöhung der Ausbeute zu erreichen.

Darlegung des Wesens der Erfindung

Die Aufgabe der Erfindung besteht darin, die für die Transistorgrößen Schwellspannung und Kanallänge entscheidende Dotierung des D-Gebietes so durchzuführen, daß eine hohe Genauigkeit dieser Dotierung garantiert ist.

Erfindungsgemäß wird die Aufgabe dadurch gelöst, daß der technologische Teilschritt der Ionenimplantation zur Dotierung des D-Gebietes vor der V-Grubenätzung unter einem Implantationswinkel α ausgeführt wird. Durch Variation des Implantationswinkels α kann über die Beziehung

$$L_{\text{eff}} = \frac{w \cdot \tan \alpha - d_{\text{ox}}}{\sin 55^\circ + \tan \alpha \cdot \cos 55^\circ} - \frac{x_j}{\sin 55^\circ}$$

die effektive Kanallänge L_{eff} festgelegt werden.

Die Implantation erfolgt durch Streuoxid, wobei als Streuoxid das Gateoxid verwendet werden kann.

In Analogie zur technologischen Standardvariante der Schwellspannungsimplantation bei planaren MOS Transistoren kann über die Steuergrößen Implantationsdosis und Energie die Schwellspannung der VDMOS-Transistoren eingestellt werden. Die Oberflächenkonzentration der implantierten Dotanten ist längs

des D-Gebietes konstant. Der so beschriebene Dotierungsprozeß ist selbstjustierend, Toleranzen der fotolithografischen Prozesse besitzen keinen Einfluß.

Ausführungsbeispiel

Die Erfindung soll anhand eines Ausführungsbeispieles näher erläutert werden.

Es zeigen Fig. 1 bis 4 den technologischen Ablauf zur Herstellung eines VDMOS-Transistors und Fig. 5 eine Prinzipdarstellung zur Implantation des D-Gebietes bei Anwendung der erfinderischen Lösung.

Ausgehend von einem schwach dotierten p-Substrat 3 mit (100) Orientierung erfolgt das Aufwachsen einer 1 μ m dicken Siliciumdioxidschicht 2. Das Fenster in der Fotolackschicht 1 begrenzt das Gebiet 4 für die n^+ -Source-Drain-Implantation. Fig. 2 zeigt die Implantation der Kanalstoppergebiete 6 über eine strukturierte Fotolackschicht 5. Die Fotolackschicht 5 wird dann entfernt und eine 1 μ m dicke Feldoxidschicht 7 auf dem Halbleitersubstrat hergestellt. Nach Öffnung der Feldoxidschicht 7 mit einer Fensterbreite $w = 5 \mu$ m werden mit einem üblichen Strukturätzer V-förmige Gruben 8 in das Halbleitersubstrat geätzt. Der nächste Teilschritt nach Fig. 3 ist das Aufwachsen eines 50 bis 100 nm dicken Gateoxides 9 auf den Wänden der V-förmigen Grube 8. Ohne zusätzliche Strukturierungsschritte erfolgt nun erfindungsgemäß die Implantation des D-Gebietes 10 unter einem Winkel $\alpha = 37^\circ$ zur Halbleitersubstratoberfläche. Durch Schattenwirkung an der Feldoxidschicht 7 wird im Ausführungsbeispiel über den Winkel $\alpha = 37^\circ$ bei der Ionenimplantation nach Beziehung (1) die Breite des D-Gebietes 10 L_{eff} entlang der Wand der V-Grube 8 auf 1 μ m eingestellt.

Die Breite des D-Gebietes $10 L_{eff}$ ist für die Kanallänge des VDMOS-Transistors maßgebend. Fig. 4 zeigt die letzten Herstellungsschritte. Über eine weitere Fotolackschicht erfolgt die Strukturierung der Kontaktfenster 11. Die Abscheidung der Metall- oder Polysiliciumschicht 12 sowie deren Strukturierung über eine letzte Fotolackschicht legen die Gebiete für Source-Kontakt 13, Gate-Kontakt 15 und Drain-Kontakt 14 fest.

Erfindungsanspruch

Verfahren zur Herstellung eines Halbleiterbauelementes, vorzugsweise eines VDMOS-Transistors, gekennzeichnet dadurch, daß die Implantation des D-Gebietes unter einem Winkel α zur Halbleitersubstratoberfläche nach der V-Grubenätzung erfolgt.

Hierzu 2 Seiten Zeichnungen

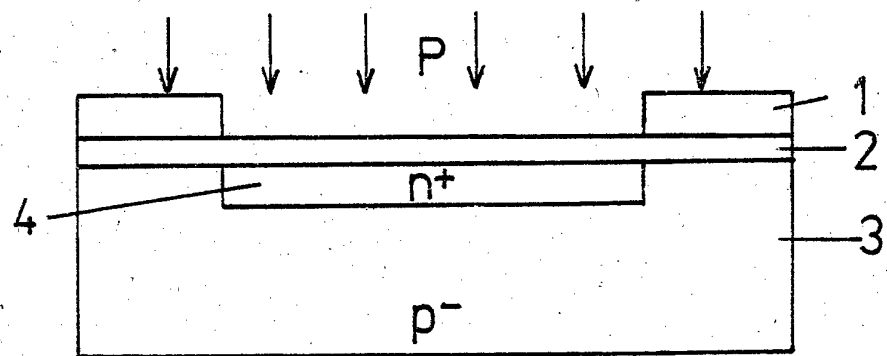


Fig. 1

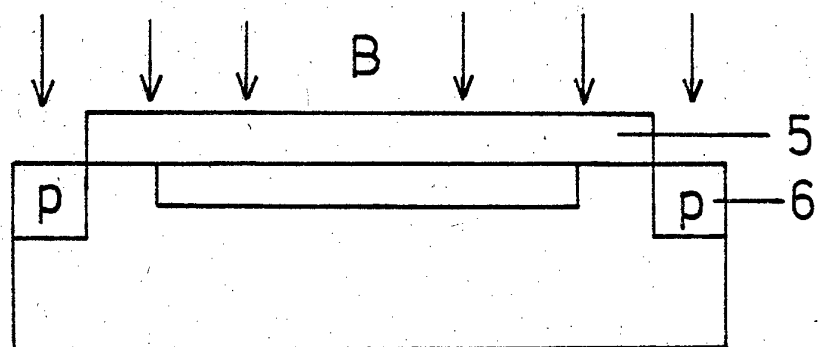


Fig. 2

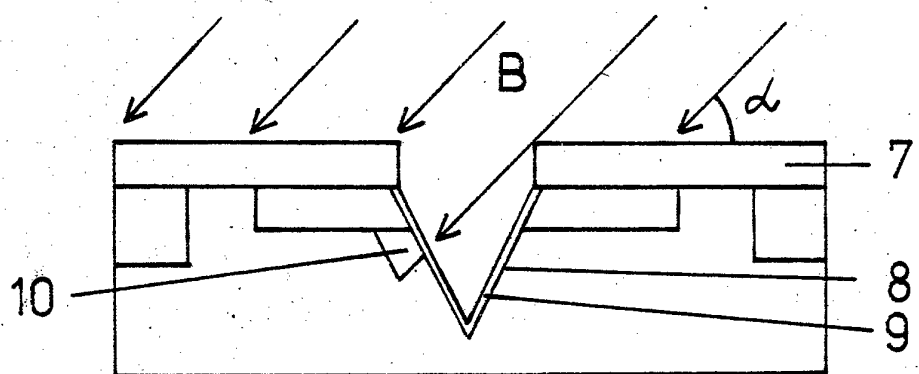


Fig. 3

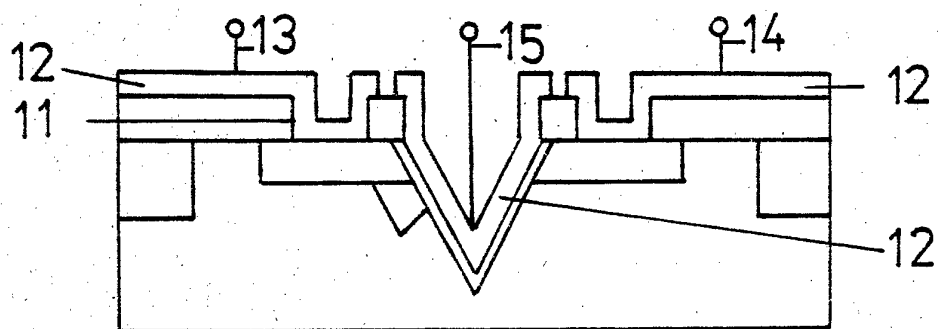


Fig. 4

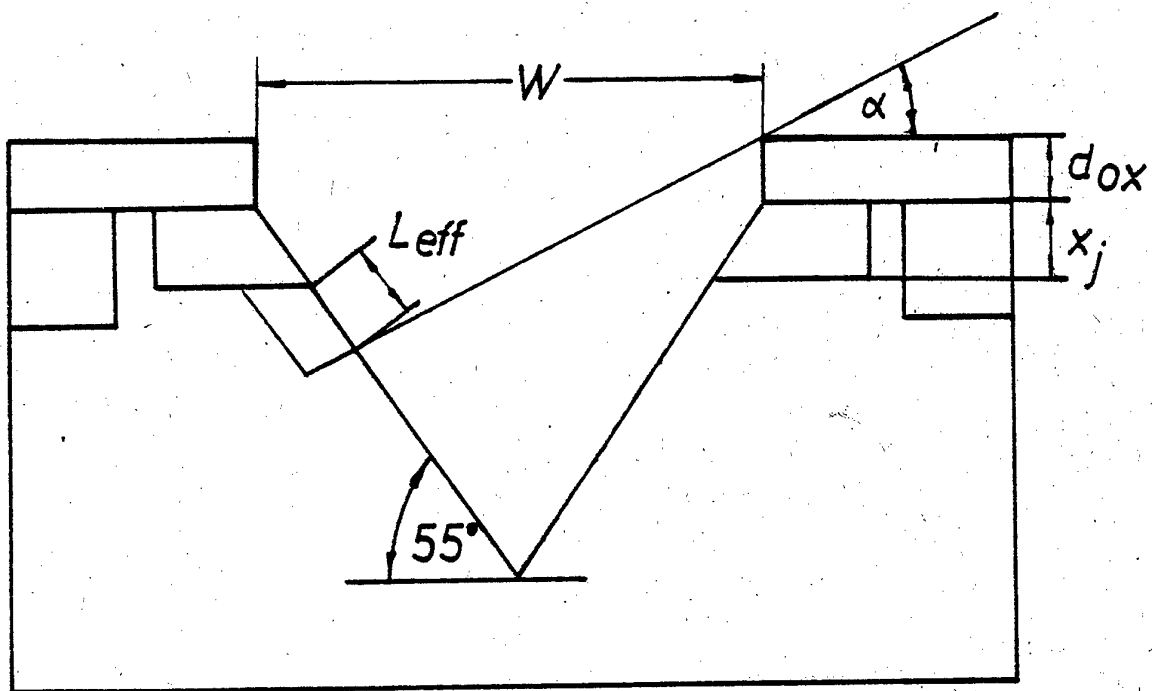


Fig. 5