



(12) 发明专利

(10) 授权公告号 CN 109983565 B

(45) 授权公告日 2022.01.11

(21) 申请号 201880004460.8

(22) 申请日 2018.01.23

(65) 同一申请的已公布的文献号
申请公布号 CN 109983565 A

(43) 申请公布日 2019.07.05

(30) 优先权数据
2017-042062 2017.03.06 JP

(85) PCT国际申请进入国家阶段日
2019.05.17

(86) PCT国际申请的申请数据
PCT/JP2018/001883 2018.01.23

(87) PCT国际申请的公布数据
W02018/163624 JA 2018.09.13

(73) 专利权人 株式会社电装
地址 日本爱知县

(72) 发明人 米田秀司

(74) 专利代理机构 永新专利商标代理有限公司
72002

代理人 徐殿军

(51) Int.Cl.
H01L 21/336 (2006.01)
H01L 21/66 (2006.01)
H01L 21/822 (2006.01)
H01L 21/8234 (2006.01)
H01L 27/04 (2006.01)
H01L 27/06 (2006.01)
H01L 29/739 (2006.01)
H01L 29/78 (2006.01)

(56) 对比文件
JP 2011176244 A, 2011.09.08
JP 2017011001 A, 2017.01.12
CN 105023845 A, 2015.11.04
JP 6056202 B2, 2017.01.11
US 2016020310 A1, 2016.01.21

审查员 靳苹苹

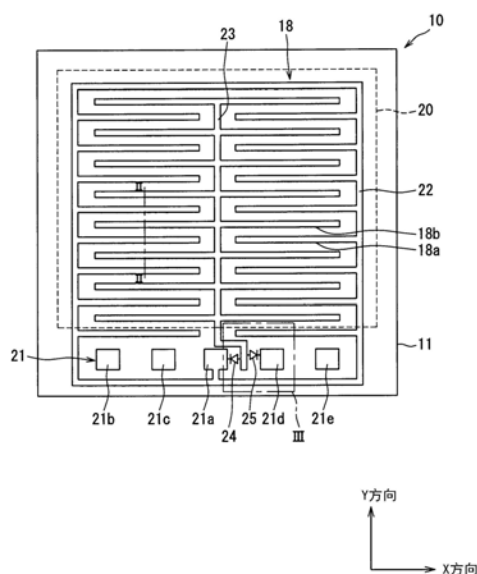
权利要求书2页 说明书11页 附图12页

(54) 发明名称

半导体装置

(57) 摘要

半导体装置具备:作为漂移层(12)的半导体基板(11);基极层(13);多个沟槽(14);发射极区域(15);发射极电极(20);集电极层(30);集电极电极(31);产生反转层的主栅极电极(18a)及不使所述反转层产生的伪栅极电极(18b);共用的栅极焊盘(21a);第一元件(24、33),形成于所述伪栅极电极与所述栅极焊盘之间,若施加第一电压,则断开导通或限制导通,若施加极性相反的第二电压,则允许导通;以及第二元件(25、34),形成于所述发射极电极与所述伪栅极电极以及所述第一元件的连接点之间,若施加所述第一电压则允许导通,若施加所述第二电压则断开导通或限制导通。



1. 一种半导体装置,具备:半导体基板(11),构成第一导电型的漂移层(12);第二导电型的基极层(13),形成于所述漂移层上;多个沟槽(14),贯通所述基极层并达到所述漂移层;第一导电型的发射极区域(15),以与所述沟槽接触的方式形成于所述基极层的表层部分;发射极电极(20),连接于所述基极层以及所述发射极区域;第二导电型的集电极层(30),相对于所述漂移层形成于与所述基极层相反的一侧;集电极电极(31),连接于所述集电极层;栅极绝缘膜(17),形成于所述沟槽的壁面;作为隔着所述栅极绝缘膜配置于所述沟槽内的栅极电极(18)的主栅极电极(18a)以及至少一个伪栅极电极(18b),该主栅极电极(18a)通过电压的施加,产生将所述发射极电极与所述漂移层之间连接的反转层,该至少一个伪栅极电极(18b)对所述反转层的产生不起作用;所述主栅极电极以及所述伪栅极电极共用的栅极焊盘(21a);第一元件(24、33),形成于所述伪栅极电极与所述栅极焊盘之间,若为了使所述主栅极电极产生所述反转层而对所述栅极焊盘施加第一电压,则该第一元件断开导通或限制导通,以使所述伪栅极电极对所述反转层的产生不起作用,若对所述栅极焊盘施加与所述第一电压极性相反的第二电压,则该第一元件允许导通;以及第二元件(25、34),形成于所述发射极电极与连接点之间,若施加所述第一电压则允许导通,若施加所述第二电压则断开导通或限制导通,所述连接点是所述伪栅极电极与所述第一元件的连接点。

2. 根据权利要求1所述的半导体装置,其中,所述第一元件以及所述第二元件都是二极管,第一元件的阳极与第二元件的阳极彼此连接。

3. 根据权利要求1所述的半导体装置,其中,所述至少一个伪栅极电极是多个伪栅极电极,多个所述伪栅极电极的至少一部分形成于所述集电极层的上方。

4. 根据权利要求1~3的任一项所述的半导体装置,其中,还具备第一导电型的阴极层(39),该第一导电型的阴极层(39)相对于所述漂移层形成于与所述基极层相反的一侧,并与所述集电极层并列设置,所述集电极电极连接于所述集电极层以及所述阴极层,所述至少一个伪栅极电极是多个伪栅极电极,所述半导体基板具有作为IGBT元件进行动作的IGBT区域(11c)和作为二极管元件进行动作的二极管区域(11d),所述沟槽分别形成于所述IGBT区域以及所述二极管区域,多个所述伪栅极电极的至少一部分形成于所述二极管区域。

5. 一种半导体装置,具备:半导体基板(11),构成第一导电型的漂移层(12);第二导电型的基极层(13),形成于所述漂移层上;多个沟槽(14),贯通所述基极层并达到所述漂移层;第一导电型的发射极区域(15),以与所述沟槽接触的方式形成于所述基极层的表层部分;发射极电极(20),连接于所述基极层以及所述发射极区域;第二导电型的集电极层(30),相对于所述漂移层形成于与所述基极层相反的一侧;集电极电极(31),连接于所述集电极层;栅极绝缘膜(17),形成于所述沟槽的壁面;作为隔着所述栅极绝缘膜配置于所述沟槽内的栅极电极(18)的主栅极电极(18a)以及至少一个伪栅极电极(18b),该主栅极电极(18a)通过电压的施加,产生将所述发射极电极与所述漂移层之间连接的反转层,该至少一个伪栅极电极(18b)对所述反转层的产生不起作用;主栅极焊盘(21a),连接于所述主栅极电极;伪栅极焊盘(21f),连接于所述伪栅极电极;以及第三元件(35、37),形成于所述发射极电极与连接点之间,若对所述伪栅极焊盘施加规定电压,则该第三元件断开导通或限制导通,若所述伪栅极焊盘成为未被施加电压的开路状态,则该第三元件允许导通,所述连接点是所述伪栅极电极与所述伪栅极焊盘的连接点。

6. 根据权利要求5所述的半导体装置, 其中, 所述第三元件是电阻。

7. 根据权利要求5所述的半导体装置, 其中所述至少一个伪栅极电极是多个伪栅极电极, 多个所述伪栅极电极的至少一部分形成于所述集电极层的上方。

8. 根据权利要求5~7的任一项所述的半导体装置, 其中, 还具备第一导电型的阴极层(39), 该第一导电型的阴极层(39)相对于所述漂移层形成于与所述基极层相反的一侧, 并与所述集电极层并列设置, 所述集电极电极连接于所述集电极层以及所述阴极层, 所述至少一个伪栅极电极是多个伪栅极电极, 所述半导体基板具有作为IGBT元件进行动作的IGBT区域(11c)和作为二极管元件进行动作的二极管区域(11d), 所述沟槽分别形成于所述IGBT区域以及所述二极管区域, 多个所述伪栅极电极的至少一部分形成于所述二极管区域。

半导体装置

[0001] 相关申请的相互参照

[0002] 本申请基于2017年3月6日提出申请的日本专利申请第2017-42062号,在此援引其记载内容。

技术领域

[0003] 本公开涉及具备隔着栅极绝缘膜配置于沟槽内的伪栅极电极的半导体装置。

背景技术

[0004] 在专利文献1中,公开了具备隔着栅极绝缘膜配置于沟槽内的伪栅极电极的半导体装置。

[0005] 该半导体装置除了主栅极电极用的焊盘之外,还具备伪栅极电极用的伪栅极焊盘。因此,能够对伪栅极焊盘施加电压,进行伪栅极电极中的栅极绝缘膜的耐压检查。另外,在耐压检查后,通过利用例如接合线将伪栅极焊盘与发射极电极连接,能够使伪栅极电极的电位稳定在不产生反转层的电位。

[0006] 在以往的构成中,在进行伪栅极电极中的栅极绝缘膜的耐压检查之后,必须将伪栅极焊盘与发射极电极电连接。例如需要引线接合工序。

[0007] 现有技术文献

[0008] 专利文献

[0009] 专利文献1:日本特开2016-25124号公报

发明内容

[0010] 本公开的目的在于提供一种能够实施伪栅极电极中的栅极绝缘膜的耐压检查,并且即使在耐压检查后不将焊盘连接于发射极电极也能够使伪栅极电极的电位稳定在不产生反转层的电位的半导体装置。

[0011] 在本公开的第一方式中,半导体装置具备:半导体基板,构成第一导电型的漂移层;第二导电型的基极层,形成于所述漂移层上;多个沟槽,贯通所述基极层并达到所述漂移层;第一导电型的发射极区域,以与所述沟槽接触的方式形成于所述基极层的表层部分;发射极电极,连接于所述基极层以及所述发射极区域;第一导电型的集电极层,相对于所述漂移层形成于与所述基极层相反的一侧;集电极电极,连接于所述集电极层;栅极绝缘膜,形成于所述沟槽的壁面;作为隔着所述栅极绝缘膜配置于所述沟槽内的栅极电极的主栅极电极以及至少一个伪栅极电极,该主栅极电极通过电压的施加产生连接所述发射极电极与所述漂移层之间的反转层,该至少一个伪栅极电极对所述反转层的产生不起作用;在所述主栅极电极以及所述伪栅极电极中共用的栅极焊盘;第一元件,形成于所述伪栅极电极与所述栅极焊盘之间,若为了在所述主栅极电极产生所述反转层而对所述栅极焊盘施加第一电压,则断开导通或限制导通,以使所述伪栅极电极对所述反转层的产生不起作用,若对所述栅极焊盘施加与所述第一电压极性相反的第二电压,则允许导通;以及第二元件,形成于

所述发射极电极与所述伪栅极电极以及所述第一元件的连接点之间,若施加所述第一电压,则允许导通,若施加所述第二电压,则断开导通或限制导通。

[0012] 根据上述的半导体装置,由于具备上述的第一元件以及第二元件,因此通过对栅极焊盘施加检查用的第二电压,来对发射极电极与伪栅极电极之间施加进行伪栅极电极中的栅极绝缘膜的耐压检查所需的电压。因此,能够实施伪栅极电极中的栅极绝缘膜的耐压检查。

[0013] 另外,即使使栅极焊盘共用,也能够在对栅极焊盘施加动作的第一电压而通过主栅极电极产生反转层时,使伪栅极电极的电位稳定在对反转层的产生不起作用的电位、例如与发射极电极相同的电位。

[0014] 通过以上,能够实施伪栅极电极中的栅极绝缘膜的耐压检查,并且即使在耐压检查后不将焊盘连接于发射极电极,也能够使伪栅极电极的电位稳定在不产生反转层的电位。

[0015] 在本公开的第二方式中,半导体装置具备:半导体基板,构成第一导电型的漂移层;第二导电型的基极层,形成于所述漂移层上;多个沟槽,贯通所述基极层并达到所述漂移层;第一导电型的发射极区域,以与所述沟槽接触的方式形成于所述基极层的表层部分;发射极电极,连接于所述基极层以及所述发射极区域;第一导电型的集电极层,相对于所述漂移层形成于与所述基极层相反的一侧;集电极电极,连接于所述集电极层;栅极绝缘膜,形成于所述沟槽的壁面;作为隔着所述栅极绝缘膜配置于所述沟槽内的栅极电极的主栅极电极以及至少一个伪栅极电极,该主栅极电极通过电压的施加产生连接所述发射极电极与所述漂移层之间的反转层,该至少一个伪栅极电极对所述反转层的产生不起作用;主栅极焊盘,连接于所述主栅极电极;伪栅极焊盘,连接于所述伪栅极电极;以及第三元件,形成于所述发射极电极与所述伪栅极电极以及所述伪栅极焊盘的连接点之间,若对所述伪栅极焊盘施加规定电压,则断开导通或限制导通,若所述伪栅极焊盘成为未被施加电压的开路状态,则允许导通。

[0016] 根据上述的半导体装置,由于具备上述的第三元件以及伪栅极焊盘,因此通过对伪栅极焊盘施加规定电压,来对发射极电极与伪栅极电极之间施加进行伪栅极电极中的栅极绝缘膜的耐压检查所需的电压。因此,能够实施伪栅极电极中的栅极绝缘膜的耐压检查。

[0017] 另外,通过在耐压检查后使伪栅极焊盘成为开路状态,能够使伪栅极电极的电位稳定在对反转层的产生不起作用的电位、例如与发射极电极相同的电位。

[0018] 通过以上,能够实施伪栅极电极中的栅极绝缘膜的耐压检查,并且即使在耐压检查后不将伪栅极焊盘连接于发射极电极也能够使伪栅极电极的电位稳定在不产生反转层的电位。

[0019] 在本公开的第三方式中,半导体装置具备:半导体基板,构成第一导电型的漂移层;第二导电型的基极层,形成于所述漂移层上;多个沟槽,贯通所述基极层并达到所述漂移层;第一导电型的发射极区域,以与所述沟槽接触的方式形成于所述基极层的表层部分;发射极电极,连接于所述基极层以及所述发射极区域;第一导电型的集电极层,相对于所述漂移层形成于与所述基极层相反的一侧;集电极电极,连接于所述集电极层;栅极绝缘膜,形成于所述沟槽的壁面;作为隔着所述栅极绝缘膜配置于所述沟槽内的栅极电极的主栅极电极以及至少一个伪栅极电极,该主栅极电极通过电压的施加产生连接所述发射极电极与

所述漂移层之间的反转层,该至少一个伪栅极电极对所述反转层的产生不起作用;主栅极焊盘,连接于所述主栅极电极;第一伪栅极焊盘,连接于所述伪栅极电极;开关,形成于所述发射极电极与所述伪栅极电极以及所述第一伪栅极焊盘的连接点之间;以及第二伪栅极焊盘,用于控制基于所述开关的导通或断开。所述开关为了检查所述栅极绝缘膜的耐压而对所述第一伪栅极焊盘施加电压时,通过经由所述第二伪栅极焊盘的输入被控制而断开通电。在进行了耐压检查的状态下,所述第一伪栅极焊盘成为未被施加电压的开路状态,并且所述开关的所述发射极电极侧的端子与所述连接点侧的端子之间被短路。

[0020] 根据上述的半导体装置,由于具备上述的开关、第一伪栅极焊盘以及第二伪栅极焊盘,因此通过在对第一伪栅极焊盘施加了电压的状态下使开关成为断开状态,来对发射极电极与伪栅极电极之间施加进行伪栅极电极中的栅极绝缘膜的耐压检查所需的电压。因此,能够实施伪栅极电极中的栅极绝缘膜的耐压检查。

[0021] 另外,在耐压检查后,通过对第二伪栅极焊盘施加过电压而有意地使开关的发射极电极侧的端子与连接点侧的端子之间短路,能够将伪栅极电极的电位保持在与发射极电极相同的电位。即,能够使伪栅极电极的电位稳定在对反转层的产生不起作用电位。

[0022] 通过以上,能够实施伪栅极电极中的栅极绝缘膜的耐压检查,并且即使在耐压检查后不将焊盘连接于发射极电极,也能够使伪栅极电极的电位稳定在不产生反转层的电位。

附图说明

[0023] 关于本公开的上述目的及其他目的、特征、优点,通过参照添附的附图及下述的详细描述而更加明确。其附图为,

[0024] 图1是表示第一实施方式的半导体装置的概略构成的俯视图,

[0025] 图2是沿着图1的II-II线的剖面图,

[0026] 图3是将图1所示的区域III放大后的图,

[0027] 图4是半导体装置的等效电路图,表示伪栅极电极中的栅极绝缘膜的耐压检查时,

[0028] 图5是半导体装置的等效电路图,表示IGBT动作时,

[0029] 图6是表示第一变形例的图,

[0030] 图7是表示第二变形例的图,

[0031] 图8是表示第二实施方式的半导体装置的概略构成的俯视图,

[0032] 图9是将图8所示的区域IX放大后的图,

[0033] 图10是半导体装置的等效电路图,

[0034] 图11是表示第三变形例的图,

[0035] 图12是表示第四变形例的图,

[0036] 图13是表示第五变形例的图,

[0037] 图14是表示第六变形例的图,

[0038] 图15是第三实施方式的半导体装置的等效电路图,表示出厂前的状态,

[0039] 图16是半导体装置的等效电路图,表示出厂后的状态,

[0040] 图17是表示第四实施方式的半导体装置的概略构成的俯视图,

[0041] 图18是沿着图17的XVIII-XVIII线的剖面图。

具体实施方式

[0042] 一边参照附图一边对多个实施方式进行说明。在多个实施方式中,对功能上和/或构造上对应的部分赋予相同的附图标记。以下,将半导体基板的厚度方向表示为Z方向,将与Z方向正交、且多个焊盘的排列方向表示为X方向。另外,将与Z方向以及X方向这两个方向正交的方向表示为Y方向。只要没有特别否定,则将沿着由上述的X方向以及Y方向规定的XY面的形状、即从Z方向俯视时的形状设为平面形状。

[0043] (第一实施方式)

[0044] 首先,基于图1~图3对本实施方式的半导体装置的构成进行说明。在图1中,为了使配置明确化,用虚线表示发射极电极,用实线表示栅极电极以及将该栅极电极与焊盘连接的布线。本实施方式的半导体装置例如用于逆变器、转换器等电力转换电路。在本实施方式中,将第一导电型设为N型,将第二导电型设为P型。

[0045] 如图1以及图2所示,半导体装置10具备由硅、碳化硅等构成的半导体基板11。半导体基板11在Z方向上具有一面11a以及与一面11a相反的背面11b。

[0046] 半导体基板11作为N⁻型的漂移层12发挥功能。半导体基板11构成漂移层12。在半导体基板11的一面11a侧、即漂移层12上形成有P型的基极层13。在半导体基板11,以贯通基极层13并达到漂移层12的方式形成有多个沟槽14。沟槽14在Z方向上具有规定的深度,并且沿X方向延伸设置。而且,多个沟槽14在Y方向上以规定间距(等间隔)形成。基极层13被沟槽14划分为多个区域。

[0047] 在基极层13的表层形成有N⁺型的发射极区域15以及P⁺型的体区域16。发射极区域15的杂质浓度高于漂移层12的杂质浓度。发射极区域15以与沟槽14的侧面接触的方式形成。发射极区域15在基极层13内终止。发射极区域15在沟槽14间的区域中,沿沟槽14的长度方向以与沟槽14的侧面接触的方式延伸设置,并形成在比沟槽14的长度方向端部更靠内侧的位置终止的构造。

[0048] 体区域16的杂质浓度高于基极层13的杂质浓度。体区域16与发射极区域15相同,在基极层13内终止。体区域16被两个发射极区域15夹持。体区域16沿沟槽14的长度方向延伸设置。在本实施方式中,以一面11a为基准的体区域16的深度比发射极区域15的深度深。

[0049] 在各沟槽14的壁面分别形成有栅极绝缘膜17。在各沟槽14内隔着栅极绝缘膜17分别配置有栅极电极18。栅极绝缘膜17以覆盖沟槽14的壁面的方式埋入沟槽14内。栅极电极18由多晶硅等构成。栅极电极18形成于栅极绝缘膜17上,并且埋入沟槽14内。这样,在半导体装置10中构成有沟槽栅极。

[0050] 半导体装置10作为栅极电极18具有主栅极电极18a以及伪栅极电极18b。主栅极电极18a是通过电压的施加而产生连接后述的发射极电极20与漂移层12之间的反转层(沟道)的栅极电极18。在本实施方式中,由于具有发射极区域15,因此反转层通过连接发射极区域15与漂移层12之间来连接发射极电极20与漂移层12之间。另一方面,伪栅极电极18b是对上述反转层的产生不起作用的栅极电极18。

[0051] 主栅极电极18a以及伪栅极电极18b均形成于后述的集电极层30的上方。即,伪栅极电极18b也形成于IGBT元件的形成区域内。另外,在本实施方式中,主栅极电极18a与伪栅极电极18b在Y方向上交替地形成。这样,半导体装置10成为并非多个栅极电极18全部为主栅极电极18a、而是主栅极电极18a被间隔剔除的构造的半导体装置。

[0052] 在基极层13上、即半导体基板11的一面11a上,形成有层间绝缘膜19。在层间绝缘膜19形成有接触孔19a,通过该接触孔19a,发射极区域15的一部分以及体区域16露出。

[0053] 在层间绝缘膜19上形成有发射极电极20。发射极电极20经由接触孔19a与发射极区域15以及体区域16电连接。发射极电极20从聚酰亚胺等的未图示的保护膜露出,以便能够与主端子连接。

[0054] 另外,如图1所示,在半导体基板11的一面11a上,形成有焊盘21、栅极布线22、以及伪栅极布线23。焊盘21是供信号端子连接的电极部分,以能够与信号端子连接的方式从保护膜露出。半导体装置10作为焊盘21至少包含与主栅极电极18a电连接的栅极焊盘21a。在本实施方式中,作为焊盘21,具有栅极焊盘21a、检测半导体基板11的温度的温度传感器(感温二极管)的阴极用的焊盘21b、相同的阳极用的焊盘21c、检测发射极电极20的电位的开尔文发射极用的焊盘21d、电流传感用的焊盘21e。多个焊盘21在平面呈大致矩形状的半导体基板11中,在Y方向的一端侧集中形成,并且沿X方向排列形成。以下,将开尔文发射极用的焊盘21d表示为KE焊盘21d。

[0055] 栅极布线22是将主栅极电极18a与栅极焊盘21a电连接的布线。伪栅极布线23与伪栅极电极18b电连接。在伪栅极布线23与栅极焊盘21a之间配置有二极管24。即,伪栅极电极18b经由伪栅极布线23以及二极管24与栅极焊盘21a连接。另外,在伪栅极布线23与KE焊盘21d之间配置有二极管25。二极管24的阳极连接于伪栅极布线23,阴极连接于栅极焊盘21a。二极管25的阳极连接于伪栅极布线23,阴极连接于KE焊盘21d。二极管24相当第一元件,二极管25相当于第二元件。

[0056] 在图3中,用单点划线表示多晶硅层26,用虚线表示金属层27,用双点划线表示多晶硅层26与金属层27的触点28。如图3所示,二极管24、25构成为包含多晶硅层26。多晶硅层26隔着未图示的绝缘膜配置于半导体基板11的一面11a上。

[0057] 金属层27例如以Al—Si为材料而形成。栅极布线22以及伪栅极布线23由金属层27构成。构成伪栅极布线23的金属层27的一部分配置于构成二极管24的阳极区域的多晶硅层26上,并通过触点28连接。另外,构成伪栅极布线23的金属层27的一部分配置于构成二极管25的阴极区域的多晶硅层26上,并通过触点28连接。

[0058] 包含栅极焊盘21a以及KE焊盘21d的焊盘21也由金属层27构成。金属层27中的从保护膜露出的部分成为信号端子的连接部分。构成栅极焊盘21a的金属层27的一部分配置于构成二极管24的阴极区域的多晶硅层26上,并通过触点28连接。另外,构成KE焊盘21d的金属层27的一部分配置于构成二极管25的阳极区域的多晶硅层26上,并通过触点28连接。

[0059] 发射极电极20也构成为包含金属层27。金属层27中的从保护膜露出的部分成为发射极电极20。在金属层27中的跨过多晶硅层26的部分与多晶硅层26之间夹设有未图示的绝缘层。另外,在发射极电极20、焊盘21中,也可以在金属层27的露出部分上具备其他金属膜(例如镀覆膜)。

[0060] 在漂移层12中的与基极层13侧相反的一侧、即半导体基板11的背面11b侧形成有N型的场阻止层29。场阻止层29并不一定需要。通过具备场阻止层29,能够防止耗尽层的扩展而实现耐压与稳态损耗的性能提高。另外,能够控制从背面11b侧注入的空穴的注入量。

[0061] 在场阻止层29中的与漂移层12相反的一侧、即半导体基板11的背面11b侧的表层形成有P型的集电极层30。而且,在集电极层30上形成有集电极电极31。通过以上,在半导体

装置10中构成有IGBT元件。

[0062] 接下来,基于图4以及图5对栅极绝缘膜17的耐压检查与IGBT动作进行说明。栅极绝缘膜17的耐压检查、即栅极筛选在制造半导体装置10之后、出厂之前进行。在该耐压检查中,对栅极电极18施加比保证电压高的电压,检查栅极绝缘膜17是否能够确保希望的耐压等。在具备伪栅极电极18b的构成中,对于伪栅极电极18b中的栅极绝缘膜17也需要进行耐压检查。

[0063] 如上述那样,主栅极电极18a经由栅极布线22与栅极焊盘21a连接。另一方面,在伪栅极布线23与栅极焊盘21a之间形成有二极管24。另外,在伪栅极布线23与KE焊盘21d之间形成有二极管25。

[0064] 即,如图4以及图5所示,栅极焊盘21a成为构成IGBT元件的主栅极电极18a与伪栅极电极18b的共用焊盘。另外,在栅极焊盘21a与伪栅极电极18b之间形成有作为第一元件的二极管24。二极管24的阴极连接于栅极焊盘21a,阳极连接于伪栅极电极18b。而且,在发射极电极20与伪栅极电极18b以及二极管24的连接点32之间形成有作为第二元件的二极管25。二极管25的阴极连接于发射极电极20,阳极连接于连接点32、即伪栅极电极18b。二极管24、25的阳极彼此连接。

[0065] 如图4所示,在伪栅极电极18b中的栅极绝缘膜17的耐压检查时,对栅极焊盘21a施加与在动作时施加的电压极性不同的规定电压、例如-50V。该规定电压(-50V)相当于第二电压。另外,发射极电极20为0V。在发射极电极20、二极管25、二极管24、栅极焊盘21a的路径中,二极管24为正向,二极管25为反向。因此,在耐压检查时,二极管24允许导通,二极管25断开导通。

[0066] 连接点32、即伪栅极电极18b的电位通过二极管24的电压下降成为-49.3V。这样,能够使伪栅极电极18b与发射极电极20之间的电压 V_{ge} 成为比保证电压高的电压。因此,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,由于栅极焊盘21a是共用的,因此对于主栅极电极18a中的栅极绝缘膜17的耐压检查也能够同时进行。

[0067] 在IGBT元件的动作时,对发射极电极20施加比集电极电极31低的电压,并且如图5所示那样对栅极焊盘21a施加接通电压、例如15V。接通电压(15V)相当于第一电压。由此,在基基层13中的与主栅极电极18a的沟槽14接触的部分形成N型的反转层(沟道)。然后,电子从发射极区域15经由反转层供给至漂移层12,并且空穴从集电极层30供给至漂移层12,通过电导率调制,漂移层12的电阻值降低而成为导通状态。另外,接通电压是指,在主栅极电极18a侧使栅极-发射极间的电压 V_{ge} 高于MOS栅极的阈值电压 V_{th} 的电压。

[0068] 如上述那样,在IGBT动作时,由于对栅极焊盘21a施加正的电压,因此二极管24成为反向,二极管25成为正向。因此,在IGBT动作时,二极管24断开导通,二极管25允许导通。连接点32的电位成为与发射极电极20相同的电位(0V)。因此,在IGBT动作时,伪栅极电极18b对反转层的产生不起作用。

[0069] 接下来,对上述的半导体装置10的效果进行说明。

[0070] 根据本实施方式的半导体装置10,在耐压检查时,二极管24成为正向,二极管25成为反向。即,二极管24允许导通,二极管25断开导通。由此,耐压检查所需的电压被施加在伪栅极电极18b与发射极电极20之间。因此,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。

[0071] 另外,在IGBT动作时,二极管24成为反向,二极管25成为正向。即,二极管24断开导通,二极管25允许导通。因此,即使对栅极焊盘21a施加接通电压,也能够使伪栅极电极18b的电位稳定在与发射极电极20相同的电位、即对反转层的产生不起作用的电位。

[0072] 通过以上,能够实施伪栅极电极18b中的栅极绝缘膜17的耐压检查,并且即使在耐压检查后不将焊盘连接于发射极电极20,也能够使伪栅极电极18b的电位稳定在不产生反转层的电位。例如,能够无需连接焊盘与发射极电极20的引线接合工序。

[0073] 而且,由于使栅极焊盘21a在主栅极电极18a与伪栅极电极18b中共用,因此能够在主栅极电极18a以及伪栅极电极18b中同时实施栅极绝缘膜17的耐压检查。另外,能够减少焊盘21、布线。

[0074] 另外,由于在IGBT元件的形成区域内形成伪栅极电极18b而成为间隔剔除结构,因此能够减少反馈电容(栅极—集电极间的电容),由此能够提高开关速度。另外,由于减少反馈电容,因此与减少主栅极电极18a的数量的构成相比,能够抑制因电场集中导致的耐压降低。

[0075] 在本实施方式中,示出了采用二极管24作为第一元件、采用二极管25作为第二元件的例子,但并不限于此。作为配置于栅极焊盘21a与伪栅极电极18b之间的第一元件,能够采用在IGBT动作时断开导通或限制导通以使伪栅极电极18b对反转层的产生不起作用、在耐压检查时允许导通的元件。另外,在IGBT动作时断开导通或限制导通以对反转层的产生不起作用是指,在对栅极焊盘21a施加了接通电压时,使伪栅极电极18b与发射极电极20之间的电压 V_{ge} 成为MOS栅极的阈值电压 V_{th} 以下的电压。另外,作为配置于发射极电极20与连接点32之间的第二元件,能够采用在IGBT动作时允许导通、在耐压检查时断开导通或限制导通以对伪栅极电极18b施加比保证电压高的电压的元件。

[0076] 例如,也可以如图6所示的第一变形例那样,采用电阻33作为第一元件。在为了耐压检查而对栅极焊盘21a施加了规定电压($-50V$)的情况下,电阻33允许导通,二极管25断开导通。因此,连接点32(伪栅极电极18b)的电位成为 $-50V$,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,在对栅极焊盘21a施加了接通电压($15V$)的情况下,二极管25成为正向,因此二极管25允许导通,连接点32的电位成为 $0.7V$ 。这样,能够使伪栅极电极18b的电位稳定在对反转层的产生不起作用的电位。

[0077] 另外,也可以如图7所示的第二变形例那样,采用电阻33作为第一元件,并且采用电阻34作为第二元件。在该情况下,对栅极焊盘21a施加的电压被电阻33、34分压。电阻33、34的值被设定为:在为了耐压检查而对栅极焊盘21a施加了规定电压($-50V$)的情况下,连接点32的电位比保证电压高,在对栅极焊盘21a施加了接通电压($15V$)的情况下,连接点32的电位成为MOS栅极的阈值电压 V_{th} 以下。电阻33在IGBT动作时限制导通,以使伪栅极电极18b对反转层的产生不起作用,在耐压检查时允许导通。电阻34在IGBT动作时允许导通,在耐压检查时限制导通,以对伪栅极电极18b施加比保证电压高的电压。

[0078] (第二实施方式)

[0079] 本实施方式能够参照先前的实施方式。因此,省略对与先前的实施方式中示出的半导体装置10共同的部分的说明。

[0080] 如图8所示,本实施方式的半导体装置10除了连接于主栅极电极18a的栅极焊盘21a之外,还具备连接于伪栅极电极18b的伪栅极焊盘21f。另外,在KE焊盘21d与伪栅极焊盘

21f之间,形成有作为第三元件的电阻35。另外,栅极焊盘21a相当于主栅极焊盘。

[0081] 在图9中也与图3相同,用单点划线表示多晶硅层26,用虚线表示金属层27,用双点划线表示多晶硅层26与金属层27的触点28。包含多晶硅层26而构成电阻33。构成电阻33的多晶硅层26平面呈现蛇行形状(换言之,蜿蜒形状)。构成KE焊盘21d的金属层27的一部分层叠于构成电阻33的多晶硅层26的一端上,并通过触点28连接。构成伪栅极焊盘21f的金属层27的一部分层叠于构成电阻33的多晶硅层26的另一端上,并通过触点28连接。

[0082] 图10示出了半导体装置10的等效电路。栅极焊盘21a成为构成IGBT元件的主栅极电极18a的专用焊盘。伪栅极焊盘21f成为伪栅极电极18b的专用焊盘。在发射极电极20、伪栅极电极18b以及伪栅极焊盘21f的连接点36之间形成有作为第三元件的电阻35。

[0083] 在伪栅极电极18b中的栅极绝缘膜17的耐压检查时,若对伪栅极焊盘21f施加规定电压、例如50V,则电阻35断开导通。连接点36的电位、即伪栅极电极18b的电位成为50V。因此,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,对伪栅极焊盘21f施加的规定电压并不限定于正的电压。例如也可以施加-50V。通过规定电压的施加,伪栅极电极18b与发射极电极20之间的电压 V_{ge} 只要比保证电压高即可。

[0084] 在IGBT元件的动作时,对栅极焊盘21a施加接通电压、例如15V。然而,伪栅极焊盘21f与栅极焊盘21a分离,并成为未施加电压的开路状态。连接点36经由电阻33与发射极电极20连接,连接点36的电位、即伪栅极电极18b的电位成为与发射极电极20相同的电位(0V)。这样,电阻35允许导通。因此,在IGBT动作时,伪栅极电极18b对反转层的产生不起作用。

[0085] 这样,根据本实施方式的半导体装置10,由于除了栅极焊盘21a之外还设置伪栅极焊盘21f,并能够对伪栅极焊盘21f施加独立的电压,因此能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,通过具备电阻35,即使在耐压检查后不将伪栅极焊盘21f连接于发射极电极20,也能够使伪栅极电极18b的电位稳定在不产生反转层的电位。

[0086] 在本实施方式中,示出了采用电阻35作为第三元件的例子,但并不限定于此。作为配置于发射极电极20与连接点36之间的第三元件,能够采用在伪栅极焊盘21f为开路状态之时(IGBT动作时)允许导通、在耐压检查时断开导通或限制导通以对伪栅极电极18b施加比保证电压高的电压的元件。

[0087] 例如,也可以如图11所示的第三变形例那样,采用二极管37作为第三元件。二极管37的阴极连接于发射极电极20,阳极连接于连接点36。为了耐压检查,在对伪栅极焊盘21f施加与接通电压极性不同的规定电压(例如-50V)的情况下,二极管37变为反向,并断开导通。因此,连接点36的电位也成为-50V,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,在伪栅极焊盘21f为开路状态的情况下,连接点36经由二极管37与发射极电极20连接,连接点36的电位变为0.7V。这样,二极管37允许导通。因此,在IGBT动作时,伪栅极电极18b对反转层的产生不起作用。

[0088] 另外,也可以如图12所示的第四变形例那样,采用电阻35以及二极管37作为第三元件。电阻35以及二极管37在发射极电极20与连接点36之间并联连接。为了耐压检查,通过对伪栅极焊盘21f施加与接通电压极性不同的规定电压(例如-50V),能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,通过使伪栅极焊盘21f成为开路状态,即使在IGBT动作时,也能够使伪栅极电极18b的电位稳定在对反转层的产生不起作用位的电位。

[0089] 另外,在图13所示的第五变形例中,与第四变形例不同,电阻35以及二极管37在发射极电极20与连接点36之间串联连接。电阻35设为连接点侧,发射极电极20与二极管37的阴极连接。为了耐压检查,若对伪栅极焊盘21f施加规定电压(例如50V),则导通被电阻35断开或限制。因此,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,通过使伪栅极焊盘21f成为开路状态,即使在IGBT动作时,也能够使伪栅极电极18b的电位稳定在对反转层的产生不起作用的电位。另外,在耐压检查时也可以施加与接通电压极性不同的电压(例如-50V)。

[0090] 另外,在二极管37的耐压不足的情况下,只要如图14所示的第六变形例那样采用多个二极管37即可。在图14中,三个二极管37在发射极电极20与连接点36之间串联连接。所有的二极管37的阴极均成为发射极电极20侧。在该构成中,为了耐压检查,通过对伪栅极焊盘21f施加与接通电压极性不同的规定电压(例如-50V),也能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,通过使伪栅极焊盘21f成为开路状态,即使在IGBT动作时,也能够使伪栅极电极18b的电位稳定在对反转层的产生不起作用的电位。

[0091] (第三实施方式)

[0092] 本实施方式能够参照先前的实施方式。因此,省略对与先前的实施方式中示出的半导体装置10共同的部分的说明。

[0093] 图15示出了本实施方式的半导体装置10的出厂前的状态。图15表示伪栅极电极18b中的栅极绝缘膜17的耐压检查时。本实施方式的半导体装置10也除了栅极焊盘21a之外还具有连接于伪栅极电极18b的伪栅极焊盘21f。在发射极电极20与伪栅极焊盘21f以及伪栅极电极18b的连接点36之间形成有开关38。开关38具有控制电极(栅极)。在本实施方式中,采用MOSFET作为开关38。

[0094] 半导体装置10还具备伪栅极焊盘21g。伪栅极焊盘21g是用于控制基于开关38的导通或断开的焊盘21。伪栅极焊盘21f相当于第一伪栅极焊盘,伪栅极焊盘21g相当于第二伪栅极焊盘。

[0095] 如图15所示,在半导体装置10的产品出厂前,进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。此时,不对伪栅极焊盘21g施加接通开关38的电压,对伪栅极焊盘21f施加用于耐压检查的规定电压(例如50V)。由于断开状态的开关38断开导通,因此连接点36的电位、即伪栅极电极18b的电位变为50V。因此,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,作为规定电压,也可以施加与接通电压极性不同的电压(例如-50V)。

[0096] 图16示出了执行开关38的短路处理后的半导体装置10、即产品出厂后的半导体装置10。短路处理在耐压检查之后进行。此时,对伪栅极焊盘21g施加过电压,由此破坏开关38而使漏极-源极间短路。由此,即使不对伪栅极焊盘21g施加电压,开关38也始终为接通状态。

[0097] 因此,如图16所示那样,即使在对栅极焊盘21a施加了接通电压(例如15V)时,通过短路的开关38,连接点36的电位、即伪栅极电极18b的电位也成为与发射极电极20相同的电位。因此,在IGBT动作时,伪栅极电极18b对反转层的产生不起作用。

[0098] 这样,通过本实施方式的半导体装置10,也能够实施伪栅极电极18b中的栅极绝缘膜17的耐压检查,并且即使在耐压检查后不将伪栅极焊盘21f连接于发射极电极20,也能够

使伪栅极电极18b的电位稳定在不产生反转层的电位。

[0099] (第四实施方式)

[0100] 本实施方式能够参照先前的实施方式。因此,省略对与先前的实施方式中示出的半导体装置10共同的部分的说明。

[0101] 在先前的实施方式中,示出了伪栅极电极18b形成于IGBT元件的形成区域内的例子。与此相对,如图17以及图18所示,本实施方式的半导体装置10的半导体基板11具有IGBT元件的形成区域即IGBT区域11c、以及回流二极管元件(FWD)的形成区域即二极管区域11d。IGBT区域11c以及二极管区域11d在X方向上交替地形成。IGBT区域11c以及二极管区域11d分别沿Y方向延伸设置。

[0102] 半导体基板11的一面11a侧表层的构造在IGBT区域11c以及二极管区域11d中相同。即,沟槽14分别形成于IGBT区域11c以及二极管区域11d。多个沟槽14在X方向上以等间隔形成。发射极区域15以及体区域16也分别形成于IGBT区域11c以及二极管区域11d。而且,在IGBT区域11c形成有主栅极电极18a,在二极管区域11d形成有伪栅极电极18b。发射极电极20在IGBT区域11c以及二极管区域11d中与发射极区域15以及体区域16电连接。因此,发射极电极20也作为回流二极管元件的阳极电极发挥功能。

[0103] 在半导体基板11的一面11a上,与第一实施方式(参照图1)同样地形成有焊盘21。即,作为焊盘21,形成有栅极焊盘21a、KE焊盘21d。而且,在伪栅极布线23与栅极焊盘21a之间配置有二极管24,在伪栅极布线23与KE焊盘21d之间配置有二极管25。二极管24的阳极连接于伪栅极布线23,阴极连接于栅极焊盘21a。二极管25的阳极连接于伪栅极布线23,阴极连接于KE焊盘21d。二极管24相当于第一元件,二极管25相当于第二元件。在图17中,为了方便,省略了栅极布线22的图示。

[0104] 另外,在场阻止层29中的与漂移层12相反的一侧、即半导体基板11的背面11b侧的表层中的IGBT区域11c形成有P型的集电极层30,在二极管区域11d形成有N型的阴极层39。集电极层30以及阴极层39并列设置。而且,在集电极层30以及阴极层39上形成有集电极电极31。因此,集电极电极31也作为回流二极管元件的阴极电极发挥功能。

[0105] 这样,在半导体基板11形成有IGBT元件和回流二极管元件。即,形成有RC-IGBT。而且,在二极管区域11d形成有伪栅极电极18b。

[0106] 根据本实施方式的半导体装置10,具备上述的二极管24、25。因此,能够起到与第一实施方式同等的效果。即,在耐压检查时,二极管24允许导通,二极管25断开导通,因此耐压检查所需的电压被施加在伪栅极电极18b与发射极电极20之间。因此,能够适当地进行伪栅极电极18b中的栅极绝缘膜17的耐压检查。另外,在IGBT动作时,二极管24断开导通,二极管25允许导通,因此能够一边使栅极焊盘21a共用,一边将伪栅极电极18b的电位保持在与发射极电极20相同的电位。

[0107] 通过以上,能够实施伪栅极电极18b中的栅极绝缘膜17的耐压检查,并且即使在耐压检查后不将焊盘连接于发射极电极20,也能够使伪栅极电极18b的电位稳定在不产生反转层的电位。例如,能够不需要连接焊盘与发射极电极20的引线接合工序。

[0108] 而且,由于使栅极焊盘21a在主栅极电极18a与伪栅极电极18b中共用,因此在主栅极电极18a以及伪栅极电极18b中能够同时实施栅极绝缘膜17的耐压检查。另外,能够减少焊盘21、布线。

[0109] 另外,沟槽14不仅形成于IGBT区域11c,也形成于二极管区域11d。因此,能够抑制在IGBT区域11c中的二极管区域11d附近的沟槽14产生电场集中、且由此导致耐压降低的情况。

[0110] 另外,作为能够实施伪栅极电极18b中的栅极绝缘膜17的耐压检查、并且即使在耐压检查后不将焊盘连接于发射极电极20也能够使伪栅极电极18b的电位稳定在不产生反转层的电位的构成,并不限于上述例子(第一实施方式中示出的例子)。能够与其他先前的实施方式、变形例中示出的构成进行组合。

[0111] 该说明书的公开并不限制于例示的实施方式。公开包含例示的实施方式、以及基于它们的由本领域技术人员进行的变形方式。例如,公开并不限于实施方式中示出的要素的组合。公开能够通过多样的组合来实施。公开的技术范围并不限于实施方式的记载。公开的几个技术范围通过权利要求书的记载来表示,进而应该理解为包含与权利要求的记载均等的意义及范围内的所有的变更。

[0112] 虽然对将第一导电型设为N型、将第二导电型设为P型的例子进行了说明,但也可以将第一导电型设为P型,将第二导电型设为N型。

[0113] 示出了伪栅极电极18b形成于IGBT元件的形成区域内的例子。另外,示出了伪栅极电极18b形成于二极管区域11d的例子。然而,伪栅极电极18b也可以形成于IGBT区域11c以及二极管区域11d这两方。

[0114] 对于发射极区域15,也可以采用在与主栅极电极18a的沟槽14邻接的部分形成、在与伪栅极电极18b的沟槽14邻接的部分不形成的构成。进而,在二极管区域11d中,也可以采用不形成体区域16的构成。

[0115] 虽然本公开遵照实施例进行了描述,但可理解为本公开是不限于该实施例和构造的发明。本公开也包含各种变形例或均等范围内的变形。除此之外,各种组合及方式、进而在它们之中包含仅一个要素、一个要素以上、或一个要素以下的其他组合及方式也落入本公开的范畴和思想范围内。

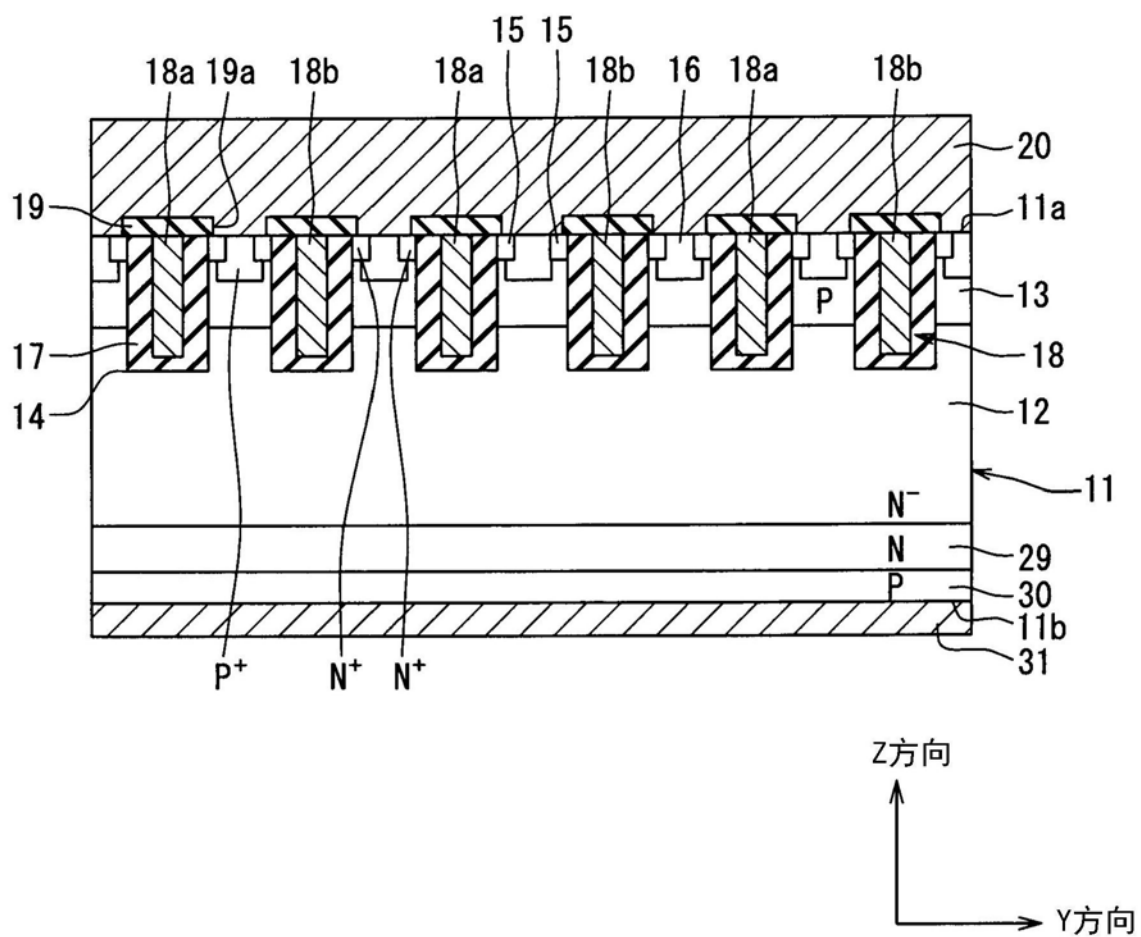


图2

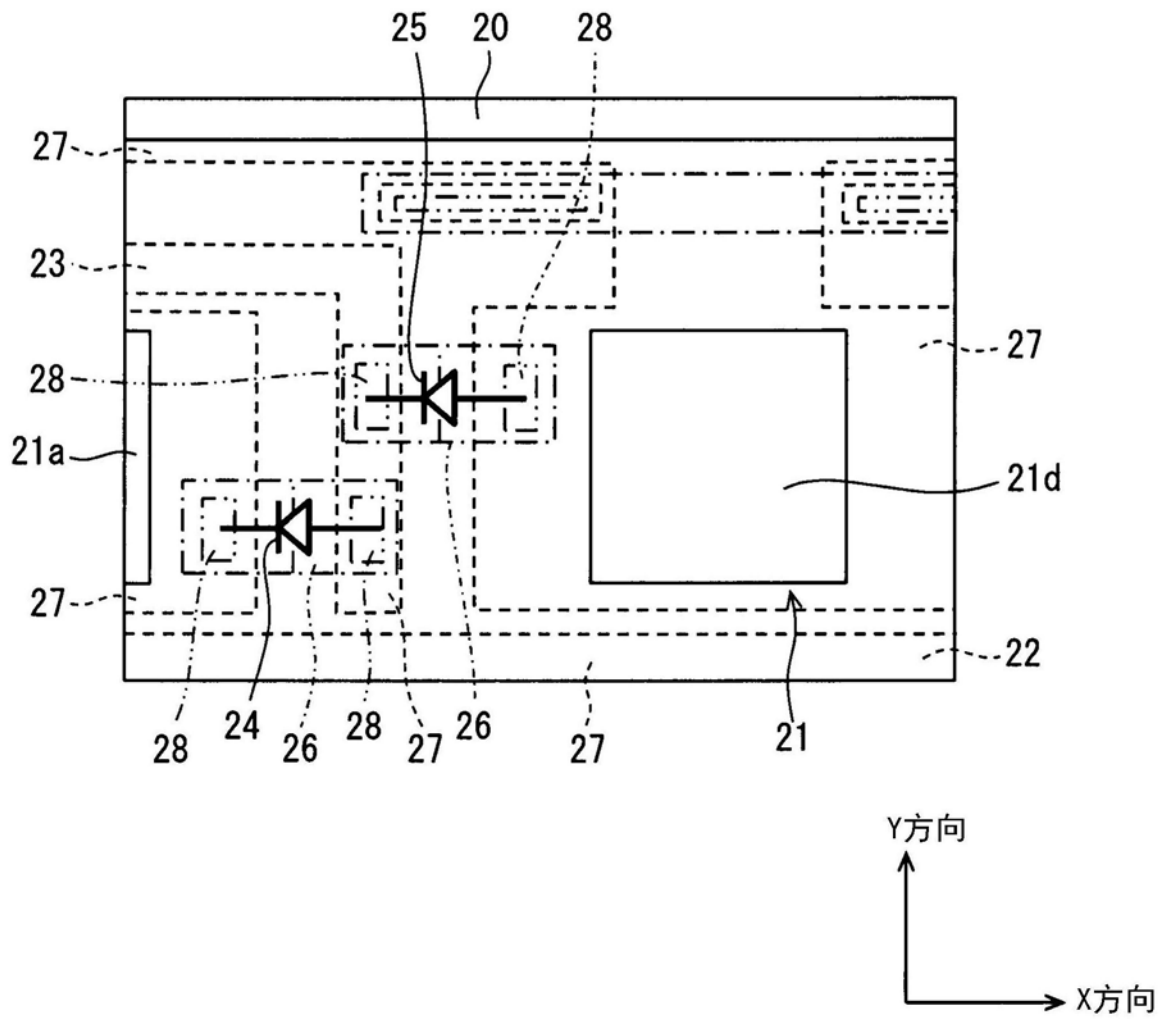


图3

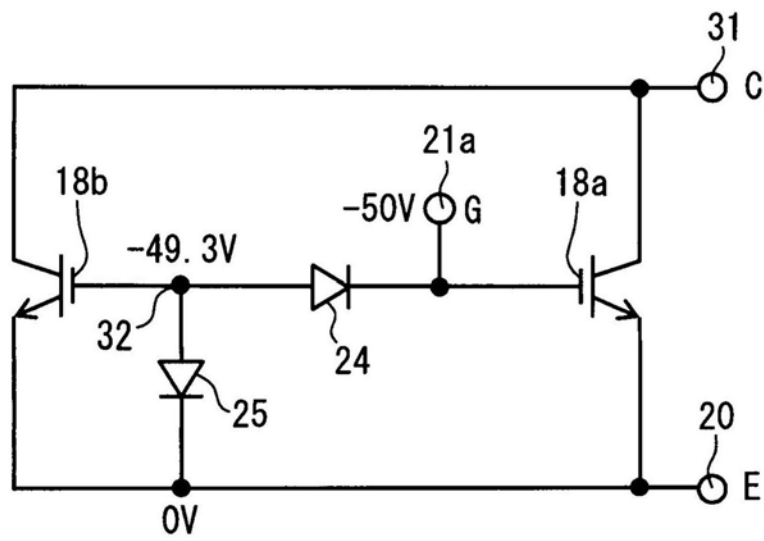


图4

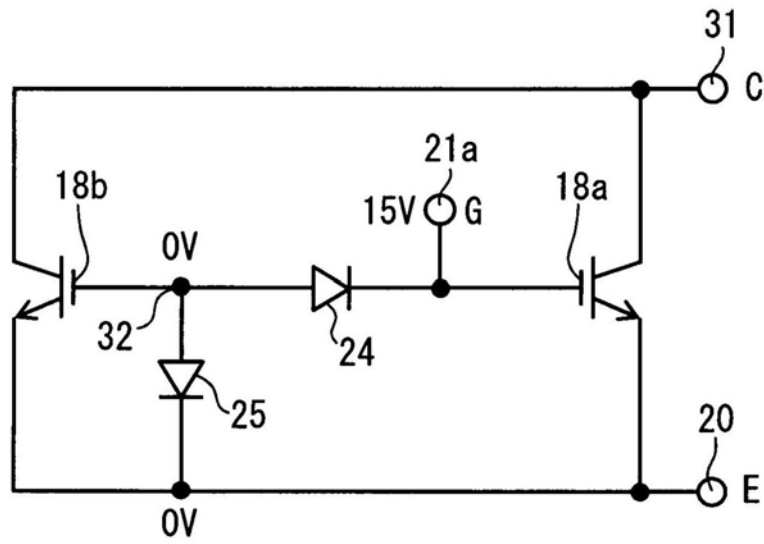


图5

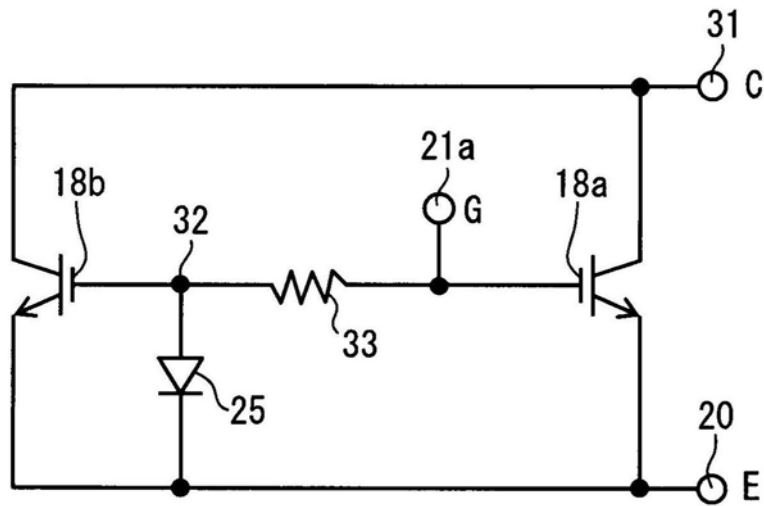


图6

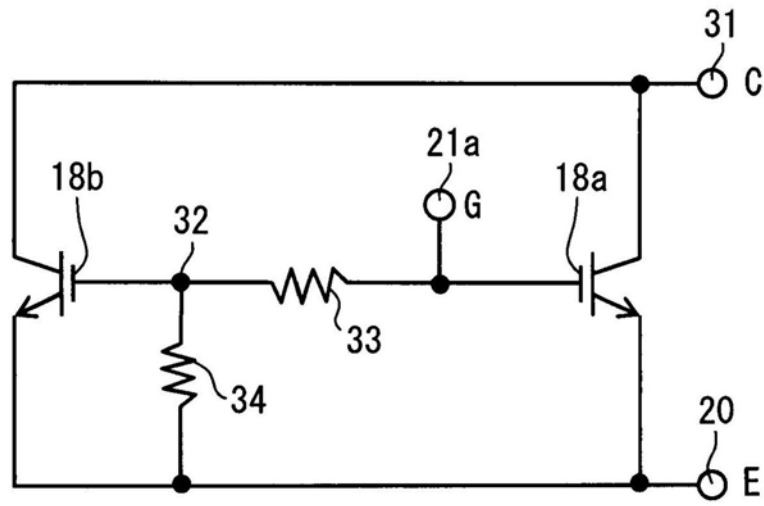


图7

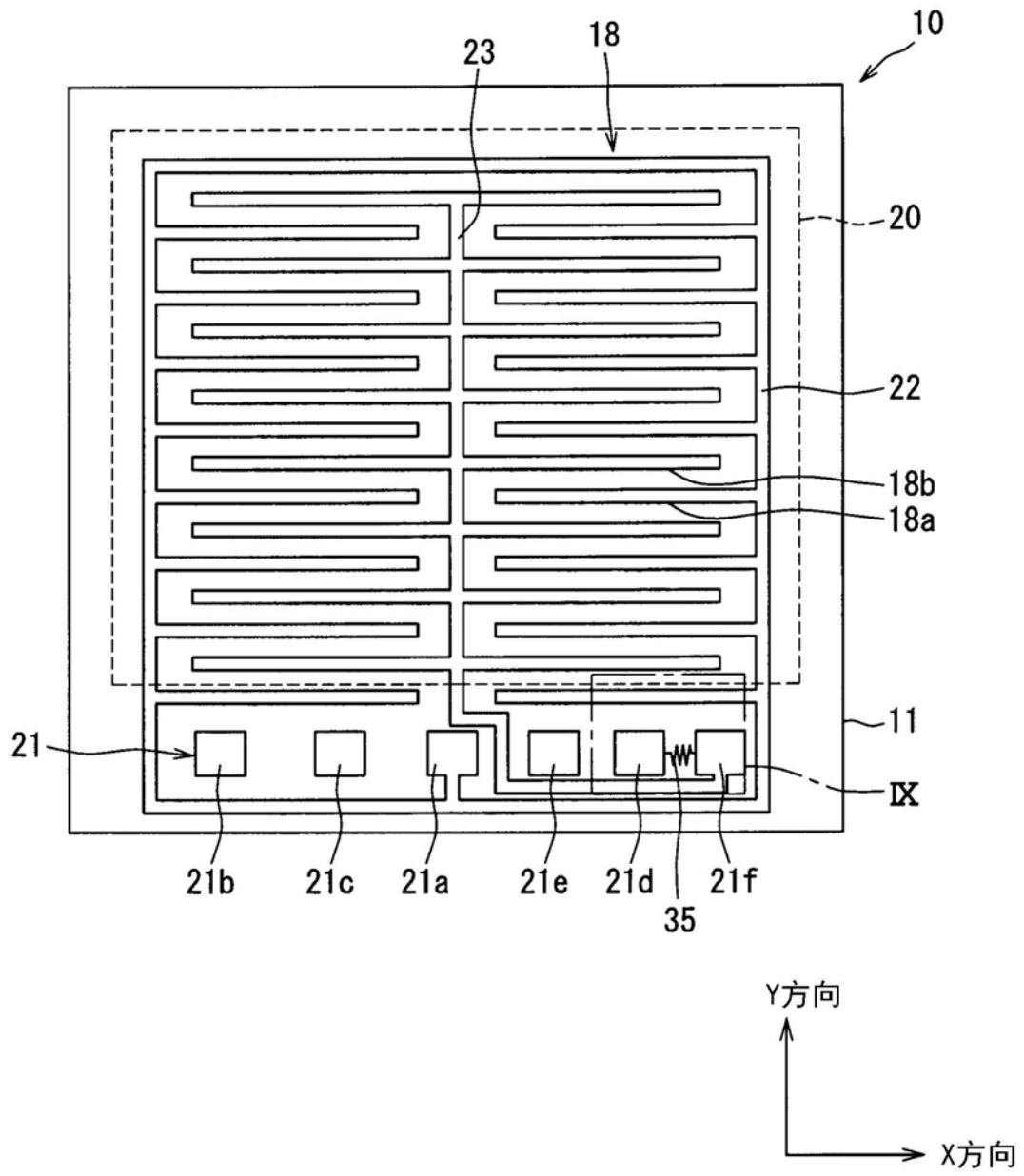


图8

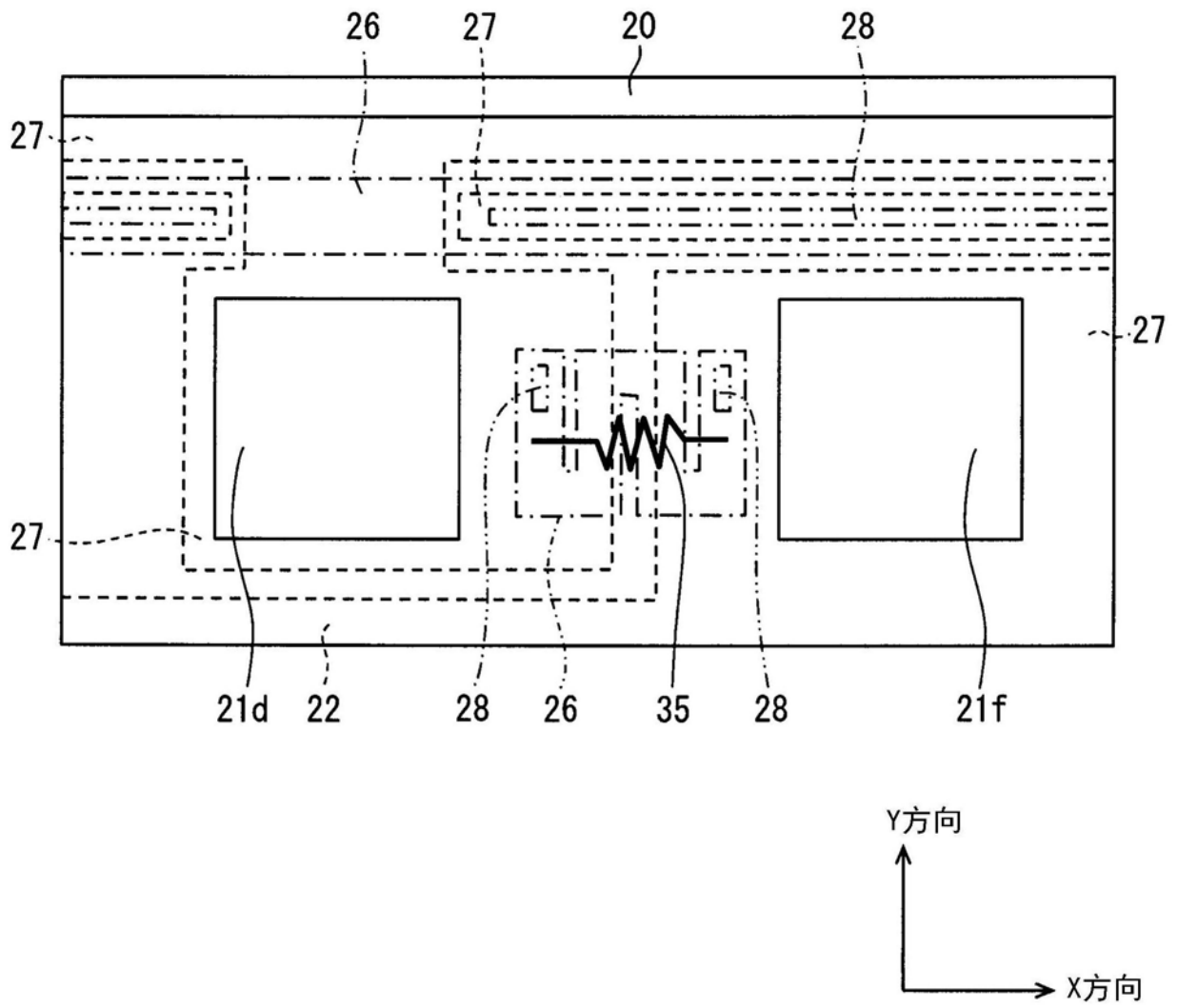


图9

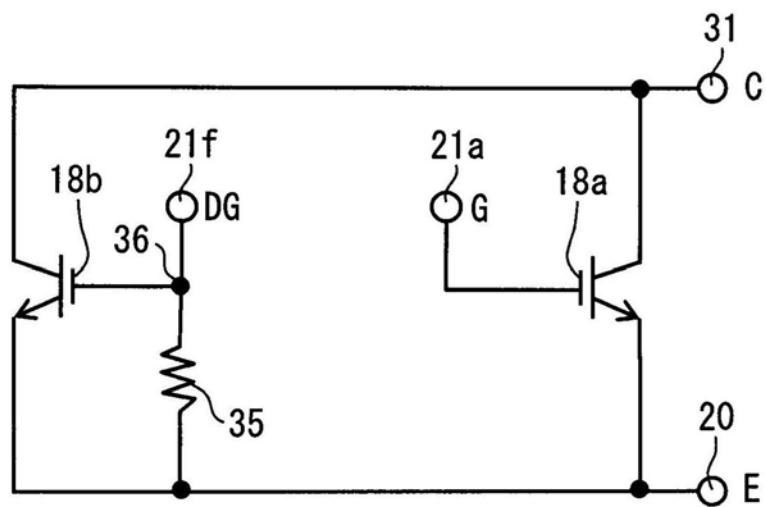


图10

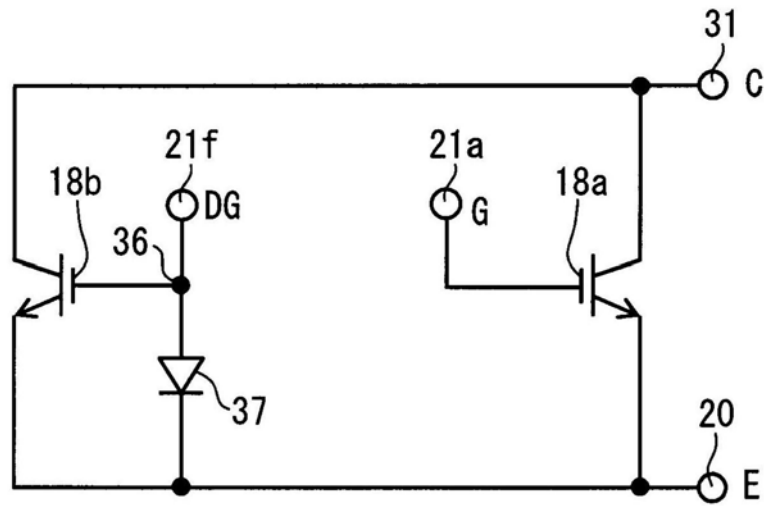


图11

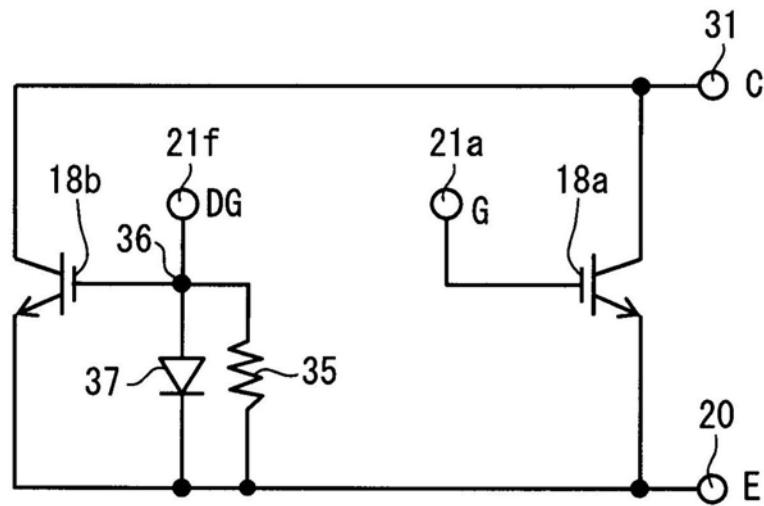


图12

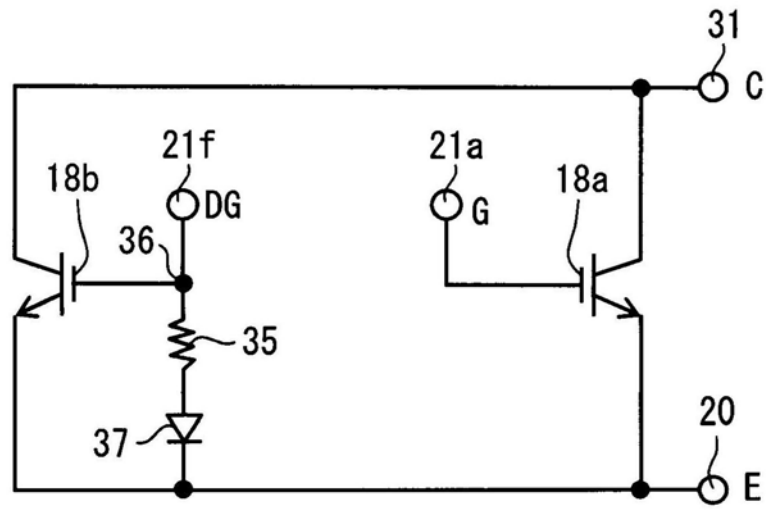


图13

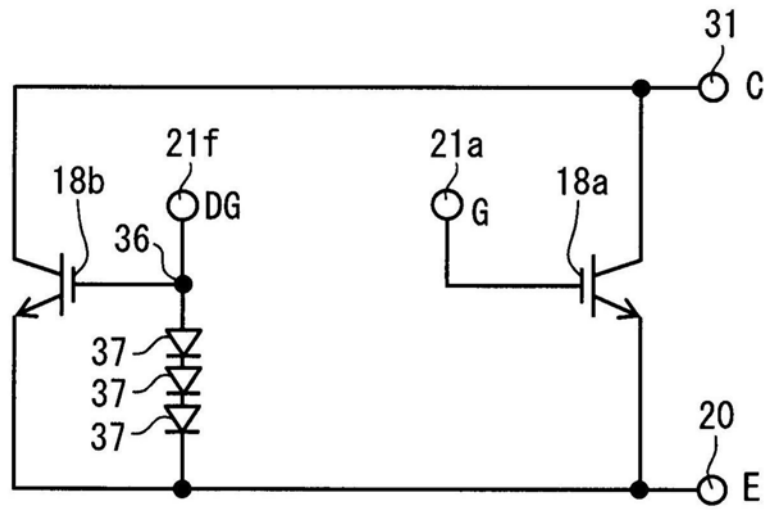


图14

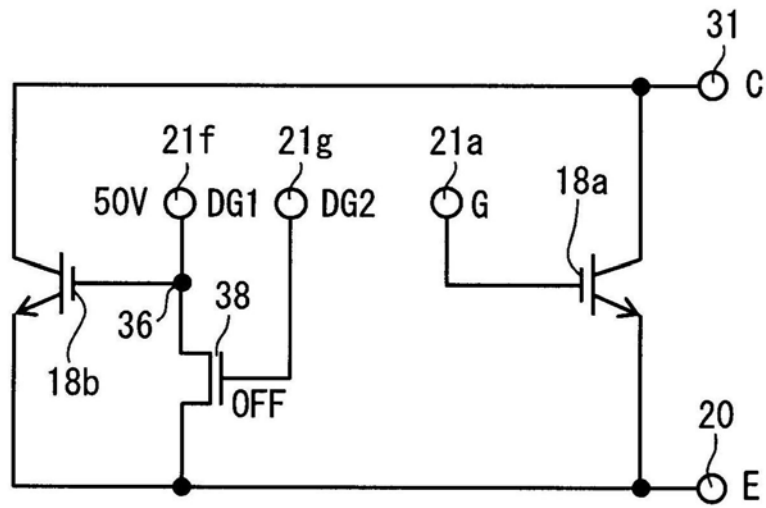


图15

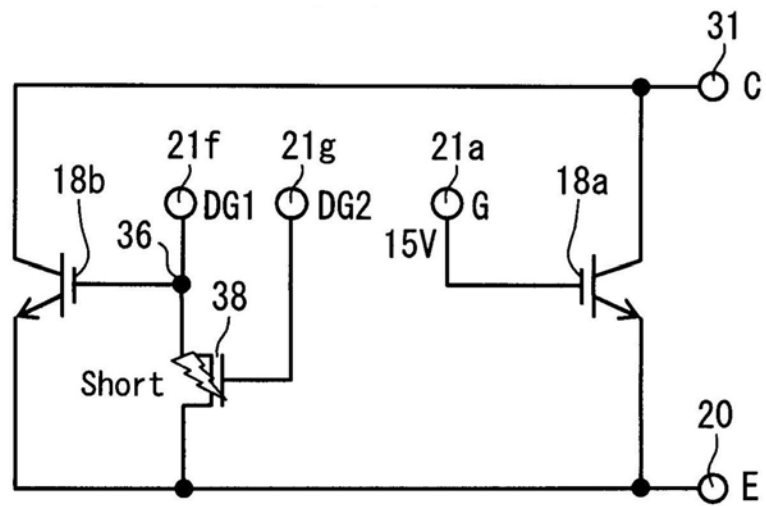


图16

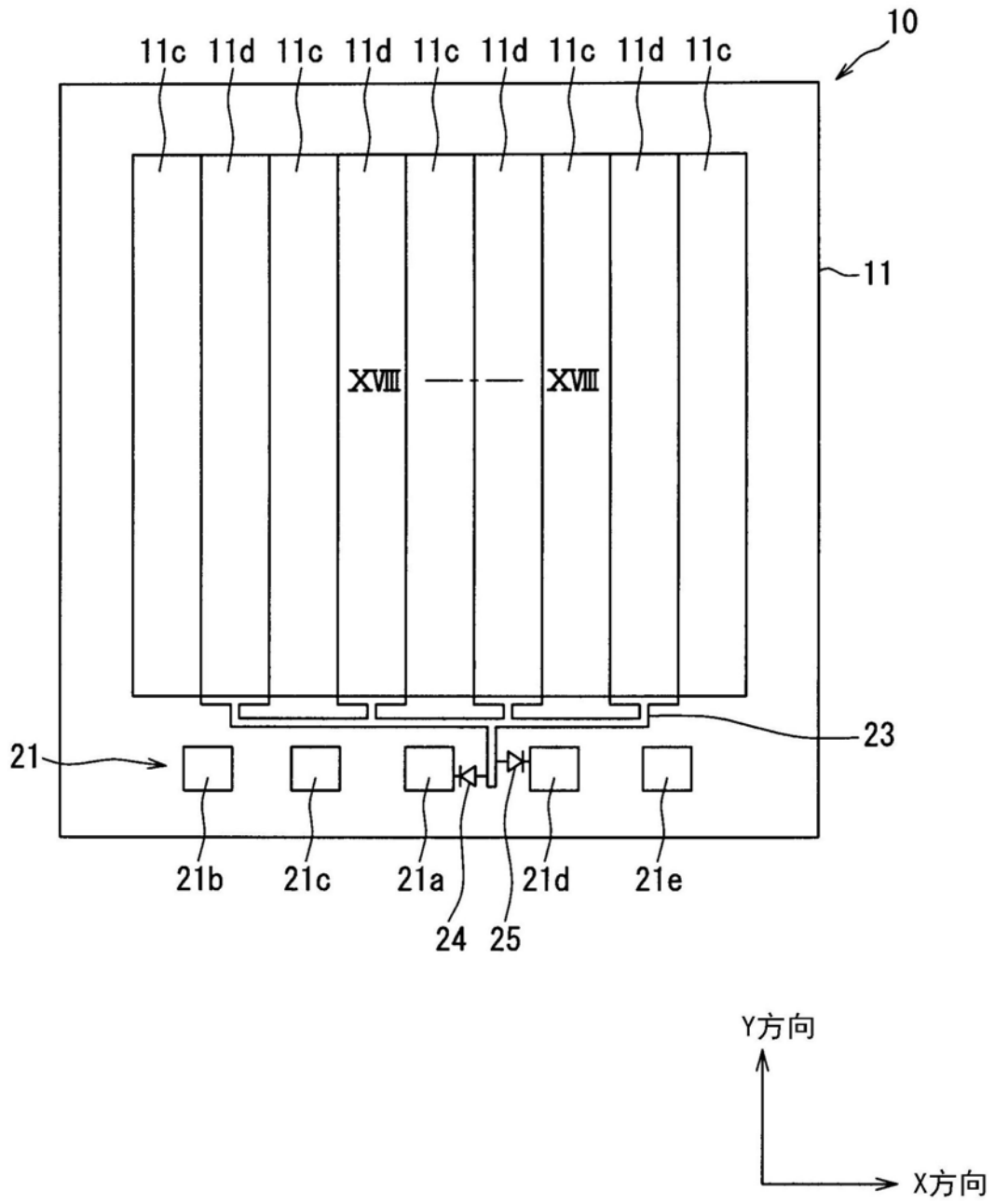


图17

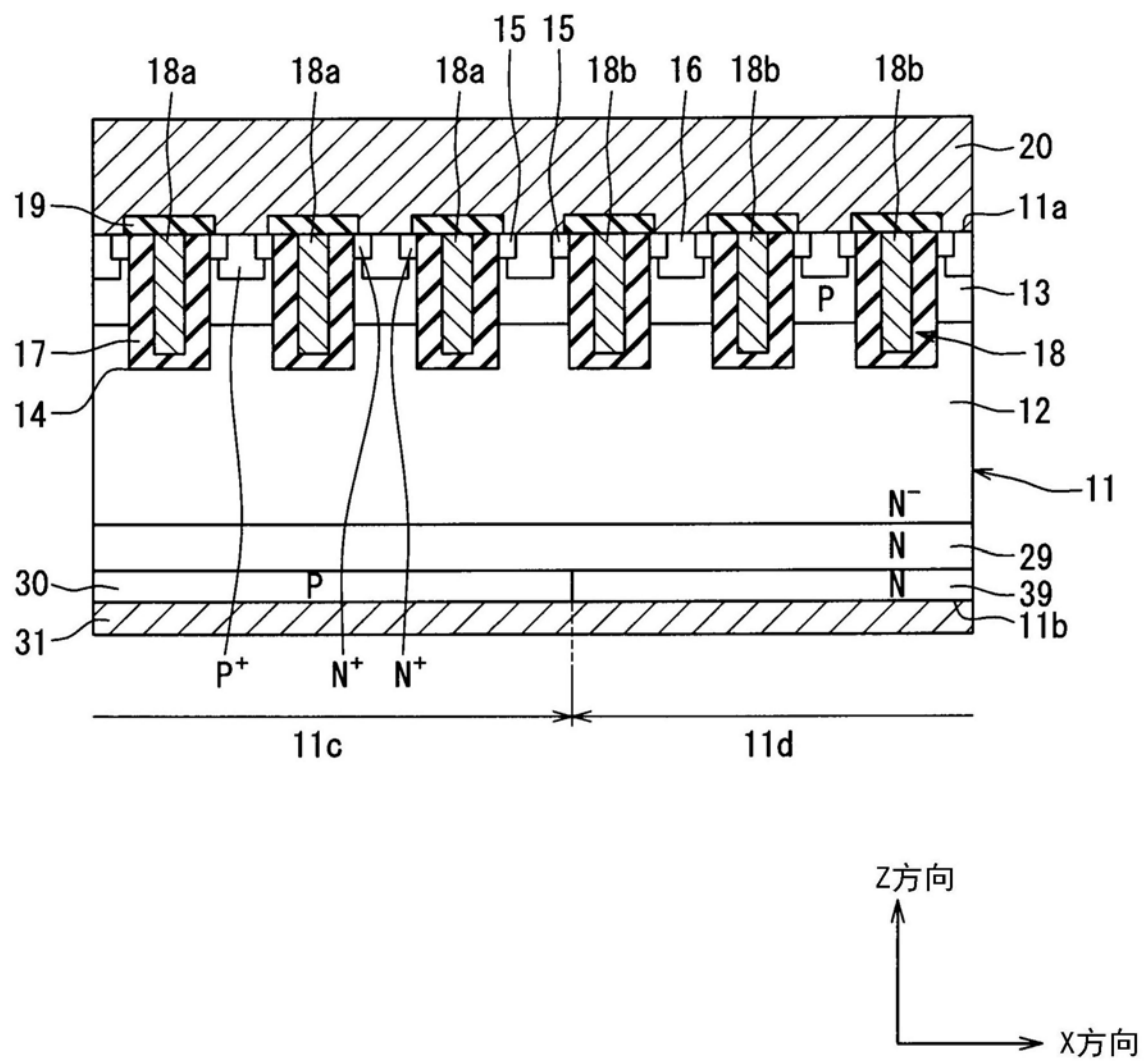


图18