

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200480002593.X

[51] Int. Cl.

H01L 29/10 (2006.01)

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

[45] 授权公告日 2009 年 7 月 29 日

[11] 授权公告号 CN 100521230C

[22] 申请日 2004. 1. 15

[21] 申请号 200480002593.X

[30] 优先权

[32] 2003. 1. 23 [33] US [31] 10/349,042

[86] 国际申请 PCT/US2004/000967 2004. 1. 15

[87] 国际公布 WO2004/068585 英 2004. 8. 12

[85] 进入国家阶段日期 2005. 7. 21

[73] 专利权人 先进微装置公司

地址 美国加利福尼亚州

[72] 发明人 S·达克什纳摩西 J·X·安

Z·克瑞沃卡皮奇 汪海宏 俞 斌

[56] 参考文献

US6475869B1 2002. 11. 5

CN1349249A 2002. 5. 15

CN1388589A 2003. 1. 1

审查员 夏瑞临

[74] 专利代理机构 北京戈程知识产权代理有限公司

代理人 程 伟

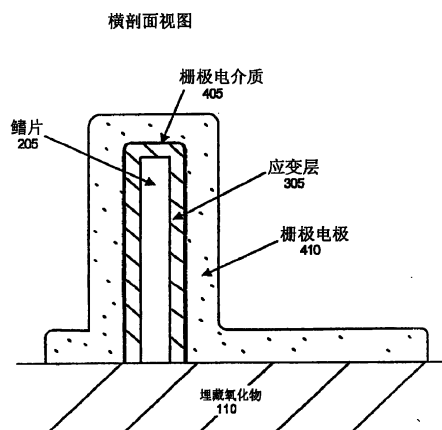
权利要求书 3 页 说明书 6 页 附图 8 页

[54] 发明名称

应变沟道鳍片场效应晶体管

[57] 摘要

一种半导体结构，包括鳍片(205)和形成于该鳍片上的层(305)。该鳍片(205)包括具有矩形横剖面 and 许多表面的第一结晶材料。该层(305)形成于该等表面上并包括第二结晶材料。该第一结晶材料较该第二结晶材料具有不同的晶格常数，以令该层(305)内产生张力应变。



1. 一种半导体装置，包括：

鳍片(205)，包括第一结晶体材料和多个表面，其中该鳍片(205)具有宽度从 10 纳米至 15 纳米，且其中该第一结晶体材料包括硅锗；以及

第一层(305)，形成于该多个表面的至少一部分上，该第一层(305)包括第二结晶体材料，其中该第二结晶体材料包含硅，且其中该第一结晶体材料具有与该第二结晶体材料不同的晶格常数，以于该第一层内产生张力应变。

2. 如权利要求 1 所述的半导体装置，其中该鳍片(205)具有矩形的横剖面，且其中该第一结晶体材料包括晶格常数大于该第二结晶体材料的晶格常数的结晶体材料。

3. 如权利要求 1 所述的半导体装置，其中该第一结晶体材料包括具有晶格常数大于硅的结晶体材料。

4. 如权利要求 3 所述的半导体装置，其中该第一结晶体材料包括 $\text{Si}_x\text{Ge}_{(1-x)}$ 形式的硅锗，其中 x 约等于 0.7。

5. 如权利要求 1 所述的半导体装置，还包括：

第二层(405)，形成于该第一层(305)的至少一部分上，该第二层(405)包括电介质；以及

栅极电极(410)，形成于该第二层(405)的至少一部分上，该栅极电极(410)包括多晶硅。

6. 一种晶体管，包括：

鳍片(205)，包括具有第一晶格常数的第一结晶体材料，该鳍片(205)还包括第一和第二端部及宽度，其中该第一结晶体材料包括 $\text{Si}_x\text{Ge}_{(1-x)}$ ，而其中 x 约等于 0.7；

源极(210)和漏极(215)区域,形成邻近于该鳍片(205)的该第一和第二端部,其中该鳍片(205)包括载流子用于从该源极(210)至漏极(215)流动的沟道;

形成于该鳍片(205)的至少一部分的第二晶体材料的第一层(305),该第二晶体材料具有第二晶格常数,其中该第一晶格常数大于该第二晶格常数,该第一层具有为该鳍部宽度的 $1/2$ 至 $1/3$ 的厚度 t ,且其中该第二晶体材料包括硅;

形成于该第一层(305)的至少一部分上的电介质层(405);以及

形成于该电介质层(405)的至少一部分上的栅极电极(410),其中该栅极电极(410)包括第三晶体材料且其中该第三晶体材料包括多晶硅,

其中该第一晶格常数要大于该第二晶格常数,以于该第一层内产生张力应变,且其中该张力应变增加该第一层中的载流子迁移率。

7. 一种形成半导体装置的方法,包括:

形成鳍片(205),该鳍片(205)包括第一晶体材料和多个表面,及宽度,其中该第一晶体材料包括硅锗;以及

于该多个表面的至少一部分上形成第一层(305),该第一层(305)包括第二晶体材料,其中该第二晶体材料包含硅,且其中该第一晶体材料的晶格常数不匹配于该第二晶体材料的晶格常数,以于该第一层内产生张力应变,且其中该第一层具有厚度为该鳍部宽度的 $1/2$ 至 $1/3$ 。

8. 如权利要求 7 所述的方法,还包括:

选择该第一晶体材料而使得该第一晶体材料的晶格常数大于该第二晶体材料的晶格常数。

9. 如权利要求 7 所述的方法,还包括:

选择该第一晶体材料而使得该第一晶体材料具有大于硅的晶格常数。

10.如权利要求 7 所述的方法，其中该第一结晶体材料包括 $\text{Si}_x\text{Ge}_{(1-x)}$ 形式的硅锗且 x 约等于 0.7，还包括：

于该第一层(305)上形成第二层(405)，该第二层(405)包括电介质；
以及

于该第二层(405)上形成栅极电极(410)，该栅极电极(410)包括多晶硅。

应变沟道鳍片场效应晶体管

技术领域

本发明大体上关于晶体管，而且尤其关于鳍片场效应晶体管(fin field effect transistor, FinFET)。

背景技术

缩小装置尺寸已经是驱使改进集成电路性能和减少集成电路成本的主要因素。由于相关于现有的栅极氧化物厚度和源极/漏极(S/D)界面深度的限制，要缩小现有的块状(bulk)金属氧化物半导体场效应晶体管(MOSFET)装置尺寸低于 0.1 微米(μm)的制造过程代即使不是不可能，那也是很困难的。因此，需要有新的装置结构和新的材料以改进 FET 的性能。

双栅极 MOSFET 表现为可选择用来成功地替代现用平面 MOSFET 的新装置。于双栅极 MOSFET 中，使用双栅极以控制沟道系有效地抑制了短沟道效应。FinFET 为最新的双栅极结构并且包括形成于垂直鳍片中的沟道。FinFET 于布线和制造上相似于现用的平面 MOSFET。FinFET 相较于其它的双栅极结构，也提供了沟道长度的范围、CMOS 兼容性和大封装密度。

发明内容

根据本发明，提供一种使用垂直形成的自行对准于鳍片沟道的应变沟道层(strained channel layer)的 FinFET 晶体管。应变沟道层可包括结晶体材料，该结晶体材料为晶格常数不匹配 FinFET 的鳍片的结晶体材料者。晶格常数不匹配(lattice constant mismatch)使得应变沟道层内产生张力应变(tensile strain)，该张力应变增加载流子(carrier)的迁移率。增加载流子迁移率会转而增加 FinFET 晶体管的驱动电流，因此而改进了 FinFET 的性能。

于下列的说明中将部分地提出本发明的额外的优点和其它的特

征，而提出说明的部分，对于熟悉此项技术的一般技术人员而言于检视下列的说明后，对本发明将变得很清楚，或者他们可从实作本发明中而习得本发明。如详细指出于所附权利要求书中，可实现和获得本发明的优点和特征。

依照本发明，藉由包含有鳍片的半导体结构，可部分地达成上述和其它的优点。该鳍片包括第一晶体材料和多个表面。该结构进一步包括形成于该多个表面的至少一部分的层，该层包括第二晶体材料。该第一晶体材料较的该第二晶体材料具有不同的晶格常数而引起该层内的张力应变。

依照本发明的另一态样，提供一种晶体管。该晶体管包括鳍片，该鳍片尚包括第一晶体材料以及第一和第二端部。该第一晶体材料具有第一晶格常数。该晶体管尚包括形成邻近于该鳍片的第一和第二端部的源极和漏极区域。该晶体管也包括形成于该鳍片的至少一部分的第二晶体材料的第一层。该第二晶体材料具有第二晶格常数，其中该第一晶格常数要大于该第二晶格常数。该晶体管额外地包括形成于该第一层的至少一部分的电介质层，和形成于该电介质层的至少一部分的栅极电极。

依照本发明的又一态样，提供一种形成半导体装置的方法。该方法包括形成鳍片，该鳍片包括第一晶体材料和多个表面。该方法进一步包括于该多个表面的至少一部分上形成第一层。该第一层包括第二晶体材料，其中该第一晶体材料的晶格常数与第二晶体材料不匹配，以于该第一层内产生张力应变。

由下列的详细说明，本发明的其它的优点和特征，对于熟悉此项技术的一般技术人员而言，将变得很容易了解。所示和说明的实施例，提供考量用来施行本发明的最佳模式的说明。本发明于各种不同的态样可作修饰，而全然不会偏离本发明的范围。因此，各附图将作为说明的性质，而不是要用来限制本发明。

附图说明

可参考下列所附附图，其中于各图中具有相同组件符号指示的各组件系表示相同的组件。

图 1 显示根据本发明可用来形成 FinFET 的鳍片的基板的范例层；

图 2A 显示根据本发明的范例鳍片；

图 2B 显示根据本发明的图 2A 的范例鳍片的横剖面图；

图 2C 和图 2D 显示根据本发明的形成邻接于第 2A 和图 2B 的鳍片的范例源极和漏极区域；

图 3A 显示根据本发明的形成于鳍片上的应变层的横剖面图；

图 3B 显示根据本发明的形成于鳍片和源极和漏极区域上的图 3A 的应变层的上视图；

图 4A 显示根据本发明的形成于鳍片上的栅极电介质和栅极电极的横剖面图；

图 4B 显示根据本发明的形成于鳍片上的图 4A 的栅极电介质和栅极电极的上视图；

图 5 显示根据本发明另一实施例的于第 2A 和图 2B 的鳍片下方的应变绝缘体的示意图；以及

图 6 显示根据本发明另一实施例的镶嵌源极/漏极再生长。

具体实施方式

本发明的下列详细说明将参照所附各附图。于不同附图中相同的组件符号可视为相同或相似的组件。而且，下列的详细说明并不限制本发明。反之，本发明的范围系由所附权利要求书所界定。

根据本发明，提供了一种增加沟道迁移率的 FinFET。根据本发明，垂直形成的应变沟道层系自行对准于 FinFET 的鳍片沟道。应变沟道层可包括与 FinFET 的鳍片的晶体材料晶格不匹配的晶体材料，而使得张力应变于应变沟道层内产生。

所引起的张力应变增加应变沟道层的载流子迁移率，因此，增加 FinFET 的驱动电流。

图 1 显示依照本发明的实施范例所形成的基板 100 的横剖面图。根据本发明，基板 100 可以是绝缘层上覆硅(silicon on insulator, SOI)结构，该结构例如包括形成于埋藏氧化物层 110 上的鳍片沟道层 105。埋藏氧化物层 110 可形成于硅层上(图中未显示)。鳍片沟道层 105 的厚度例如可以是大约 500 埃()至大约 2000 埃的厚度，且埋藏氧化物层

110 的厚度例如可以是大约 1000 埃至大约 3000 埃的厚度。

鳍片沟道层 105 可包括具有晶格常数大于选用于应变沟道层的晶体材料的晶格常数的晶体材料(相关于下列第 3A 和图 3B 的说明)。举例而言,若选择硅用于应变沟道层,则鳍片沟道层 105 可包括具有晶格常数大于硅的晶格常数的晶体材料。例如,鳍片沟道层 105 可包括 $\text{Si}_x\text{Ge}_{(1-x)}$, 而 x 约等于 0.7。可适当地选择使用其它的 x 值。熟悉此项技术者将了解到,可以使用除了 $\text{Si}_x\text{Ge}_{(1-x)}$ 以外的其它的晶体材料,而使得材料的晶格常数要大于选择用于应变沟道层的晶体材料的晶格常数。于一些实施例中,基板 100 可藉由晶圆结合磊晶 $\text{Si}_x\text{Ge}_{(1-x)}$ 至氧化物/硅基板晶圆而形成。然而,熟悉此项技术者将了解到,可以使用其它现用的技术来形成基板 100。

如第 2A 和图 2B 中所示,于形成基板 100 之后,可由鳍片沟道层 105 形成垂直鳍片 205。例如,可形成鳍片 205 具有 10 纳米(nm)至 15 纳米范围的宽度(w)。可使用任何现用的技术,包括但不限于现用的光学微影术和蚀刻制造过程,而由鳍片沟道层 105 形成鳍片 205。

接着形成鳍片 205 后,可形成源极 210 和漏极 215 邻接于个别的鳍片 205 的端部,如图 2C 和图 2D 中所示。例如,可藉由沉积晶体材料层于鳍片 205 上而形成源极 210 和漏极 215 区域。例如,可使用现用的光学微影术和蚀刻制造过程,而由晶体材料层形成源极 210 和漏极 215 区域。然而,熟悉此项技术者将了解到,可使用任何现用的其它技术来形成源极 210 和漏极 215 区域。源极 210 和漏极 215 区域可包括譬如像是 $\text{Si}_x\text{Ge}_{(1-x)}$, x 约等于 0.7 的晶体材料。

于形成源极 210 和漏极 215 区域后,可在鳍片 205、源极 210 和漏极 215 上形成应变层 305,如第 3A 和图 3B 中所示。可使用任何适当的现用制造过程而于鳍片 205、源极 210 和漏极 215 上形成应变层 305。于一些实施范例中,例如,可使用选择的磊晶沉积制造过程而于鳍片 205、源极 210 和漏极 215 上形成应变层 305。应变层 305 可包括晶体材料,该晶体材料的晶格常数要小于用于鳍片 205 的晶体材料的晶格常数。以晶格不匹配于鳍片 205 和应变层 305 之间,则会在应变层 305 上产生张力应变。例如,应变层 305 可形成具有厚度 t 大约为鳍片 205 的宽度 w 的 $1/2$ 至 $1/3$ 。例如,应变层 305 的厚度 t 可以是 5

纳米(nm)。应变层 305 可包括硅，但是不限于硅。熟悉此项技术者将了解到，可替代使用其它的具有晶格常数小于用于形成鳍片 205 的晶体材料者的晶体材料。

于形成应变层 305 后，可于鳍片 205 上未由源极 210 和漏极 215 所覆盖的部分形成栅极电介质 405 和栅极电极 410，如第 4A 和图 4B 中所示。栅极电介质 405 可包括薄层的电介质材料，譬如 SiO 、 SiO_2 、 SiN 、 SiON 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 $\text{HfSiO}_{(x)}$ 、 ZnS 、 MgF_2 、或其它的电介质材料。栅极电极 410 可形成于栅极电介质 405 上，并包括例如多晶硅层。可使用任何现用的制造过程，譬如例如现用的沉积和图案化制造过程，而将栅极电介质 405 和栅极电极 410 形成于鳍片 205 上。形成栅极电介质 405 和栅极电极 410 于鳍片 205 上，因而产生 FET 侧壁垂直沟道，该沟道包括于鳍片 205 的二个垂直表面的薄应变层 305。应变层 305 透过由应变层 305 与鳍片 205 间的晶格不匹配所引起的于应变层 305 中的张力应变，而提供改良的载流子迁移率。此载流子迁移率的增强能增加使用第 4A 和图 4B 中所示半导体结构所建立的 FinFET 晶体管的驱动电流。

范例的应变绝缘体

图 5 显示范例的应变绝缘体 505，根据本发明，应变绝缘体 505 可形成于 FinFET 的鳍片下，譬如第 2A 和图 2B 中所示的鳍片 205 的下方。鳍片 205 可形成于应变绝缘体 505 的绝缘材料上，而使得鳍片 205 和应变绝缘体 505 的晶体材料为晶格不匹配。鳍片 205 和应变绝缘体 505 间的晶格不匹配产生鳍片 205 中的张力应变，该鳍片 205 因而改良 FinFET 的载流子迁移率。熟悉此项技术者将了解到，可以使用任何适当的具有晶格常数不匹配鳍片 205 的晶体材料的绝缘材料作为应变绝缘体 505。

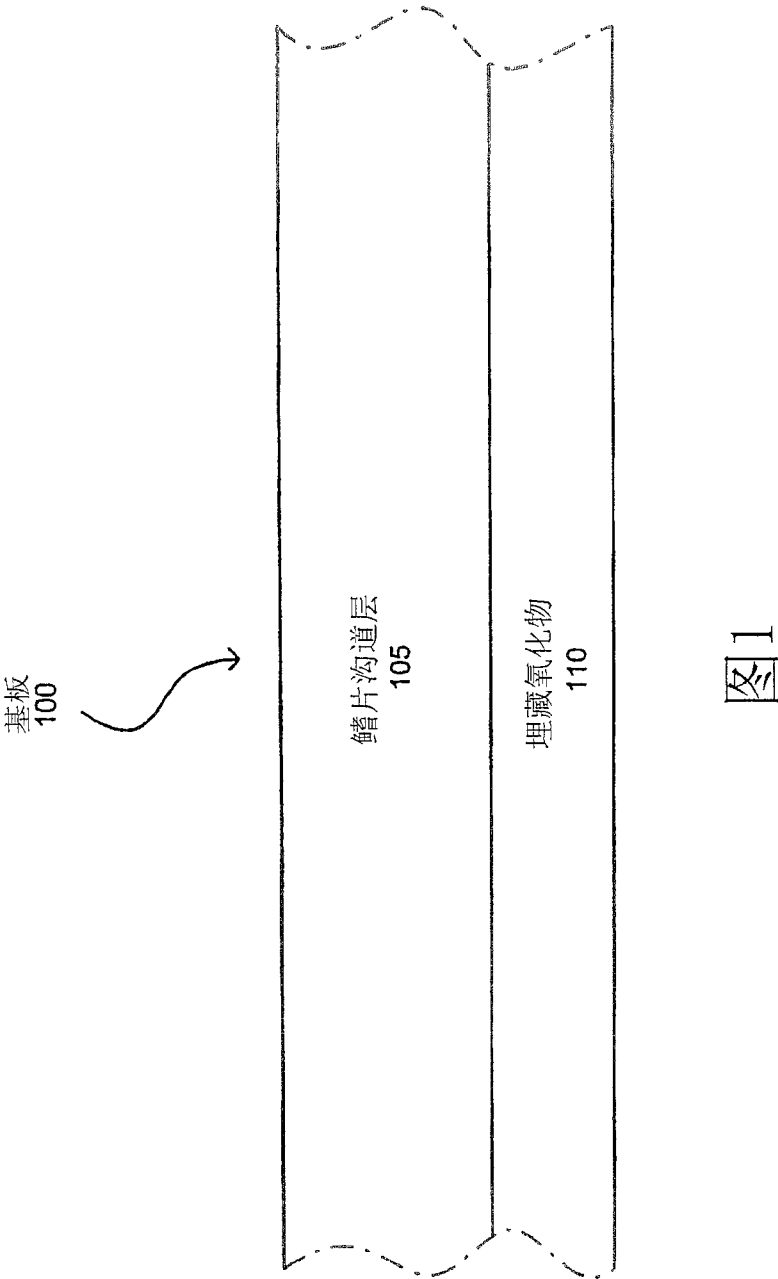
范例的源极/漏极再生长制造过程

图 6 显示根据本发明另一实施例的范例的镶嵌源极/漏极再生长。在基板上形成作用区 600 与鳍片 605 之后，可沉积四乙基正硅酸盐 (TEOS) 于鳍片 605 和作用区 600 上，然后予以研磨。然后可使用屏蔽(屏蔽 1)610 以打开栅极区域 615。可削薄鳍片 605，并且可藉由沉积和研磨多晶硅于栅极区域 615 而形成栅极 620。可使用第二屏蔽(屏蔽 2)625

以打开源极和漏极区域 630。可蚀刻于经打开的源极和漏极区域 630 内的作用区 600 的氮化物层，以曝露源极和漏极区域 630。由该曝露的区域，可选择地再生长硅以产生源极 635 和漏极 640。

于前述的说明中，为了提供对本发明的完全了解，而提出了许多特定的详细说明，譬如特定的材料、结构、化学物、制造过程、等等。然而，可不须凭借此处所特别提出的详细说明而施行本发明。于其它的例子中，为了不致模糊了本发明的目标，已知的制造过程结构未予详细说明。在施行本发明中，可使用现有的光学微影术和蚀刻技术，而因此于此处不再详细提出此等技术的细部说明。

于此说明书中仅显示和说明了本发明的较佳实施例和其各种变化的少数例子。应了解到本发明能够使用于各种其它的组合和环境中，并在此处所表现的发明概念范围内能够作修改。



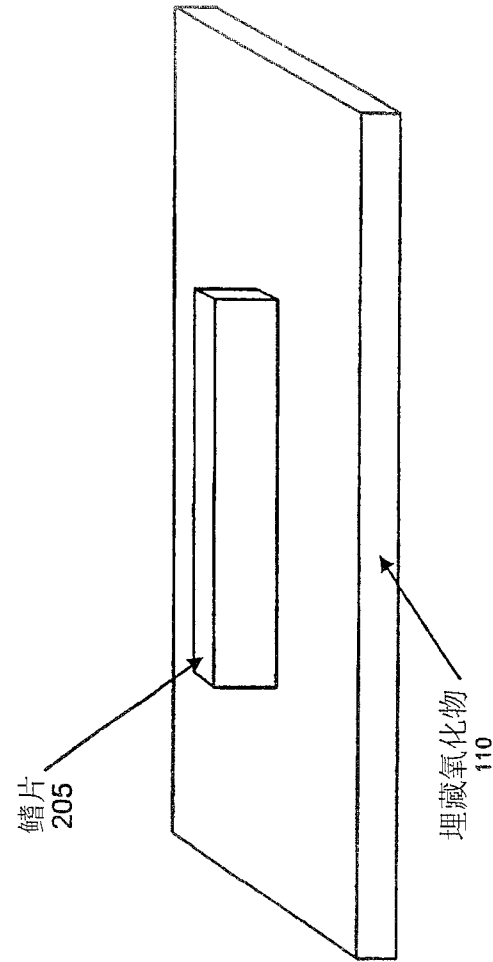


图2A

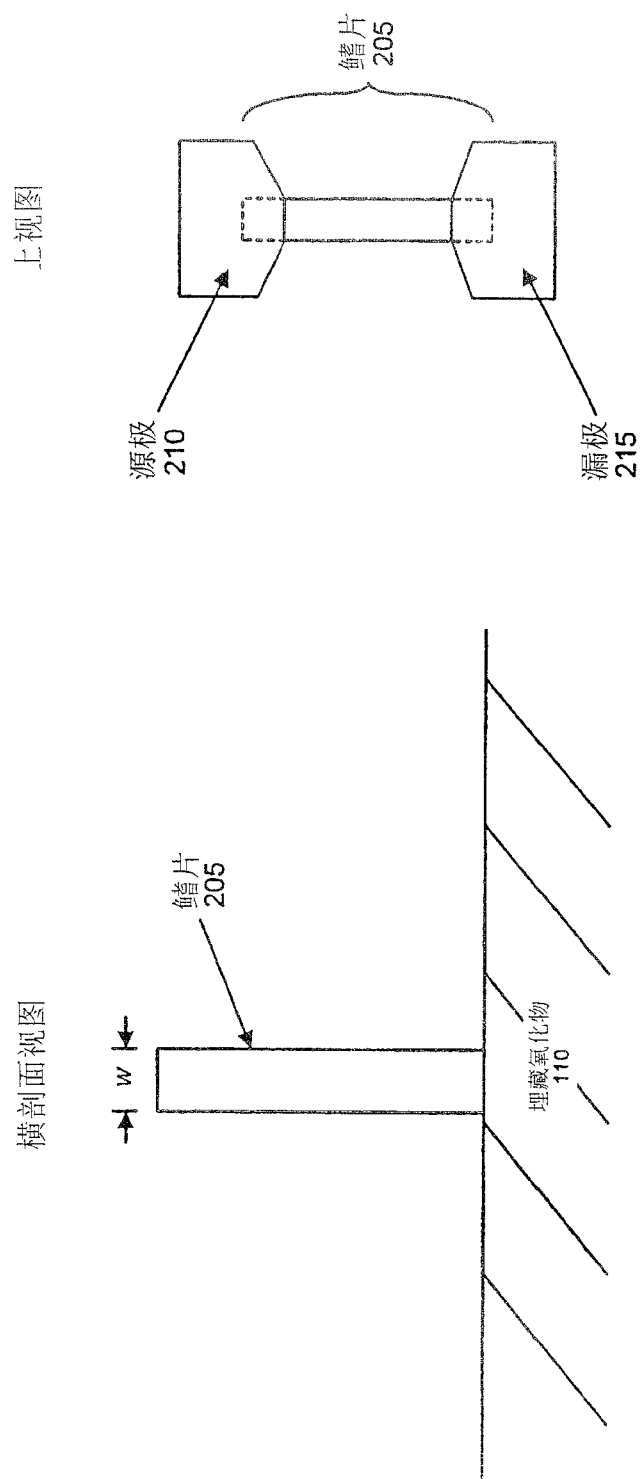


图2D

图2B

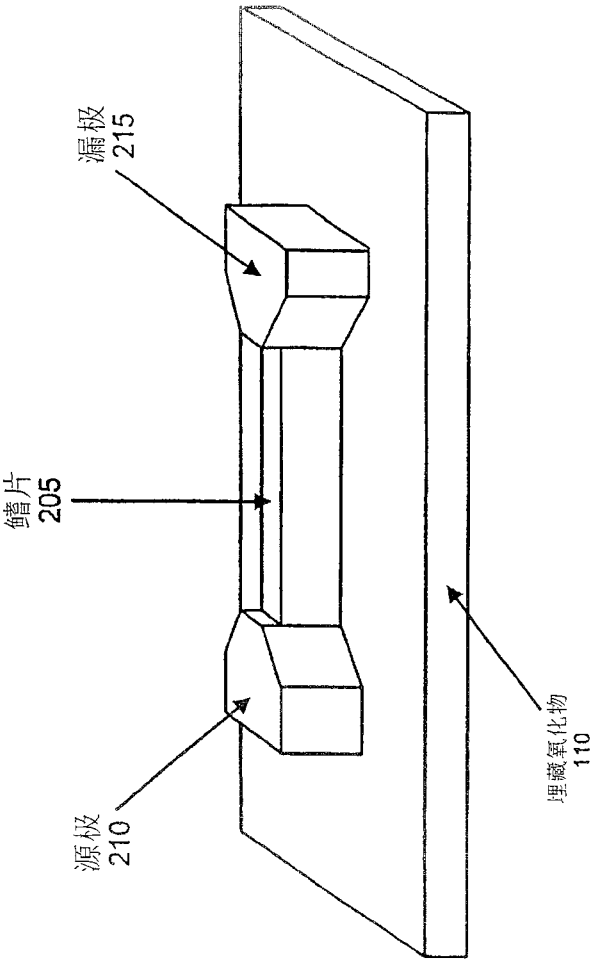
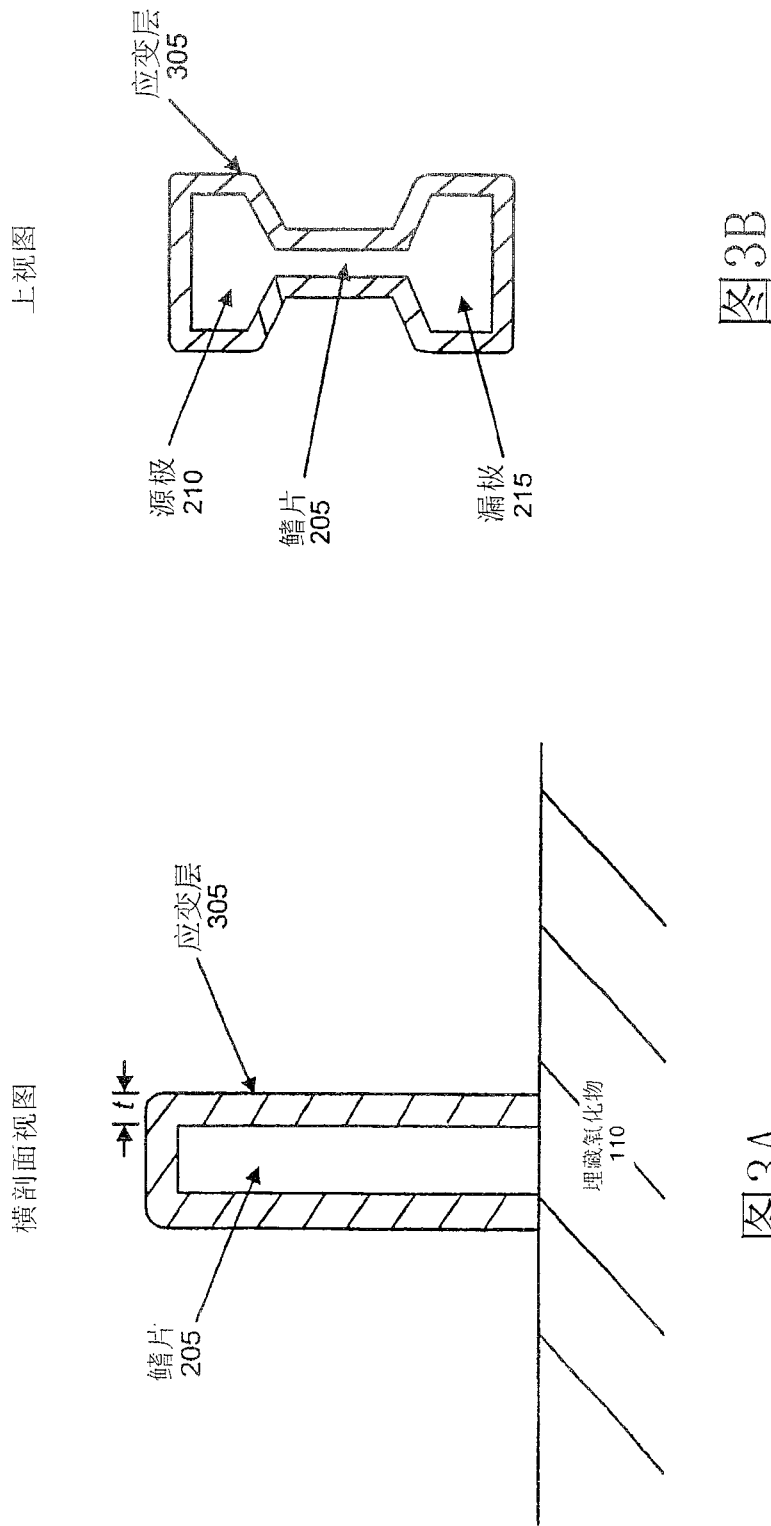


图2C



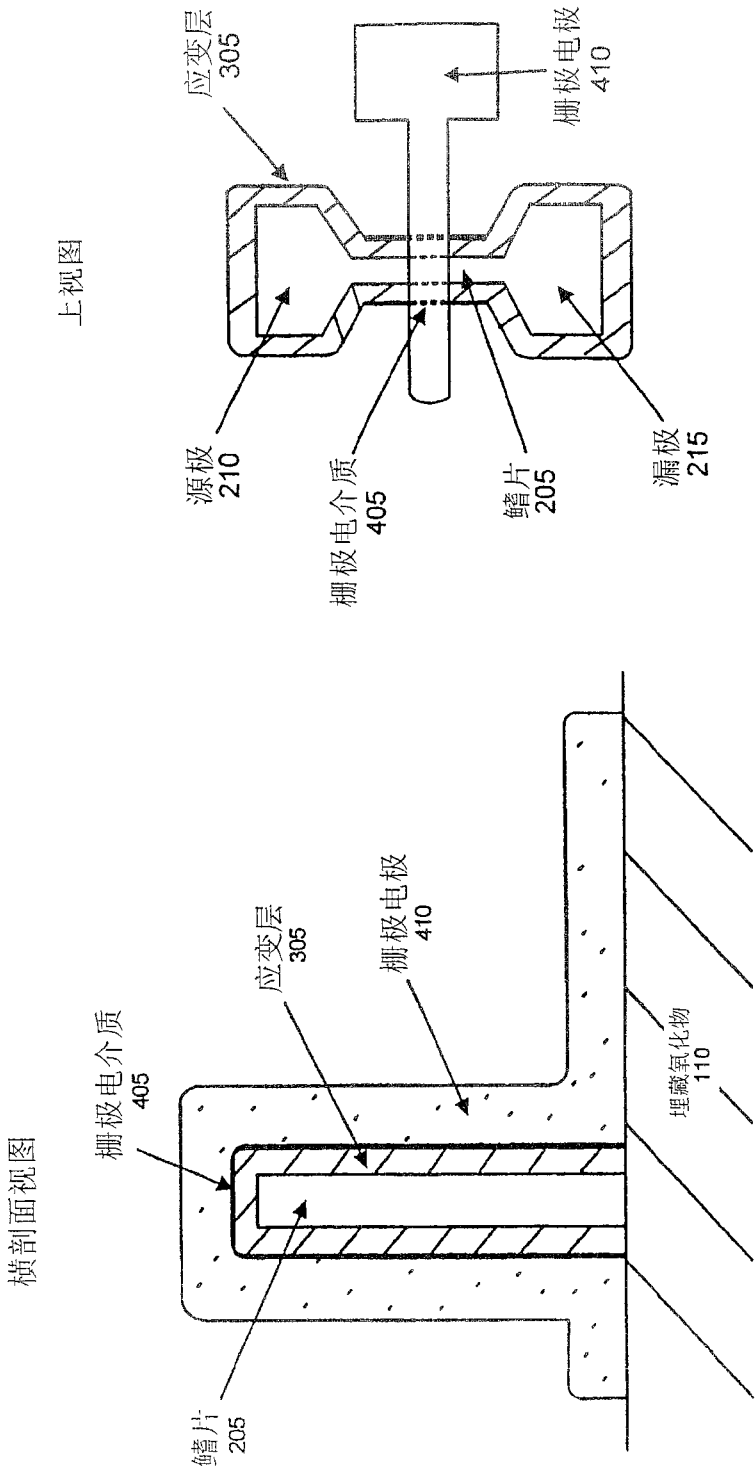


图4B

图4A

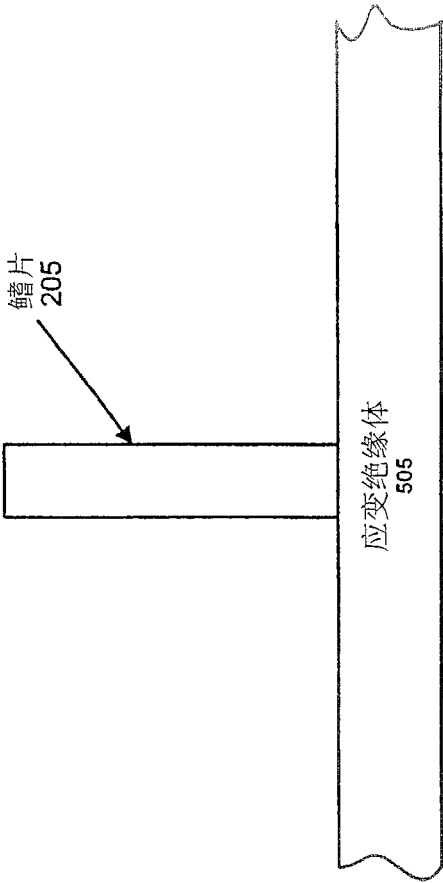


图5

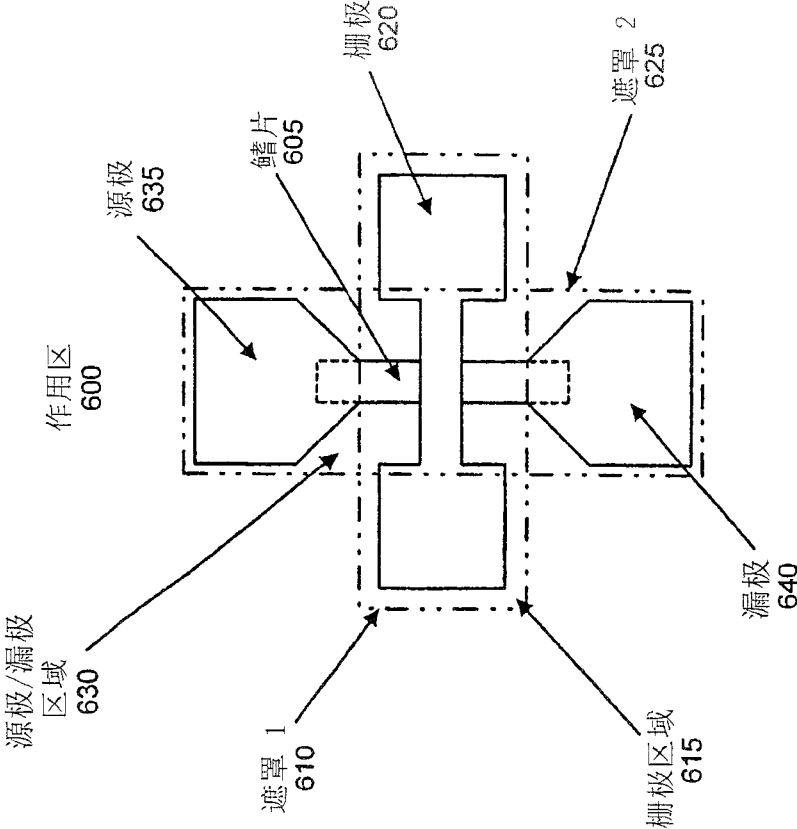


图6