

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5803614号
(P5803614)

(45) 発行日 平成27年11月4日(2015. 11. 4)

(24) 登録日 平成27年9月11日(2015. 9. 11)

(51) Int.Cl.

F I

G O 6 F 12/08 (2006.01)

G O 6 F 12/16 (2006.01)

G O 6 F 12/08 5 5 3 B

G O 6 F 12/08 5 7 9

G O 6 F 12/08 5 4 1 Z

G O 6 F 12/16 3 4 0 Q

請求項の数 12 (全 31 頁)

(21) 出願番号 特願2011-259796 (P2011-259796)
 (22) 出願日 平成23年11月29日(2011. 11. 29)
 (65) 公開番号 特開2013-114441 (P2013-114441A)
 (43) 公開日 平成25年6月10日(2013. 6. 10)
 審査請求日 平成26年10月6日(2014. 10. 6)

(73) 特許権者 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100086841
 弁理士 脇 篤夫
 (74) 代理人 100114122
 弁理士 鈴木 伸夫
 (74) 代理人 100167704
 弁理士 中川 裕人
 (72) 発明者 肥後 豊
 東京都港区港南1丁目7番1号 ソニー株
 式会社内
 (72) 発明者 細見 政功
 東京都港区港南1丁目7番1号 ソニー株
 式会社内

最終頁に続く

(54) 【発明の名称】 不揮発性キャッシュメモリ、不揮発性キャッシュメモリの処理方法、コンピュータシステム

(57) 【特許請求の範囲】

【請求項 1】

キャッシュデータの記憶に用いられる不揮発性メモリ部と、

上記不揮発性メモリ部に対してのキャッシュデータの読み出し及び書き込みを制御するとともに、電力供給遮断の準備として、待機状態データを生成して上記不揮発性メモリ部に記憶する待機準備処理を行い、また電力供給再開の際に、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行うキャッシュコントローラと、

を備えた不揮発性キャッシュメモリ。

【請求項 2】

上記キャッシュコントローラは、

上記待機準備処理として、少なくとも上記不揮発性メモリ部に記憶されているキャッシュデータについてのエラー訂正を可能とするエラー訂正データを含む上記待機状態データを生成して上記不揮発性メモリ部に記憶させ、

上記復帰処理として、上記待機状態データにおける上記エラー訂正データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータのエラー訂正処理を行う請求項 1 に記載の不揮発性キャッシュメモリ。

【請求項 3】

上記不揮発性メモリ部には、キャッシュデータ記憶に用いられるキャッシュラインが複数設定されており、

10

20

上記キャッシュコントローラは、

上記待機準備処理として、少なくとも一部のキャッシュラインについて、そのキャッシュラインに記憶されているキャッシュデータのエラー訂正可能なエラー訂正データを含む待機状態データを生成し、該待機状態データを他のキャッシュラインに記憶させ、かつ当該他のキャッシュラインを、待機状態データを記憶したキャッシュラインであることを示す状態とする処理を行う請求項 1 に記載の不揮発性キャッシュメモリ。

【請求項 4】

上記エラー訂正データを含む待機状態データには、さらに当該エラー訂正データでエラー訂正を行うキャッシュデータが記憶されたキャッシュラインのアドレス情報が含まれている請求項 3 に記載の不揮発性キャッシュメモリ。

10

【請求項 5】

上記キャッシュコントローラは、上記待機状態データを、その待機状態データが対象とするキャッシュデータを記憶したキャッシュラインに対応する領域に記憶させる請求項 3 に記載の不揮発性キャッシュメモリ。

【請求項 6】

上記不揮発性メモリ部には、キャッシュデータ記憶領域及び待機状態データ領域を有するキャッシュラインが複数設定されており、

上記キャッシュコントローラは、

上記待機準備処理として、少なくとも一部のキャッシュラインについて、そのキャッシュラインに記憶されているキャッシュデータのエラー訂正可能なエラー訂正データを含む待機状態データを生成し、該待機状態データを上記待機状態データ領域に記憶させ、かつ当該キャッシュラインを、待機状態データを記憶したキャッシュラインであることを示す状態とする処理を行う請求項 1 に記載の不揮発性キャッシュメモリ。

20

【請求項 7】

上記キャッシュコントローラは、

上記待機準備処理として、少なくとも上記不揮発性メモリ部に記憶されているキャッシュデータについてのエラー検出を可能とするエラー検出データを含む上記待機状態データを生成して上記不揮発性メモリ部に記憶させ、

上記復帰処理として、上記待機状態データにおける上記エラー検出データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータのエラー検出処理を行う請求項 1 に記載の不揮発性キャッシュメモリ。

30

【請求項 8】

上記キャッシュコントローラは、

上記エラー検出処理においてエラーを検出したキャッシュデータを無効化する処理を行う請求項 7 に記載の不揮発性キャッシュメモリ。

【請求項 9】

上記キャッシュコントローラは、電力供給を遮断する待機状態に移行することを要求する待機信号を受け取ることで、上記待機準備処理を行う請求項 1 に記載の不揮発性キャッシュメモリ。

【請求項 10】

40

キャッシュデータの記憶に用いられる不揮発性メモリ部を有する不揮発性キャッシュメモリの処理方法として、

電力供給遮断の準備として、待機状態データを生成して上記不揮発性メモリ部に記憶する待機準備処理を行い、

電力供給再開の際に、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行う不揮発性キャッシュメモリの処理方法。

【請求項 11】

プロセッサと、

不揮発性キャッシュメモリと、

電力制御回路と、

50

メインメモリとを有し、

上記電力制御回路は、上記プロセッサ及び上記不揮発性キャッシュメモリへの電力供給を制御し、

上記プロセッサは、上記不揮発性キャッシュメモリを介しての上記メインメモリに対するデータの書き込み又は読み出しを実行するとともに、上記電力制御回路が電力供給を遮断する際に、上記不揮発性キャッシュメモリに対して、待機状態に移行することを要求する待機信号を伝達し、また上記電力制御回路が電力供給を再開する際に、上記不揮発性キャッシュメモリに対して電力供給を再開して動作状態に移行することを要求する復帰信号を伝達し、

上記不揮発性キャッシュメモリは、

キャッシュデータの記憶に用いられる不揮発性メモリ部と、

上記不揮発性メモリ部に対してのキャッシュデータの読み出し及び書き込みを制御するとともに、上記待機信号を受け取ることで、待機状態データを生成して上記不揮発性メモリ部に記憶する待機準備処理を行い、また上記復帰信号を受け取ることで、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行うキャッシュコントローラと、を備えている、

コンピュータシステム。

【請求項 12】

上記不揮発性キャッシュメモリの上記キャッシュコントローラは、

上記待機準備処理を完了することに応じて、上記プロセッサに対して、待機状態への移行が完了したことを通知する待機完了信号を伝達し、

また上記復帰処理を完了することに応じて、上記プロセッサに対して、動作状態への移行が完了したことを通知する復帰完了信号を伝達する請求項 11 に記載のコンピュータシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、不揮発性キャッシュメモリ、不揮発性キャッシュメモリの処理方法、及び不揮発性キャッシュメモリを有するコンピュータシステムに関する。

【先行技術文献】

【特許文献】

【0002】

【特許文献 1】特開 2011 - 150653

【特許文献 2】国際公開第 2009 - 028298 号パンフレット

【背景技術】

【0003】

コンピュータシステムにおいては、プロセッサがデータや命令などの情報をメインメモリから取得したり、メインメモリ上の情報を更新したりする。この時、メインメモリのレイテンシ等のアクセス性能がプロセッサの処理性能よりも劣るために、この性能差が全体性能に対するボトルネックとなる。

【0004】

キャッシュメモリはこのボトルネックを解消するために、記憶階層に新たに設けられるメモリであり、プロセッサとメインメモリとの間に構成される。

通常は、キャッシュメモリには、メインメモリよりも高速な S R A M (static random access memory) が用いられる。

プロセッサが、メインメモリからデータを取得したり、メインメモリ上の情報を更新したりするとき、キャッシュメモリにも同じデータが格納される。次に同じデータを取得或いは更新する際には、メインメモリの代わりに高速なキャッシュメモリが入出力を行う。このようにすることで、メインメモリとプロセッサ間の性能差を隠蔽化し、高速なコンピュータシステムを構築する。

10

20

30

40

50

【 0 0 0 5 】

ところで、コンピュータシステムを携帯機器へ応用するために、省電力制御技術の必要性が高まっている。最新の高性能プロセッサで使用されている半導体回路技術では、消費電力に対するリーク電流の比率が大きくなっている。そのため、処理すべき命令がない場合等に、プロセッサへの電力供給を遮断し、リーク電流が発生しないようにする、パワーゲーティングと呼ばれる技術が用いられている。

その一方で、キャッシュメモリに用いられる S R A M は揮発性メモリであり、電力供給が遮断されると格納しているデータが失われてしまう。そこで、上記特許文献 1 には、キャッシュメモリの構成部分うち、データの入出力等を制御するコントローラのみの電力供給を遮断し、データを格納している S R A M セルアレイの電力供給は維持することによって、キャッシュメモリで消費される電力を低減する方法が開示されている。

10

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

しかしながら、S R A M セルアレイ自体にもリーク電流が存在するために、上記の方法では、十分な省電力化が実現できない。そこで、キャッシュメモリを不揮発化し、プロセッサへの電力供給が遮断された際には、キャッシュメモリ全体も電力供給を遮断する構成が考えられる。

このような不揮発性キャッシュメモリに用いられる候補として、強磁性体を用いた M R A M (Magnetic random access memory)、相変化材料を用いた P C R A M (Phase change random access memory)、可変抵抗特性を持った材料を用いた R e R A M (Resistive random access memory) などが注目されている。

20

さらに、通常動作時には S R A M として動作するが、電力供給が遮断される際に不揮発性素子にデータを格納することで不揮発化するメモリが上記特許文献 2 に開示されている。

【 0 0 0 7 】

不揮発性メモリにおいては、格納されたデータは電力供給が遮断された場合においても、原則として保持されたままであるが、保持される時間には限度がある。例えば、M R A M においては、熱擾乱によって書き込まれたデータが失われてしまうことがあり得る。このデータが失われるまでの時間をリテンション時間と呼ぶ。

30

熱擾乱に対する耐性を高めることでリテンション時間を大きくすることは可能である。しかしながら、リテンション時間は、データを書き込む際に消費される電力や書き込みに要する時間に依存するということを考慮しなければならない。即ち、リテンション時間を長くするためには、大きな電力で書き込みを行わなければならない、或いは、書き込みに長い時間を要する、ということが起きる。これは省電力化や高速化とは相反するものである。そのために、不揮発性キャッシュメモリを用いる際には、リテンション時間を慎重に設計する必要がある。

【 0 0 0 8 】

不揮発性キャッシュメモリが、電力供給がなされる動作状態にあるとき、データの入出力は頻繁に行われる。そのため、不揮発性キャッシュメモリへの入出力は高速に行わなければならない。また、省電力化のためには、少ないエネルギーで書き込みを行わなければならない。このような要求により、不揮発性キャッシュメモリのリテンション時間は短く設計することが望ましい。

40

一方で、不揮発性キャッシュメモリが、電力供給が遮断される待機状態にあるとき、不揮発性キャッシュメモリ内のデータは保持されなければならない。ところが、不揮発性キャッシュメモリのリテンション時間が短く設計されるために、待機期間中にデータが失われる虞がある。これは、メインメモリと不揮発性キャッシュメモリとの間でデータの一貫性が失われることを意味し、コンピュータシステムの信頼性を低下させる。

【 0 0 0 9 】

そこで本開示では、不揮発性キャッシュメモリであって、電力供給が遮断される待機状

50

態にあるときのデータ信頼性を向上させることを目的とする。

【課題を解決するための手段】

【0010】

本開示の不揮発性キャッシュメモリは、キャッシュデータの記憶に用いられる不揮発性メモリ部と、上記不揮発性メモリ部に対してのキャッシュデータの読み出し及び書き込みを制御するとともに、電力供給遮断の準備として、待機状態データを生成して上記不揮発性メモリ部に記憶する待機準備処理を行い、また電力供給再開の際に、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行うキャッシュコントローラとを備える。

【0011】

また本開示の不揮発性キャッシュメモリの処理方法は、キャッシュデータの記憶に用いられる不揮発性メモリ部を有する不揮発性キャッシュメモリの処理方法として、電力供給遮断の準備として、待機状態データを生成して上記不揮発性メモリ部に記憶する待機準備処理を行い、電力供給再開の際に、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行う処理方法である。

【0012】

本開示のコンピュータシステムは、プロセッサと、不揮発性キャッシュメモリと、電力制御回路と、メインメモリとを有する。そして上記電力制御回路は、上記プロセッサ及び上記不揮発性キャッシュメモリへの電力供給を制御する。

上記プロセッサは、上記不揮発性キャッシュメモリを介しての上記メインメモリに対するデータの書き込み又は読み出しを実行するとともに、上記電力制御回路が電力供給を遮断する際に、上記不揮発性キャッシュメモリに対して、待機状態に移行することを要求する待機信号を伝達し、また上記電力制御回路が電力供給を再開する際に、上記不揮発性キャッシュメモリに対して電力供給を再開して動作状態に移行することを要求する復帰信号を伝達する。

上記不揮発性キャッシュメモリは、キャッシュデータの記憶に用いられる不揮発性メモリ部と、上記不揮発性メモリ部に対してのキャッシュデータの読み出し及び書き込みを制御するとともに、上記待機信号を受け取ることで、待機状態データを生成して上記不揮発性メモリ部に記憶する待機準備処理を行い、また上記復帰信号を受け取ることで、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行うキャッシュコントローラとを備えている。

【0013】

即ち本開示では、電源遮断となる際には、不揮発性キャッシュメモリでは、待機状態データを生成して不揮発性メモリ部に記憶する待機準備処理を行う。例えばエラー訂正データ（ECC（Error Correcting Code）データ）やエラー検出データ（EDC（Error Detecting Code）データ）を有する待機状態データを記憶するようにしておく。

そして電源復帰の際には、復帰処理として、待機状態データを用いて不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行う。例えばエラー訂正処理やエラー検出処理を行う。これにより、電源遮断中のキャッシュデータについて、消失等があったとしても、電源復帰後に正確なキャッシュデータ状態でキャッシュ動作が実行できるようにする。

【発明の効果】

【0014】

本開示によれば、不揮発性キャッシュメモリの信頼性を向上させることができる。例えば不揮発性キャッシュメモリが待機中に情報を失ったとしても、その情報の検出や復元を行うことで、メインメモリとの一貫性を保つことができるためである。

【図面の簡単な説明】

【0015】

【図1】本開示の実施の形態のコンピュータシステムのブロック図である。

【図2】第1及び第2の実施の形態によるキャッシュラインの説明図である。

10

20

30

40

50

【図 3】第 1 の実施の形態の動作状態におけるキャッシュラインのデータ構造図の説明図である。

【図 4】第 1 の実施の形態の待機状態におけるキャッシュラインのデータ構造図の説明図である。

【図 5】第 1 の実施の形態の読み出し動作のフローチャートである。

【図 6】第 1 の実施の形態の書き込み動作のフローチャートである。

【図 7】第 1 の実施の形態の待機状態への移行プロセスを示すフローチャートである。

【図 8】第 1 の実施の形態の動作状態への復帰プロセスを示すフローチャートである。

【図 9】第 2 の実施の形態の待機状態におけるキャッシュラインのデータ構造図の説明図である。

10

【図 10】第 2 の実施の形態の待機状態への移行時におけるキャッシュラインの並び替えの説明図である。

【図 11】第 2 の実施の形態における待機状態への移行プロセスを示すフローチャートである。

【図 12】第 3 の実施の形態によるキャッシュラインの説明図である。

【図 13】第 3 の実施の形態の動作状態と待機状態におけるキャッシュラインのデータ構造図の説明図である。

【図 14】第 3 の実施の形態の待機状態への移行プロセスを示すフローチャートである。

【図 15】第 4 の実施の形態によるキャッシュラインの説明図である。

【図 16】第 4 の実施の形態の待機状態におけるキャッシュラインのデータ構造図の説明図である。

20

【図 17】第 4 の実施の形態における待機状態への移行プロセスを示すフローチャートである。

【図 18】第 4 の実施の形態における動作状態への復帰プロセスを示すフローチャートである。

【発明を実施するための形態】

【0016】

以下、本開示の実施の形態について図面を参照しながら詳細に説明する。ただし、本開示が以下の実施の形態に限定される訳ではない。なお、説明は以下の順序で行う。

< 1. 実施の形態の基本構成 >

30

< 2. 第 1 の実施の形態 >

< 3. 第 2 の実施の形態 >

< 4. 第 3 の実施の形態 >

< 5. 第 4 の実施の形態 >

< 6. 変形例 >

【0017】

< 1. 実施の形態の基本構成 >

図 1 に実施の形態のコンピュータシステムの構成を示す。

図 1 のコンピュータシステムは、プロセッサ 10 と、不揮発性キャッシュメモリ 11 と、メインメモリ 12 と、電力制御回路 13 と、内部バス 14 と、システムバス 15 とを備える。

40

【0018】

このコンピュータシステムにおいては、プロセッサ 10 は、メインメモリ 12 に対してのデータの書き込み / 読み出しを、不揮発性キャッシュメモリ 11 を介して行う。

不揮発性キャッシュメモリ 11 は、メインメモリ 12 よりも高速なデータの入出力が可能である。

電力制御回路 13 は、プロセッサ 10 及び不揮発性キャッシュメモリ 11 に対しての電源供給の実行 / 停止を制御する。

【0019】

50

まず不揮発性キャッシュメモリ 11 について説明する。

図示のように、不揮発性キャッシュメモリ 11 は、データの入出力を管理するキャッシュコントローラ 21 と、データを格納する不揮発性メモリ部 22 とを備える。

プロセッサ 10 によるデータの読み出し及び書き込み要求は、内部バス 14 を通してキャッシュコントローラ 21 に伝えられる。

キャッシュコントローラ 21 は、不揮発性メモリ部 22 上のデータをキャッシュラインと呼ばれる単位で管理する。

【0020】

図 2 は、完全連想マッピング (fully associative mapping) 方式の場合のキャッシュライン CL の構成例を示す図である。各々のキャッシュライン CL 1、CL 2・・・CL n は、タグ領域とキャッシュデータ領域とを有する。

10

図では、タグ領域に記憶されるタグ情報を「TG」、キャッシュデータ領域に記憶されるキャッシュデータを「CD」として示している。「TG」「CD」には各キャッシュライン CL についての番号を付加している。例えばキャッシュライン CL 1 のタグ情報は「TG 1」、キャッシュデータは「CD 1」、キャッシュライン CL 2 のタグ情報は「TG 2」、キャッシュデータは「CD 2」とする。

図示のように、キャッシュデータ領域には、メインメモリ 12 上のデータのコピーであるキャッシュデータ CD が格納される。

タグ領域には、タグ情報 TG が格納される。

【0021】

20

タグ情報 TG としては、キャッシュデータのメインメモリ 12 上での格納位置を示すアドレス情報 (アドレス上位ビット) と、キャッシュラインの状態を示す制御ビットが含まれている。

タグ領域に格納するアドレス情報は、すべてのアドレスビットを記憶する必要はない。例えば、キャッシュデータ領域が 32 バイト幅であれば、下位 5 ビットを除くアドレスの上位ビットがタグ領域に格納される。この意味で図 2 では「アドレス上位ビット」と表記している。

【0022】

タグ領域に格納する制御ビットは、ECC ビット Eb と、有効ビット Vb と、ダーティービット Db とで構成される。

30

ECC ビット Eb は、不揮発性キャッシュメモリ 11 が待機状態にあるときに用いるビットであり、詳しくは各実施の形態で述べる。

有効ビット Vb は、そのキャッシュラインが有効であることを示すビットである。有効ビット Vb が 1 であれば、キャッシュコントローラ 21 はそのキャッシュライン CL のキャッシュデータ領域からキャッシュデータを読み出すことができる。

ダーティービット Db は、キャッシュデータが読み出し後に変更されたことを示すビットである。ダーティービットが 1 であるキャッシュライン CL は、キャッシュデータがメインメモリ 12 上のデータと異なっている。そのために、そのキャッシュライン CL を解放する際には、メインメモリ 12 との一貫性を保つために、キャッシュデータをメインメモリ 12 の該当するアドレスに書き戻さなければならない。

40

【0023】

プロセッサ 10 によるデータの読み出し要求があった場合、キャッシュコントローラ 21 は、該当する有効なキャッシュデータが不揮発性メモリ部 22 上にあるかどうかを検索し、有効なキャッシュデータがある場合には、高速な不揮発性メモリ部 22 からデータを読み出して、内部バス 14 を通してプロセッサ 10 へ送る。

有効なキャッシュデータがない場合には、キャッシュコントローラ 21 は、システムバス 15 を通してメインメモリ 12 から該当するデータを読み出す。そして、内部バス 14 を通してプロセッサ 10 へ送るとともに、不揮発性メモリ部 22 内にそのアドレスと読み出したデータを格納する。

【0024】

50

図 1 に戻り説明を続ける。電力制御回路 13 は、プロセッサ 10 及び不揮発性キャッシュメモリ 11 に入力されるクロック信号及び電力を供給するかどうかを制御する。プロセッサ 10 は、処理すべき命令がない場合等に消費電力を抑えるために、クロック信号及び電力の供給を停止する待機状態に移行する省電力機能を備える。

【0025】

プロセッサ 10 が待機状態に移行する場合、プロセッサ 10 は電力制御回路 13 に対して待機状態への移行を示す信号 PW_OFF を出力する。

電力制御回路 13 は、信号 PW_OFF を受け取ると、プロセッサ 10 に入力される電力 PW_CORE とクロック信号 CLK_CORE 、及び不揮発性キャッシュメモリ 11 に入力される電力 PW_CACHE とクロック信号 CLK_CACHE をローレベルにし、クロック信号及び電力の供給を停止する。

10

【0026】

この際、プロセッサ 10 内部のレジスタ等に保持されている内部データは、電力の供給が停止されると消失してしまう。そのために、これらのデータは事前に不揮発性メモリに退避しておくか、レジスタ等自体を不揮発化することが望ましい。レジスタ等自体を不揮発化する方法については、特許文献 2 に開示されている。

【0027】

さて、不揮発性キャッシュメモリ 11 は、不揮発性メモリ部 22 にキャッシュデータを格納している。このため、原則的には電力の供給が停止されたとしても、キャッシュデータは保持されたままである。

20

ただし、待機時間の長さによっては、キャッシュデータが失われる可能性もあり得る。そこで、本実施の形態に係るコンピュータシステムにおいては、不揮発性キャッシュメモリ 11 は待機状態において、そのキャッシュラインを待機状態用のデータ構造に変換する。例えば待機状態用のキャッシュラインがエラー訂正符号を含むことによって、待機状態中にデータが失われた場合においても、元のデータを復元するか、或いは、失われたデータを無効化する。このようにして、メインメモリとの一貫性を保つことができる。

【0028】

プロセッサ 10 が待機状態に移行する場合に、プロセッサ 10 が電力制御回路 13 に対して待機状態への移行を示す信号 PW_OFF を出力するのに先立って、プロセッサ 10 は不揮発性キャッシュメモリ 11 に対して、待機状態に移行することを要求する信号 $STBY$ を出力する。

30

不揮発性キャッシュメモリ 11 のキャッシュコントローラ 21 は、 $STBY$ 信号を受け取ると、待機準備処理を行い、不揮発性メモリ部 22 内のキャッシュラインを待機状態用のデータ構造に変換する。詳しくは後述するが、この際に、 ECC データや EDC データを含む待機状態データを生成して上記不揮発性メモリ部上に記憶する処理が行われる。

【0029】

不揮発性キャッシュメモリ 11 のキャッシュコントローラ 21 は、待機状態用のデータ構造への変換が完了したら、その旨を通知する信号 $STBYR$ をプロセッサ 10 に対して出力する。

プロセッサ 10 は $STBYR$ 信号を受け取ることによって、不揮発性キャッシュメモリ 11 が待機状態に移行する準備が完了したと判断し、電力制御回路 13 に対して PW_OFF 信号を出力する。

40

その後の動作は先に述べた通りであり、プロセッサ 10 及び不揮発性キャッシュメモリ 11 は待機状態に移行する。

【0030】

待機状態を終了し、動作状態に復帰するときは、電力制御回路 13 に外部から入力される信号 INT を用いることができる。

INT 信号が入力されると、電力制御回路 13 は、プロセッサ 10 に入力される電力 PW_CORE とクロック信号 CLK_CORE 、及び不揮発性キャッシュメモリ 11 に入力される電力 PW_CACHE とクロック信号 CLK_CACHE をアクティブにし、電

50

力及びクロック信号の供給を再開する。

【 0 0 3 1 】

プロセッサ 1 0 は、電力及びクロック信号の供給が再開されたことを感知し、不揮発性キャッシュメモリ 1 1 に対して通常動作への復帰を要求する信号 R E S を出力する。

不揮発性キャッシュメモリ 1 1 のキャッシュコントローラ 2 1 は、R E S 信号を受け取ると、不揮発性メモリ部 2 2 内のキャッシュラインを動作状態用のデータ構造に再変換する。

キャッシュコントローラ 2 1 は、動作状態用のデータ構造への変換が完了したら、その旨を通知する信号 R E S R をプロセッサ 1 0 に対して出力する。

プロセッサ 1 0 は R E S R 信号を受け取ること、不揮発性キャッシュメモリ 1 1 が動作状態に移行する準備が完了したと判断し、通常の動作を再開する。

【 0 0 3 2 】

なお、不揮発性キャッシュメモリ 1 1 は R E S 信号を受け取らずに、クロック信号と電力の供給再開を検出して、不揮発性メモリ部 2 2 内のキャッシュラインを動作状態用のデータ構造に再変換してもよい。

【 0 0 3 3 】

以上に述べたように、不揮発性メモリ部 2 2 内のキャッシュラインは、動作状態と待機状態において異なったデータ構造を持つ。

即ち、不揮発性キャッシュメモリ 1 1 では、電力供給遮断の準備として、E C C データ、E D C データ等を含む待機状態データを生成して不揮発性メモリ部 2 2 に記憶する待機準備処理を行う。これにより、電源遮断後の待機中は、不揮発性メモリ部 2 2 は、待機状態データを含めたデータ構造となっている。

また電力供給再開の際には、記憶されている待機状態データを用いて不揮発性メモリ部 2 2 に記憶されたキャッシュデータの復帰処理を行う。後述するが、例えばエラー訂正処理やエラー検出処理、さらには他の必要な処理が行われる。

【 0 0 3 4 】

このようにすることで、例えば待機中に情報を失ったとしても、その情報の検出や復元を行うことで、メインメモリ 1 2 との一貫性を保つことができるようにする。つまり少なくとも有効とされているキャッシュデータは、メインメモリ 1 2 のデータと一致している状態となっているようにする。

【 0 0 3 5 】

即ち以下説明する第 1 ~ 第 4 の実施の形態は、キャッシュデータの記憶に用いられる不揮発性メモリ部 2 2 と、不揮発性メモリ部 2 2 に対してのキャッシュデータの読み出し及び書き込みを制御するとともに、電力供給遮断の準備として、待機状態データを生成して不揮発性メモリ部 2 2 に記憶する待機準備処理を行い、また電力供給再開の際に、待機状態データを用いて不揮発性メモリ部 2 2 に記憶されたキャッシュデータの復帰処理を行うキャッシュコントローラ 2 1 を備えている。

【 0 0 3 6 】

そして第 1 ~ 第 3 の実施の形態では、キャッシュコントローラ 2 1 は、待機準備処理として、少なくとも不揮発性メモリ部 2 2 上に記憶されているキャッシュデータについてのエラー訂正を可能とするエラー訂正データ (E C C データ) を含む待機状態データを生成して不揮発性メモリ部 2 2 上に記憶させ、復帰処理として、待機状態データにおけるエラー訂正データを用いて不揮発性メモリ部 2 2 に記憶されたキャッシュデータのエラー訂正処理を行うものである。

【 0 0 3 7 】

また第 4 の実施の形態では、キャッシュコントローラ 2 1 は、待機準備処理として、少なくとも不揮発性メモリ部 2 2 上に記憶されているキャッシュデータについてのエラー検出を可能とするエラー検出データ (E D C データ) を含む待機状態データを生成して不揮発性メモリ部 2 2 上に記憶させ、復帰処理として、待機状態データにおけるエラー検出データを用いて不揮発性メモリ部 2 2 に記憶されたキャッシュデータのエラー検出処理を行

10

20

30

40

50

うものである。

【 0 0 3 8 】

< 2 . 第 1 の実施の形態 >

続いて第 1 の実施の形態を説明する。

第 1 の実施の形態において、キャッシュライン C L は、上記の図 2 で示した構成とされる。そして、動作状態（通電中の通常の状態）と待機状態（電源遮断中の状態）とにおいて、キャッシュラインのデータ構造は図 3、図 4 に示した構成とされる。

【 0 0 3 9 】

図 3 は動作状態のキャッシュライン C L を示している。

10

この場合、すべてのキャッシュライン C L（C L 1 ~ C L m）がキャッシュラインモードとなる。

キャッシュラインモードでは、制御ビットの E C C ビット E b が「 0 」に設定され、当該キャッシュラインがキャッシュラインモードであることを示す。

有効ビット V b とダーティービット D b は、当該キャッシュラインの状態に応じて設定される。図の「 X 」は「 1 」又は「 0 」の意味である。

【 0 0 4 0 】

アドレス上位ビットには、キャッシュデータ C D の参照元であるメインメモリ 1 2 のアドレス（メインメモリアドレス）の必要な上位ビットが格納され、キャッシュデータ C D には、そのメインメモリアドレスに対応したデータが格納される。

20

【 0 0 4 1 】

次に、動作状態から待機状態に移行する際には、待機準備処理が行われることで、キャッシュライン C L 1 ~ C L m は、キャッシュラインモードにあるキャッシュラインと、E C C モードにあるキャッシュラインとに分割される。

E C C モードとは、待機状態データを記憶したキャッシュラインとなっている状態である。

【 0 0 4 2 】

待機状態においてキャッシュラインモードにあるキャッシュライン（例えばキャッシュライン C L 1 , C L 2 . . . ）は、動作状態のキャッシュライン C L と同じデータ構造である。

30

【 0 0 4 3 】

E C C モードにあるキャッシュライン（例えばキャッシュライン C L x ）は、E C C ビット E b が「 1 」に設定され、当該キャッシュラインが E C C モードであること（つまり待機状態データである E C C データを記憶したキャッシュラインであること）を示す。

さらに、制御ビットの残りの有効ビット V b とダーティービット D b は「 0 」に設定される。

そして、アドレス上位ビットを格納する領域とキャッシュデータ領域は併せて新たに E C C 領域とされる。E C C 領域はキャッシュアドレス C A を格納するキャッシュアドレス領域と E C C データ E C を格納する E C C データ領域とで構成される。

【 0 0 4 4 】

40

このように、待機状態において 2 つのモードを利用したデータの格納方法について、以下に詳細に述べる。

前述のように、不揮発性キャッシュメモリにおいては、待機期間中に格納していたデータが失われる虞がある。そこで、本実施の形態の不揮発性キャッシュメモリ 1 1 においては、エラー訂正符号（E C C）を用いて失われたデータを検出し、必要であればエラーを訂正する。

【 0 0 4 5 】

待機状態においてキャッシュラインモードにあるキャッシュライン C L の中で、ダーティービット D b、アドレス上位ビット、キャッシュデータ C D を E C C 対象データと呼ぶ。そして、E C C 対象データをエラー訂正符号化して E C C データを得る。

50

ここで、E C C対象データとE C Cデータを併せたものがエラー訂正符号であり、生成されたエラー訂正符号のうち、E C C対象データ以外の部分（E C Cパリティ）をE C Cデータとする。

【0046】

E C Cデータは、E C CモードにあるキャッシュラインC LのE C Cデータ領域に格納される。

その際、E C CデータがどのキャッシュラインC Lのものであるかを知るために、キャッシュアドレス領域にキャッシュラインのアドレス（キャッシュアドレスC A）が格納される。

【0047】

図4に示す例の場合、キャッシュラインC L 1のE C C対象データに対してのE C CデータE C 1、及びキャッシュラインC L 1を示すキャッシュアドレスC A 1は、キャッシュラインC L 1とは別のキャッシュラインC L xに格納される。

またキャッシュラインC L 2のE C C対象データに対してのE C CデータE C 2、及びキャッシュラインC L 2を示すキャッシュアドレスC A 2も、キャッシュラインC L xに格納される。

この場合、キャッシュアドレスC AとE C CデータE Cの合計ビット数は、E C C領域のビット数よりも小さいものとしている。

そのために、ひとつのE C C領域には複数のキャッシュアドレスC AとE C CデータE Cのペアを格納することができる。

図4ではその一例として2つのペアを格納する場合が図示されているものである。しかし、これに限定されることなく、1つのペアや3つ以上のペアを格納してもよい。

【0048】

次にキャッシュラインモードとE C Cモードの割り当て方法について述べる。

キャッシュラインモードは常に、有効ビットが1である有効なキャッシュラインC Lが対象となる。これは有効ビットが0、即ち無効なキャッシュラインを待機中に保持する必要がないためである。

【0049】

E C Cモードは、基本的には、有効ビットが0である無効なキャッシュラインC Lに割り当てられる。

但し、E C Cモードに割り当てべきキャッシュラインC Lの数が、無効なキャッシュラインC Lの数よりも大きい場合は、全ての有効なキャッシュラインC Lに対応するE C CデータE Cを格納する領域が不足することになる。この場合は、有効なキャッシュラインC Lを必要なだけ選択して、E C Cモードに割り当てる。この場合、E C Cモードに割り当てる有効なキャッシュラインC Lについては、その有効ビットV bを「0」にしてそのキャッシュラインC Lを無効化する。

有効なキャッシュラインのうちどのキャッシュラインを選択するかは、通常のキャッシュメモリで用いられるさまざまなライン入れ替え方式を用いることができる。

例えば、ラウンドロビン方式、L R U（least recently used）方式、ランダム方式等が挙げられる。

以上のような選択によって、キャッシュラインモードのキャッシュラインC LのE C CビットE bは「0」、有効ビットV bは「1」となり、E C CモードのキャッシュラインC LのE C CビットE bは「1」、有効ビットV bは「0」となる。

【0050】

ここで、待機中のエラーはE C Cビット、有効ビットにも起こり得ることに注意する。待機中にキャッシュラインモードのキャッシュラインC LのE C CビットE bが「1」に変化したとすると、E C CビットE bと有効ビットV bがともに「1」となる。

このようなキャッシュラインC LはキャッシュラインモードでもE C Cモードでもないために無効とされる。

同様に、キャッシュラインモードのキャッシュラインC Lの有効ビットV bが「0」に

10

20

30

40

50

なった場合、ECCモードのキャッシュラインCLのECCビットEbが「0」になった場合、及びECCモードのキャッシュラインCLの有効ビットVbが「1」になった場合も無効とされる。

このようにすることで、エラー訂正の保護を受けないECCビットおよび有効ビットでエラーが起きた場合でも、誤動作をすることがないようにできる。

【0051】

電源供給の再開により、待機状態から動作状態への移行する際には、キャッシュラインモードにあるキャッシュラインCLに対して、ECCモードのキャッシュラインCLの中から一致するキャッシュアドレスCAを持つキャッシュラインCLを走査し、ECCデータECを取得する。

10

そして、ECC対象データとECCデータとを併せてエラー訂正符号を構成し、エラー訂正を行う。必要であれば正しいデータをECC対象データに書き込む。場合によっては、ECCビットEbや有効ビットVbがエラーを起こしたために、一致するキャッシュアドレスCAを持つECCモードのキャッシュラインCLが見つからない場合があるが、そのような場合にはエラー訂正が行えないために、当該キャッシュラインCLは無効化する。

【0052】

以下、本実施の形態においてキャッシュコントローラ21によって実行される処理を説明する。

まず図5は、通常の動作状態において、プロセッサ10から読み出し要求を受けた場合の処理例を示している。

20

【0053】

ステップF101でキャッシュコントローラ21がプロセッサ10からアドレスAに対する読み出し要求を受けると、キャッシュコントローラ21は、ステップF102で、不揮発性メモリ部22の中にアドレスAに対応する有効なキャッシュラインCLがあるかどうか判断する。つまり有効ビットVbが「1」であり、メインメモリアドレスとしてアドレスAが記憶されているキャッシュラインが有るか否かを判断する。

【0054】

有効なキャッシュラインがある場合には、キャッシュコントローラ21はステップF103に進み、当該キャッシュラインCLからキャッシュデータCDを取得し、プロセッサ10に送信する。

30

つまり、この場合は、いわゆるキャッシュヒット転送として、メインメモリ12にアクセスすることなくアドレスAのデータがプロセッサ10に転送される。

【0055】

一方、アドレスAに対応する有効なキャッシュラインCLがない場合は、キャッシュコントローラ21はステップF104に進み、メインメモリ12からアドレスAのデータDを読み出す。

そしてステップF105でキャッシュコントローラ21は、このメインメモリ12から読み出したデータDを不揮発性メモリ部22に格納するために、無効なキャッシュラインCLがあるかどうか判断する。

40

【0056】

無効なキャッシュラインCLがある場合、キャッシュコントローラ21はステップF106で、その中からキャッシュラインCLを一つ選ぶ。

そしてステップF110で、選択したキャッシュラインCLに、メインメモリ12から読み出したデータDとアドレスAを新規登録する。つまり選択したキャッシュラインCLにおいて、データDをキャッシュデータCDとして格納し、メインメモリアドレスとしてアドレスAを格納する。

また当該キャッシュラインCLは、新規な、有効キャッシュラインとなるため、有効ビットVbを「1」に、ダーティービットDbを「0」に設定する。

【0057】

50

そしてキャッシュコントローラ 21 はステップ F 1 1 1 で、データ D をプロセッサ 10 に送信する。

つまりこの場合は、キャッシュヒットしなかったため、メインメモリ 12 から読み出したデータが、プロセッサ 10 に転送されることになる。また、メインメモリ 12 から読み出されたデータ D は、キャッシュデータ C D として或るキャッシュライン C L に格納される。

【 0 0 5 8 】

一方、ステップ F 1 0 5 で無効なキャッシュライン C L が存在しないと判定された場合は、キャッシュコントローラ 21 はステップ F 1 0 7 に進み、有効なキャッシュライン C L を一つ選ぶ。

そしてステップ F 1 0 8 では、選択したキャッシュライン C L のダーティービット D b が「 0 」であるか否かを確認する。

もし「 0 」であれば、そのままステップ F 1 1 0 , F 1 1 1 で、キャッシュデータ新規登録と、プロセッサ 10 への送信の処理を行う。

この場合、或る有効なキャッシュライン C L に登録されていたキャッシュデータ C D を消失させて、新たに今回メインメモリ 12 から読み出したデータ D をキャッシュデータ C D として記憶する動作となる。

【 0 0 5 9 】

またステップ F 1 0 8 で、選択したキャッシュライン C L のダーティービット D b が「 1 」であった場合は、キャッシュコントローラ 21 はステップ F 1 0 9 の処理を行う。この場合、キャッシュデータ C D は、メインメモリ 12 におけるアドレス A のデータとは異なるデータになっている。そこで、当該キャッシュライン C L からキャッシュデータ C D 及びメインメモリアドレスを読み出し、メインメモリ 12 におけるアドレス A に書き戻す処理を行う。

これによって、メインメモリ 12 におけるアドレス A のデータに、それまでキャッシュデータ C D 上で行われていた更新を反映させる。

その後キャッシュコントローラ 21 はステップ F 1 1 0 , F 1 1 1 の処理を行う。

【 0 0 6 0 】

次に図 6 は、通常の動作状態において、プロセッサ 10 から書き込み要求を受けた場合の処理例を示している。

【 0 0 6 1 】

ステップ F 2 0 1 で、キャッシュコントローラ 21 はプロセッサ 10 からアドレス A に対するデータ D の書き込み要求を受ける。

まずキャッシュコントローラ 21 はステップ F 2 0 2 で、不揮発性メモリ部 22 の中にアドレス A に対応する有効なキャッシュライン C L があるかどうか判断する。

【 0 0 6 2 】

有効なキャッシュライン C L がある場合には、当該キャッシュライン C L のキャッシュデータ C D を、今回プロセッサ 10 から供給されたデータ D に書き替える。つまりキャッシュデータ C D を更新する。また、これに伴いダーティービット D b を「 1 」にする。有効ビット V b も「 1 」とする。

【 0 0 6 3 】

そしてステップ F 2 1 1 で、メインメモリ 12 におけるアドレス A に、今回のデータ D を書き込む処理を行う。

但し、キャッシュ上で更新する度にメインメモリ 12 上での更新を必ず行う必要は必ずしもない。例えば後の或る時点でメインメモリ 12 上でのデータ更新を行うのであれば、この段階でステップ F 2 1 1 の書き込みを行う必要はない。

また、ステップ F 2 1 1 で、キャッシュデータ C D の更新データをメインメモリ 12 上に反映させた場合は、キャッシュライン C L のダーティービット D b を「 0 」に戻すようにする。

【 0 0 6 4 】

10

20

30

40

50

ステップF 2 0 2で、不揮発性メモリ部 2 2の中にアドレスAに対応する有効なキャッシュラインC Lがないと判断された場合は、キャッシュコントローラ 2 1はステップF 2 0 5に進み、今回のデータDを不揮発性メモリ部 2 2に格納するために、無効なキャッシュラインC Lがあるかどうか判断する。

【 0 0 6 5 】

無効なキャッシュラインC Lがある場合、キャッシュコントローラ 2 1はステップF 2 0 6で、その中からキャッシュラインC Lを一つ選ぶ。

そしてステップF 2 1 0で、選択したキャッシュラインC LにアドレスAとデータDを新規登録する。つまり選択したキャッシュラインC Lにおいて、データDをキャッシュデータC Dとして格納し、メインメモリアドレスとしてアドレスAを格納する。

10

また当該キャッシュラインC Lは、新規な、有効キャッシュラインとなるため、有効ビットV bを「 1 」に設定する。またこの時点では、新たなデータD（キャッシュデータC D）はメインメモリ 1 2のアドレスAのデータと一致していないため、ダーティービットD bを「 1 」に設定する。

【 0 0 6 6 】

そしてステップF 2 1 1でメインメモリ 1 2のアドレスAへのデータDの書き込みを実行する。その場合は、ダーティービットを0に戻す。

或いは、ステップF 2 1 1は、この時点では実行しなくてもよい。

【 0 0 6 7 】

ステップF 2 0 5で無効なキャッシュラインC Lがないと判断した場合、キャッシュコントローラ 2 1はステップF 2 0 7で有効なキャッシュラインC Lを一つ選ぶ。

20

そしてステップF 2 0 8で、選んだ有効なキャッシュラインC LのダーティービットD bが「 0 」かどうか判断する。

もし「 0 」であれば、そのままステップF 2 1 0で、キャッシュデータ新規登録を行う。またステップF 2 1 1でメインメモリ 1 2への書き込みを行う（或いはこの時点では行わないとしてもよい）。

この場合、或る有効なキャッシュラインC Lに登録されていたキャッシュデータC Dを消失させて、新たに今回の書き込みデータDをキャッシュデータC Dとして記憶する動作となる。

【 0 0 6 8 】

30

またステップF 2 0 8で、選択したキャッシュラインC LのダーティービットD bが「 1 」であった場合は、キャッシュコントローラ 2 1はステップF 2 0 9の処理を行う。この場合、キャッシュデータC Dは、メインメモリ 1 2におけるアドレスAのデータとは異なるデータになっている。そこで、当該キャッシュラインC LからキャッシュデータC D及びメインメモリアドレスを読み出し、メインメモリ 1 2におけるアドレスAに書き戻す処理を行う。

これによって、メインメモリ 1 2におけるアドレスAのデータに、それまでキャッシュデータC D上で行われていた更新を反映させる。

その後キャッシュコントローラ 2 1はステップF 2 1 0（及びF 2 1 1）の処理を行う。

40

【 0 0 6 9 】

次に図 7 に、通常の動作状態から待機状態への移行プロセスにおいて、プロセッサ 1 0から待機信号を受けた場合のキャッシュコントローラ 2 1の処理例、つまり待機準備処理の例を示す。

【 0 0 7 0 】

ステップF 3 0 1で、キャッシュコントローラ 2 1はプロセッサ 1 0から待機信号を受ける。

まずキャッシュコントローラ 2 1はステップF 3 0 2で、不揮発性メモリ部 2 2における有効なキャッシュラインC Lの数をカウントする。即ち有効ビットV bが「 1 」のキャッシュライン数である。これを有効キャッシュライン数Vとしてカウントする。

50

【 0 0 7 1 】

次にキャッシュコントローラ 21 はステップ F 3 0 3 で、E C C モードに必要なキャッシュライン C L の数を求める。必要キャッシュライン数 E とする。

例えば図 4 の例のように、1 つの E C C モードのキャッシュライン C L に 2 つのキャッシュライン C L についての E C C データ E C 及びキャッシュアドレス C A を格納するデータ構造とする場合、 $E = V / 2$ となる。

【 0 0 7 2 】

次にステップ F 3 0 4 でキャッシュコントローラ 21 は、無効なキャッシュライン C L の数 I が、必要キャッシュライン数 E より大きいかなんかを確認する。

無効キャッシュライン数 I は、 $I = (\text{全キャッシュライン数}) - V$ である。

10

【 0 0 7 3 】

I E であれば、無効なキャッシュライン C L を用いて E C C モードのキャッシュラインを形成できる。

そこで、キャッシュコントローラ 21 はステップ F 3 0 9 に進み、無効なキャッシュライン C L を E 個選ぶ。

選択した E 個のキャッシュライン C L については、全て E C C ビット E b を「1」に、ダーティービット D b を「0」にする。

【 0 0 7 4 】

ステップ F 3 1 0 でキャッシュコントローラ 21 は、有効なキャッシュライン C L のそれぞれについて、E C C データ E C を計算する。

20

例えば有効なキャッシュライン C L として、キャッシュライン C L 1、C L 2、C L 5、C L 6、C L 7、C L 10 が存在していたとした場合、それぞれについての E C C データ E C 1、E C 2、E C 5、E C 6、E C 7、E C 10 を算出する。

【 0 0 7 5 】

そしてステップ F 3 1 1 でキャッシュコントローラ 21 は、キャッシュアドレス C A と E C C データ E C を、ステップ F 3 0 9 で選択したキャッシュライン C L に書き込む。

例えばキャッシュライン C L 15、C L 16、C L 17 が E C C モード用に選択されていたとする。その場合例えば、キャッシュライン C L 1、C L 2 に対応する E C C データ E C 1、E C 2 及びキャッシュアドレス C A 1、C A 2 を、キャッシュライン C L 15 に書き込む。またキャッシュライン C L 5、C L 6 に対応する E C C データ E C 5、E C 6 及びキャッシュアドレス C A 5、C A 6 を、キャッシュライン C L 16 に書き込む。またキャッシュライン C L 7、C L 10 に対応する E C C データ E C 7、E C 10 及びキャッシュアドレス C A 7、C A 10 を、キャッシュライン C L 17 に書き込む。

30

これによって、キャッシュライン C L 15、C L 16、C L 17 が E C C モードのデータ構造のキャッシュライン C L とされたこととなる。

【 0 0 7 6 】

以上で不揮発性メモリ部 22 での待機準備が完了したことになり、キャッシュコントローラ 21 はステップ F 3 1 2 でプロセッサ 10 に対して待機完了信号を送って、一連の処理を終える。

【 0 0 7 7 】

40

ところで、ステップ F 3 0 4 で無効キャッシュライン数 I が必要キャッシュライン数 E より小さい場合は、無効なキャッシュライン C L を用いるだけではキャッシュライン数が足りないこととなる。

そこでその場合は、キャッシュコントローラ 21 はステップ F 3 0 5 に進む。

まずステップ F 3 0 5 で、有効なキャッシュライン C L のうちで $(E - I)$ 個のキャッシュライン C L を選択する。

そして、ステップ F 3 0 6 で、選択した $(E - I)$ 個のキャッシュライン C L のそれぞれについてダーティービット D b が「0」であるかなんかを確認する。

【 0 0 7 8 】

もし $(E - I)$ 個のキャッシュライン C L の全てにおいて、ダーティービット D b が「

50

0」であれば、そのままステップF308に進み、選択したキャッシュラインCLの有効ビットVbを「0」にする。つまり無効化する。キャッシュラインCLは、あくまで図1のコンピュータシステムにおいてキャッシュを記憶する領域であるため、有効なキャッシュラインCLを無効化すること（キャッシュデータCDを破棄すること）は問題とはならない。単にキャッシュの一部が破棄されるだけだからである。

そしてステップF302、F303の処理を再度行い、ステップF304で無効キャッシュライン数Iが必要キャッシュライン数Eより大きくなっていれば、ステップF309～F312の処理を行うことになる。

【0079】

またステップF306で、選択した(E-I)個のキャッシュラインCLのうちで、ダーティービットDbが「1」のキャッシュラインCLが存在したと判定した場合は、キャッシュコントローラ21はステップF307の処理を行う。この場合、選択したキャッシュラインCLのうちのダーティービットDbが「1」のキャッシュラインCLのキャッシュデータCDは、メインメモリ12におけるデータとは異なるデータになっている。そこで、当該キャッシュラインCLからキャッシュデータCD及びメインメモリアドレスを読み出し、メインメモリ12に書き戻す処理を行う。

これによって、メインメモリ12におけるデータに、それまでキャッシュデータCD上で行われていた更新を反映させる。

その後キャッシュコントローラ21はステップF308の処理を経て、ステップF302、F303の処理を再度行い、ステップF304で無効キャッシュライン数Iが必要キャッシュライン数Eより大きくなっていれば、ステップF309～F312の処理を行うことになる。

【0080】

なお、ステップF305で選択する有効なキャッシュラインCLの数（つまり無効化するキャッシュラインCLの数）は、1個、又は2個という固定値とし、処理を繰り返すことで、或る時点で、ステップF304で肯定結果が得られるようにしてもよい。

【0081】

次に図8に、待機状態から動作状態への移行プロセスにおいて、プロセッサ10から復帰信号を受けた場合のキャッシュコントローラ21の処理例、つまり復帰処理の例を示す。

ステップF401で、キャッシュコントローラ21はプロセッサ10から復帰信号を受ける。

【0082】

キャッシュコントローラ21はステップF402で、不揮発性メモリ部22においてキャッシュラインモードとされているキャッシュラインCLを一つ選ぶ。

ステップF403でキャッシュコントローラ21は、選択したキャッシュラインCLのキャッシュアドレスCAが記憶されているECCモードのキャッシュラインを選ぶ。

ステップF404でキャッシュコントローラ21は、ステップF402で選択したキャッシュラインモードのキャッシュラインCLに対応するECCデータECを、ステップF403で選択したECCモードのキャッシュラインCLから読み出し、キャッシュラインモードのキャッシュラインCLのエラー訂正処理を行う。

【0083】

以上の処理は、例えば図4の状態に沿って述べると次のようになる。

ステップF402でキャッシュラインCL1を選択し、ステップF403でキャッシュラインCL1を示すキャッシュアドレスCA1を記憶しているECCモードのキャッシュラインCLxを選択する。そしてステップF404で、キャッシュラインCLxに記憶されているECCデータEC1を読み出し、このECCデータEC1を用いて、キャッシュラインCL1のECC対象データのエラー訂正処理を行うこととなる。

【0084】

ステップF405では、キャッシュコントローラ21は、全てのキャッシュラインモー

10

20

30

40

50

ドのキャッシュラインについて、ステップF 4 0 2 ~ F 4 0 4 によるエラー訂正処理が完了したか否かを確認する。完了していなければステップF 4 0 2 に戻って、残りのキャッシュラインモードのキャッシュラインC L についてステップF 4 0 2 ~ F 4 0 4 の処理を行う。例えば図 4 の例で述べると、次にキャッシュラインC L 2 について、同様にエラー訂正処理を行うことになる。

【 0 0 8 5 】

全てのキャッシュラインモードのキャッシュラインについて、ステップF 4 0 2 ~ F 4 0 4 によるエラー訂正処理が完了したら、キャッシュコントローラ 2 1 はステップF 4 0 6 に進み、全てのE C C モードのキャッシュラインC L については、E C C ビットE b を「 0 」として、単なる無効なキャッシュラインC L にする。

そしてステップF 4 0 7 でキャッシュコントローラ 2 1 はプロセッサ 1 0 に復帰完了信号を送って、一連の復帰処理を終える。

【 0 0 8 6 】

以上に述べたように、第 1 の実施の形態は、不揮発性メモリ部 2 2 には、キャッシュデータC D の記憶に用いられるキャッシュラインC L が複数設定されている。そしてキャッシュコントローラ 2 1 は、待機準備処理として、少なくとも一部のキャッシュラインC L について、そのキャッシュラインC L に記憶されているキャッシュデータC D のエラー訂正可能なエラー訂正データ (E C C データE C) を含む待機状態データを生成し、該待機状態データを他のキャッシュライン (E C C モードのキャッシュラインC L) に記憶させ、かつ当該他のキャッシュラインを、待機状態データを記憶したキャッシュラインであることを示す状態とする処理 (E C C ビットE b を「 1 」とする処理) を行う。

そしてエラー訂正データを含む待機状態データには、さらに当該エラー訂正データでエラー訂正を行うキャッシュデータが記憶されたキャッシュラインのアドレス情報C A が含まれている。

【 0 0 8 7 】

このような第 1 の実施の形態においては、待機状態に移行する前に有効なキャッシュラインのE C C データを計算し、E C C データを無効なキャッシュラインに格納することによって、待機中にデータが失われた場合においても、復帰動作の際にデータの訂正が可能となる。

【 0 0 8 8 】

なお、ステップF 4 0 6 の処理は行わない例も考えられる。つまり、ある程度の期間、E C C モードのキャッシュラインC L をそのまま残しておいてもよい。例えば通常のキャッシュ動作においてキャッシュラインC L が足りなくなるまで、E C C モードのキャッシュラインC L を残しておき、足りなくなったら、このキャッシュラインC L を使用するようになる。

このようにE C C モードのキャッシュラインC L を残しておくことで、例えば電源瞬断時など、待機準備処理ができなかったような場合に、その復帰時にエラー訂正できるキャッシュラインC L が存在する可能性を得ることができる。

【 0 0 8 9 】

< 3 . 第 2 の実施の形態 >

続いて第 2 の実施の形態を説明する。なお、第 1 の実施の形態と重複する部分については説明を省略する。

第 2 の実施の形態は、キャッシュコントローラ 2 1 が、待機状態データであるE C C データE C を、その待機状態データが対象とするキャッシュデータC D を記憶したキャッシュラインC L に対応する領域に記憶させる例である。

第 2 の実施の形態において、第 1 の実施の形態と同じく、キャッシュラインC L は図 2 で示した構成とされる。そして、動作状態と待機状態とにおいて、キャッシュラインのデータ構造は図 3、図 9 に示した構成とされる。

【 0 0 9 0 】

動作状態において、すべてのキャッシュラインＣＬがキャッシュラインモードとなることは図３のとおりであり、つまり第１の実施の形態と同様である。

また動作状態から待機状態に移行する際に、キャッシュラインＣＬは、キャッシュラインモードにあるキャッシュラインＣＬとＥＣＣモードにあるキャッシュラインＣＬとに分割される点も、第１の実施の形態と同じである。

【００９１】

この第２の実施の形態では、図９に示すように、ＥＣＣモードのキャッシュラインＣＬでは、制御ビット以外の領域はＥＣＣデータ領域とされる。つまり図４と比較してわかるようにキャッシュアドレス領域は設けられない。

なおＥＣＣデータ領域の働きや制御ビットの設定方法は、第１の実施の形態と同じである。

10

【００９２】

このように第２の実施の形態においては、ＥＣＣモードにあるキャッシュラインＣＬ内にキャッシュアドレス領域がない。このため、ＥＣＣデータ領域が、どのキャッシュラインＣＬに対応づけられているかを以下のように決定する。

【００９３】

図１０は待機状態への移行の際のキャッシュラインの並べ替えを示した図である。

動作状態においては、有効なキャッシュラインＣＬ（有効ビットＶｂ＝１）と無効なキャッシュラインＣＬ（有効ビットＶｂ＝０）が混在している。

待機状態に移行する際には、有効なキャッシュラインＣＬをキャッシュアドレス順に整列させる（キャッシュラインＣＬ１からキャッシュラインＣＬ８）。

20

この有効なキャッシュラインを整列させる領域（キャッシュラインＣＬ１～ＣＬ８）をキャッシュラインモード領域とする。

そして、無効なキャッシュラインは、有効なキャッシュラインの後に配置する（キャッシュラインＣＬ９～ＣＬ１２）。この領域をＥＣＣモード領域とする。

【００９４】

ここで、キャッシュラインＣＬ１に対応したＥＣＣデータＥＣ１はキャッシュラインＣＬ９の前半に、キャッシュラインＣＬ２に対応したＥＣＣデータＥＣ２はキャッシュラインＣＬ９の後半に、キャッシュラインＣＬ３に対応したＥＣＣデータＥＣ３はキャッシュラインＣＬ１０の前半に・・・、というように、キャッシュラインＣＬの位置とＥＣＣデータＥＣの位置を一対一に対応させる。

30

このようにすると、ＥＣＣモードにあるキャッシュラインＣＬ内にキャッシュアドレスＣＡを格納する必要がない。

【００９５】

なお、この例では一つのキャッシュラインＣＬに２つのＥＣＣデータＥＣを格納しているが、これに限定されることなく、１つ或いは３つ以上のＥＣＣデータＥＣを格納してもよい。

キャッシュラインＣＬの総数をＴ、一つのキャッシュラインＣＬに格納できるＥＣＣデータＥＣの個数をＮとすると、キャッシュラインモード領域のキャッシュライン数Ｃは、 $C + C / N = T$ を満たす。即ち、 $C = NT / (N + 1)$ である。

40

図１０の例で言うと、 $N = 2$ 、 $T = 12$ であるから、 $C = 8$ となる。このとき、キャッシュラインモード領域はキャッシュラインＣＬ１からキャッシュラインＣＬ８に、ＥＣＣモード領域はキャッシュラインＣＬ９からキャッシュラインＣＬ１２に、それぞれ割り当てられる。

【００９６】

図１１は、第２の実施の形態における待機準備処理のフローチャートである。

ステップＦ５０１で、キャッシュコントローラ２１はプロセッサ１０から待機信号を受ける。

するとキャッシュコントローラ２１はステップＦ５０２で、不揮発性メモリ部２２における有効なキャッシュラインＣＬの数をカウントする。即ち有効ビットＶｂが「１」のキ

50

キャッシュライン数である。これを有効キャッシュライン数 V としてカウントする。

【0097】

次にキャッシュコントローラ 21 はステップ F 5 0 3 で、上述のキャッシュラインモード領域のキャッシュライン数 C が、有効キャッシュライン数 V よりも大きいかどうか判断する。

$C > V$ であれば、キャッシュコントローラ 21 はステップ F 5 0 8 に進み、有効なキャッシュライン C_L をキャッシュラインモード領域の先頭から順に整列させる。

【0098】

続いてキャッシュコントローラ 21 はステップ F 5 0 9 で ECC モードに必要なキャッシュライン数 E を求める。

そしてステップ F 5 1 0 で、ECC モード領域の先頭から E 個のキャッシュライン C_L の ECC ビット E_b を「1」に、ダーティービット D_b を「0」にする。つまり ECC モードのキャッシュラインを形成する。

【0099】

ステップ F 5 1 1 でキャッシュコントローラ 21 は、有効なキャッシュライン C_L のそれぞれについて、ECC データ E_C を計算する。

そしてステップ F 5 1 2 でキャッシュコントローラ 21 は、ECC データ E_C を、それぞれ図 10 で説明したように、対応するキャッシュライン C_L に書き込む。

これによって、ECC データ領域に必要な ECC モードのキャッシュライン C_L が形成されたこととなる。

【0100】

以上で不揮発性メモリ部 22 での待機準備が完了したことになり、キャッシュコントローラ 21 はステップ F 5 1 3 でプロセッサ 10 に対して待機完了信号を送って、一連の処理を終える。

【0101】

一方、ステップ F 5 0 3 でキャッシュラインモード領域のキャッシュライン数 C が、有効キャッシュライン数 V よりも小さい場合は、キャッシュコントローラ 21 はステップ F 5 0 4 に進む。

まずステップ F 5 0 4 で、有効なキャッシュライン C_L のうちで $(V - C)$ 個のキャッシュライン C_L を選択する。

そして、ステップ F 5 0 5 で、選択した $(V - C)$ 個のキャッシュライン C_L のそれぞれについてダーティービット D_b が「0」であるか否かを確認する。

【0102】

もし $(V - C)$ 個のキャッシュライン C_L の全てにおいて、ダーティービット D_b が「0」であれば、そのままステップ F 5 0 7 に進み、選択したキャッシュライン C_L の有効ビット V_b を「0」にする。つまり無効化する。

そしてステップ F 5 0 2 の処理を再度行い、ステップ F 5 0 3 で $C < V$ となっていれば、ステップ F 5 0 8 ~ F 5 1 3 の処理を行うことになる。

【0103】

また、ステップ F 5 0 4 で、選択した $(E - I)$ 個のキャッシュライン C_L のうちで、ダーティービット D_b が「1」のキャッシュライン C_L が存在したと判定した場合は、キャッシュコントローラ 21 はステップ F 5 0 6 の処理を行う。この場合、選択したキャッシュライン C_L のうちのダーティービット D_b が「1」のキャッシュライン C_L のキャッシュデータ C_D は、メインメモリ 12 上のデータとは異なるデータになっている。そこで、当該キャッシュライン C_L からキャッシュデータ C_D 及びメインメモリアドレスを読み出し、メインメモリ 12 に書き戻す処理を行う。

これによって、メインメモリ 12 上のデータに、それまでキャッシュデータ C_D 上で行われていた更新を反映させる。

その後キャッシュコントローラ 21 はステップ F 5 0 7 の処理を経て、ステップ F 5 0 2 の処理を再度行い、ステップ F 5 0 3 で $C < V$ となっていれば、ステップ F 5 0 8 ~ F

10

20

30

40

50

5 1 3 の処理を行うことになる。

【 0 1 0 4 】

第 2 の実施の形態における復帰処理については、基本的に図 8 と同様である。異なる点は図 8 のステップ F 4 0 3 において、対応する E C C モードのキャッシュライン C L の選択が、キャッシュアドレス C A に基づくのではなく、図 1 0 で説明したように一意的に決定される点である。

【 0 1 0 5 】

以上の第 2 の実施の形態でも第 1 の実施の形態と同様の効果が得られる。加えて、E C C モードのキャッシュライン C L においては、キャッシュアドレス C A を記憶する必要はないため、E C C データ E C の記憶に有効できる。例えば 1 つの E C C モードのキャッシュライン C L で、より多数のキャッシュラインモードのキャッシュライン C L に対応できたり、或いは E C C パリティの冗長度を上げ、訂正能力を上げるといった点で有利となる。

10

【 0 1 0 6 】

< 4 . 第 3 の実施の形態 >

続いて第 3 の実施の形態を説明する。なお、第 1 の実施の形態と重複する部分については説明を省略する。

第 3 の実施の形態において、キャッシュライン C L は図 1 2 で示した構成とされる。そして、動作状態と待機状態とにおいて、キャッシュラインのデータ構造は図 1 3 に示した構成とされる。

20

【 0 1 0 7 】

図 1 2 に示すように、キャッシュライン C L は、第 1 の実施の形態の構成に加えて、E C C データ領域を含む。

図 1 3 に示すように、動作状態においては、データの入出力はタグ領域とキャッシュデータ領域のみを対象に行われ、E C C データ領域は用いられない。

そして待機状態への移行の際には、すべての有効なキャッシュラインは E C C モードとなり、E C C ビット E b が「 1 」に設定される。即ち、E C C ビット E b と有効ビット V b はともに「 1 」となる。

【 0 1 0 8 】

30

エラー訂正の対象となる E C C 対象データは、ダーティービット D b、アドレス上位ビット (メインメモリアドレス)、キャッシュデータ C D である。

この E C C 対象データを元にして E C C データが計算され、同じキャッシュラインの E C C データ領域に格納される。

E C C 対象データと E C C データが同じキャッシュラインにあるために、キャッシュアドレスを格納する必要はない。

【 0 1 0 9 】

動作状態への復帰の際には、E C C ビット E b と有効ビット V b がともに「 1 」であるキャッシュラインに対して、E C C 対象データと E C C データとを併せてエラー訂正符号を構成し、エラー訂正を行う。必要であれば、正しいデータを E C C 対象データに書き込む。仮に、待機中に E C C ビット E b と有効ビット V b のいずれかが「 0 」に変化したキャッシュライン C L は、無効とされる。

40

【 0 1 1 0 】

このようにすると、各キャッシュライン C L に対して、その E C C データ E C がどこに存在するかを走査する必要がなくなる。

また、各キャッシュライン C L が E C C データ領域を備えているために、有効なキャッシュラインであっても無効なキャッシュラインが足りないために E C C モードにせざるを得ないという状況が起きない利点がある。

【 0 1 1 1 】

図 1 4 は、第 3 の実施の形態における待機準備処理のフローチャートである。

50

ステップF 6 0 1で、キャッシュコントローラ2 1はプロセッサ1 0から待機信号を受ける。

するとキャッシュコントローラ2 1はステップF 6 0 2で、不揮発性メモリ部2 2における有効なキャッシュラインC Lを1つ選択する。

次にキャッシュコントローラ2 1はステップF 6 0 3で、選択したキャッシュラインC LのE C CビットE bを「1」にする。つまりE C Cモードのキャッシュラインとする。

【0 1 1 2】

ステップF 6 0 4でキャッシュコントローラ2 1は、選択しているキャッシュラインC LのE C CデータE Cを計算する。

そしてステップF 6 0 5でキャッシュコントローラ2 1は、E C CデータE Cを、そのキャッシュラインC LにおけるE C Cデータ領域に書き込む。

これによって、1つの有効なキャッシュラインC LがE C CモードのキャッシュラインC Lとされたこととなる。

【0 1 1 3】

ステップF 6 0 6ではキャッシュコントローラ2 1は、全ての有効なキャッシュラインC Lについて、ステップF 6 0 2～F 6 0 5の処理を完了したか否かを確認する。完了していなければステップF 6 0 2に戻って、残りのキャッシュラインモードのキャッシュラインC LについてステップF 6 0 2～F 6 0 5の処理を行う。

【0 1 1 4】

全てのキャッシュラインモードのキャッシュラインについて、ステップF 6 0 2～F 6 0 5のE C Cモード化の処理を完了したら、キャッシュコントローラ2 1はステップF 6 0 7に進み、プロセッサ1 0に対して待機完了信号を送って、一連の処理を終える。

【0 1 1 5】

第3の実施の形態における復帰処理については、図8と同様に考えればよいが、異なる点は図8のステップF 4 0 2は、E C CモードのキャッシュラインC Lを1つ選択すること、ステップF 4 0 3が不要なことである。ステップF 4 0 4は、選択したキャッシュラインにおけるE C Cデータを用いて、当該E C CモードのキャッシュラインC Lのエラー訂正を行うことになる。

つまり、E C CデータE Cが、エラー訂正対象のキャッシュラインC L内に記憶されていることで、復帰処理が簡易化される。

【0 1 1 6】

以上のように第3の実施の形態は、不揮発性メモリ部2 2には、キャッシュデータ記憶領域及び待機状態データ領域(E C Cデータ領域)を有するキャッシュラインC Lが複数設定されている。

キャッシュコントローラ2 1は、待機準備処理として、少なくとも一部のキャッシュラインC Lについて、そのキャッシュラインC Lに記憶されているキャッシュデータのエラー訂正可能なE C CデータE Cを含む待機状態データを生成し、該待機状態データを待機状態データ領域に記憶させる。また当該キャッシュラインC Lを、待機状態データを記憶したキャッシュラインであることを示す状態とする処理(E C CビットE b = 1とする処理)を行う。

この第3の実施の形態でも第1、第2の実施の形態と同様の効果が得られる。加えて待機準備処理や復帰処理が簡易化できる。また待機準備処理の際にキャッシュラインC Lが足りないために有効なキャッシュラインC Lを無効化して用いる必要はなくなる。

【0 1 1 7】

< 5 . 第4の実施の形態 >

第4の実施の形態を説明する。これは待機状態データとしてE D Cデータ(エラー検出データ)を用いる例である。

図15にキャッシュラインC Lのデータ構造を示す。これは第1の実施の形態で説明した図2のデータ構造において、E C CビットE bを、E D CビットE D bに代えた例であ

10

20

30

40

50

る。

E D C ビット E D b は、不揮発性キャッシュメモリ 1 1 が待機状態にあるときに用いるビットであり、キャッシュライン C L が E D C モードとされていることを示すビットである。他は図 3 で説明したものと同様である。

【 0 1 1 8 】

動作状態において、すべてのキャッシュライン C L がキャッシュラインモードとなることは図 3 で説明したものと同様である。

また動作状態から待機状態に移行する際に、キャッシュライン C L は、キャッシュラインモードにあるキャッシュライン C L と E D C モードにあるキャッシュライン C L とに分割される。

10

この第 4 の実施の形態では、図 1 6 に示すように、E D C モードのキャッシュライン C L では、E D C ビット E D b は「 1 」とされ、有効ビット V b , ダーティービット D b は「 0 」とされる。

そして E D C モードのキャッシュライン C L は、制御ビット以外の領域は E D C 領域とされる。E D C 領域はキャッシュアドレスを格納するキャッシュアドレス領域と E D C データ E D を格納する E D C データ領域とで構成される。

【 0 1 1 9 】

この図 1 6 に示すデータ構造は、基本的には第 1 の実施の形態の E C C データ E C を E D C データ E D に変更したものであり、基本的な構造やデータ内容は第 1 の実施の形態において図 4 について説明したものと同様である。

20

待機状態においてキャッシュラインモードにあるキャッシュライン C L の中で、ダーティービット D b 、アドレス上位ビット、キャッシュデータ C D を E D C 対象データと呼ぶ。そして、E D C 対象データをエラー検出符号化して E D C データを得る。

ここで、E D C 対象データと E D C データを併せたものがエラー訂正符号であり、生成されたエラー訂正符号のうち、E D C 対象データ以外の部分 (E D C パリティ) を E D C データとする。

【 0 1 2 0 】

E D C データは、E D C モードにあるキャッシュライン C L の E D C データ領域に格納される。

その際、E D C データがどのキャッシュライン C L のものであるかを知るために、キャッシュアドレス領域にキャッシュラインのアドレス (キャッシュアドレス C A) が格納される。

30

【 0 1 2 1 】

図 1 7 に、通常の動作状態から待機状態への移行プロセスにおいて、プロセッサ 1 0 から待機信号を受けた場合のキャッシュコントローラ 2 1 の処理例、つまり待機準備処理の例を示す。基本的な処理の流れは図 7 と同様となる。

ステップ F 7 0 1 で、キャッシュコントローラ 2 1 はプロセッサ 1 0 から待機信号を受ける。

キャッシュコントローラ 2 1 はステップ F 7 0 2 で、不揮発性メモリ部 2 2 における有効なキャッシュライン C L の数をカウントする。

40

次にキャッシュコントローラ 2 1 はステップ F 7 0 3 で、E D C モードに必要なキャッシュライン C L の数を求める。必要キャッシュライン数 E とする。

【 0 1 2 2 】

次にステップ F 7 0 4 でキャッシュコントローラ 2 1 は、無効なキャッシュライン C L の数 I が、必要キャッシュライン数 E より大きいかなんかを確認する。

I E であれば、無効なキャッシュライン C L を用いて E D C モードのキャッシュラインを形成できるため、キャッシュコントローラ 2 1 はステップ F 7 0 9 に進み、無効なキャッシュライン C L を E 個選ぶ。そして選択した E 個のキャッシュライン C L については、全て E D C ビット E D b を「 1 」に、ダーティービット D b を「 0 」にする。

ステップ F 7 1 0 でキャッシュコントローラ 2 1 は、有効なキャッシュライン C L のそ

50

れぞれについて、EDCデータEDを計算する。

そしてステップF711でキャッシュコントローラ21は、キャッシュアドレスCAとEDCデータEDを、ステップF709で選択したキャッシュラインCLに書き込む。

【0123】

以上で不揮発性メモリ部22での待機準備が完了したことになり、キャッシュコントローラ21はステップF712でプロセッサ10に対して待機完了信号を送って、一連の処理を終える。

【0124】

一方、ステップF704で無効キャッシュライン数Iが必要キャッシュライン数Eより小さい場合は、キャッシュコントローラ21はステップF705に進む。なおステップF705～F708は、図7のステップF305～F308と同様であるため説明を省略する。

10

【0125】

次に図18で、待機状態から動作状態への移行プロセスにおいて、プロセッサ10から復帰信号を受けた場合のキャッシュコントローラ21の処理例、つまり復帰処理の例を説明する。

ステップF901で、キャッシュコントローラ21はプロセッサ10から復帰信号を受ける。

【0126】

キャッシュコントローラ21はステップF902で、不揮発性メモリ部22においてキャッシュラインモードとされているキャッシュラインCLを一つ選ぶ。

20

ステップF903でキャッシュコントローラ21は、選択したキャッシュラインCLのキャッシュアドレスCAが記憶されているEDCモードのキャッシュラインCLを選ぶ。

ステップF904でキャッシュコントローラ21は、ステップF902で選択したキャッシュラインモードのキャッシュラインCLに対応するEDCデータEDを、ステップF903で選択したEDCモードのキャッシュラインCLから読み出し、キャッシュラインモードのキャッシュラインCLのエラー検出処理を行う。

【0127】

ここでエラーが検出されなければ、そのキャッシュラインモードのキャッシュラインCLはデータ消失等がなく、正常な状態である。

30

一方、エラーが検出されたキャッシュラインCLは、何らかのエラーが発生し、データ内容(EDC対象データの内容)は、正確な内容ではなくなっている。

そこで、エラーが検出された場合は、ステップF905からF906に進み、キャッシュコントローラ21は当該キャッシュラインCLを無効化する。具体的には有効ビットVbを「0とする。

エラーが検出されなければ、当該キャッシュラインCLをそのまま維持する。

【0128】

ステップF907では、キャッシュコントローラ21は、全てのキャッシュラインモードのキャッシュラインについて、エラー検出処理が完了したか否かを確認する。完了していなければステップF902に戻って、残りのキャッシュラインモードのキャッシュラインCLについてステップF902～F906の処理を行う。

40

【0129】

全てのキャッシュラインモードのキャッシュラインについて、エラー検出処理が完了したら、キャッシュコントローラ21はステップF908に進み、全てのEDCモードのキャッシュラインCLについては、EDCビットEDbを「0」として、単なる無効なキャッシュラインCLにする。

そしてステップF909でキャッシュコントローラ21はプロセッサ10に復帰完了信号を終え、一連の復帰処理を終える。

【0130】

以上の第4の実施の形態のように、EDCデータEDを待機状態データとして用いるこ

50

ともできる。

復帰処理においてエラーを検出したら、そのキャッシュラインＣＬは無効化することで、誤ったキャッシュデータがその後用いられることが防止される。

キャッシュライン当たりのパリティ領域としては、ＥＣＣデータ領域に比べてＥＤＣデータ領域の場合、削減することができる。

【０１３１】

なお、エラーを検出したらそのキャッシュラインは無効化するわけであるが、この場合には、ダーティービットＤｂが「１」であるキャッシュラインＣＬが無効化されることによって、不揮発性キャッシュメモリ１１でのデータ更新がメインメモリ１２に反映されなくなる場合が生ずる。そこで、これを防ぐために、待機信号を得てデータの変換を行うプロセスに至る前に、ダーティービットＤｂが「１」であるキャッシュラインＣＬをまとめてメインメモリ１２に書き戻しておくことが望ましい。

【０１３２】

< ６．変形例 >

本開示は、上述の実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲でその他様々な構成を取り得る。

【０１３３】

上記の各実施の形態においては、待機信号を得てデータの変換を行うプロセスに至る前に、ダーティービットＤｂが「１」であるキャッシュラインＣＬをまとめてメインメモリ１２に書き戻すこともできる。書き戻しを行ったらダーティービットＤｂを「０」にする。このようにすると、有効なキャッシュラインＣＬをＥＣＣモード（又はＥＤＣモード）に割り当てる際に、その都度ダーティービットＤｂのチェックを行う必要がなくなる。

【０１３４】

また第４の実施の形態では、ＥＤＣデータＥＤを使う例を、第１の実施の形態と同様のデータ構造に適用した例で述べたが、ＥＤＣデータを、第２，第３の実施の形態と同様のデータ構造においてＥＣＣデータに代えて適用することも当然想定される。

【０１３５】

また各実施の形態のでは、電力供給遮断の準備として、プロセッサ１０からの待機信号があったとき、つまり電源遮断直前に待機状態データを生成して不揮発性メモリ部２２に記憶する待機準備処理を行うこととしたが、他のタイミングで待機準備処理を行ってもよい。

例えばある程度定期的に待機準備処理を行うなどである。但し、電源遮断直前のキャッシュデータ内容が必ずしも反映されない恐れがあるため、電源遮断直前以外で実行する場合は、その後、ＥＣＣモード（又はＥＤＣモード）としたキャッシュラインの有効、無効を管理する必要がある。

また、例えば電池駆動のコンピュータシステムなどにおいて、不揮発性キャッシュメモリ１１が電源電圧状態を検知し、電源落ちとなるタイミング直前に自主的に待機準備処理を行うような例も考えられる。

【０１３６】

復帰処理については、再開後の最初のキャッシュ動作の実行前におこなっておけばよい。従って、プロセッサ１０からの復帰信号以外で復帰処理を行う例も考えられる。

【０１３７】

また、エラー訂正或いはエラー検出以外の目的で、動作状態と待機状態でキャッシュラインのデータ構造を変えることもできる。

【０１３８】

なお本技術は以下のような構成も採ることができる。

（１）キャッシュデータの記憶に用いられる不揮発性メモリ部と、

上記不揮発性メモリ部に対してのキャッシュデータの読み出し及び書き込みを制御するとともに、電力供給遮断の準備として、待機状態データを生成して上記不揮発性メモリ部

10

20

30

40

50

に記憶する待機準備処理を行い、また電力供給再開の際に、上記待機状態データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータの復帰処理を行うキャッシュコントローラと、

を備えた不揮発性キャッシュメモリ。

(2) 上記キャッシュコントローラは、

上記待機準備処理として、少なくとも上記不揮発性メモリ部に記憶されているキャッシュデータについてのエラー訂正を可能とするエラー訂正データを含む上記待機状態データを生成して上記不揮発性メモリ部に記憶させ、

上記復帰処理として、上記待機状態データにおける上記エラー訂正データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータのエラー訂正処理を行う上記(1)に記載の不揮発性キャッシュメモリ。

10

(3) 上記不揮発性メモリ部には、キャッシュデータ記憶に用いられるキャッシュラインが複数設定されており、

上記キャッシュコントローラは、

上記待機準備処理として、少なくとも一部のキャッシュラインについて、そのキャッシュラインに記憶されているキャッシュデータのエラー訂正可能なエラー訂正データを含む待機状態データを生成し、該待機状態データを他のキャッシュラインに記憶させ、かつ当該他のキャッシュラインを、待機状態データを記憶したキャッシュラインであることを示す状態とする処理を行う上記(1)又は(2)に記載の不揮発性キャッシュメモリ。

20

(4) 上記エラー訂正データを含む待機状態データには、さらに当該エラー訂正データでエラー訂正を行うキャッシュデータが記憶されたキャッシュラインのアドレス情報が含まれている上記(3)に記載の不揮発性キャッシュメモリ。

(5) 上記キャッシュコントローラは、上記待機状態データを、その待機状態データが対象とするキャッシュデータを記憶したキャッシュラインに対応する領域に記憶させる上記(3)に記載の不揮発性キャッシュメモリ。

(6) 上記不揮発性メモリ部には、キャッシュデータ記憶領域及び待機状態データ領域を有するキャッシュラインが複数設定されており、

上記キャッシュコントローラは、

上記待機準備処理として、少なくとも一部のキャッシュラインについて、そのキャッシュラインに記憶されているキャッシュデータのエラー訂正可能なエラー訂正データを含む待機状態データを生成し、該待機状態データを上記待機状態データ領域に記憶させ、かつ当該キャッシュラインを、待機状態データを記憶したキャッシュラインであることを示す状態とする処理を行う上記(1)又は(2)に記載の不揮発性キャッシュメモリ。

30

(7) 上記キャッシュコントローラは、

上記待機準備処理として、少なくとも上記不揮発性メモリ部に記憶されているキャッシュデータについてのエラー検出を可能とするエラー検出データを含む上記待機状態データを生成して上記不揮発性メモリ部に記憶させ、

上記復帰処理として、上記待機状態データにおける上記エラー検出データを用いて上記不揮発性メモリ部に記憶されたキャッシュデータのエラー検出処理を行う上記(1)に記載の不揮発性キャッシュメモリ。

40

(8) 上記キャッシュコントローラは、

上記エラー検出処理においてエラーを検出したキャッシュデータを無効化する処理を行う上記(7)に記載の不揮発性キャッシュメモリ。

(9) 上記キャッシュコントローラは、電力供給を遮断する待機状態に移行することを要求する待機信号を受け取ることで、上記待機準備処理を行う上記(1)乃至(8)に記載の不揮発性キャッシュメモリ。

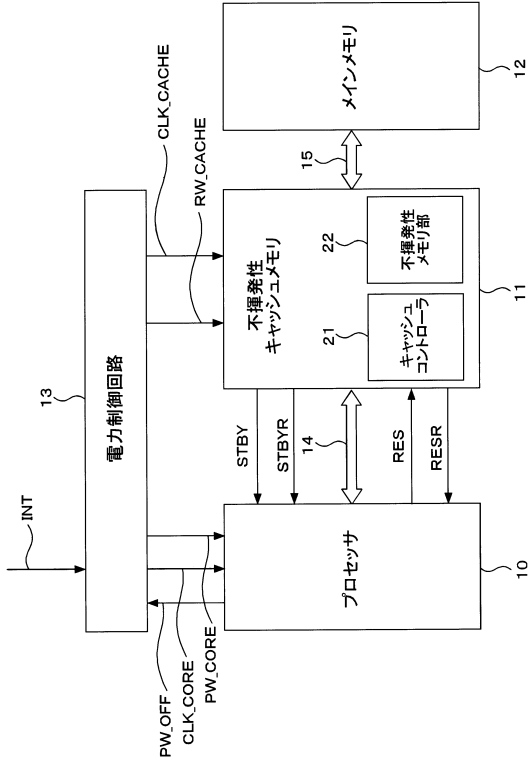
【符号の説明】

【0139】

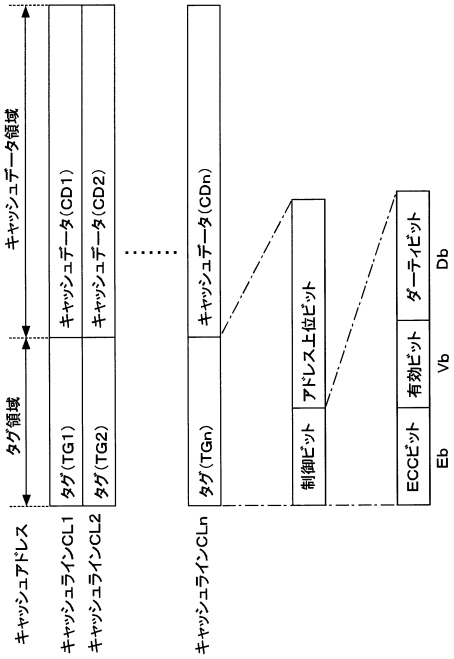
10 プロセッサ、11 不揮発性キャッシュメモリ、12 メインメモリ、13 電源制御回路、21 キャッシュコントローラ、22 不揮発性メモリ部、

50

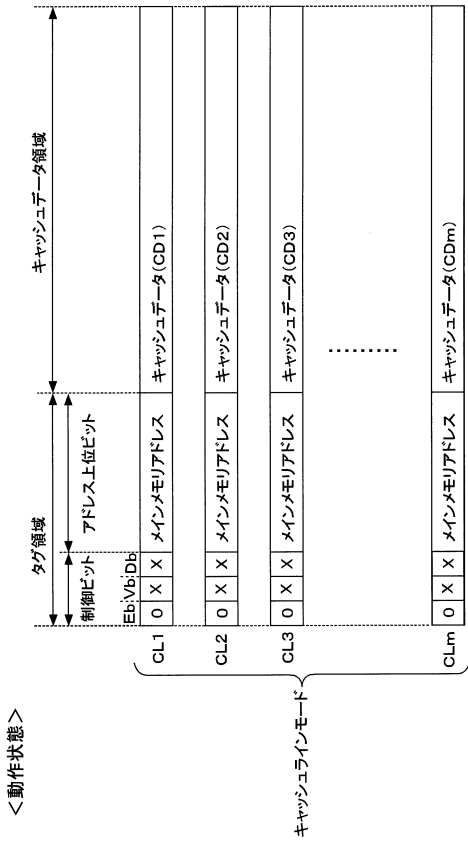
【図 1】



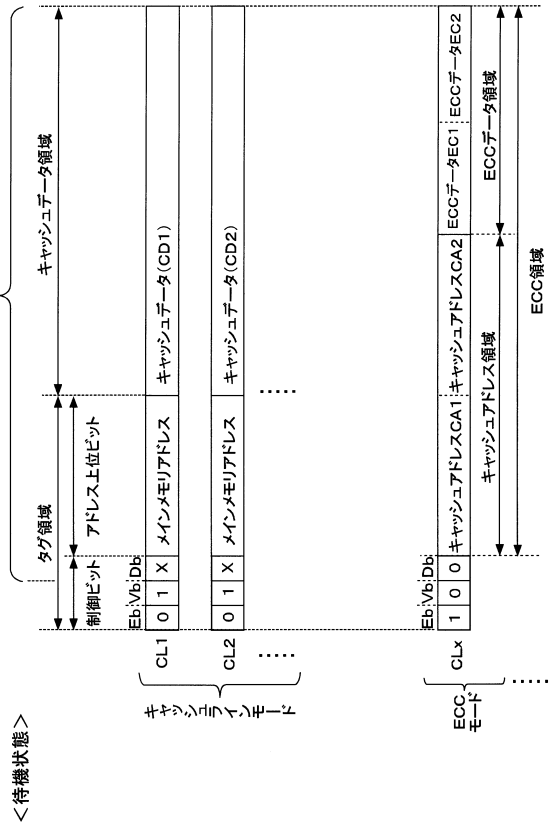
【図 2】



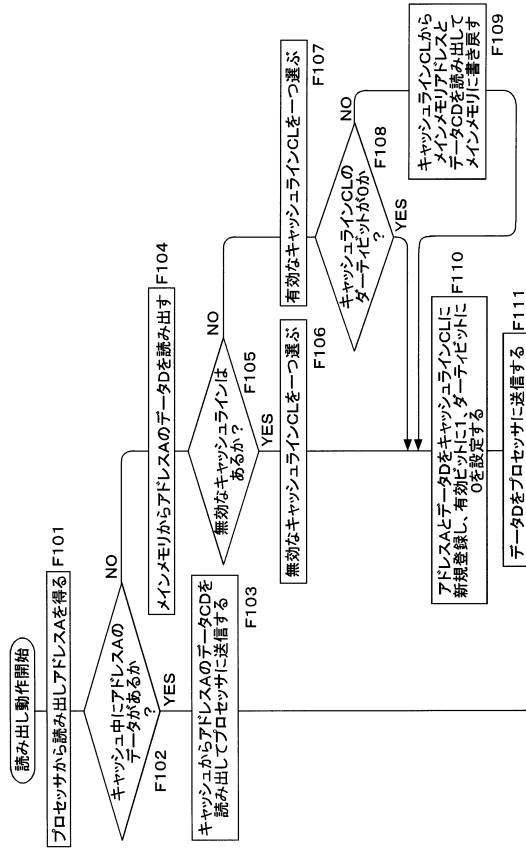
【図 3】



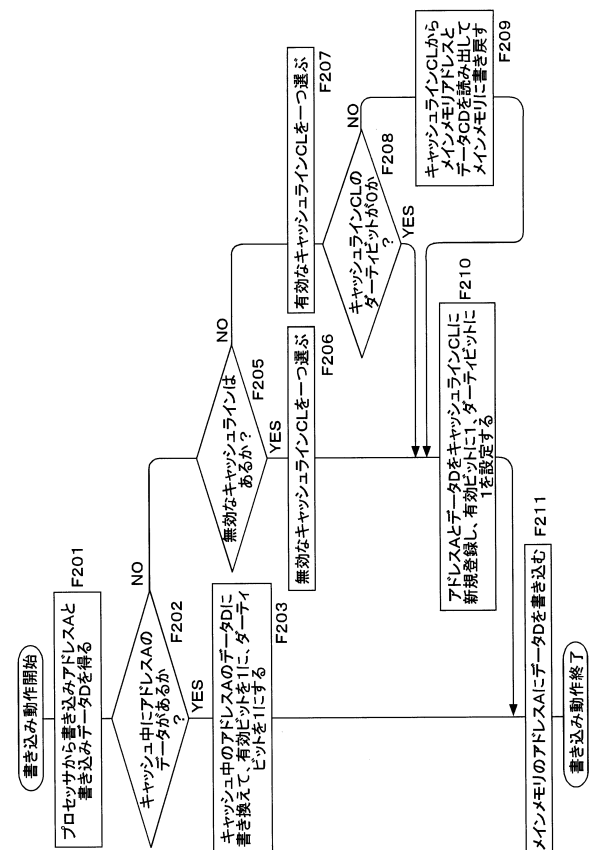
【図 4】



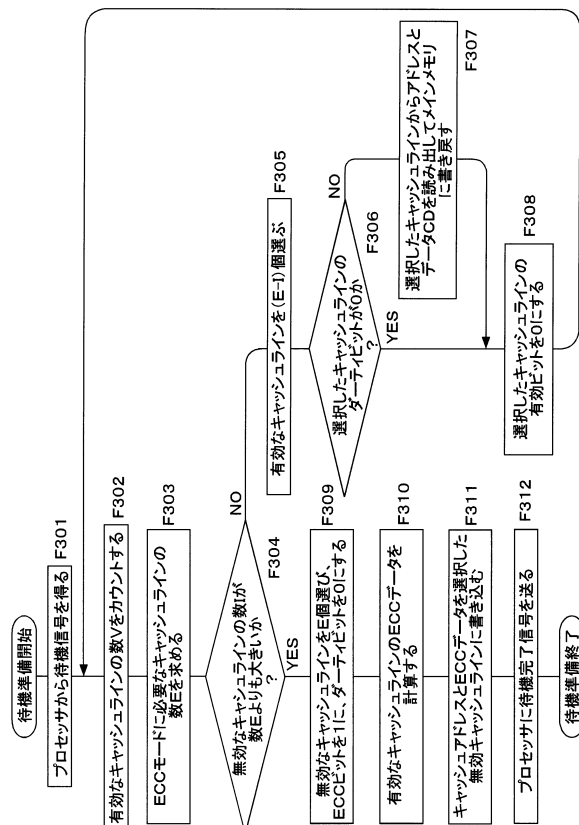
【図 5】



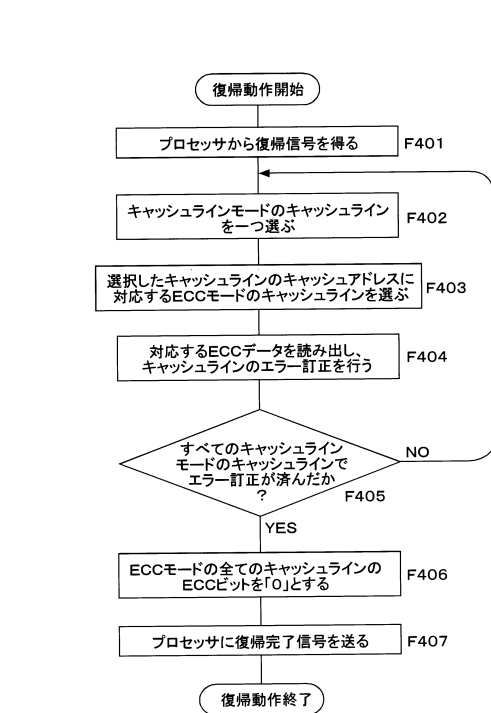
【図 6】



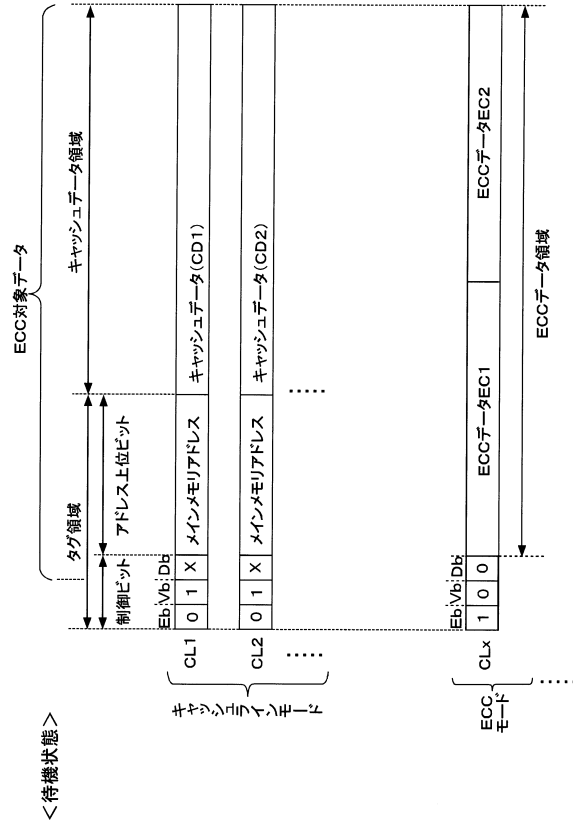
【図 7】



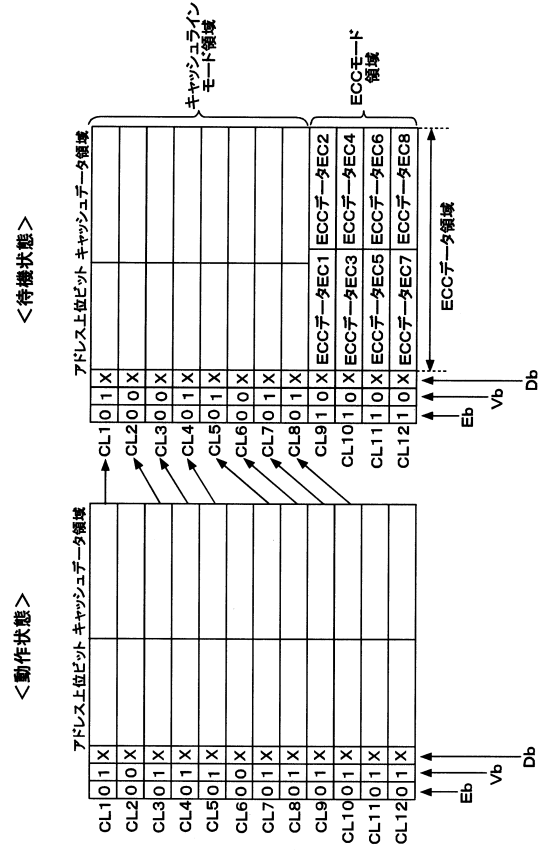
【図 8】



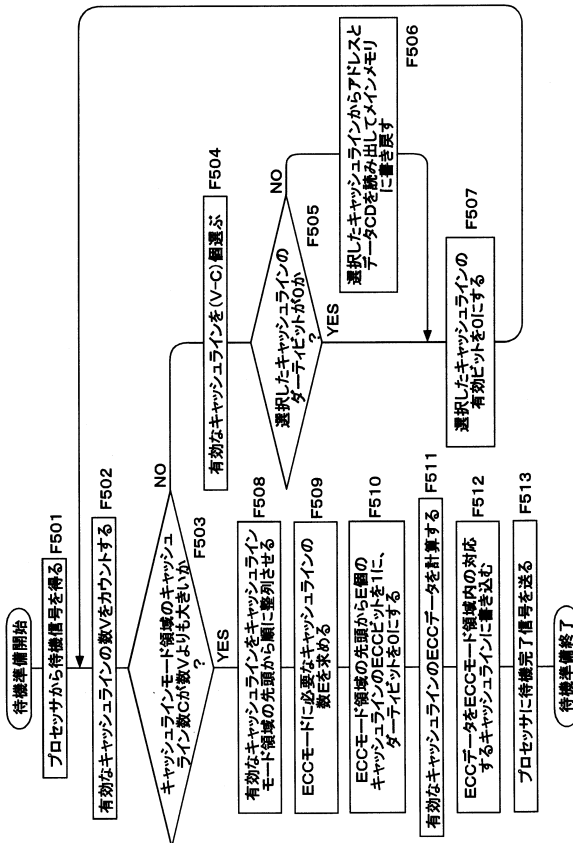
【図 9】



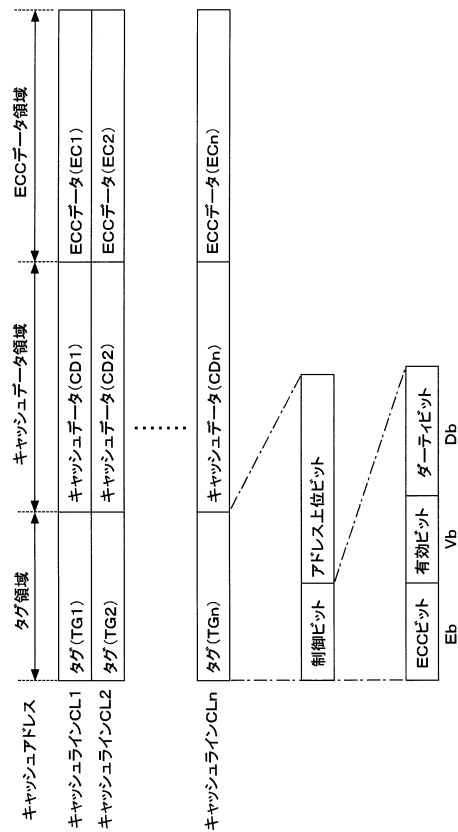
【図 10】



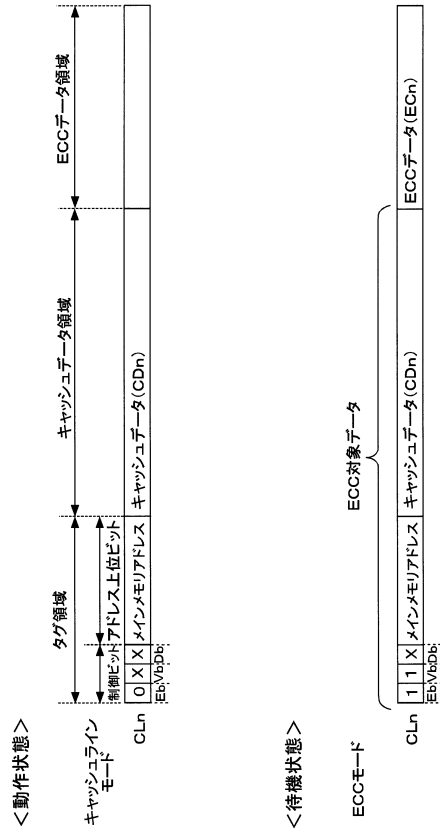
【図 11】



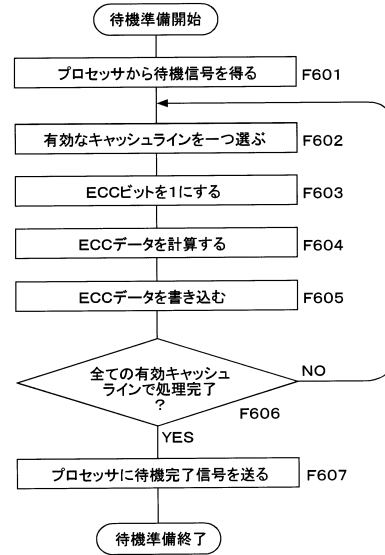
【図 12】



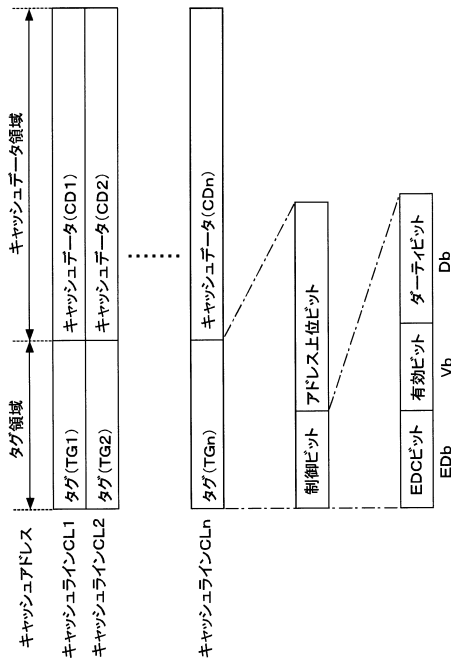
【 図 1 3 】



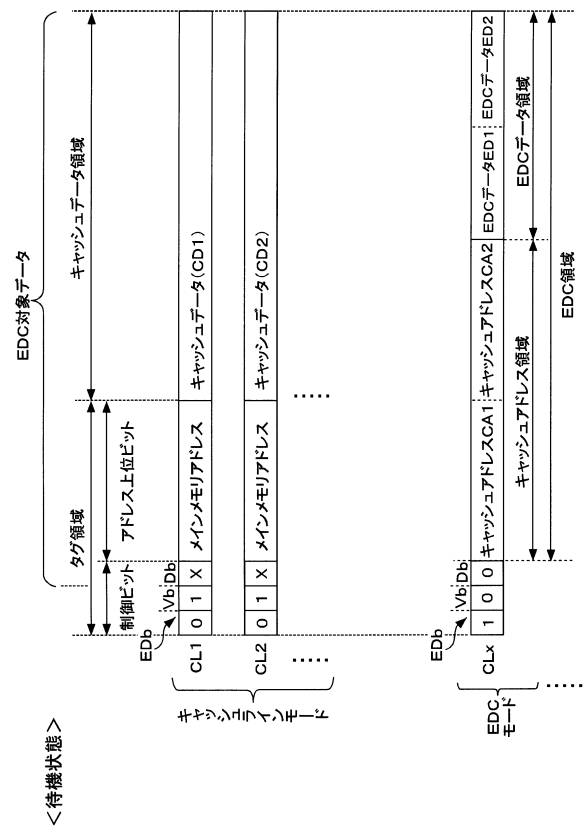
【 図 1 4 】



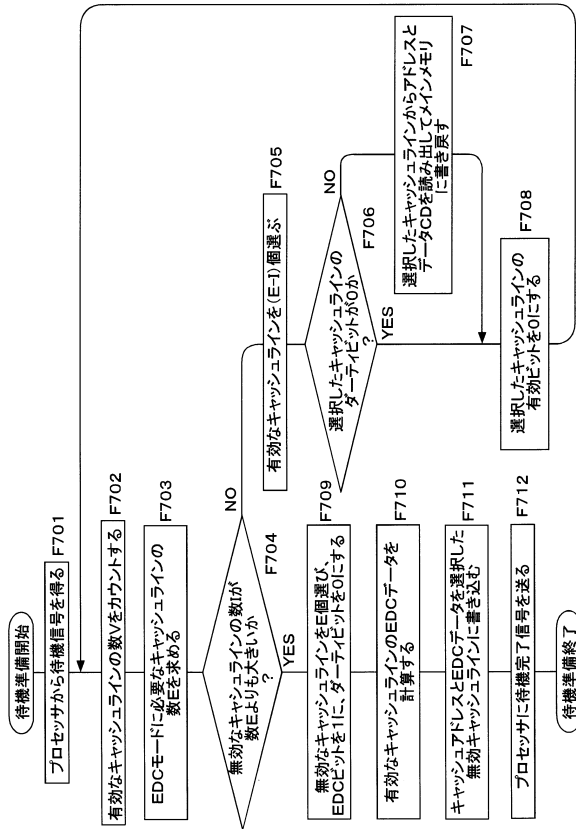
【 図 1 5 】



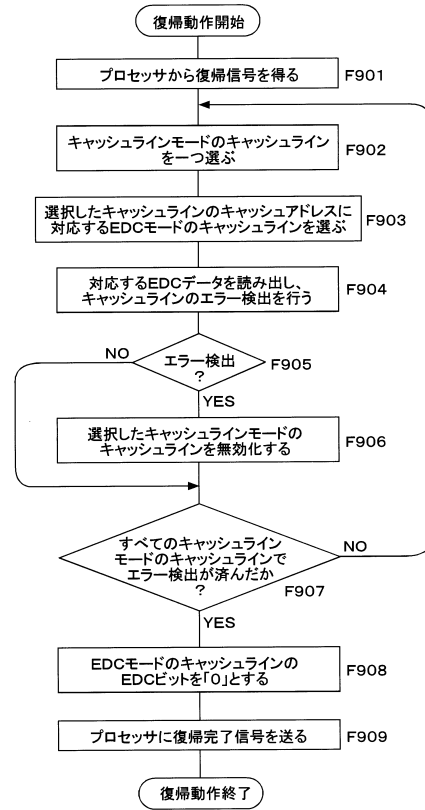
【 図 1 6 】



【図 17】



【図 18】



フロントページの続き

- (72)発明者 大森 広之
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 別所 和宏
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 浅山 徹哉
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 山根 一陽
東京都港区港南1丁目7番1号 ソニー株式会社内
- (72)発明者 内田 裕行
東京都港区港南1丁目7番1号 ソニー株式会社内

審査官 原 秀人

- (56)参考文献 国際公開第2011/107882(WO, A1)
特表2004-502237(JP, A)
特開2007-041798(JP, A)
特開2011-138273(JP, A)
国際公開第2011/081168(WO, A1)
米国特許出願公開第2010/0023681(US, A1)
Hongbin Sun 外4名, Design Techniques to Improve the Device Write Margin forMRAM-based
Cache Memory, ProceedingGLSVLSI '11 Proceedings of the 21st edition of the great lakes
symposium on Great lakes symposium on VLSI, 米国, ACM, 2011年 5月, Pages 97-102

- (58)調査した分野(Int.Cl., DB名)
G06F 12/08
G06F 12/16