(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 9 月 21 日 (21.09.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/157074 A1

(51) 国际专利分类号:
H01L 45/00 (2006.01)

(21) 国际申请号: PCT/CN2016/112081

(22) 国际申请日: 2016 年 12 月 26 日 (26.12.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610158468.2 2016 年 3 月 18 日 (18.03.2016) CN

(71) 申请人: **中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES)** [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: **刘明 (LIU, Ming)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **罗庆 (LUO, Qing)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **许晓欣 (XU, Xiaoxin)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **吕杭炳 (LV, Hangbing)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **龙世兵 (LONG, Shibing)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 **刘琦 (LIU, Qi)**; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(74) 代理人: **北京集佳知识产权代理有限公司 (UNITALEN ATTORNEYS AT LAW)**; 中国北京市朝阳区建国门外大街 22 号赛特广场 7 层, Beijing 100004 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) **Title**: SELECTOR FOR USE IN BIPOLAR RESISTIVE MEMORY AND MANUFACTURING METHOD FOR SELECTOR

(54) **发明名称** : 用于双极性阻变存储器的选择器件及其制备方法

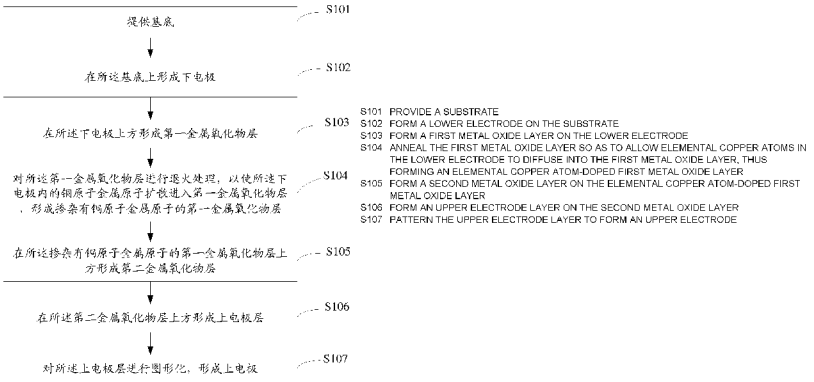


图 1

(57) **Abstract**: Disclosed are a selector for use in a bipolar resistive memory and a manufacturing method for the selector. The method comprises: providing a substrate (20) (S101); forming a lower substrate (21) on the substrate (20) (S102); forming a first metal oxide layer (22) on the lower electrode (21) (S103); annealing the first metal oxide layer (22) so as to allow metal atoms in the lower electrode (21) to diffuse into the first metal oxide layer (22), thus forming a metal atom-doped first metal oxide layer (22') (S104); forming a second metal oxide layer (23) on the metal atom-doped first metal oxide layer (22') (S105); forming an upper electrode layer (24) on the second metal oxide layer (23) (S106); and patterning the upper electrode layer (24) to form an upper electrode (S107). The selector manufactured per the method provides an increased current density, is connected in series with a resistive random access memory to form a 1S1R structure effectively suppressing the phenomenon of crosstalk in a resistive random access memory array. In addition, the selector has increased selection ratio and durability.

(57) **摘要**:

[见续页]

WO 2017/157074 A1

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

公开了一种用于双极性阻变存储器的选择器件及其制备方法。该方法包括：提供基底（20）（S101）；在基底（20）上方形成下电极（21）（S102）；在下电极（21）上方形成第一金属氧化物层（22）（S103）；对第一金属氧化物层（22）进行退火处理，以使下电极内（21）的金属原子扩散进入第一金属氧化物层（22），形成掺杂有金属原子的第一金属氧化物层（22′）（S104）；在掺杂有金属原子的第一金属氧化物层（22′）上方形成第二金属氧化物层（23）（S105）；在第二金属氧化物层（23）上方形成上电极层（24）（S106）；对上电极层（24）进行图形化，形成上电极（S107）。通过该方法制成的选择器件能够提供较高的电流密度，与阻变存储器串联后形成的 1S1R 结构能够有效抑制阻变存储器阵列中的串扰现象。而且，该选择器件具有较高的选择比和耐久性。

用于双极性阻变存储器的选择器件及其制备方法

本申请要求于 2016 年 03 月 18 日提交中国专利局、申请号为201610158468.2、发明名称为“用于双极性阻变存储器的选择器件及其制备方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体器件制造技术领域，尤其涉及一种用于双极性阻变存储器及其制备方法。

背景技术

半导体存储器，根据其掉电是否能够保持存储信息，可以分为两类：挥发性存储器和非挥发性存储器。随着便携式电子设备的普及，非挥发存储器在存储器市场中的份额也越来越大。虽然当前FLASH技术是非挥发存储器市场的主流，但随着半导体工艺节点的推进，FLASH技术正遇到一系列的瓶颈问题比如操作电压大，尺寸无法缩小，保持时间不够长等。有报道称FLASH技术的极限在16nm左右，科学界和工业界正在寻找一种可以替代FLASH的下一代非法性存储器。阻变存储器（RRAM，Resistive Random Access Memory）由于操作电压低、非破坏性读取、操作速度快和结构简单易于集成等优点成为新型非挥发性存储器的研究重点。然而阻变存储器阵列存在比较严重的串扰（Crosstalk）问题。这样的串扰问题会随着阵列的扩大而更加严重，严重影响了阻变存储器的可靠性，阻碍其迈向应用。

目前，解决阻变存储器串扰问题的方法主要有集成MOS管的阻变存储器（1T1R结构）、外界二极管的阻变存储器（1D1R结构）和串联一个选择器的阻变存储器（1S1R结构）。1T1R结构中，存储单元的面积主要取决于晶体管的面积，无法发挥RRAM结构简单器件面积小的优点，1D1R相对1S1R来说在限制漏电流方面能力偏弱。1S1R结构是目前比较理想的解决串扰问题的结构。

在1S1R结构的阻变存储器中，其选择器的高电流密度、高选择比以及高

耐久性等性能非常有利于提高1S1R结构的阻变存储器的性能。

发明内容

有鉴于此，本发明提供了一种用于双极性阻变存储器的选择器件及其制备方法，以提高选择器的电流密度、选择比以及耐久性。

为了解决上述技术问题，本发明采用了如下技术方案：

一种用于双极性阻变存储器的选择器件制备方法，包括：

提供基底；

在所述基底上形成下电极，所述下电极的材料为特定金属，其中，组成所述特定金属的原子在400℃以下的退火条件下能够发生扩散；

在所述下电极上方形成第一金属氧化物层；

对所述第一金属氧化物层进行退火处理，以使所述下电极内的金属原子扩散进入第一金属氧化物层，形成掺杂有金属原子的第一金属氧化物层；

在所述掺杂有金属原子的第一金属氧化物层上方形成第二金属氧化物层；

在所述第二金属氧化物层上方形成上电极层；

对所述上电极层进行图形化，形成上电极。

可选地，所述第一金属氧化物层或所述第二金属氧化物层的材料为 HfO_2、Al_2O_3、TaO_x、TiO_x 中的至少一种。

可选地，所述第一金属氧化物层或所述第二金属氧化物层的厚度为2nm~4nm。

可选地，退火处理时间为20~40min。

可选地，退火处理氛围为空气。

可选地，退火处理温度在400℃以下。

可选地，所述特定金属为铜、银或钛。

可选地，所述基底上设置有MOS管，所述MOS管包括源/漏极，所述在所述基底上形成下电极，具体包括：

通过光刻、刻蚀在MOS器件源/漏极上方形成栓孔；

在所述栓孔的四周形成扩散阻挡层；

向所述栓孔内填充特定金属，使特定金属铜填满整个所述栓孔，并在所述

栓孔的上方形成特定金属层;

对所述特定金属层进行化学机械平坦化，形成金属栓塞，所述金属栓塞即为下电极。

一种用于双极性阻变存储器的选择器件，包括:

形成于基底上的下电极，所述下电极的材料为特定金属，其中，组成所述特定金属的原子在400℃以下的退火条件下能够发生扩散;

形成于所述下电极上方的掺杂有金属原子的第一金属氧化物层;

形成于所述掺杂有金属原子的第一金属氧化物层上方的第二金属氧化物层;

形成于所述第二金属氧化物层上方的上电极。

可选地，所述第一金属氧化物层或所述第二金属氧化物层的材料为 HfO_2、Al_2O_3、TaO_x、TiO_x 中的至少一种。

可选地，所述第一金属氧化物层或所述第二金属氧化物层的厚度为2nm~4nm。

可选地，所述特定金属为铜、银或钛。

相较于现有技术，本发明具有以下有益效果:

通过以上技术方案可知，本发明提供的选择器件中，掺杂金属原子的第一金属氧化物层相当于选择器件的选择功能层，掺杂有金属原子的第一金属氧化物层的禁带宽度相较于未掺杂金属原子的金属氧化层的禁带宽度急剧减小，当有电场时，金属原子会在掺杂有金属原子的金属氧化物中有序排列，电压降低或者撤掉电压金属原子恢复无序排列，所以在高电压下电流较大，低电压下电流比高电压小上百倍。因此，该掺杂有金属原子的第一金属氧化物层的导电能力增强。第二金属氧化物层相当于选择器件的隧穿层，该第二金属氧化物层有利于降低选择器的漏电流，使选择器的非线性比提高。如此，本发明提供的选择器件能够提供较高的电流密度，与阻变存储器串联后形成的1S1R结构能够有效抑制阻变存储器阵列中的串扰现象。而且，该选择器件具有较高的选择比和耐久性。

此外，本发明提供的选择器在不增加存储单元面积的情况下能够有效提高存储密度，提高器件集成度。

附图说明

为了清楚地理解本发明的具体实施方式，下面将描述本发明具体实施方式时用到的附图做一简要说明。显而易见地，这些附图仅是本发明的部分实施例，本领域技术人员在未付出创造性劳动的前提下，还可以获得其它附图。

图1是本发明实施例一提供的用于双极性阻变存储器的选择器件制备方法流程示意图；

图 2A 至图 2F 是本发明实施例一提供的用于双极性阻变存储器的选择器件制备方法一系列制程对应的结构示意图；

图 3 是本发明实施例测试得到的下电极/掺杂的选择功能层/上电极结构的电流-电压关系示意图；

图 4 是本发明实施例提供的测试得到的下电极/掺杂的选择功能层+第二金属氧化物层/上电极结构的电流-电压关系示意图；

图 5 是以 HfO_2 作为第一金属氧化物层和第二金属氧化物层材料制成的选择器的电流-电压关系示意图；

图 6 是本发明实施例二提供的用于双极性阻变存储器的选择器件制备方法流程示意图；

图 7A 至图 7F 分别是本发明实施例二提供的用于双极性阻变存储器的选择器件制备方法的一系列制程对应的结构剖面示意图。

具体实施方式

为使本发明的发明目的、技术方案和技术效果更加清楚、完整，下面结合附图对本发明的具体实施方式进行详细描述。

为了清楚起见，在图中放大了层和区域的厚度，但作为示意图不应该被认为严格反映了几何尺寸的比例关系。

在此参考图是本发明的理想化实施例的示意图，本发明所示的实施例不应该被认为仅限于图中所示的区域的特定形状，而是包括所得到的形状，比如制造引起的偏差。例如干法刻蚀得到的曲线通常具有弯曲或圆润的特点，但在本

发明实施例图示中，均以矩形表示，图中的表示是示意性的，但这不应该被认为限制本发明的范围。

实施例一

图1是本发明实施例提供的用于双极性阻变存储器的选择器件制备方法流程示意图。如图1所示，该制备方法包括以下步骤：

S101、提供基底；

图2A是该制程对应的结构剖面示意图。本发明实施例所述的基底20可以为本领域常用的衬底，如，硅衬底。此外，所述基底20还可以包括但不限于其它半导体或化合物半导体，如SiC、GaAs等。

S102、在所述基底上方形成下电极，所述下电极的材料为金属；

图 2B 是该制程对应的结构剖面示意图。如图 2B 所示，在基底 20 上方形成下电极 21，该下电极的材料为特定金属，其中，组成所述特定金属的原子在 400℃以下的退火条件下能够发生扩散。作为示例，该特定金属可以为铜、银或钛。

S103、在所述下电极上方形成第一金属氧化物层；

图2C是该制程对应的结构剖面示意图。在下电极21上方形成第一金属氧化物层22。

形成该第一金属氧化物层的材料可以为金属氧化物，作为示例，该金属氧化物可以为HfO_2、Al_2O_3、TaO_x、TiO_x中的至少一种。在本发明实施例中，第一金属氧化物层22的厚度范围可以在2nm~4nm之间，优选为2nm。

该第一金属氧化物层22的作用是使选择器件的电流-电压关系呈非线性关系。

S104、对所述第一金属氧化物层进行退火处理，以使所述下电极内的金属原子扩散进入第一金属氧化物层，形成掺杂有金属原子的第一金属氧化物层；

图2D是该制程对应的结构剖面示意图。

为了提高第一金属氧化物层的选择比，本步骤对第一金属氧化物层22进行退火处理，在退火过程中，位于第一金属氧化物层22下方的下电极21内的金属原子活化，能够扩散进入第一金属氧化物层22，从而形成掺杂有金属原子的第一金属氧化物层22'。形成的掺杂有金属原子的第一金属氧化层22'相当于选择器的选择功能层。

需要说明的是，为了使得选择器件的制备方法与CMOS工艺兼容，本发明采用的退火温度一般在400℃以下。

作为示例，退火处理条件可以如下：退火温度在100~150℃之间，退火时间为20~40分钟，可选地，退火时间可以为30分钟；退火氛围可以为空气。

由于第一金属氧化物层是由金属氧化物组成，当金属原子扩散其内形成掺杂有金属原子的第一金属氧化物层22'时，掺杂金属原子的金属氧化物的禁带宽度会急剧减小，当有电场时，金属原子会在金属氧化物中有序排列（注意不是形成稳定金属细丝），电压降低或者撤掉电压金属原子恢复无序排列，所以在高电压下电流较大，低电压下电流比高电压小上百倍。因此，当外加电场时，金属原子在金属氧化物有序排列，在金属原子形成的有序通路里可以形成导电通路，但是当电场消失，金属原子会因为应力等作用而散开，导电通路消失。

S105、在所述掺杂有金属原子的第一金属氧化物层上方形成第二金属氧化物层；

图2E是该制程对应的结构剖面示意图。

作为示例，本发明可以采用磁控溅射的方法在掺杂有金属原子的第一金属氧化物层22'上方形成第二金属氧化物层23。形成该第二金属氧化物层23的材料可以为金属氧化物，作为示例，该金属氧化物可以为HfO_2、Al_2O_3、TaO_x、TiO_x中的至少一种。在本发明实施例中，第二金属氧化物层23的厚度范围可以在2nm~4nm之间。

在本发明实施例中，第二金属氧化物层23相当于选择器的隧穿层，其主要功能是降低待制成的选择器件的漏电流，使器件的非线性比提高、漏电减小。

为了更清楚地了解第二金属氧化物层的功能，本发明实施例还做了以下对比试验。

试验1：在掺杂的第一金属氧化物层上方直接形成上电极，测试该方法形成的选择器件的电流-电压关系，即测试下电极/掺杂的第一金属氧化物层/上电极结构的电流-电压关系，如此测到的电流-电压关系如图3所示。

试验2：在第二金属氧化物层上方形成上电极，测试该方法形成的选择器件的电流-电压关系，即测试下电极/掺杂的第一金属氧化物层+第二金属氧化物层/上电极结构的电流-电压关系，如此测到的电流-电压关系如图4所示。

在图3和图4中，在曲线段 ① 中，电流随电压升高的过程，曲线段 ② 表示随着电压降低，电流保持不变的过程，曲线段 ③ 表示电流急剧下降的过程。其中，曲线段 ① 的斜率表示漏电流的大小，斜率越大，漏电流越大，从图3和图4中可以看出，图4中的曲线段 ① 的斜率小于图9中的曲线段 ① 的斜率，所以，设置有第二金属氧化物层的选择器件的漏电流较小，因此，在本发明实施例中，第二金属氧化物层能够降低选择器件的漏电流，使得选择器件的非线性比提高。

需要说明的是，在本发明实施例中，掺杂的第一金属氧化物层和第二金属氧化物层共同组成了选择器的选择功能层。这两层结构的功能是用于提高选择器的非线性比。

S106、在所述第二金属氧化物层上方形成上电极层;

图2F是该制程对应的结构剖面示意图。在第二金属氧化物层23上方形成上电极层24。

在本发明实施例中，可以采用磁控溅射方法在第二金属氧化物层23的上方形成上电极层24。形成上电极层24的材料可以为金属材料Pt、W、Ru、Al中的至少一种，也可以为导电金属化合物TiN、TaN、IrO_2、ITO、IZO中至少一种。

作为本发明的具体实施例，可以采用电子束蒸发、化学气相沉积、脉冲激光沉积、原子层沉积、溅射方法中的任一种方法在所述第二金属氧化物层 23 上方形成电极层 24。形成的上电极层 24 的厚度范围可以为 30nm~200nm。

S107、对所述上电极层进行图形化，形成上电极。

以上为本发明实施例一提供的用于双极性阻变存储器的选择器件制备方法的具体实施方式，基于该制备方法，本发明实施例还提供了用于双极性阻变存储器的选择器件。该选择器件的结构示意图如图2F所示，其包括以下结构:

形成于基底 20 上方的下电极 21，所述下电极的材料为特定金属，其中，组成所述特定金属的原子在 400℃以下的退火条件下能够发生扩散;

形成于所述下电极 21 上方的掺杂有金属原子的第一金属氧化物层 22';

形成于所述掺杂有金属原子的第一金属氧化物层 22'上方的第二金属氧化物层 24;

形成于所述第二金属氧化物层上方的上电极 24。

可选地，所述特定金属为铜、银或钛。

图 5 展示了以 HfO_2 作为第一金属氧化物层和第二金属氧化物层材料制成的选择器电流-电压关系，从图 5 中可以看出，本发明实施例制成的用于双极性阻变存储器的选择器件具有典型选择器的基本性质。

以上为本发明实施例一提供的用于双极性阻变存储器的选择器件及其制备方法。在该具体实施方式中，掺杂金属原子的第一金属氧化物层相当于选择器件的选择功能层，掺杂有金属原子的第一金属氧化物层的禁带宽度相较于未掺杂金属原子的金属氧化层的禁带宽度急剧减小，当有电场时，金属原子会在掺杂有金属原子的金属氧化物中有序排列，电压降低或者撤掉电压金属原子恢复无序排列，所以在高电压下电流较大，低电压下电流比高电压小上百倍。因此，该掺杂有金属原子的第一金属氧化物层的导电能力增强。第二金属氧化物层相当于选择器件的隧穿层，因此，该第二金属氧化物层有利于降低选择器的漏电流，使选择器的非线性比提高。如此，本发明提供的选择器件能够提供较高的电流密度，与阻变存储器串联后形成的 1S1R 结构能够有效抑制阻变存储器阵列中的串扰现象。而且，该选择器件具有较高的选择比和耐久性。

此外，本发明提供的选择器在不增加存储单元面积的情况下能够有效提高存储密度，提高器件集成度。

此外，本发明提供的选择器在不增加存储单元面积的情况下能够有效提高存储密度，提高器件集成度。

此外，本发明提供的用于双极性阻变存储器的选择器件的交叉阵列利用金属铜实现互联，而且其制备过程中的各个温度小于 400℃，因此，该制备方法符合 CMOS 工艺要求，所以，本发明提供的用于双极性阻变存储器的选择器件制备方法能够为 1S1R 结构的双极性阻变存储器提供与 CMOS 工艺兼容的选择器件，便于 1S1R 结构的双极性阻变存储器的工业化生产。

此外，本发明实施例一提供的用于双极性阻变存储器的选择器件，其结构为 MIM（metal-insulator-metal）结构，相较于 MOS 器件结构，简单了很多，器件面积也小了很多，所以，该选择器件的制备工艺简单，便于与阻变存储器的集成。

上述实施例一所述的用于双极性阻变存储器及其制备方法中，其基底上没有 MOS 器件结构。实际上，在本发明实施例中，所述基底上可以设置有 MOS

器件。在设置有 MOS 器件的基底上制备用于双极性阻变存储器的选择器件的具体实施方式请参见实施例二。

实施例二

图6是本发明实施例二提供的用于双极性阻变存储器的选择器件制备方法流程示意图。如图6所示，该方法包括以下步骤:

S601、提供设置有 MOS 器件的基底:

设置有 MOS 器件的基底如图 7A 所示，其中，所述 MOS 器件 71 包括源/漏极 711 以及钝化层 712。

S602、在 MOS 器件源/漏极上方形成金属栓塞；所述金属栓塞与 MOS 器件的源/漏极电连接:

作为示例，本发明实施例可以采用标准 CMOS 工艺在 MOS 器件源/漏极 711 上方形成金属栓塞。该实现方式可以具体为:

S6021、通过光刻、刻蚀方式在MOS器件源/漏极上方形成栓孔:

该步骤具体为：通过光刻、刻蚀方式在MOS器件71源/漏极711的上方的钝化层712上形成栓孔72。栓孔72从MOS器件71的上表面贯穿至源/漏极上表面。也就是说，栓孔72贯穿钝化层712的的上下表面。该步骤结束后对应的结构示意图如图7B1所示。

S6022、在栓孔的底部和四周形成扩散阻挡层:

在栓孔72的四周形成扩散阻挡层73，该步骤结束后对应的结构示意图如图7B2所示。

作为示例，本发明形成的扩散阻挡层73的材料可以为Ti或TiN，其厚度范围为3nm~50nm。

S6023、向所述栓孔内填充特定金属，使特定金属填满整个金属栓孔，并在所述栓孔的上方形成特定金属层:

作为示例，可以采用PECVD（（Plasma Enhanced Chemical Vapor Deposition，等离子体增强化学气相沉积法）方法向栓孔72内填充特定金属74，使特定金属74填满整个栓孔72，并在栓孔72的上方形成金属层75，金属层75的厚度可以在50~5000nm。该步骤结束后对应的结构示意图如图7B3所示。

其中，组成所述特定金属的原子在400℃以下的退火条件下能够发生扩散。作为示例，特定金属可以为铜、银或钛。

S6024、对金属层进行化学机械平坦化，形成金属栓塞:

对金属层25进行化学机械平坦化即CMP，直至露出MOS器件71钝化层712的上表面，从而形成金属栓塞76。该步骤结束后对应的结构示意图如图7B4所示。 需要说明的是，形成的金属栓塞76相当于待制成的用于双极性阻变存储器的选择器的下电极。

图7B4即为采用CMOS工艺在MOS器件源/漏极上方形成金属栓塞后的结构剖面示意图。图7B4中的虚线框区域为进行后续工艺作业的示例区域。

S603、在所述金属栓塞上方形成第一金属氧化物层:

如图7C所示，在金属栓塞76上方形成第一金属氧化物层77。

该步骤与实施例一中的步骤S103相同，为了简要起见，在此不再详细描述。

S604、对所述第一金属氧化物层进行退火处理，以使所述金属栓塞内的金属原子扩散进入第一金属氧化物层，形成掺杂有金属原子的第一金属氧化物层:

如图7D所示，对第一金属氧化物层进行退火处理，以使金属栓塞内的金属原子扩散进入第一金属氧化物层77，形成掺杂有金属原子的第一金属氧化物层77'。

该步骤与实施例一中的步骤S104相同，为了简要起见，在此不再详细描述。

S605、在所述掺杂有金属原子的第一金属氧化物层上方形成第二金属氧化物层:

该步骤与实施例一中的步骤S105相同，为了简要起见，在此不再详细描述。

如图7E所示，在掺杂有金属原子的第一金属氧化物层77'上方形成第二金属氧化物层78。

S606、在所述第二金属氧化物层上方形成上电极层:

如图7F所示，在第二金属氧化物层78上方形成上电极层79。

该步骤与实施例一中的步骤S106相同，为了简要起见，在此不再详细描述。

S607、对所述上电极层进行图形化，形成上电极。

该步骤与实施例一中的步骤S107相同，为了简要起见，在此不再详细描述。

以上为本发明实施例二提供的用于双极性阻变存储器的选择器件的制备方法。通过该制备方法能够将选择器件制作在MOS管上。

基于上述提供的用于双极性阻变存储器的选择器件的制备方法，本发明实施例还提供了一种用于双极性阻变存储器的选择器件，该用于双极性阻变存储器的选择器件的结构如图7F所示，其包括:

形成于 MOS 器件 71 源/漏极 711 上方的金属栓塞 76，所述金属栓塞 76 与 MOS 器件的源/漏极 711 电连接；形成金属铜塞 76 的金属为特定金属，其中，组成所述特定金属的原子在 400℃以下的退火条件下能够发生扩散;

形成于所述金属栓塞 76 上方的掺杂有金属原子的第一金属氧化物层 77';

形成于所述掺杂有金属原子的第一金属氧化物层 77'上方的第二金属氧化物层 78;

形成于所述第二金属氧化物层 78 上方的上电极 79。

以上为本发明的优选实施例。虽然本发明已以较佳实施例披露如上，然而并非用以限定本发明。任何熟悉本领域的技术人员，在不脱离本发明技术方案范围情况下，都可利用上述揭示的方法和技术内容对本发明技术方案作出许多可能的变动和修饰，或修改为等同变化的等效实施例。因此，凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所做的任何简单修改、等同变化及修饰，均仍属于本发明技术方案保护的范围内。

权 利 要 求

1、一种用于双极性阻变存储器的选择器件制备方法，其特征在于，包括：

提供基底；

在所述基底上形成下电极，所述下电极的材料为特定金属，其中，组成所述特定金属的原子在400℃以下的退火条件下能够发生扩散；

在所述下电极上方形成第一金属氧化物层；

对所述第一金属氧化物层进行退火处理，以使所述下电极内的金属原子扩散进入第一金属氧化物层，形成掺杂有金属原子的第一金属氧化物层；

在所述掺杂有金属原子的第一金属氧化物层上方形成第二金属氧化物层；

在所述第二金属氧化物层上方形成上电极层；

对所述上电极层进行图形化，形成上电极。

2、根据权利要求1所述的方法，其特征在于，所述第一金属氧化物层或所述第二金属氧化物层的材料为 HfO_2、Al_2O_3、TaO_x、TiO_x 中的至少一种。

3、根据权利要求1所述的方法，其特征在于，所述第一金属氧化物层或所述第二金属氧化物层的厚度为2nm~4nm。

4、根据权利要求1所述的方法，其特征在于，退火处理时间为20~40min。

5、根据权利要求1所述的方法，其特征在于，退火处理氛围为空气。

6、根据权利要求1所述的方法，其特征在于，退火处理温度在400℃以下。

7、根据权利要求1-6任一项所述的方法，其特征在于，所述特定金属为铜、银或钛。

8、根据权利要求1-6任一项所述的方法，其特征在于，所述基底上设置有MOS管，所述MOS管包括源/漏极，所述在所述基底上形成下电极，具体包括：

通过光刻、刻蚀在MOS器件源/漏极上方形成栓孔；

在所述栓孔的四周形成扩散阻挡层；

向所述栓孔内填充特定金属，使特定金属铜填满整个所述栓孔，并在所述栓孔的上方形成特定金属层；

对所述特定金属层进行化学机械平坦化，形成金属栓塞，所述金属栓塞即

为下电极。

9、一种用于双极性阻变存储器的选择器件，其特征在于，包括:

形成于基底上的下电极，所述下电极的材料为特定金属，其中，组成所述特定金属的原子在400℃以下的退火条件下能够发生扩散;

形成于所述下电极上方的掺杂有金属原子的第一金属氧化物层;

形成于所述掺杂有金属原子的第一金属氧化物层上方的第二金属氧化物层;

形成于所述第二金属氧化物层上方的上电极。

10、根据权利要求9所述的选择器件，其特征在于，所述第一金属氧化物层或所述第二金属氧化物层的材料为 HfO_2、Al_2O_3、TaO_x、TiO_x 中的至少一种。

11、根据权利要求9所述的选择器件，其特征在于，所述第一金属氧化物层或所述第二金属氧化物层的厚度为2nm~4nm。

12、根据权利要求9-11任一项所述的选择器件，其特征在于，所述特定金属为铜、银或钛。


提供基底
S101
在所述基底上形成下电极
S102
在所述下电极上方形成第一金属氧化物层
S103
对所述第一金属氧化物层进行退火处理，以使所述下电极内的铜原子金属原子扩散进入第一金属氧化物层，形成掺杂有铜原子金属原子的第一金属氧化物层
S104
在所述掺杂有铜原子金属原子的第一金属氧化物层上方形成第二金属氧化物层
S105
在所述第二金属氧化物层上方形成上电极层
S106
对所述上电极层进行图形化，形成上电极
S107

图 1


20

图 2A

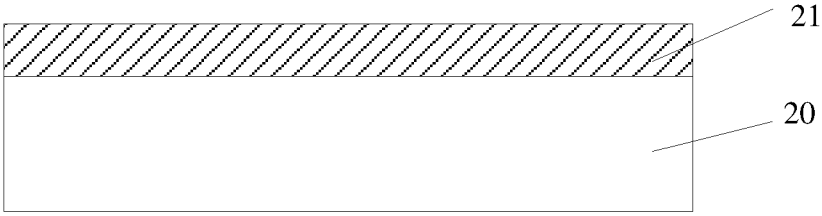

21
20

图 2B

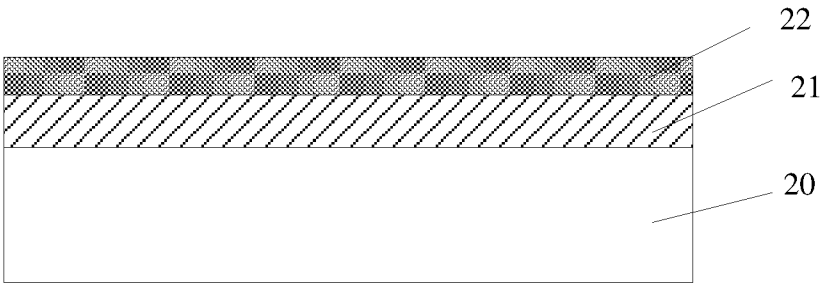


图 2C

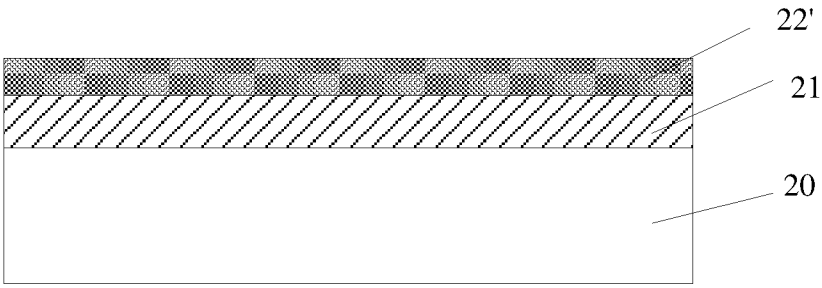


图 2D

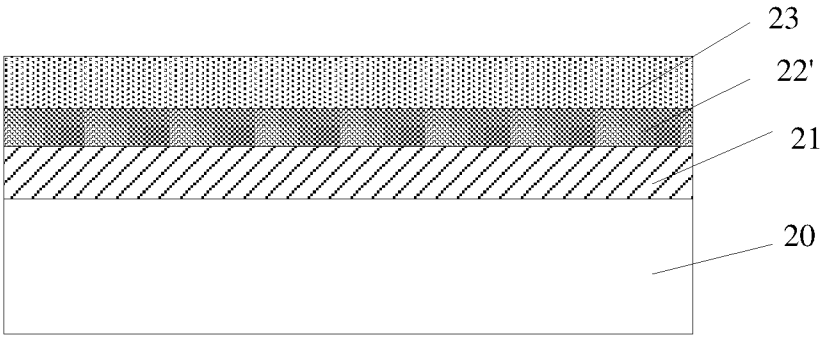


图 2E

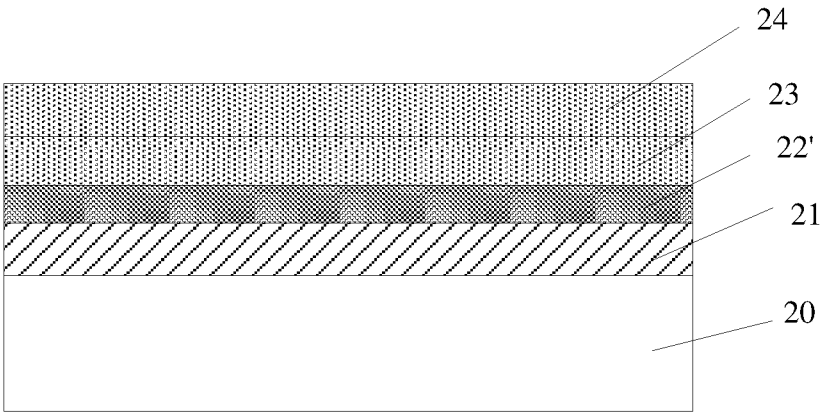


图 2F

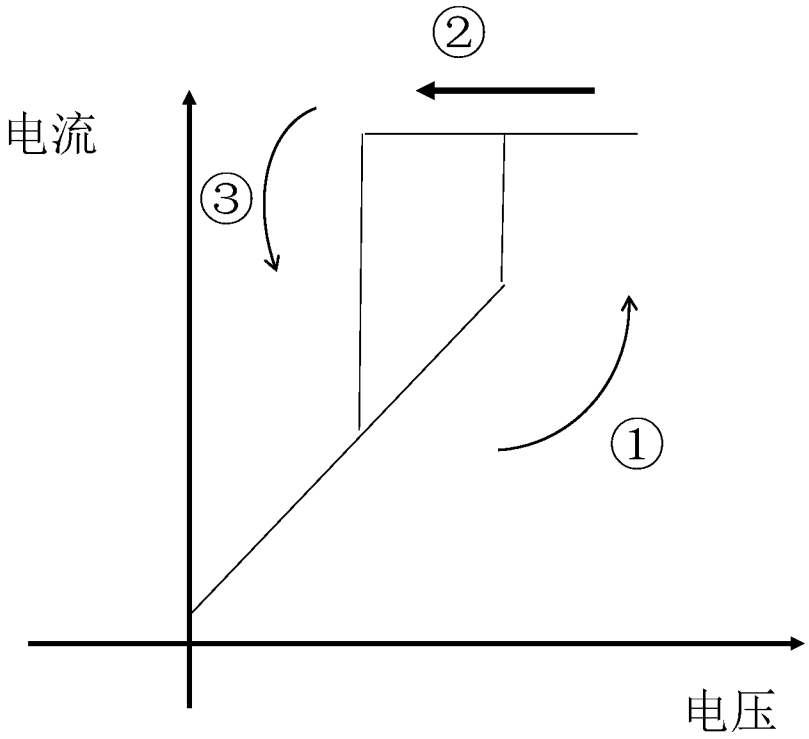


图 3

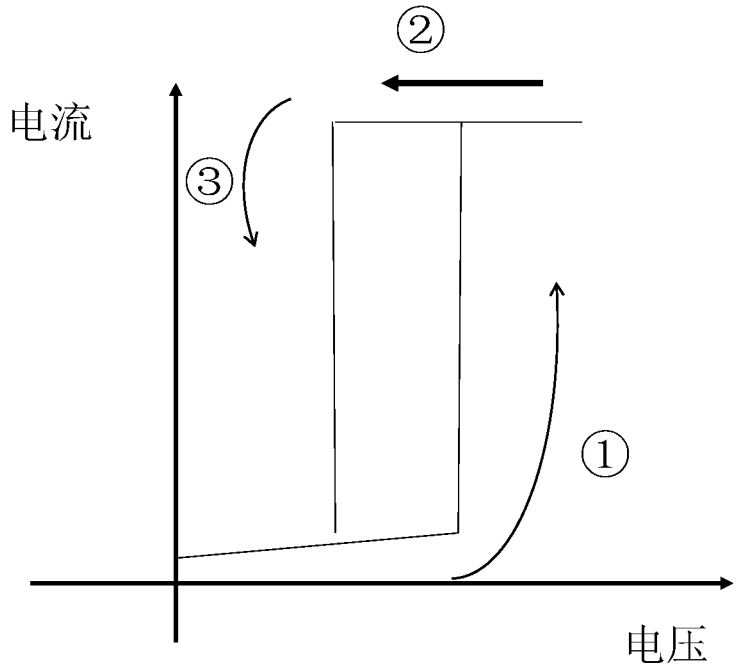


图 4

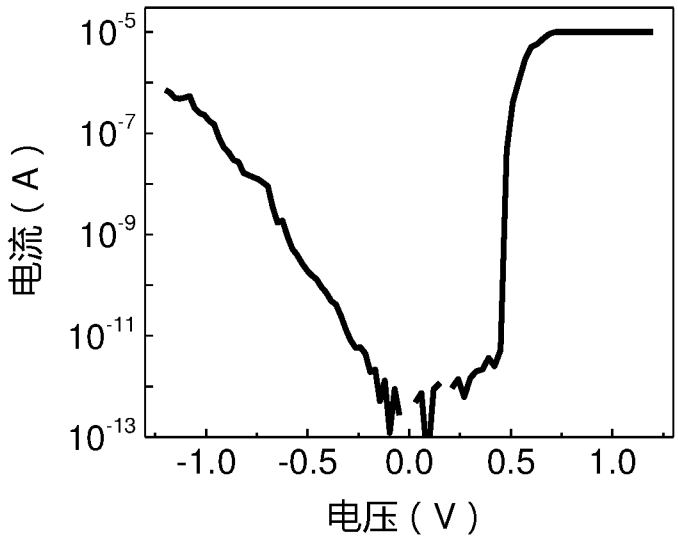

10^{-5}
10^{-7}
10^{-9}
10^{-11}
10^{-13}
电流（A）
-1.0
-0.5
0.0
0.5
1.0
电压（V）

图 5

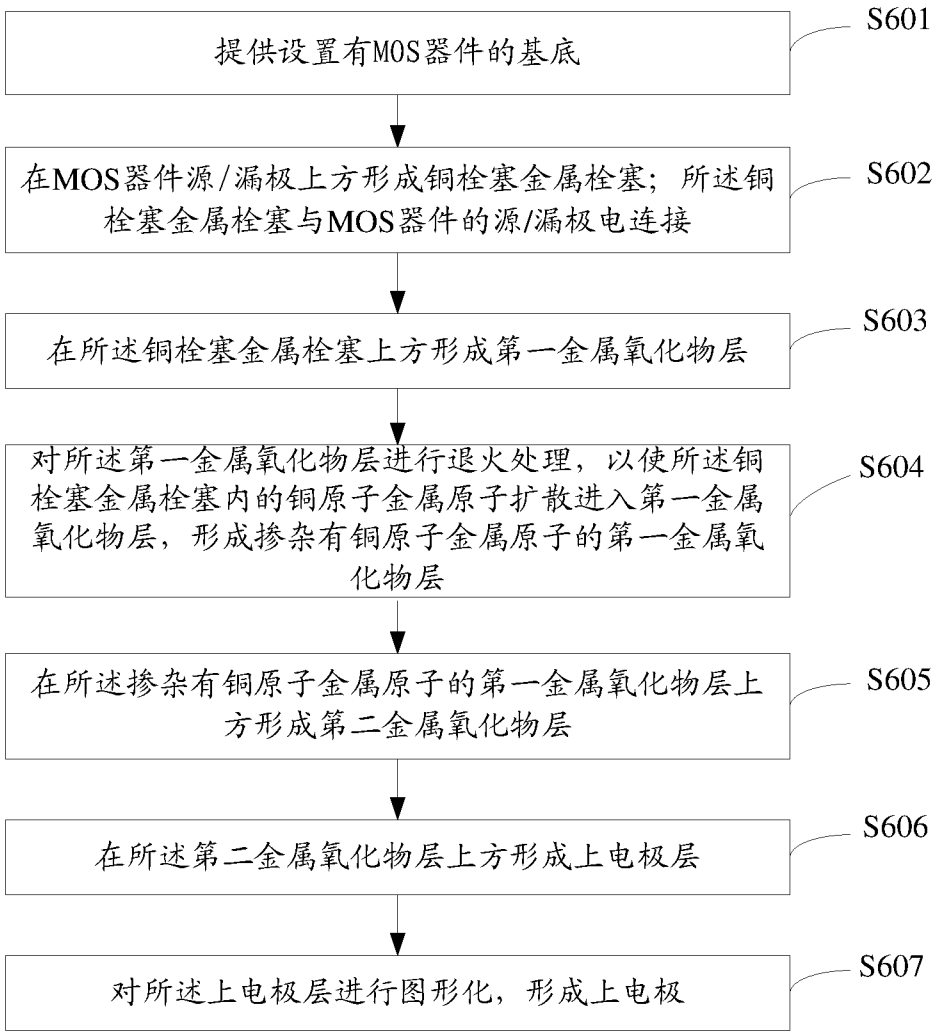

提供设置有MOS器件的基底
S601
在MOS器件源/漏极上方形成铜栓塞金属栓塞；所述铜栓塞金属栓塞与MOS器件的源/漏极电连接
S602
在所述铜栓塞金属栓塞上方形成第一金属氧化物层
S603
对所述第一金属氧化物层进行退火处理，以使所述铜栓塞金属栓塞内的铜原子金属原子扩散进入第一金属氧化物层，形成掺杂有铜原子金属原子的第一金属氧化物层
S604
在所述掺杂有铜原子金属原子的第一金属氧化物层上方形成第二金属氧化物层
S605
在所述第二金属氧化物层上方形成上电极层
S606
对所述上电极层进行图形化，形成上电极
S607

图 6

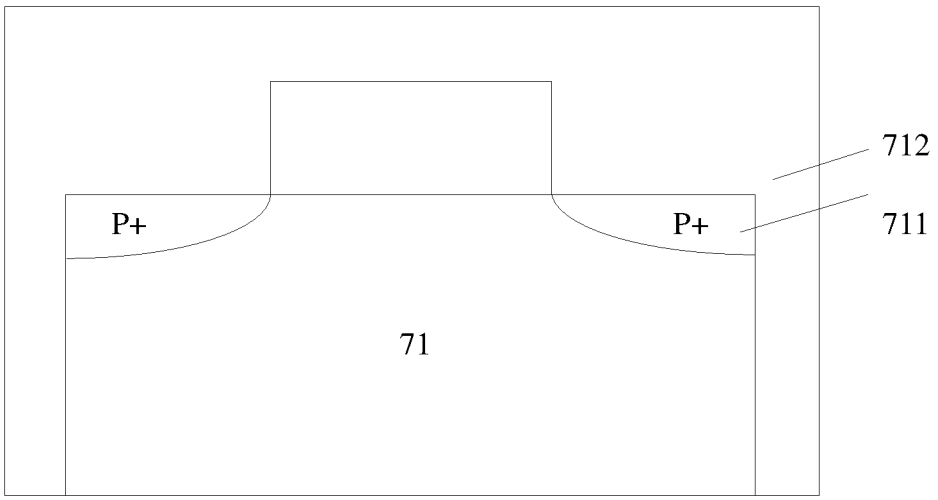


图 7A

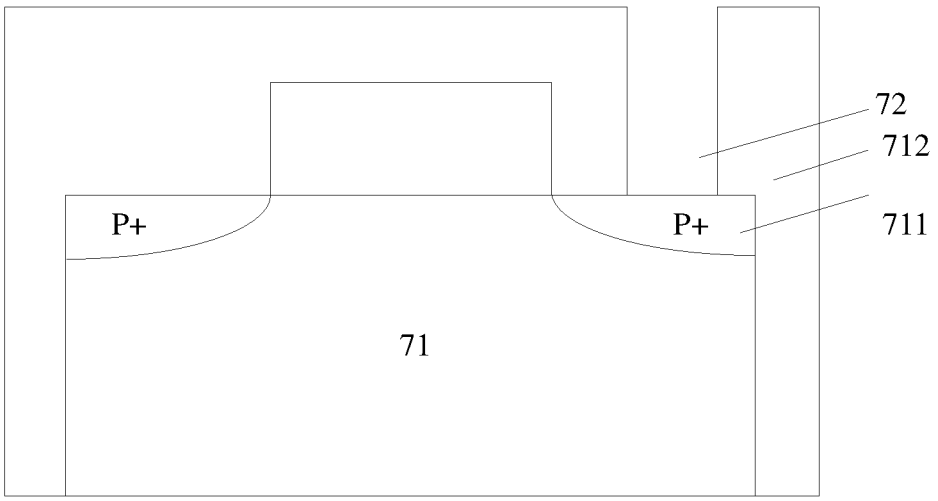


图 7B1

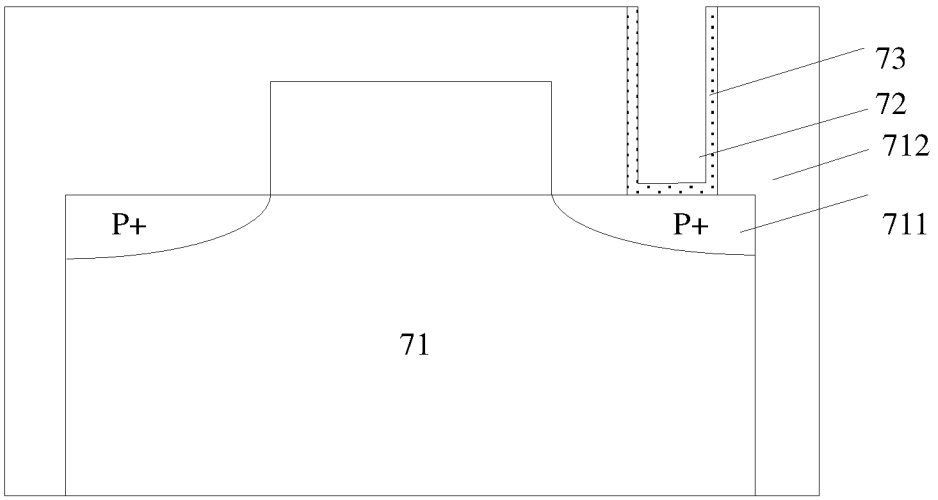


图 7B2

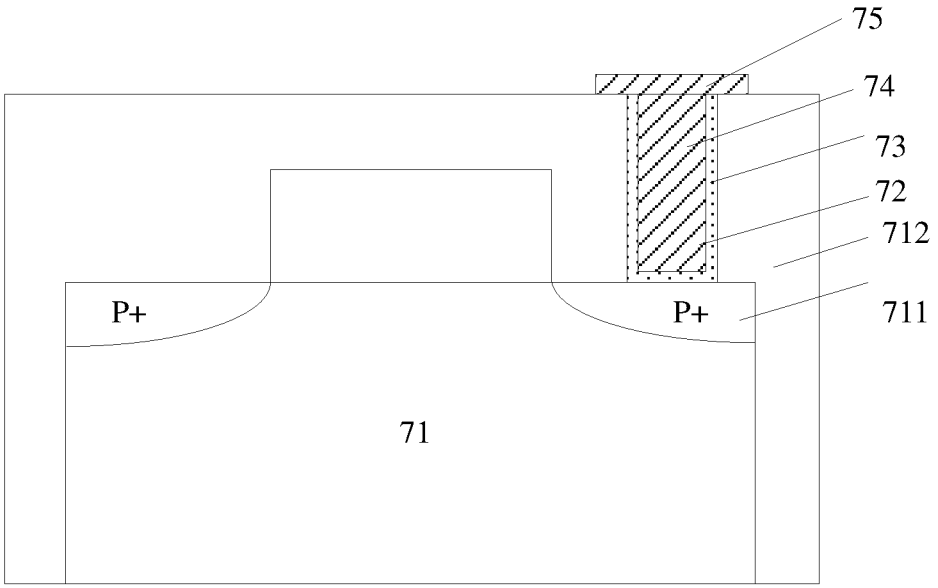


图 7B3

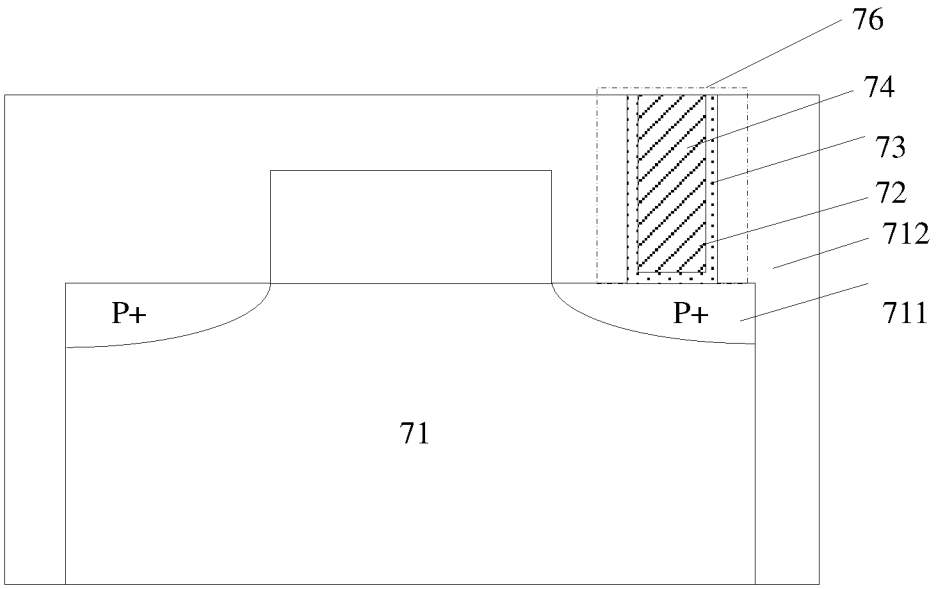


图 7B4

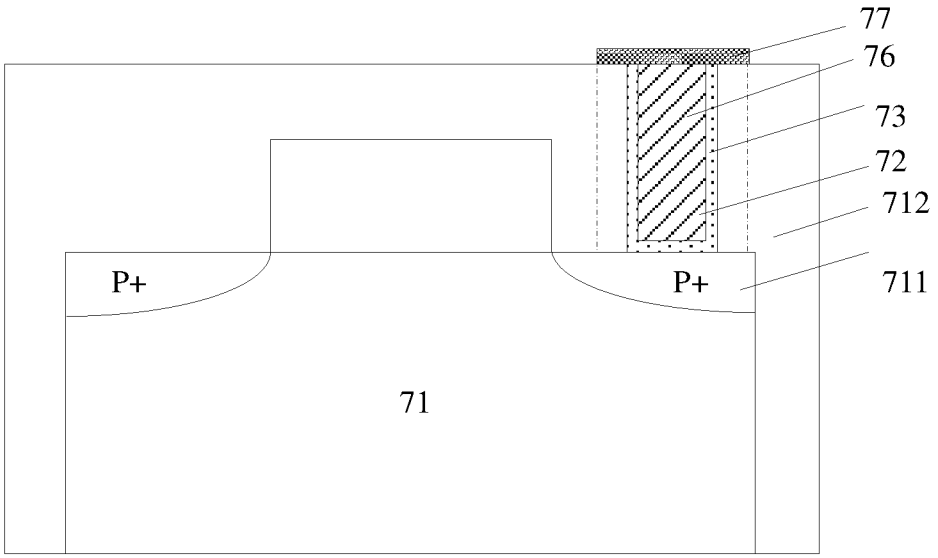


图 7C

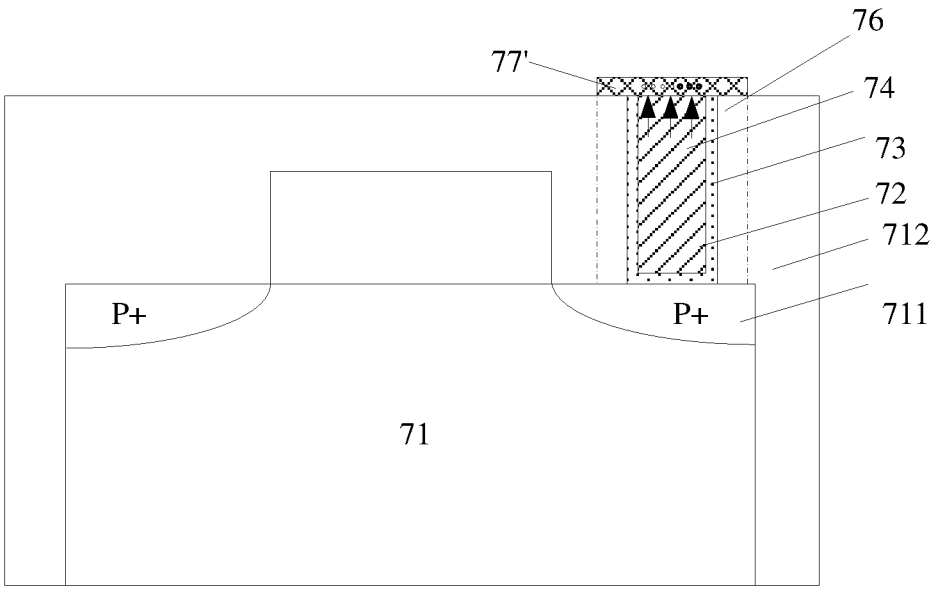


图 7D

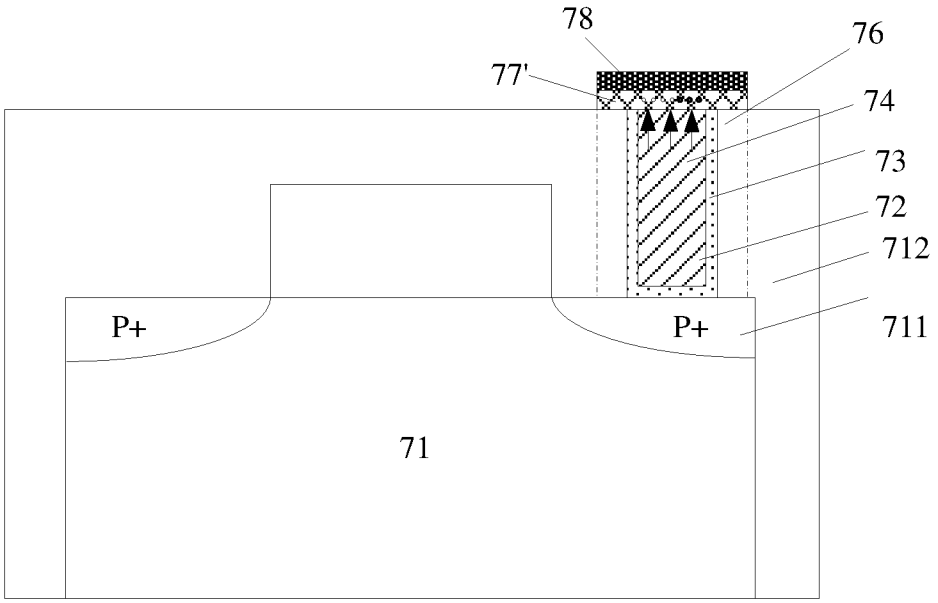


图 7E

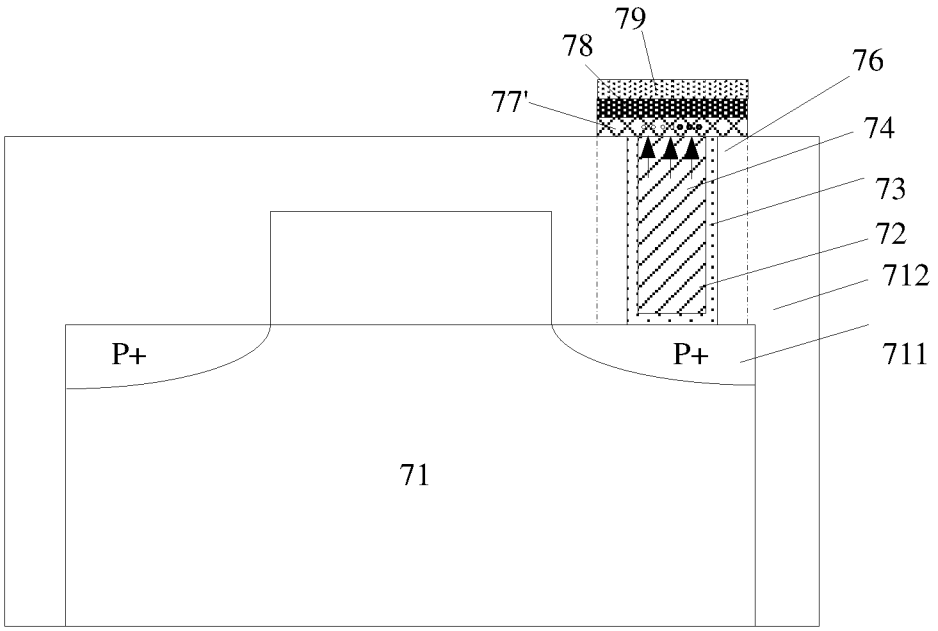


图 7F

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/112081

A. CLASSIFICATION OF SUBJECT MATTER

H01L 45/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI: memory, resistive, variable, change, ROM, random access memory, metal oxide, electrode, anneal+, dop+, metal, diffus+, crosstalk, current density, selection ratio, durability

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102832337 A (SAMSUNG ELECTRONICS CO., LTD.), 19 December 2012 (19.12.2012), see description, paragraphs [0075]-[0080], [0084]-[0085], [0092]-[0094] and [0113]-[0121], and figures 1, 3 and 8A-8G	1-12
X	CN 102130296 A (TIANJIN UNIVERSITY OF TECHNOLOGY), 20 July 2011 (20.07.2011), description, paragraphs [0003]-[0043], and claims 1-5	1-12
A	CN 103311433 A (INSTITUTE OF MICROELECTRONICS OF CHINESE ACADEMY OF SCIENCES), 18 September 2013 (18.09.2013), the whole document	1-12
A	CN 103117359 A (PEKING UNIVERSITY), 22 May 2013 (22.05.2013), the whole document	1-12
A	US 2013034947 A1 (INTERMOLECULAR INC. et al.), 07 February 2013 (07.02.2013), the whole document	1-12
A	US 2011193050 A1 (TAKANO, K. et al.), 11 August 2011 (11.08.2011), the whole document	1-12

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 March 2017 (17.03.2017)	**06 April 2017 (06.04.2017)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **YANG, Zifang** Telephone No.: (86-10) **62411806**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/112081

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102832337 A	19 December 2012	KR 20120139082 A	27 December 2012
		US 9484087 B2	01 November 2016
		EP 2535898 A1	19 December 2012
		US 2012319076 A1	20 December 2012
CN 102130296 A	20 July 2011	None	
CN 103311433 A	18 September 2013	CN 103311433 B	22 July 2015
CN 103117359 A	22 May 2013	CN 103117359 B	15 April 2015
		WO 2014121618 A1	14 August 2014
		US 2015349253 A1	03 December 2015
		US 9379322 B2	28 June 2016
US 2013034947 A1	07 February 2013	US 2014363920 A1	11 December 2014
		US 8846443 B2	30 September 2014
		US 9246096 B2	26 January 2016
		US 2015179935 A1	25 June 2015
		US 9006026 B2	14 April 2015
US 2011193050 A1	11 August 2011	JP 2011165883 A	25 August 2011
		US 8530876 B2	10 September 2013

国际检索报告

国际申请号
PCT/CN2016/112081

A. 主题的分类

H01L 45/00(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNABS,CNTXT,DWPI：阻变，存储器，金属氧化物，电极，退火，掺杂，金属，扩散，串扰，电流密度，选择比，耐久性,resistive, varitable, change, ROM, random access memory, metal oxide, electrode, anneal+, dop+, metal, diffus+, crosstalk, current density, selection ratio, durability

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 102832337 A (三星电子株式会社) 2012年 12月 19日 (2012-12-19) 参见说明书第[0075]-[0080]、[0084]-[0085]、[0092]-[0094]、[0113]-[0121]段，图1、3、8A-8G	1-12
X	CN 102130296 A (天津理工大学) 2011年 7月 20日 (2011-07-20) 说明书第[0003]-[0043]段，权利要求1-5	1-12
A	CN 103311433 A (中国科学院微电子研究所) 2013年 9月 18日 (2013-09-18) 全文	1-12
A	CN 103117359 A (北京大学) 2013年 5月 22日 (2013-05-22) 全文	1-12
A	US 2013034947 A1 (INTERMOLECULAR INC 等) 2013年 2月 7日 (2013-02-07) 全文	1-12
A	US 2011193050 A1 (TAKANO KENSUKE 等) 2011年 8月 11日 (2011-08-11) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 3月 17日	2017年 4月 6日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 杨子芳 电话号码 (86-10)62411806

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/112081

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102832337	A	2012年 12月 19日	KR	20120139082	A	2012年 12月 27日
				US	9484087	B2	2016年 11月 1日
				EP	2535898	A1	2012年 12月 19日
				US	2012319076	A1	2012年 12月 20日
CN	102130296	A	2011年 7月 20日		无		
CN	103311433	A	2013年 9月 18日	CN	103311433	B	2015年 7月 22日
CN	103117359	A	2013年 5月 22日	CN	103117359	B	2015年 4月 15日
				WO	2014121618	A1	2014年 8月 14日
				US	2015349253	A1	2015年 12月 3日
				US	9379322	B2	2016年 6月 28日
US	2013034947	A1	2013年 2月 7日	US	2014363920	A1	2014年 12月 11日
				US	8846443	B2	2014年 9月 30日
				US	9246096	B2	2016年 1月 26日
				US	2015179935	A1	2015年 6月 25日
				US	9006026	B2	2015年 4月 14日
US	2011193050	A1	2011年 8月 11日	JP	2011165883	A	2011年 8月 25日
				US	8530876	B2	2013年 9月 10日