



(12) 发明专利

(10) 授权公告号 CN 101032084 B

(45) 授权公告日 2010.05.05

(21) 申请号 200580032823.1

H03M 13/00 (2006.01)

(22) 申请日 2005.09.19

(56) 对比文件

(30) 优先权数据

60/615,418 2004.10.01 US

US 2004086059 A1, 2004.05.06, 全文.

CN 1481130 A, 2004.03.10, 全文.

US 2004054960 A1, 2004.03.18, 全文.

(85) PCT申请进入国家阶段日

2007.03.28

digital video broadcasting (DVB)

(86) PCT申请的申请数据

PCT/US2005/033342 2005.09.19

second generation framing structure,

channel coding and modulation systems for

broadcasting, interactive services, news

gathering and other broadband satellite

application

(87) PCT申请的公布数据

W02006/055086 EN 2006.05.26

V1.1.1. ETSI ATANDARDS, EUROPEAN

TELECOMMUNICATIONS STANDARDS

(73) 专利权人 汤姆逊许可公司

INSTITUTE, 2004, 1-74.

地址 法国布洛涅

审查员 王可

(72) 发明人 高文 库马尔·拉马斯瓦米

约翰·赛迪·斯图尔特

(74) 专利代理机构 北京康信知识产权代理有限

责任公司 11240

代理人 章社杲

(51) Int. Cl.

H03M 13/11 (2006.01)

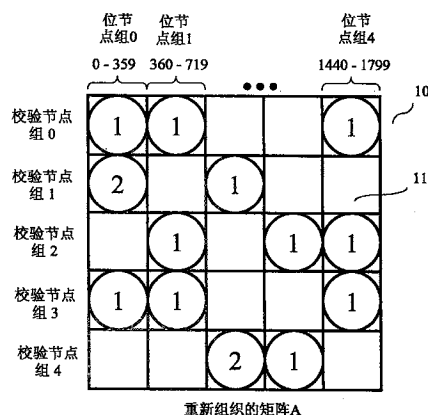
权利要求书 2 页 说明书 12 页 附图 26 页

(54) 发明名称

用于接收器的方法和设备

(57) 摘要

一种卫星接收器,包括前端、解调器和低密度奇偶校验(LDPC)解码器。该前端接收 DVB-S2 LDPC 编码的信号,并提供下变频的信号给解调器。该解调器对该下变频的信号进行解调,并提供解调的信号给 LDPC 解码器。该 LDPC 解码器具有部分并行结构,并将位节点消息分成 $N/360$ 组,将校验节点消息分成 q 组,其中 $q = M/360$ 。分别用 360 个位节点处理器或 360 个校验节点处理器来处理每一组。说明性地,该 LDPC 解码器包括这样划分的存储器,以致与位节点组关联的消息被连续寻址。作为选择,该 LDPC 解码器包括这样划分的存储器,以致与校验节点组关联的消息被连续寻址。



1. 一种用于接收器的方法,所述方法包括:
接收低密度奇偶校验 (LDPC) 编码的数据;以及
利用校验节点消息和位节点消息来处理所述接收的低密度奇偶校验编码的数据,以提供解码的数据;
其中所述接收的低密度奇偶校验编码的数据代表具有 $M \times N$ 维奇偶校验矩阵的 (N, K) 低密度奇偶校验码,其中 $M = N-K$;以及
其特征在于所述处理步骤重新组织奇偶校验矩阵使得形成 Y 组位节点和 q 组校验节点,其中 $q = Y(N-K)/N$,并且其特征还在于所述处理步骤包括:
用 J 个处理器来处理每一组校验节点消息;以及
用 J 个处理器来处理每一组位节点消息;
其中 $J = N/Y$;以及
将所述校验节点消息和所述位节点消息存储在边存储器中。
2. 根据权利要求 1 所述的方法,其中所述接收的低密度奇偶校验编码的数据是从接收的数字视频广播系统-2 信号得到的。
3. 根据权利要求 1 所述的方法,其中 $Y = N/360$ 。
4. 根据权利要求 1 所述的方法,其中所述处理校验节点消息的步骤包括以下步骤:
对每一组校验节点消息进行循环移位;
用 J 个处理器来处理每一组循环移位的校验节点消息,以提供一组新消息;以及
对每一组新消息进行循环移位,以形成一组位节点消息。
5. 根据权利要求 1 所述的方法,其中所述处理位节点消息的步骤包括以下步骤:
对每一组位节点消息进行循环移位;
用 J 个处理器来处理每一组循环移位的位节点消息,以提供一组新消息;以及
对每一组新消息进行循环移位,以形成一组校验节点消息。
6. 一种用于接收器的设备,所述设备包括:
解调器,提供低密度奇偶校验编码的数据;
低密度奇偶校验解码器,对所述低密度奇偶校验编码的数据进行解码,以提供解码的数据;
所述低密度奇偶校验编码的数据代表具有 $M \times N$ 维奇偶校验矩阵的 (N, K) 低密度奇偶校验码,其中 $M = N-K$;
其中所述低密度奇偶校验解码器通过将位节点消息分成 Y 组、并将校验节点消息分成 q 组,来处理所述低密度奇偶校验编码的数据,其中 $q = Y(N-K)/N$;并且所述低密度奇偶校验解码器还包括:
用于处理每一组位节点消息的 J 个处理器;以及
用于处理每一组校验节点消息的 J 个处理器;
其中 $J = N/Y$;
边存储器,其中,所述边存储器存储所述校验节点消息和所述位节点消息;以及
用于配置所述低密度奇偶校验解码器的配置存储器,用于以不同的码率处理所接收的低密度奇偶校验编码的数据。
7. 根据权利要求 6 所述的设备,其中所述低密度奇偶校验编码的数据是从接收的数字

视频广播系统-2 信号得到的。

8. 根据权利要求 6 所述的设备,其中 $Y = N/360$ 。

9. 根据权利要求 6 所述的设备,其中所述低密度奇偶校验解码器包括:

用于对所述校验节点消息进行移位的循环移位器;

一组位节点处理器,处理所述循环移位的校验节点消息,以提供新消息;

用于对所述新消息进行移位,以形成新的位节点消息的循环移位器;以及

一组校验节点处理器,处理所述位节点消息来提供新的校验节点消息,以便存储在所述边存储器中;

其中所述边存储器的构成使得所述新的位节点消息被连续存储。

10. 根据权利要求 6 所述的设备,其中所述低密度奇偶校验解码器包括:

一组位节点处理器,处理所述校验节点消息来提供新的位节点消息,以便存储在所述边存储器中;

用于对所述位节点消息进行移位的循环移位器;

一组校验节点处理器,处理所述循环移位的位节点消息,以提供新消息;以及

用于对所述新消息进行移位,以形成新的校验节点消息的循环移位器;

其中所述边存储器的构成使得所述新的校验节点消息被连续存储。

11. 根据权利要求 6 所述的设备,其中所述边存储器的构成使得多组位节点消息被连续存储。

12. 根据权利要求 6 所述的设备,其中所述边存储器的构成使得多组校验节点消息被连续存储。

用于接收器的方法和设备

技术领域

[0001] 本发明一般涉及通信系统,并且尤其涉及一种处理低密度奇偶校验(LDPC)编码的数据的接收器。

背景技术

[0002] 近些年来,LDPC码因为其接近香农(Shannon)极限纠错能力而得到了普及。例如,第二代数字视频广播标准(DVB-S2)采用了LDPC码作为主要纠错码,来代替第一代DVB标准中所用的卷积码(例如,见欧洲电信标准协会(ETSI)草案EN 302307, v. 1.1.1, (2004年6月))。

[0003] 通常, (N, K) LDPC码是奇偶校验码,其中 K 是待编码的位数, N 是所得编码块的大小(长度), $(N-K)$ 是由该码添加的附加纠错位。可以用矩阵形式将 (N, K) LDPC码表示为以下矩阵方程 $Hx^T = 0^T$ 的解 x 的集合。该方程也称为“奇偶校验方程”,其中上标 T 指关联矩阵的转置,且 H 被称为 $M \times N$ 维的“奇偶校验矩阵”,其中如上所述, N 对应于所得编码块的大小,且 $M = N-K$ 。修饰语“低密度”传达以下事实:奇偶校验矩阵 H 中的非零元素的部分很小,并且具体而言,与码块长度 N 成线性关系(相反,“随机”线性块码是1的预期数目以 N^2 关系增长的码)。

[0004] 如该技术领域所周知的,也可用双向图来表示LDPC码,双向图用于理解LDPC解码过程。在 $M \times N$ 维的奇偶校验矩阵 H 的环境下,对应的双向图包含与奇偶校验矩阵的 N 列对应的 N 个位节点(也称为变量节点或消息节点),而且也包含与该奇偶校验矩阵的 M 行对应的 M 个校验节点。每个校验节点都连接到一个或多个位节点。具体地说,当且仅当 $H_{m,n} = 1$, 边(或分支)将校验节点 m 连接到变量节点 n , 其中 $0 \leq n < N$ 且 $0 \leq m < M$ 。对于双向图,术语“位节点度”是指位节点所连接到的校验节点的数目。类似,术语“校验节点度”是指校验节点所连接到的位节点的数目。也应该观察到,校验节点度和位节点度也对应于奇偶校验矩阵 H 的各行和各列中1的数目。暂且转到图1,其示出了说明性的奇偶校验矩阵5和对应的双向图6,其中 $N = 7$ 且 $M = 3$ 。说明性地,位节点 x_7 的位节点度为1,且校验节点 c_3 的校验节点度为4。

[0005] 如上所述,双向图用于理解LDPC解码过程。在该环境下,在LDPC解码器中,使校验节点与校验节点处理器相关联,并使位节点与位节点处理器相关联。不幸的是,虽然LDPC解码器的解码算法在概念上简单,但是对于大码块或接近随机的奇偶校验矩阵,LDPC解码器的结构造成了重大的实施难题。对于LDPC解码器的实施,有三种周知的结构。第一种结构是全并行结构,其中所有校验节点、位节点以及它们的连接都被映射为硬件。该结构产生了超高速解码器。然而,由于高硬件复杂性,该结构对于长块长的LDPC码的解码是不切实际的。第二种结构是串行结构,其中只实施一个校验节点处理单元(CPU)和一个位节点处理单元(BPU),并将它们多次重用来完成所有解码操作。不幸的是,因为所有处理都以串行方式处理,所以串行结构产生了超低速解码器。最后,第三种结构是部分并行结构,它是第一种和第二种结构的折衷。在此,实施和重用多个BPU和多个CPU,实际上是在期望的LDPC

解码器的硬件复杂性和解码等待时间之间进行折衷。不幸的是,还没有一种高效实现部分并行 LDPC 解码器的一致的设计方法。

发明内容

[0006] 我们已观察到,可能通过利用 LDPC 奇偶校验矩阵的某些特性来减小 LDPC 解码器的复杂性,从而设计一种具有部分并行结构的更高效 LDPC 解码器。因此,根据本发明的原理,一种接收器执行包括以下步骤的 LDPC 解码方法:接收 LDPC 编码的数据;以及处理该接收的 LDPC 编码的数据,以提供解码的数据;其中该处理步骤将位节点消息分成 Y 组,并将校验节点消息分成 q 组,其中 q 随码率的而变化。

[0007] 在本发明的实施例中,卫星接收器包括前端、解调器和 LDPC 解码器。该前端接收 DVB-S2LDPC 编码的信号,并提供下变频的信号给解调器。该解调器对该下变频的信号进行解调,并提供解调的信号给 LDPC 解码器。该 LDPC 解码器具有部分并行结构,并将位节点消息分成 $N/360$ 组,将校验节点消息分成 q 组,其中 $q = M/360$ 。分别用 360 个位节点处理器或 360 个校验节点处理器来处理每一组。说明性地,该 LDPC 解码器包括这样划分的存储器,以致与位节点组关联的消息被连续寻址。

[0008] 在本发明的实施例中,卫星接收器包括前端、解调器和 LDPC 解码器。该前端接收 DVB-S2LDPC 编码的信号,并提供下变频的信号给解调器。该解调器对该下变频的信号进行解调,并提供解调的信号给 LDPC 解码器。该 LDPC 解码器具有部分并行结构,并将位节点消息分成 $N/360$ 组,将校验节点消息分成 q 组,其中 $q = M/360$ 。分别用 360 个位节点处理器或 360 个校验节点处理器来处理每一组。说明性地,该 LDPC 解码器包括这样划分的存储器,以致与校验节点组关联的消息被连续寻址。

附图说明

- [0009] 图 1 示出了关于 LDPC 编码的奇偶校验矩阵和双向图;
- [0010] 图 2 示出了表 1,该表 1 示出了一些 DVB-S2LDPC 编码参数;
- [0011] 图 3-5 示出了关于 DVB-S2LDPC 奇偶校验矩阵的一些周知的观察;
- [0012] 图 6 示出了表 2,该表 2 进一步示出了关于 DVB-S2LDPC 编码的一些观察;
- [0013] 图 7-12 示出了根据本发明原理的奇偶校验矩阵的重新组织;
- [0014] 图 13 示出了具体实施本发明原理的说明性通信系统的一部分;
- [0015] 图 14 示出了根据本发明原理的接收器的说明性实施例;
- [0016] 图 15 示出了根据本发明原理的 LDPC 解码器的说明性实施例;
- [0017] 图 16 和 17 示出了一种供根据本发明原理的 LDPC 解码器之用的说明性存储器结构;
- [0018] 图 18 示出了根据本发明原理的,供图 15 的 LDPC 解码器之用的说明性流程图;
- [0019] 图 19 示出了关于图 15 所示实施例的消息传递;
- [0020] 图 20 示出了一种供根据本发明原理的 LDPC 解码器之用的说明性存储器结构;
- [0021] 图 21 示出了图 15 的循环移位器的操作;
- [0022] 图 22 示出了一种供图 15 的 LDPC 解码器之用的说明性校验节点处理单元;
- [0023] 图 23 和 24 示出了一种供图 15 的 LDPC 解码器之用的说明性位节点处理单元;

[0024] 图 25-28 示出了根据本发明原理的另一说明性实施例 ; 以及

[0025] 图 29 示出了根据本发明原理的另一说明性实施例。

具体实施方式

[0026] 除本发明的概念以外, 图中所示的元素都是众所周知的, 并且将不详细描述。例如, 除本发明的概念以外, 卫星转发器、下行链路信号、符号星座图、载波恢复、插值、锁相环 (PLL)、射频 (rf) 前端、或接收器部分如低噪声块下变频器, 用于产生传输位流的格式化和编码方法 (如运动图像专家组 (MPEG)-2 系统标准 (ISO/IEC 13818-1)、LDPC 编码等), 以及解码方法如对数似然比、软输入软输出 (SISO) 解码器、维特比 (Viterbi) 解码器, 都是众所周知的, 不在此描述。另外, 可以利用常规编程技术来实施本发明的概念, 因而不在此描述。而且, 假定读者熟悉基于卫星的系统 (例如 DVB-S2) 和上述 ETSI 草案 EN 302307, v. 1. 1. 1, (2004 年 6 月), 并且不在此详细描述。最后, 图中相同的附图标记代表相似的元素。

[0027] 在继续描述本发明的概念之前, 先简要回顾 LDPC 解码器的现有技术解码算法。应该注意, 如该技术领域所周知的, LDPC 解码器的解码算法有时被称为消息传递算法或置信传播算法。消息传递算法本身好像相当简单。具体而言, 定义一组校验节点 $M_n = \{m : H_{m,n} = 1\}$ 和一组位节点 $N_m = \{n : H_{m,n} = 1\}$ 。令 $u_{m,n}^{(1)}$ 为第 1 次迭代期间从校验节点 m 到位节点 n 的消息, 令 $v_{n,m}^{(1)}$ 为第 1 次迭代期间从位节点 n 到校验节点 m 的消息, 并且令 $\lambda_n^{(1)}$ 表示 1 次迭代后第 n 位的后验对数似然比 (LLR) 的估计。如果将 LDPC 码块的信道观测表示为矢量 r , 则消息传递算法如下。初始化时, 计算以下:

$$[0028] \quad \lambda_n^{(0)} = \log \frac{\Pr(r | b_n = 0)}{\Pr(r | b_n = 1)} \quad (1)$$

$$[0029] \quad \text{以及, 令 } v_{n,m}^{(0)} = \lambda_n^{(0)}, \text{ 对于所有 } n \in \{0, \dots, N-1\} \text{ 和 } m \in M_n \quad (2)$$

[0030] 初始化后, 即对于迭代 $l = 1, 2, \dots, l_{\max}$, 对每次校验节点更新和位节点更新都执行以下计算。对于每次校验节点更新:

[0031] 对于 $m \in \{0, 1, \dots, M-1\}$ 和 $n \in N_m$, 计算

$$[0032] \quad u_{m,n}^{(l)} = \left(\prod_{i \in N_m - \{n\}} \text{sign}\{v_{i,m}^{(l-1)}\} \right) f \left(\sum_{i \in N_m - \{n\}} f(v_{i,m}^{(l-1)}) \right) \quad (3)$$

$$[0033] \quad \text{其中 } f(x) = \log \frac{e^x + 1}{e^x - 1}$$

[0034] 并且, 对于每次位节点更新:

[0035] 对于 $n \in \{0, 1, \dots, N-1\}$ 和 $m \in M_n$, 计算

$$[0036] \quad \lambda_n^{(l)} = \lambda_n^{(0)} + \sum_{m \in M_n} u_{m,n}^{(l)} \quad (4)$$

$$[0037] \quad v_{n,m}^{(l)} = \lambda_n^{(l)} - u_{m,n}^{(l)}$$

[0038] 解码算法的硬决策与终止判据如下:

$$[0039] \quad \text{如果 } \lambda_n^{(l)} > 0, \text{ 则 } b_n = 0, \text{ 否则 } b_n = 1 \quad (5)$$

[0040] 其中检验位序列 $b_0, b_1, \dots, b_{N-1}$ 是否满足由奇偶校验矩阵 H 定义的所有奇偶校验方程。如果满足, 则迭代终止, 否则令 $l \leftarrow (l+1)$, 并继续迭代, 直到达到最大迭代次数为止。

[0041] 如上所述, 消息传递算法本身相当简单。然而, 由于硬件约束、LDPC 码长、以及位节点与校验节点之间的接近随机连接, 使得 LDPC 解码器的实际实施不一定简单。DVB-S2 卫

星系统中所用的 LDPC 码尤其说明了这一点,将利用该 DVB-S2 卫星系统来说明本发明的概念。然而,本发明的概念不因此而受限,而是可应用于任何类型的 LDPC 解码器,而不管它是否为卫星系统的一部分。

[0042] 在 DVB-S2 中,有四种可能的调制方案:四相相移键控 (QPSK)、八相相移键控 (8-PSK)、16 幅度相移键控 (16-APSK) 和 32 幅度相移键控 (32-APSK)。在调制前,利用串行级联码方案对数据进行编码,其中 LDPC 码是内码,且 BCH (Bose-Chaudhuri-Hochquenghem) 码是外码。除 QPSK 调制外,在调制前也对 LDPC 码字位进行交织。关于编码过程,BCH 码是很弱的码,它用于在 LDPC 解码过程后校正残差,以便实现 10^{-7} 的分组误码率。关于 LDPC 编码,有两种类型的 LDPC 码。第一种类型在此被称为“正常 LDPC 码”,它具有 64800 位的码块长度。第二种类型是短 LDPC 码,它具有 16200 位的码块长度。因为这两种类型的码具有相似结构,所以在此将描述正常 LDPC 码。仅仅为方便起见、且除非另有说明,随后对术语“LDPC 码”的任何引用都表示正常 LDPC 码。然而,权利要求书中对术语“LDPC 码”的使用不因此而受限。

[0043] 对于 DVB-S2 系统 (例如,见上述 ETSI 草案 EN 302307, v. 1.1.1, (2004 年 6 月)), 有多种不同的可用 LDPC 码率,如图 2 的表 1 所示。表 1 中标记为“率”的第一列列出了这些不同的 LDPC 码率。下一列“K”列出了在那种特定的 LDPC 码率下在 LDPC 编码块中编码的数据量。在 DVB-S2 系统的环境中,该数据包括前述 BCH 编码的数据。例如,对于 1/4 码率,未编码的数据块具有 16008 位的大小 (表 1 中未示出)。然后,将该未编码的数据块进行 BCH 编码为 16200 位的 BCH 编码块 (表 1 中对应于 LDPC 1/4 码率的相应 K 值)。然后,在该特定码率下对该 BCH 编码块进行 LDPC 编码。因为在该例子中 LDPC 码率为 1/4,所以所得 LDPC 编码块的大小为 64800 位 (表 1 中未示出)。应该注意,对应的接收器根据接收的 DVB-S2 信号格式的预定义部分中所包含的数据,来确定码率。

[0044] 如可从表 1 观察到的,有 11 种可能的码率,在 1/4 到 9/10 的范围内变化。然而,如 DVB-S2 中所定义的,不同码率的码具有不同的奇偶校验矩阵。因而,不能通过刺破 (puncture) 低码率码字来得到高码率码字。因而,大码块长度和多种码率使 LDPC 解码器的硬件实施变得非常复杂。

[0045] 如前所述,对于 LDPC 解码器的实施,有三种主要结构。在 DVB-S2 的环境下,LDPC 码块长度为 64800 位,这是相当大的。另外,DVB-S2 解码器要求短等待时间。因此,全并行或串行结构不适于实施解码器,而需要设计部分并行结构。然而,还没有一致的设计方法来实施高效的部分并行 LDPC 解码器。

[0046] 为克服该困难,并且根据本发明的原理,有可能通过利用 DVB-S2 奇偶校验矩阵的某些特性来减小 LDPC 解码器的复杂性。对于不规则 LDPC 码,一条期望的规则是,校验节点度 (D_c) 的分布尽可能均匀。关于 DVB-S2 LDPC 码,可以确定对于每个关联的奇偶校验矩阵,除奇偶校验矩阵的第一个校验节点具有 (D_c-1) 的校验节点度以外,每个校验节点都有相同的校验节点度 (D_c)。因而,DVB-S2 中的 LDPC 码遵从上述规则。

[0047] 另外,已知所有 DVB-S2 奇偶校验矩阵都具有 $[A/T]$ 形式,如图 3 所示。矩阵 A 是 $M \times K$ 维的矩形矩阵,其中 $M = N - K$ 。图 4 中进一步示出了矩阵 A。应该注意,可以将矩阵 A 本身看作由两个子矩阵 A_1 和 A_2 组成的奇偶校验矩阵,其中 A_1 是 $M \times L$ 维的矩阵, A_2 是 $M \times (K-L)$ 维的矩阵。矩阵 A_1 中的位节点具有相同的位节点度,表示为 DV_1 ,同样,矩阵 A_2 中的位节点

的位节点度也相同,且固定为 $DV_2 = 3$ 。现在转到矩阵 T,该矩阵是特殊的 $M \times M$ 维的下三角矩阵,如图 5 所示。这种类型的结构有时称为阶梯结构,对于给定的度分布、它提供位节点度为 2 的位节点,即 $DV_3 = 2$ 。此外,应该注意,该下三角矩阵使能快速 LDPC 编码(例如,见 ETSI 草案 EN 302307, v. 1.1.1, (2004 年 6 月))。

[0048] 现在转到图 6,表 2 示出了对于不同 DVB-S2 码率的上述 L、 DV_1 、q 和 D_c 值。表 2 中被标记为“率”和“K”的头两列与图 2 的表 1 所示的那些列相同。

[0049] 根据本发明的原理,对矩阵 A 结构的进一步分析使 LDPC 解码器的实施更清楚明白地显示出来。具体而言,对于每一组 360 个位节点 $\{360 \times k, \dots, 360 \times k + 359\}$,可以通过索引为 $(360 \times k)$ 的第一个位节点的校验节点,来指定这组位节点所涉及的校验节点。例如,如果这组位节点中的第一个位节点涉及一组校验节点 $\{C_1, C_2, \dots, C_{DV}\}$,其中 DV 是位节点度,则索引为 $(360 \times k + m)$ 的位节点涉及如下给出的一组校验节点:

$$[0050] \quad \{c | c = (x + m \times q) \bmod M, x \in \{C_1, C_2, \dots, C_{DV}\}\} \quad (6)$$

$$[0051] \quad \text{其中 } q = \frac{M}{360}。$$

[0052] 根据上述观察,并且根据本发明的原理,位节点和校验节点每种节点都被组织为多组,以便同时执行位节点更新或校验节点更新操作。关于该特例,并且如方程 (6) 所示,每 360 个位节点 $\{360 \times k, \dots, 360 \times k + 359\}$ 可以被处理为一组,即对位节点连续分组,如

[0053] 对于 $n \in \{0, 1, \dots, (K/360) - 1\}$,第 n 位节点组将包含位节点 $\{360n, 360n+1, \dots, 360n+358, 360n+359\}$ 。

[0054] 这些位节点在此也称为系统位节点。

[0055] 关于校验节点,校验节点被如下重新排列为 q 组(其中,如上所述, $q = \frac{M}{360}$,即 q 随码率而变化):

[0056] 组 0 : $\{0, q, 2 \times q, 3 \times q, \dots, 359 \times q\}$;

[0057] 组 1 : $\{1, 1+q, 1+2 \times q, 1+3 \times q, \dots, 1+359 \times q\}$

[0058] ...

[0059] 组 $q-2$: $\{q-2, q-2+q, \dots, q-2+359 \times q\}$;以及

[0060] 组 $q-1$: $\{q-1, q-1+q, \dots, q-1+359 \times q\}$ 。

[0061] 因为 LDPC 编码块的大小为 $N = 64,800$ 位,所以以下将描述更小尺寸的 A 矩阵,以进一步说明本发明的概念。图 7 示出了根据本发明原理重新组织的矩阵 10 (A 形式的矩阵)。矩阵 10 用于具有以下参数的 LDPC 码:

[0062] $N = 10 \times 360 = 3600$;

[0063] $M = 5 \times 360 = 1800$;

[0064] $q = 5$;

[0065] $DV_1 = 4$;以及

[0066] $L = 360$ 。

[0067] 每个正方形 11 都代表 360×360 维子矩阵。除本发明的概念以外,应该注意,图 7 所示的符号在关于类似码结构的技术领域中是周知的(例如,见 David J. C. Mackay, Simon T. Wilson 和 Matthew C. Davey 的 "Comparison of Construction of Irregular

Gallager Codes”，IEEE 通信学报 (Transactions on Communications), 47 卷, 1449-1454 页, 1999 年 10 月; 以及 D. Sridhara, T. Fuja 和 R. M. Tanner 的 “Low density parity check codes from permutation matrices,” 信息、科学与系统会议 (Conf. On Info. Sciences and Sys.), The John Hopkins University, 2001 年 3 月)。具体而言, 空白正方形代表全零矩阵, 且正方形内圆中的整数代表重叠在周围正方形上的循环单位 (identity) 矩阵的数量。数 1 代表具有特定偏移量的单个循环单位矩阵, 而数 2 代表两个循环单位矩阵的组合。图 8 和 9 中进一步说明了这一点。首先转到图 8, 该图示出了在左移位循环单位矩阵的环境下的不同偏移量。矩阵 21 示出了单位矩阵。在此, 这也称为无偏移、即零偏移的循环单位矩阵。在图 8 中从左移到右, 使矩阵 21 左移位一次, 产生了矩阵 22。如果将矩阵 22 中的元素 24 的位置与它先前在矩阵 21 中的位置进行比较, 则可以观察到, 元素 24 出现在同一行, 但是已经向左移位了一列 (实际上, 使列环绕)。因而, 矩阵 22 是偏移量为 1 的循环单位矩阵。再使矩阵 22 左移位一次, 现在产生了矩阵 23。再一次, 从图 8 可以观察到, 元素 24 已从它先前在矩阵 22 中的位置向左移位了一列。因为矩阵 23 是两次左移位的结果, 所以矩阵 23 是偏移量为 2 的循环单位矩阵。可以用类似的方式得到其它偏移量, 并且虽然图 8 中没有示出, 但是也可在另一方向上等效执行右移位操作。为方便起见, 在此将左移位循环单位矩阵表示为矩阵 $I^{(y)}$, 其中上标值代表偏移量值。

[0068] 现在参考图 9, 其示出了组合循环单位矩阵的概念。组合循环单位矩阵是两个或多个循环单位矩阵的组合。关于图 9, 该图示出了两个循环单位矩阵的组合。具体而言, 矩阵 26 是图 8 的矩阵 21 和 22 的组合, 矩阵 27 是图 8 的矩阵 22 和 23 的组合, 矩阵 28 是图 8 的矩阵 21 和 23 的组合。可以用类似方式得到其它组合。

[0069] 按照以上, 图 10 再次示出了图 7 的矩阵 10 (A 形式的矩阵), 其示出了特定的左移位循环单位矩阵和组合循环单位矩阵的图案。如果子矩阵内有线, 则这代表线越过的对应子矩阵元素具有“1”值, 且其它子矩阵元素具有“0”值。对于里面没有线的子矩阵, 这代表全零子矩阵。

[0070] 结果, 由图 7 和 10 可以观察到, 对于所有的 LDPC 码, 奇偶校验矩阵的 A 矩阵包括三种类型的 360×360 维子矩阵:

[0071] - 零矩阵;

[0072] - 循环单位矩阵 $I^{(y)}$, 对于 $0 \leq y \leq 359$; 以及

[0073] - 组合循环单位矩阵 $I^{(x)} + I^{(y)}$, 对于 $x \neq y$ 、且 $0 \leq x, y \leq 359$ 。

[0074] 现在, 有另一种方式来描述 LDPC 奇偶校验矩阵。具体而言, 令 $H(m, n)$ 表示与校验节点组 m 和位节点组 n 对应的奇偶校验矩阵的 A 矩阵, 并且只显示非零子矩阵。对于奇偶校验位累加器表的地址中的第 n 行 (除本发明的概念以外, 在 ETSI 草案 EN 302307, v. 1.1.1, (2004 年 6 月) 中描述了奇偶校验位累加器的地址), 获得与第 n 位节点组对应的一组子矩阵。对于该表第 n 行中的给定数 x , 对应的校验节点组为 $m = x \bmod q$, 左循环移位数的值为 $y = \lfloor x/q \rfloor$, 且对应的子矩阵为 $H(m, n) = I^{(y)}$ 。例如, 由图 6, 对于 $1/2$ 码率, q 值等于 90, 并且由 ETSI 草案 EN 302307, v. 1.1.1, (2004 年 6 月) 的附录 B, 奇偶校验位累加器表的地址的第零行 ($n = 0$) 为:

[0075] 54, 9318, 14392, 27561, 26909, 10219, 2534, 8597。

[0076] (根据 ETSI 草案中的命名法, $1/2$ 码率的奇偶校验位累加器表的第零行, 对应于在

列中有“1”的第零个位节点的奇偶校验矩阵的行)。

[0077] 因此, A 矩阵的对应子矩阵为:

[0078] $54 : H(54, 0) = I^{(0)}$;

[0079] $9318 : H(48, 0) = I^{(103)}$;

[0080] $14392 : H(82, 0) = I^{(159)}$;

[0081] $27561 : H(21, 0) = I^{(306)}$;

[0082] $26909 : H(89, 0) = I^{(298)}$;

[0083] $10219 : H(49, 0) = I^{(113)}$;

[0084] $2534 : H(14, 0) = I^{(28)}$; 以及

[0085] $9597 : H(47, 0) = I^{(95)}$ 。

[0086] 同样, 考虑相同奇偶校验位累加器表的第一行 ($n = 1$) (再次根据 ETSI 草案 EN 302307, v. 1.1.1, (2004 年 6 月) 的附录 B):

[0087] $55, 7263, 4635, 2530, 28130, 3033, 23830, 3651$ 。

[0088] 因此, A 矩阵的对应子矩阵为:

[0089] $55 : H(55, 1) = I^{(0)}$;

[0090] $3033, 7263 : H(63, 1) = I^{(33)} + I^{(80)}$;

[0091] $4635 : H(45, 1) = I^{(51)}$;

[0092] $2530 : H(10, 1) = I^{(28)}$;

[0093] $28130 : H(50, 1) = I^{(312)}$;

[0094] $23830 : H(70, 1) = I^{(264)}$; 以及

[0095] $3651 : H(51, 1) = I^{(40)}$ 。

[0096] 应该注意, 关于第一行的 3033 和 7263 的计算都产生了相同的子矩阵 $H(63, 1)$, 但分别具有不同的循环单位矩阵 $I^{(33)}$ 和 $I^{(80)}$ 。因此, 子矩阵 $H(63, 1)$ 是如上所示的这两个循环单位矩阵之和。

[0097] 如前所述, 所有 DVB-S2 奇偶校验矩阵都具有 $[A/T]$ 形式。根据本发明的原理, 以不同于矩阵 A 中位节点的方式, 对矩阵 T 中的位节点进行分组。对于 $n \in \{(K/360), \dots, (N/360)-1\}$, 第 n 个位节点组包含以下位节点:

[0098] $K + (n - K/360) + \{0, q, 2 \times q, 3 \times q, \dots, 359 \times q\}$

[0099] 一个位节点组中的奇偶校验位节点的不连续性是由奇偶校验方程的重新排序引起的。图 11 示出了所得 T 矩阵的例子。由图 11 可以观察到, 矩阵 T 中有三种可能的 360×360 维正方形:

[0100] - 零矩阵;

[0101] - 单位矩阵 $I^{(0)}$; 以及

[0102] - 包含图 12 所示的 360×360 维特定子矩阵的正方形 $H(0, (N/360)-1)$ 。

[0103] 现在, 利用上述奇偶校验矩阵的重新排列, 来实施根据本发明原理的 LDPC 解码器。图 13 示出了根据本发明原理的通信系统的说明性部分。如可以从图 13 观察到的, 信号 104 被接收器 105 接收。信号 104 传送代表控制信令、内容 (例如视频) 等的信息。在该例子的环境下, 假定信号 104 代表被天线 (未示出) 接收后的 DVB-S2 下行链路卫星信号。接收器 105 根据本发明的原理 (下述) 来处理信号 104, 并提供信号 106, 以将特定内容传

送给如电视机 (TV) 90 所代表的多媒体终端进行显示。

[0104] 现在转到图 14, 其示出了根据本发明原理的接收器 105 的说明性部分。接收器 105 包括前端滤波器 110、模数 (A/D) 转换器 115、解调器 120、LDPC 解码器 125 和 BCH 解码器 135。前端滤波器 110 对接收的信号 104 执行下变频 (例如从卫星传输带) 和滤波, 以提供接近基带信号给 A/D 转换器 115, A/D 转换器 115 对该下变频的信号进行采样, 以便将该信号转换到数字域, 并提供作为采样序列的信号 116 给解调器 120。解调器 120 对信号 116 执行解调 (包括载波恢复), 并提供解调的信号 121 给 LDPC 解码器 125, LDPC 解码器 125 根据本发明的原理对该解调的信号点流 121 进行解码, 以提供代表 BCH 编码信号或数据流的信号 126。信号 126 被应用于 BCH 解码器 135, 以恢复如信号 136 所表示的发送数据。信号 136 的至少一些数据最终通过信号 106 被提供 (图 14 中未示出) 给 TV 90。(在这点上, 接收器 105 可以在数据应用于 TV90 之前另外处理数据, 和 / 或直接提供数据给 TV 90)。

[0105] 根据本发明的原理, 图 15 示出了 LDPC 解码器 125 的说明性实施例。LDPC 解码器 125 包括: 对数似然比 (LLR) 计算元件 205、LLR 缓冲器 210、复用器 (mux) 215、边 (edge) 存储器 220、循环移位器 225 和 235、多个校验节点处理单元 (组 CPU 处理) 230、多个位节点处理单元 (组 BPU 处理) 240、迭代终止决策元件 245 和控制器 290。控制器 290 代表存储了程序的受控处理器 (例如微处理器和关联存储器) 或状态机等。

[0106] LLR 计算元件 205 接收解调的信号点流信号 121, 并如该技术领域周知的那样计算 LLR, 以提供代表所计算的 LLR 值的信号 206, 所计算的 LLR 值代表接收的 LDPC 编码块。具体而言, LLR 计算元件 205 基于调制方案和接收信号的信噪比, 来计算码字位的 LLR 为

$$\lambda_n^{(0)} = \log \frac{\Pr(\mathbf{r} | b_n = 0)}{\Pr(\mathbf{r} | b_n = 1)}$$

。为简便起见, 利用查找表 (未示出) 来实现该功能。另外, 在经由信号 206 将 LLR 值发送到 LLR 缓冲器 210 之前, LLR 计算元件 205 也对 LLR 值进行解交织 (如前所述, 除非使用 QPSK 调制, 否则在调制之前对 LDPC 编码位流进行交织)。LLR 缓冲器 210 是存储元件, 且包括例如双缓冲器结构, 以便交替存储代表所接收的 LDPC 编码块的数据。因而, 当一个缓冲器充满时, 处理经由信号 211 来自另一个缓冲器的数据, 以便对先前收到的 LDPC 编码块解码。图 16 示出了一种供矩阵 A 的系统位节点的 LLR 缓冲器之用的说明性存储器结构 315; 而图 17 示出了一种供矩阵 T 的位节点的 LLR 缓冲器之用的说明性存储器结构 320。由图 16 和 17, 所需的存储字数为 $N/360 = 64800/360 = 180$, 其中如果假定需要 6 位来存储初始信道信息 ($\lambda_n^{(0)}$), 则一个存储字的位宽为 $360 \times 6 = 2160$ 位。因而, LLR 缓冲器 210 经由信号 211 提供 LDPC 编码块给复用器 215。复用器 215 受如控制器 290 所表示的处理器控制, 该控制器 290 控制 LDPC 解码器 125 的各元件, 为简便起见用虚箭头来表示。复用器 215 经由信号 216 提供以下三种类型数据的任一种给边存储器 220: 接收的待解码的 LDPC 编码块 (经由信号 211); 位节点处理数据 (经由信号 241); 或校验节点处理数据 (经由信号 236)。

[0107] 现在应该参考图 18, 该图示出了在用于执行 LDPC 解码的 LDPC 解码器 125 中所使用的全过程的说明性流程图。在步骤 405 中, 从 LLR 缓冲器 210 提供 LDPC 编码块给边存储器 220, 以存储在边存储器 220 中。在步骤 410 和 415 中, 执行 LDPC 解码。具体而言, 对边存储器 220 中存储的数据执行校验节点更新 (步骤 410) 和位节点更新 (步骤 415) (下述)。在步骤 420 中, 例如由以上的方程 (5) 来检查是否应该终止解码过程。如果过程被终

止,则执行返回到步骤 405,开始对下一个 LDPC 编码块解码,否则通过步骤 410 和 415 继续执行另一轮校验节点和位节点更新的解码。应该注意,为简便起见,在图 18 的流程图中没有示出错误条件。

[0108] 如上所述,边存储器 220 存储 LDPC 编码的数据,并在图 18 所示的校验节点更新和位节点更新步骤中都访问边存储器 220。边存储器 220 代表存储元件。虽然可以利用允许快速存取(虽然具有更高的设计复杂性)的寄存器来实现边存储器 220,但是给定 LDPC 编码块的长度,优选地存储体是更适合的实现。在 LDPC 解码过程中,消息通过双向图的边在位节点和校验节点之间传递。图 19 在概念上说明了这一点,该图示出了说明性双向图的一部分。例如,位节点 n 通过边 40 连接到校验节点 m ,边 40 使能位节点 n 与校验节点 m 之间的消息传递,如位节点消息 41 和校验节点消息 42 所表示。因为 LDPC 解码过程中使用的存储器与校验节点和位节点之间的边关联,所以该存储器在此被称为边存储器。因而,边存储器 220 存储经由信号 236 从校验节点到位节点的消息 $\{u_{m,n}^{(1)}\}$,或经由信号 241 从位节点到校验节点的消息 $\{v_{n,m}^{(1)}\}$ 。具体而言,并且如可以从图 18 的流程图观察到的,LDPC 解码器 125 具有至少两个阶段:校验节点更新阶段(例如如图 18 的步骤 410)和位节点更新阶段(例如如图 18 的步骤 415)。在校验节点更新阶段开始, $\{v_{n,m}^{(1-1)}\}$ 被存储在边存储器 220 的存储位置;而在校验节点更新阶段结尾, $\{u_{m,n}^{(1)}\}$ 被计算并存储在相同的存储位置。同样,在位节点更新阶段,读出 $\{u_{m,n}^{(1)}\}$ 并计算 $\{v_{n,m}^{(1)}\}$,并将其存储到相同的存储位置。因而,在部分并行结构中,取决于 LDPC 解码器的阶段,利用相同的存储位置来存储 $\{v_{n,m}^{(1)}\}$ 或 $\{u_{m,n}^{(1)}\}$ 。

[0109] 根据本发明的原理,可以根据上述奇偶校验矩阵的重新组织,按照位节点或校验节点来组织边存储器 220。应该注意,所需的总存储量对于这两种情况是相同的,因为对于特定的奇偶校验矩阵,边数是固定的。

[0110] 在一个实施例中,按照位节点来说明性地组织边存储器 220。在这种情况下,利用一个存储字来存储与循环移位单位矩阵(上述)对应的所有消息。与位节点组关联的存储字被存储在连续地址位置,这使位节点更新变得简单。图 20 示出了一种供边存储器 220 之用的说明性存储器结构 325。因为边存储器 220 的存储器是按照位节点组织的,所以该存储器也可称为位节点存储体。

[0111] 返回到图 15,边存储器 220 中存储的数据经由信号 221 被提供给位节点处理路径或校验节点处理路径。关于校验节点处理路径,该路径在校验节点更新阶段起作用(图 18 的步骤 410)。具体而言,数据(不管是初始 LDPC 编码的数据还是随后的消息数据) $\{v_{n,m}^{(1-1)}\}$ 经由循环移位器 225 被提供给组 CPU 处理 230。因为边存储器 220 是按照位节点组织的,所以循环移位器 225 循环移位存储字中的数据,以致一个校验节点组的数据被对准。图 21 中说明了这一点,该图示出了校验节点组 0/位节点组 0 的循环移位量。组 CPU 处理 230 包括 360 个校验节点处理单元(以下进一步描述),用于计算 $\{u_{m,n}^{(1)}\}$ 以及提供 $\{u_{m,n}^{(1)}\}$ 给循环移位器 235,循环移位器 235 再次重定向存储字中的数据,以致一个位节点组的数据被对准。循环移位器 235 通过信号 236,经由复用器 215 和信号 216 提供 $\{u_{m,n}^{(1)}\}$ 给边存储器 220。应该注意,可以通过在时域对循环移位器的操作进行复用,使用一个循环移位器来代替两个。现在转到位节点处理路径,该路径在位节点更新阶段起作用(图 18 的步骤 415)。具体而言,数据 $\{u_{m,n}^{(1)}\}$ 被提供给组 BPU 处理 240。组 BPU 处理 240 说明性地包括 360 个位节点处理单元(以下进一步描述),用于计算 $\{v_{n,m}^{(1)}\}$,以及通过信号 241、经由复用器 215

和信号 216 提供 $\{v_{n,m}^{(1)}\}$ 给边存储器 220。

[0112] 如上所述,组 CPU 处理 230 包括 360 个校验节点处理单元。图 22 示出了说明性校验节点处理单元 (CPU) 230-J, 其中 $0 < J \leq 360$ 。CPU 230-J 处理一组输入消息 $\{e_0, e_1, \dots, e_{D_c-1}\}$, 以提供一组对应的输出消息 $\{e'_0, e'_1, \dots, e'_{D_c-1}\}$ 。如前所述,在 LDPC 解码中利用方程 (3) 来产生这组输出消息。然而,如果实现方程 (3) 中的准确公式,则每个校验节点处理单元的复杂性将增加。的确,因为最大可能的校验节点度为 30,所以即使可通过简单的查找表来实现函数 $f(\cdot)$,加法器阵列和所有函数 $f(\cdot)$ 的实现也将变得很复杂。为了减小校验节点处理单元的复杂性,CPU 230-J 实施以下方法。具体而言,假定 $\{e_0, e_1, \dots, e_{D_c-1}\}$ 是校验节点处理单元 (CPU) 的一组输入消息。则计算

$$[0113] \quad s_k = \text{sign}(e_k) \quad (7)$$

$$[0114] \quad S = \prod_{k=0}^{D_c-1} s_k \quad (8)$$

[0115] 现在,选择这组输入消息 $|e_0|, |e_1|, \dots, |e_{D_c-1}|$ 中的 3 个最小值,并令它们的对应索引为 m_0, m_1, m_2 。此后,计算以下四个值:

$$[0116] \quad \lambda_0 = g(|e_{m_1}|, |e_{m_2}|), \quad (9)$$

$$[0117] \quad \lambda_1 = g(|e_{m_0}|, |e_{m_2}|), \quad (10)$$

$$[0118] \quad \lambda_2 = g(|e_{m_0}|, |e_{m_1}|), \quad (11)$$

$$[0119] \quad \lambda_3 = g(g(|e_{m_0}|, |e_{m_1}|), |e_{m_2}|) \quad (12)$$

[0120] 其中

$$[0121] \quad g(x, y) \equiv \text{sign}(x)\text{sign}(y)\{\min(|x|, |y|) - h(|x| - |y|)\} \quad (13)$$

$$[0122] \quad h(x) = \ln(1 + e^{-x}) \quad (14)$$

[0123] 然后,如下计算一组输出消息 $\{e'_0, e'_1, \dots, e'_{D_c-1}\}$:

$$[0124] \quad e'_k = s_k \times S \times \begin{cases} \lambda_0, \text{ for } k = m_0 \\ \lambda_1, \text{ for } k = m_1 \\ \lambda_2, \text{ for } k = m_2 \\ \lambda_3, \text{ for } k \neq m_0, m_1, m_2 \end{cases} \quad (15)$$

[0125] 其中 $0 < k \leq D_c-1$ 。在上述方法中,只利用输入消息中的三个最小值来计算 CPU 的输出消息。模拟显示出,由于该近似引起的性能损失对于 DVB-S2 中的所有 LDPC 码可以忽略。

[0126] 现在转到位节点处理,组 BPU 处理 240 包括 360 个位节点处理单元。图 23 示出了说明性位节点处理单元 (BPU) 240-I, 其中 $0 < I \leq 360$ 。BPU 240-I 处理一组输入消息 $\{e_0, e_1, \dots, e_{D_v-1}\}$, 以提供一组对应的输出消息 $\{e'_0, e'_1, \dots, e'_{D_v-1}\}$ 。位节点处理操作相当简单,并在图 24 中对其进行进一步说明。在图 24 中,术语 LLR 表示通过信号 211 从 LLR 缓冲器 210 提供的关联的位节点的对数似然比。

[0127] LDPC 解码器 125 的最后元件是实施图 18 的上述步骤 420 的迭代终止决策元件 245。如可以从图 15 和 23 观察到的,信号 242 从位节点处理路径被提供给迭代终止决策元

件 245, 以供其使用。如果 LDPC 解码被终止, 则所得的 LDPC 解码的数据经由信号 126 被提供给上述 BCH 解码器 135。迭代终止决策元件 245 向控制器 290 提供关于继续 LDPC 解码过程或开始新的、例如下一个 LDPC 编码块的 LDPC 解码过程的信令 (未示出)。

[0128] 如前所述, DVB-S2 支持多种具有预定义奇偶校验矩阵的码率, 并且接收器根据收到的 DVB-S2 信号格式的预定义部分中所包含的数据, 来确定码率。在该环境下, 控制器 290 利用确定的调制类型, 为前述 LLR 计算选择不同的查找表 (未示出), 以及选择不同的交织方案 (如 DVB-S2 中所定义的)。控制器 290 也根据本发明的原理来配置 LDPC 解码器 125, 以便根据按照前述原理组织的奇偶校验矩阵, 以不同的码率处理所接收的 LDPC 编码的信号。例如, 可以事前将上述子矩阵计算 ($H(m, n)$) 存储在存储器 (例如图 15 的配置存储器 295) 中, 以便随后用于对于如图 6 的表 2 所示的不同参数, 处理接收的 LDPC 编码的数据。

[0129] 图 25 示出了 LDPC 解码器 125 的另一说明性实施例。除了边存储器 220 是按照校验节点组织的 (并且也可称为校验节点存储体), 该配置类似于图 15 所示的配置, 并且以类似的方式起作用 (例如见图 18、22、23 和 24)。因而, 两个循环移位器 225 和 235 现在位于组 BPU 处理 240 之前和之后。再一次应该注意, 通过在时域对循环移位器的操作进行简单复用, 可以使用一个循环移位器来代替两个。

[0130] 关于按照校验节点来组织边存储器 220, 与一个校验节点组对应的校验节点存储器被放在一起, 并且使用一个存储位置例如存储字, 来存储与特定循环单位矩阵对应的所有消息。换句话说, 一个存储字存储通过与特定循环单位矩阵关联的边发送的所有消息。如前所观察到的, 并且如图 6 的表 2 所示, 对于 LDPC 码, 除第 0 个校验节点具有校验节点度 (D_c-1) 以外, 所有校验节点的度 D_c 都相同。说明性地, 考虑以下使用 1/2 码率 LDPC 码的例子, 其中由图 6 的表 2, $D_c = 7$, 且第 63 个校验节点组对应于以下作为奇偶校验矩阵中子矩阵的方阵 (如前所述进行计算):

$$[0131] \quad H(63, 1) = I^{(33)} + I^{(80)};$$

$$[0132] \quad H(63, 9) = I^{(0)};$$

$$[0133] \quad H(63, 29) = I^{(324)};$$

$$[0134] \quad H(63, 34) = I^{(132)};$$

$$[0135] \quad H(63, 62) = I^{(0)}; \text{以及}$$

$$[0136] \quad H(63, 63) = I^{(0)}。$$

[0137] 图 26 示出了与第 63 个校验节点组对应的边存储器 220 内的说明性存储体 305。如果将存储体 305 的每一行都看作单个存储字, 则如图所示, 校验节点组只需要 $D_c = 7$ 个存储字。的确, 然后将所有校验节点的所有存储体都放在一起, 并以线性方式寻址。图 27 示出了边存储器 220 的该说明性存储器结构 310。存储器结构 310 的边存储器 220 的地址空间是 $\{0, 1, 2, \dots, qD_c-1\}$ 。换句话说, 该地址空间的大小为 $(q \times D_c)$ 。图 28 的表 3 示出了对于不同 LDPC 码率所需的存储空间。如可以从表 3 观察到的, 所需的最大存储字数为 792。如果再次假定每个位节点消息或校验节点消息为 6 位宽, 则存储字的位宽为 $360 \times 6 = 2160$ 位。

[0138] 图 29 示出了本发明的概念的另一说明性实施例。在该说明性实施例中, 供接收器 (未示出) 之用的集成电路 (IC) 705 包括 LDPC 解码器 720 和至少一个寄存器 710, 该寄存器 710 连接到总线 751。说明性地, IC 705 是集成解调器 / 解码器。然而, 只示出了与本

发明的概念相关的 IC 705 的那些部分。例如,为简便起见,没有示出模数转换器、滤波器、解码器等。总线 751 提供和如处理器 750 所表示的接收器的其它部件之间的来往通信。寄存器 710 代表 IC 705 的一个或多个寄存器,其中每个寄存器都包括如位 709 所表示的一位或多位,用于控制 IC 705 的操作。IC 705 的寄存器或寄存器的部分可以是只读、只写或可读/写的。LDPC 解码器 720 经由内部总线 711 连接到寄存器 710,该内部总线 711 代表 IC 705 的其它信号路径和/或部件,用于将 LDPC 解码器 720 与寄存器 710 对接,如该技术领域所周知的。根据本发明的原理,LDPC 解码器 720 包括上述组 CPU 和组 BPU。在图 14 的环境下,IC 705 经由 IC 705 的输入引脚或引线接收 IF 信号 701(例如图 14 的信号 116)以便处理。该信号的衍生物 702 被应用于 LDPC 解码器 720,以便根据如上所述的本发明的原理(例如图 15 和 24)对其进行 LDPC 解码。LDPC 解码器 720 提供作为 LDPC 解码的位流的信号 721。IC705 提供如信号 706 所表示的一个或多个已恢复信号。例如,信号 706 代表来自 IC 705 的 BCH 解码器(未示出)的信号 136。在 IC 705 的另一种变型中,信号 706 代表图 13 的信号 106。

[0139] 如上所述,并且根据本发明的原理,描述和显示了一种能够处理多种不同码率的 LDPC 解码器。而且,应该注意,可以将上述循环移位单位矩阵等效推广到置换矩阵。在这种情况下,用置换网络来代替上述循环移位器。

[0140] 鉴于以上,应该注意,虽然在卫星通信系统的环境下描述了本发明的概念,但是本发明的概念不因此而受限。例如,图 13 的元件可以代表其它类型的系统和其它形式的多媒体终端,例如卫星无线电、地面广播、有线电视等。而且,虽然在此在单个解调器的环境下进行了描述,但是应该认识到,本发明的概念可应用于其中可在不同信号层传送信息的多调制接收器,例如分层调制接收器、分级调制接收器或它们的组合等。当然,本发明可应用于其中执行 LDPC 解码的任何类型的接收器。因而,本发明的概念不限于 DVB-S2LDPC 码的解码。

[0141] 因而,上述描述仅仅说明了本发明的原理,从而应该理解,本领域技术人员将能够设计出许多虽然没有在此明确描述,但是具体实施本发明的原理,且在本发明精神和范围内的替换配置。例如,虽然在分离的功能元件的环境下进行了说明,但是可以在一个或多个集成电路(IC)上具体实施这些功能元件。类似,虽然被显示为分离的元件,但是可以在存储有程序的受控处理器中,如执行例如与图 14、15 和/或 24 所示元件的一个或多个元件相对应的关联软件的数字信号处理器(DSP)或微处理器等中,实施任何或所有元件。此外,虽然被显示为分离的元件,但是其中的元件可以以任何组合方式分布在不同单元中。例如,接收器 105 可以是 TV 90 的一部分,或者接收器 105 可以位于分布系统的更上游,例如位于头端,于是可将内容重发给网络的其它节点和/或接收器。因此,应该理解,在不脱离如所附权利要求所定义的本发明精神和范围的情况下,可以对说明性实施例进行诸多修改,并且可以设计其它配置。

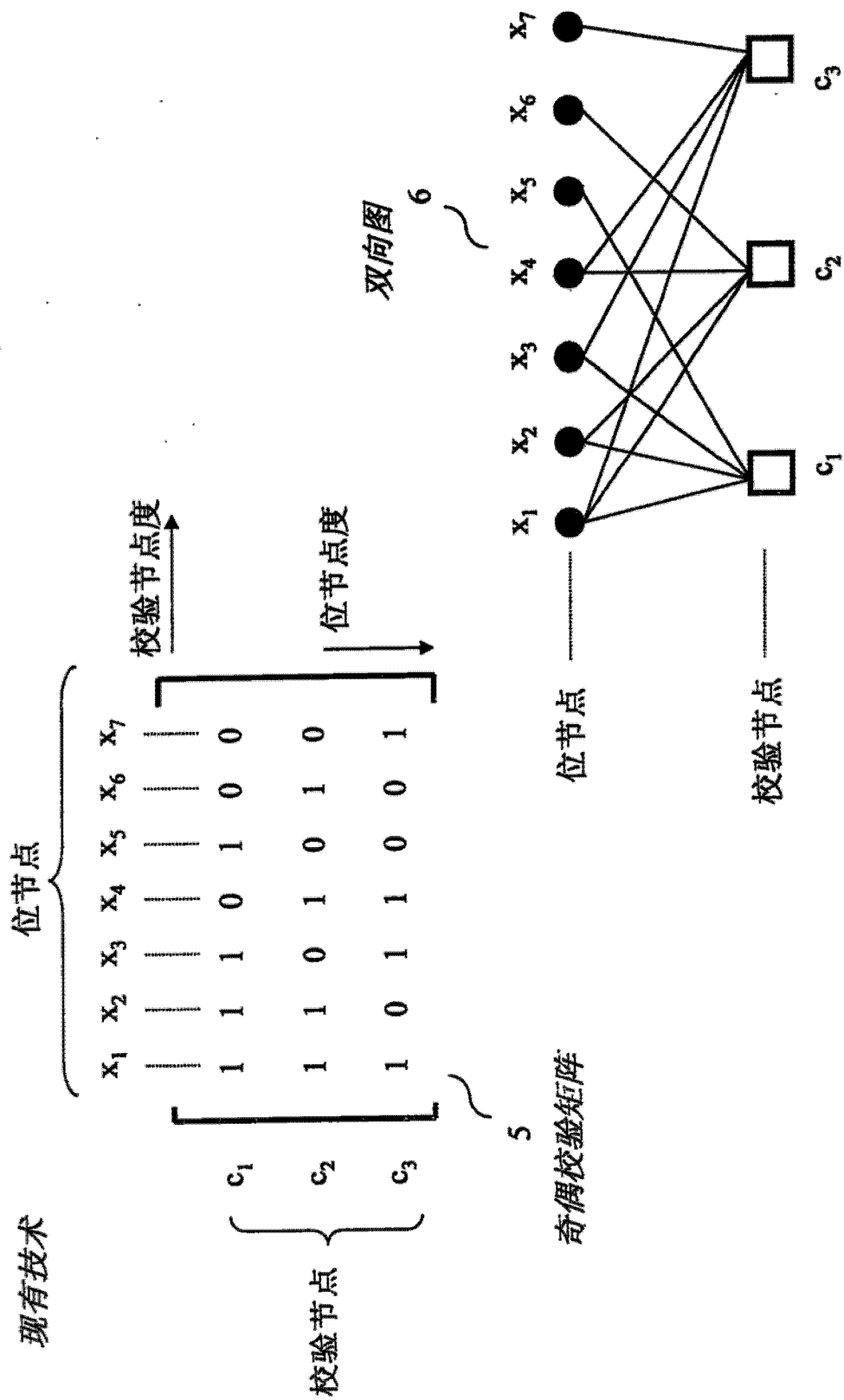


图 1

表 1

率	K
1/4	16200
1/3	21600
2/5	25920
1/2	32400
3/5	38880
2/3	43200
3/4	48600
4/5	51840
5/6	54000
8/9	57600
9/10	58320

图 2 现有技术

现有技术

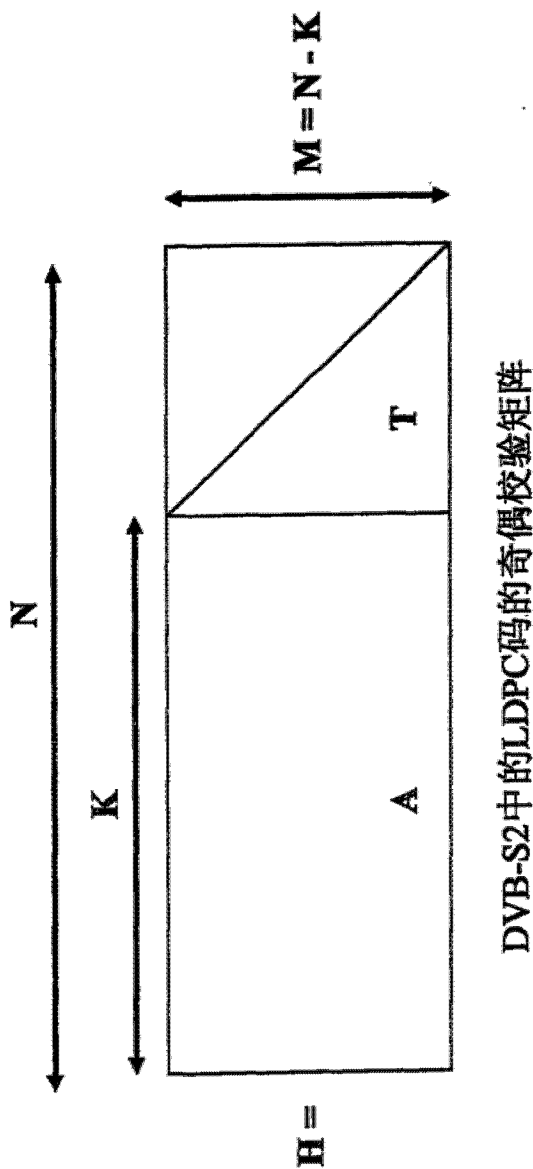


图 3

现有技术

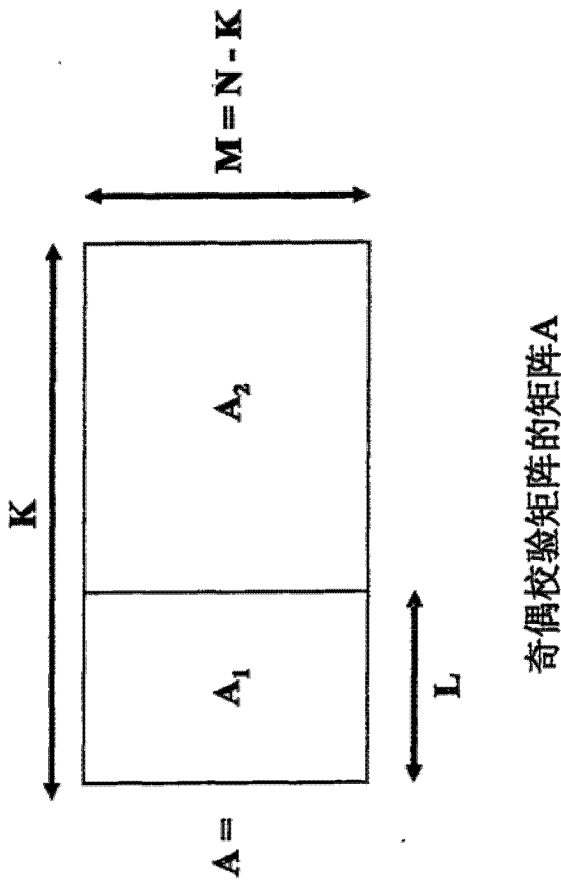
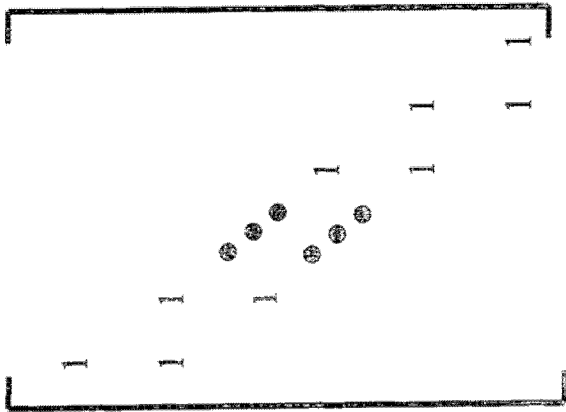


图 4

现有技术



奇偶校验矩阵的矩阵T

图 5

表 2

率	K	L	DV_1	q	D_C
1/4	16200	15	12	135	4
1/3	21600	20	12	120	5
2/5	25920	19	12	108	6
1/2	32400	36	8	90	7
3/5	38880	36	12	72	11
2/3	43200	12	13	60	10
3/4	48600	15	12	45	14
4/5	51840	18	10	36	18
5/6	54000	15	13	30	22
8/9	57600	20	4	20	27
9/10	58320	18	4	18	30

图 6

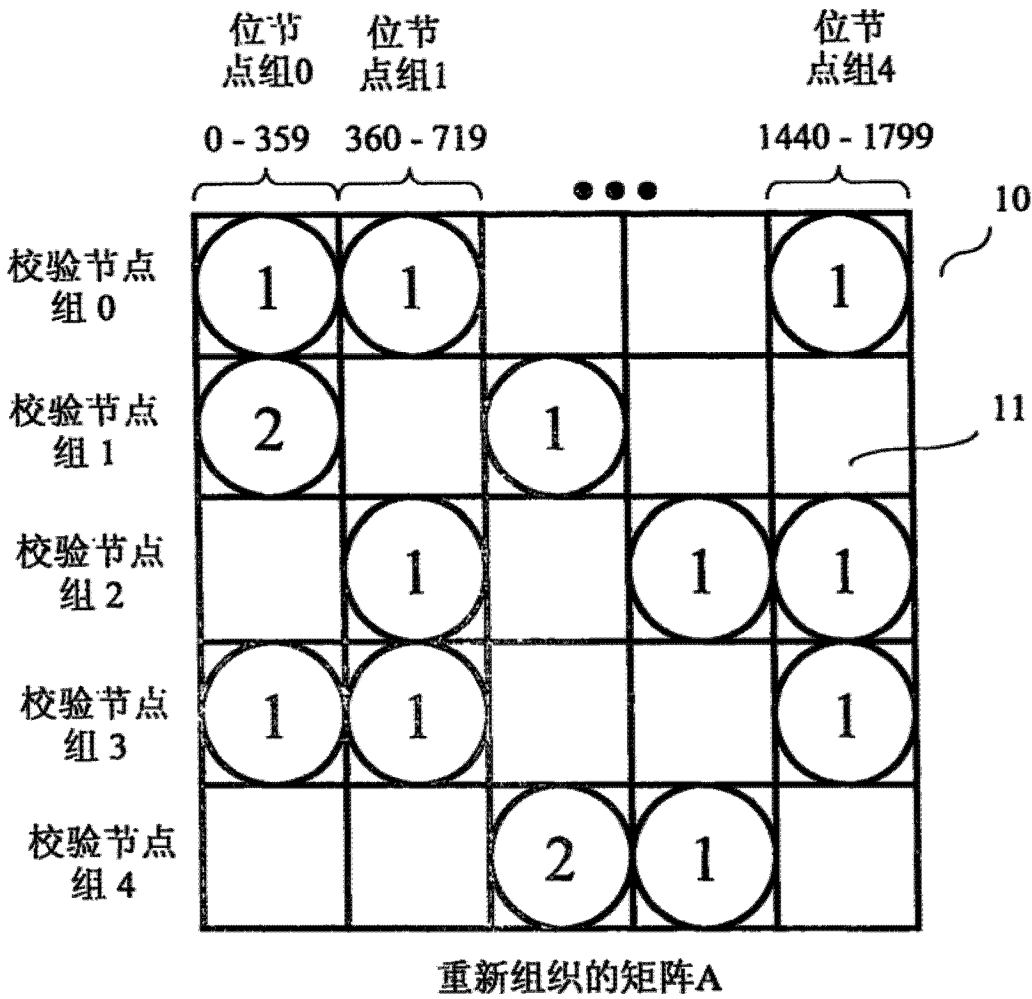


图 7

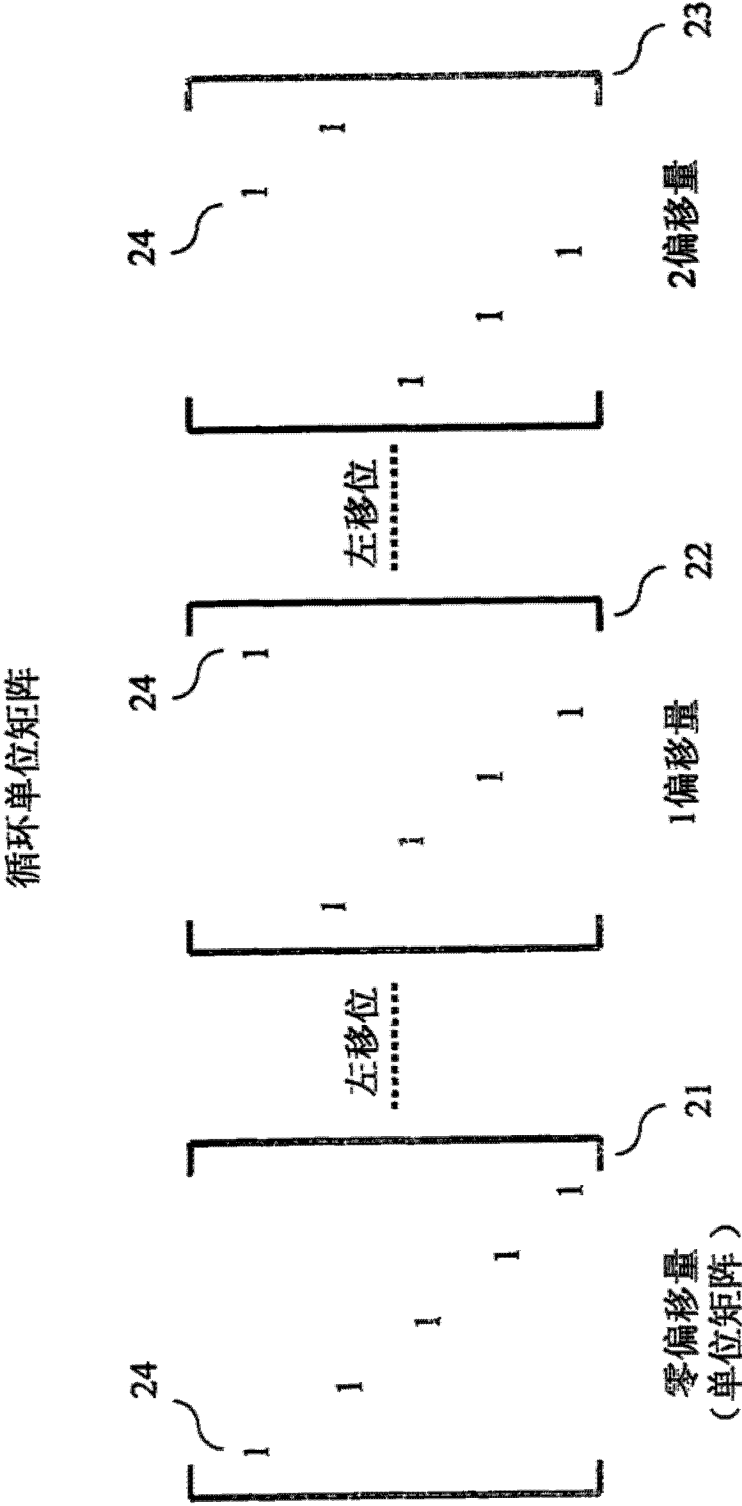


图 8

组合循环单位矩阵
(例如, 组合在一起的两个循环单位矩阵)

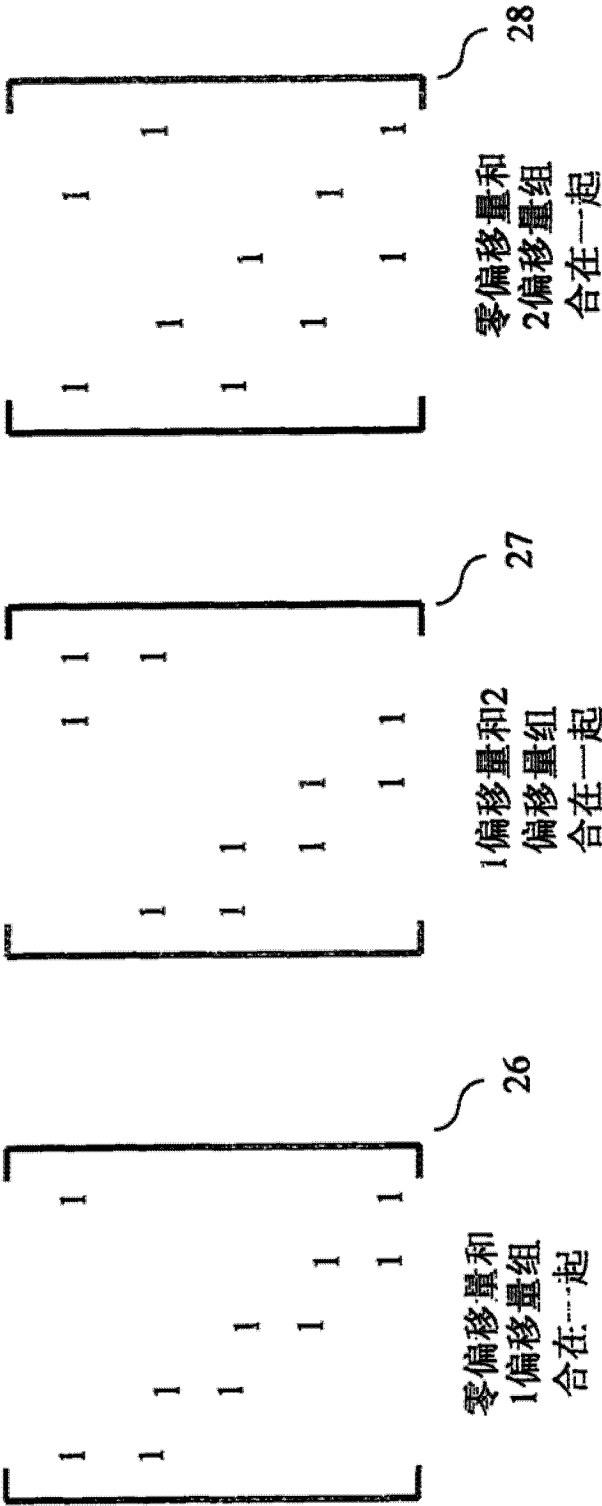


图 9

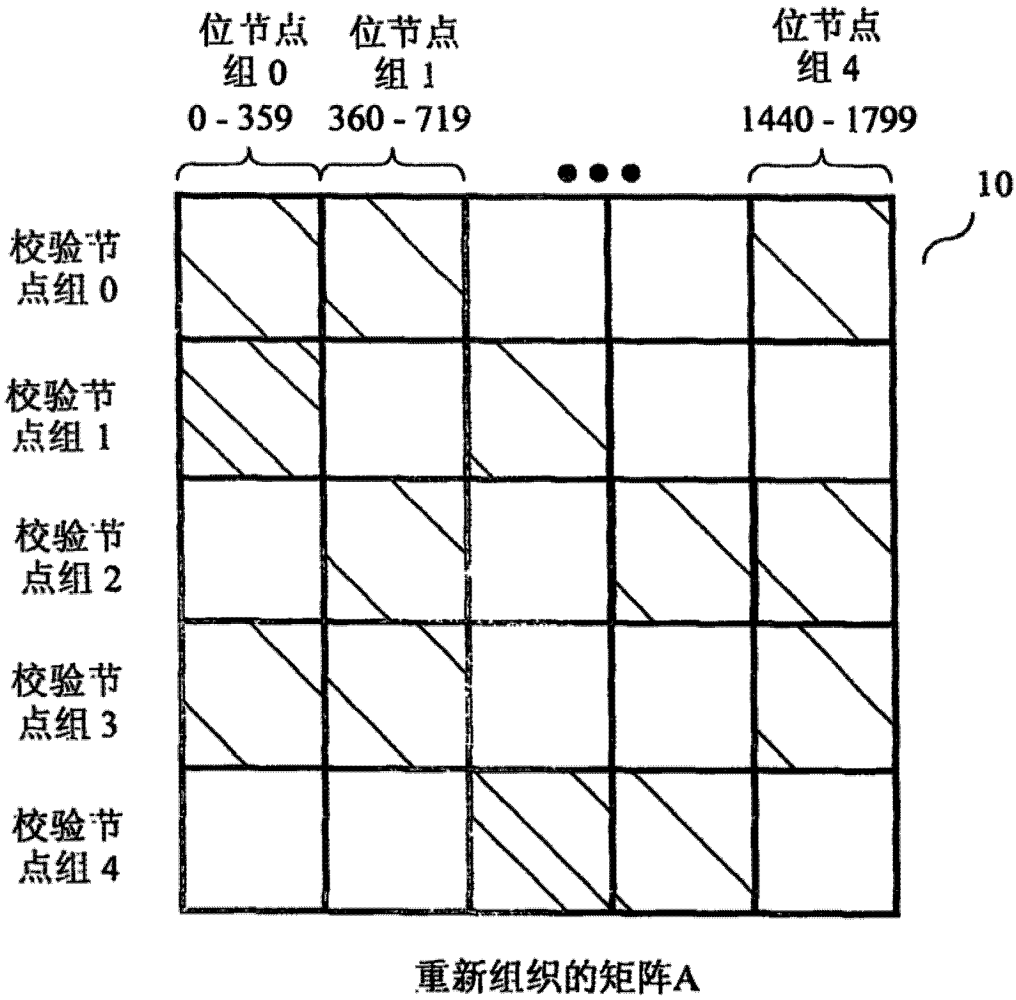


图 10

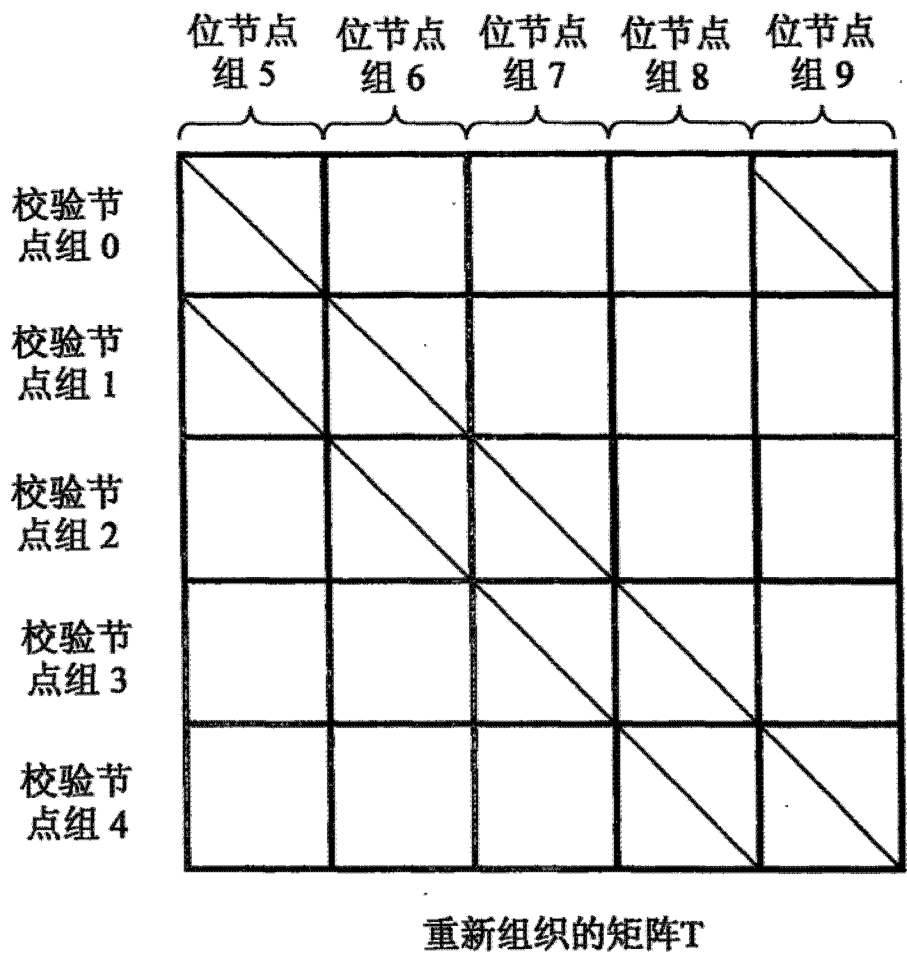


图 11

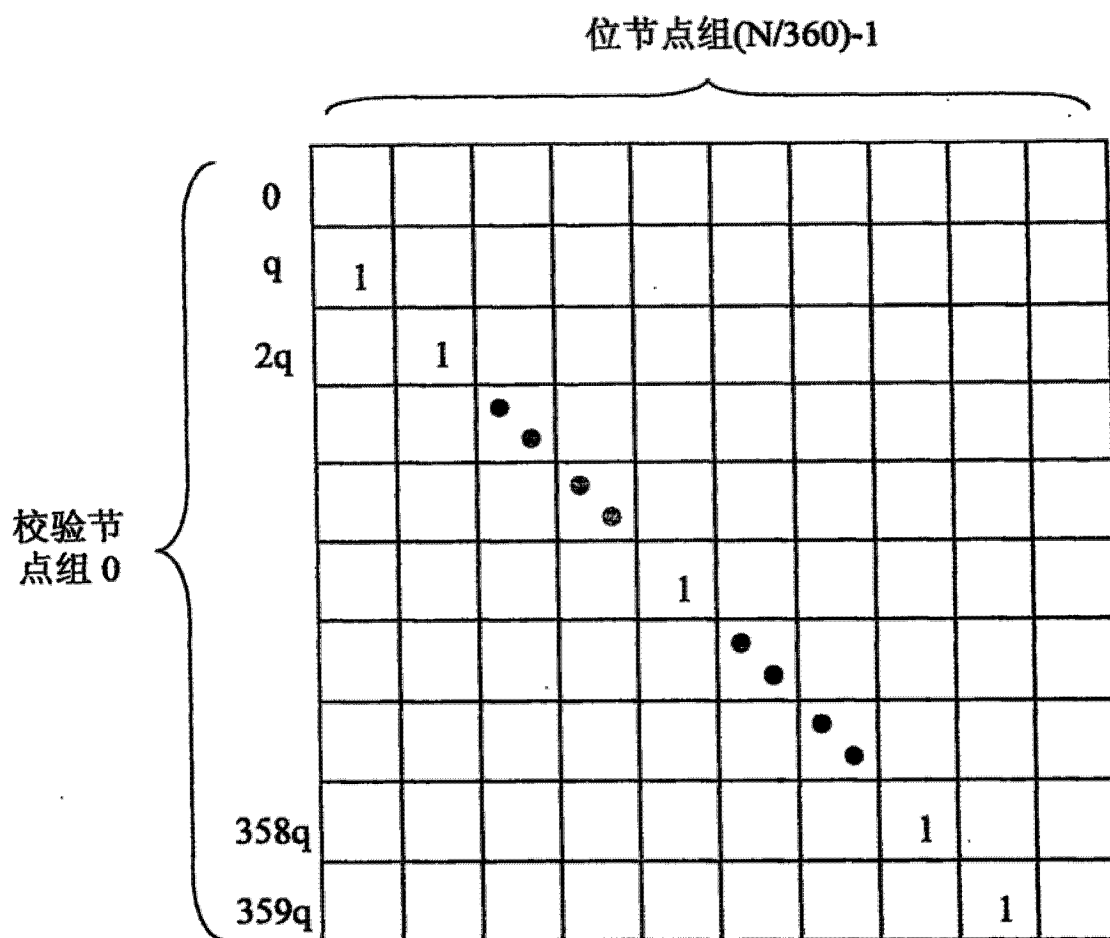


图 12

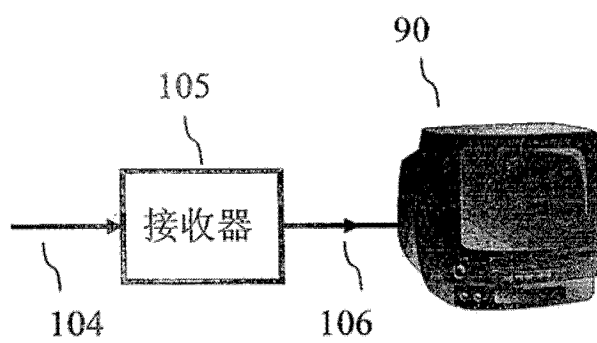


图 13

105

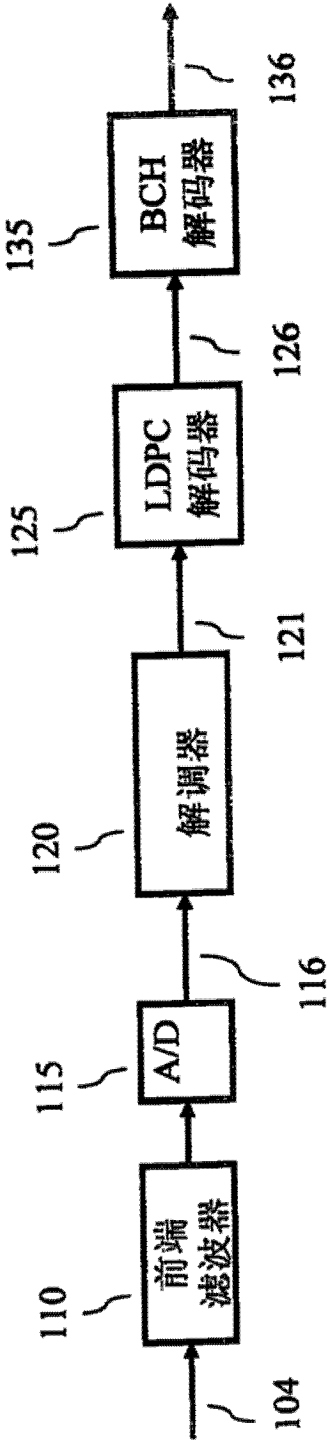


图 14

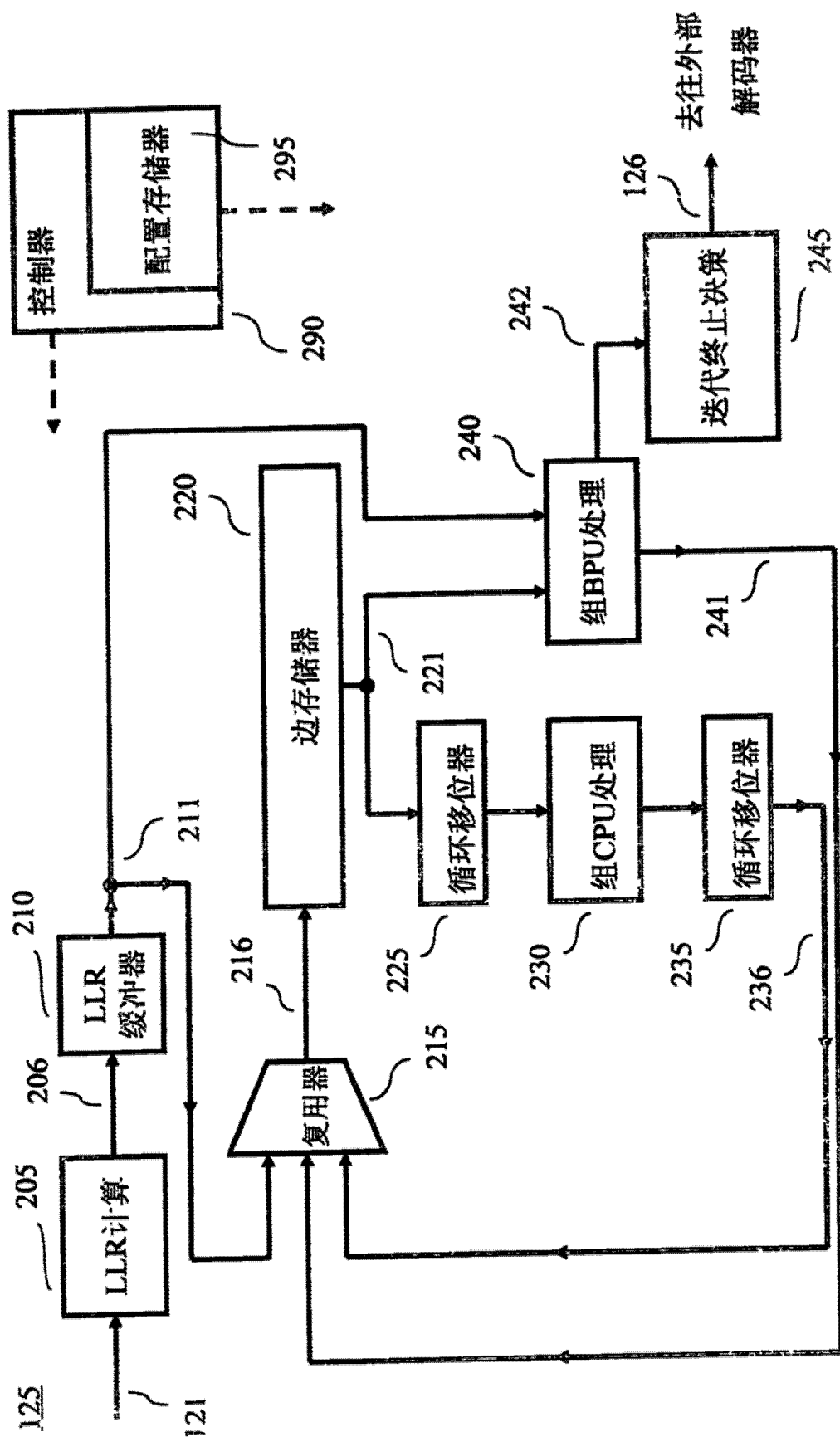


图 15

315

位节点组 0	0	1	2		358	359
位节点组 1	360	361	362		718	719
位节点组 2	720	721	722		1078	1079
						
位节点组 m	360m	360m+1	360m+2		360m+358q	360m+359q
						
位节点组 K/360-2	K-720	K-719	K-718		K-362	K-361
位节点组 K/360-1	K-360	K-359	K-358		K-2	K-1

图 16

320

位节点组K/360	K	K+q	K+2q	• • •	K+358q	K+359q
位节点组K/360+1	K+1	K+1+q	K+1+2q	• • •	K+1+358q	K+1+359q
位节点组K/360+2	K+2	K+2+q	K+2+2q	• • •	K+2+358q	K+2+359q
	• • •	• • •	• • •	• • •	• • •	• • •
位节点组K/360+m	K+m	K+m+q	K+m+2q	• • •	K+m+358q	K+m+359q
	• • •	• • •	• • •	• • •	• • •	• • •
位节点组N/360-2	K-720	K-719	K-718	• • •	K+q-2+358q	K+q-2+359q
位节点组N/360-1	K-360	K-359	K-358	• • •	K+q-1+358q	K+q-1+359q

图 17

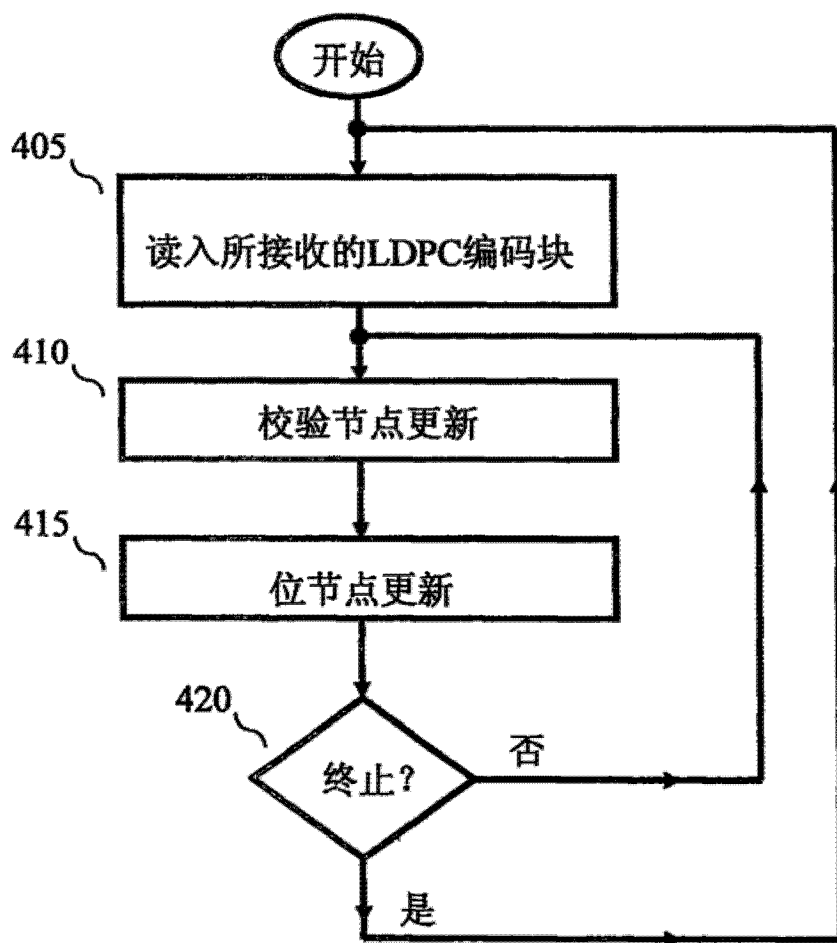


图 18

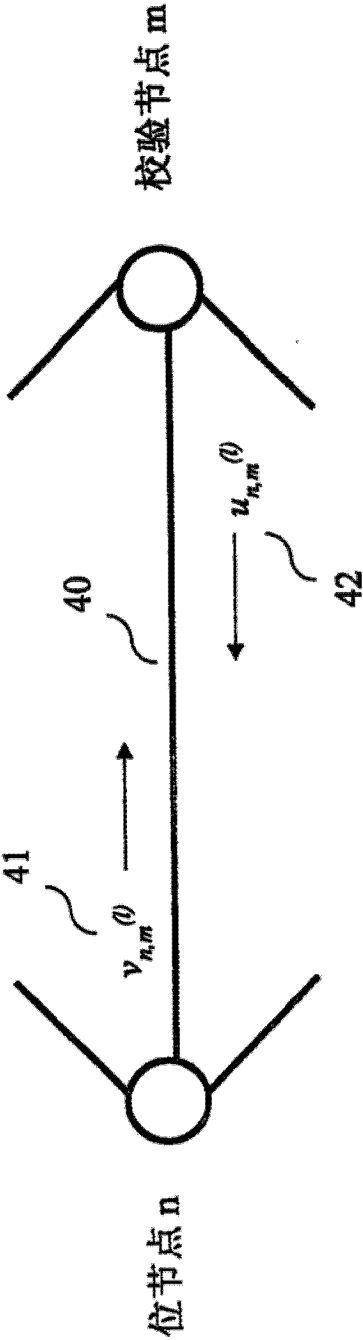


图 19

325

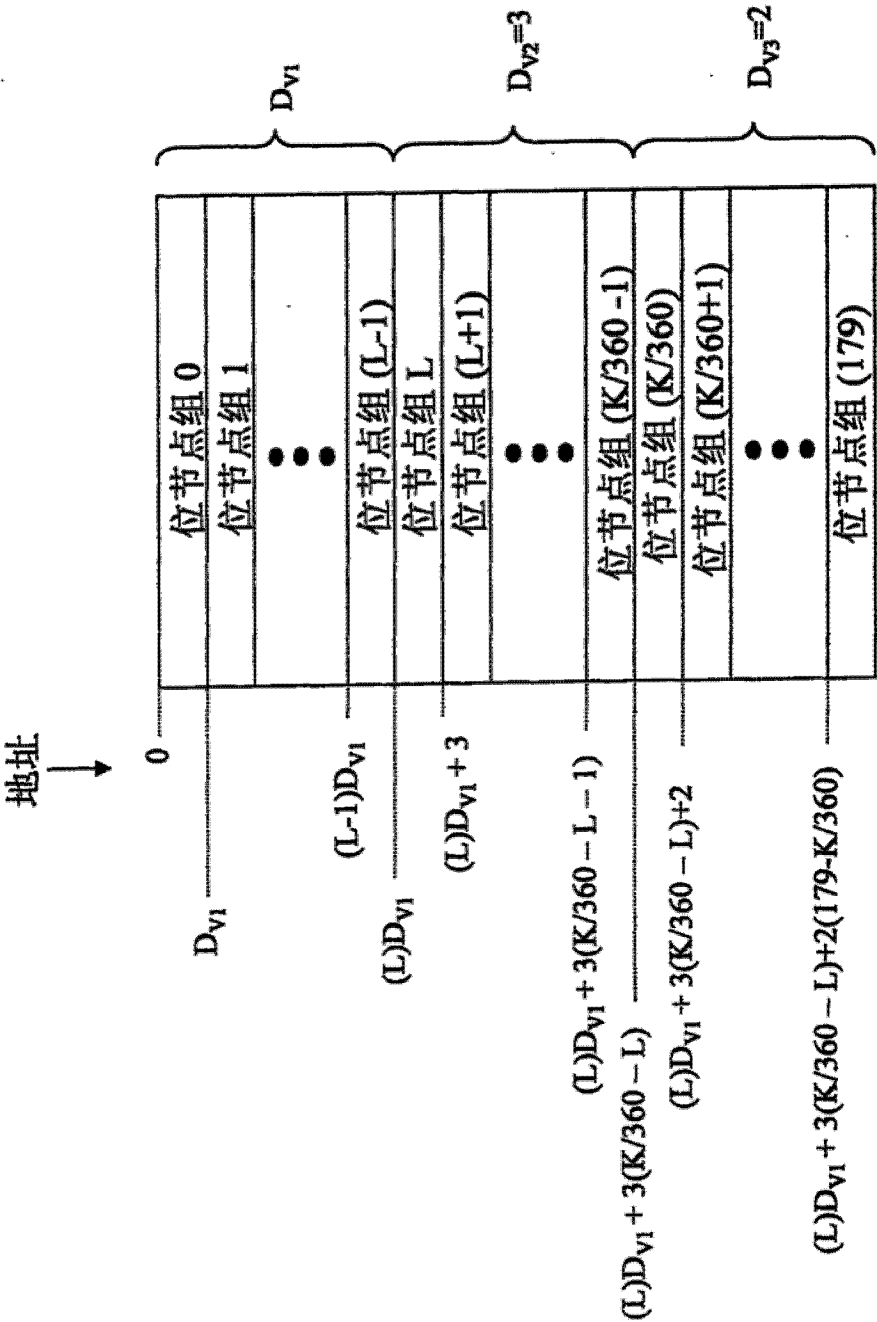


图 20

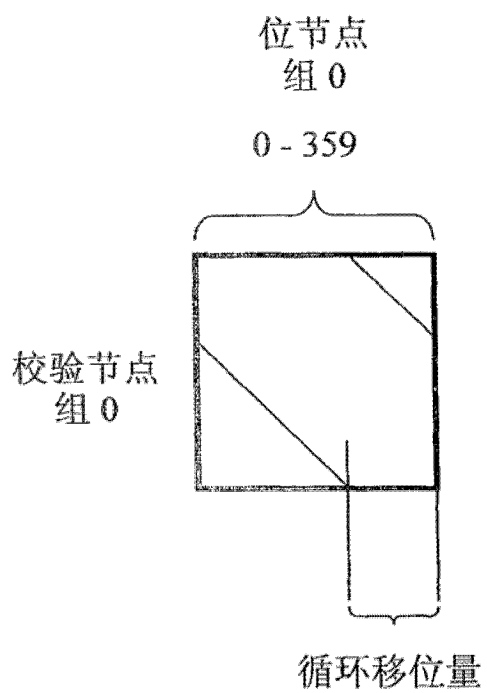


图 21

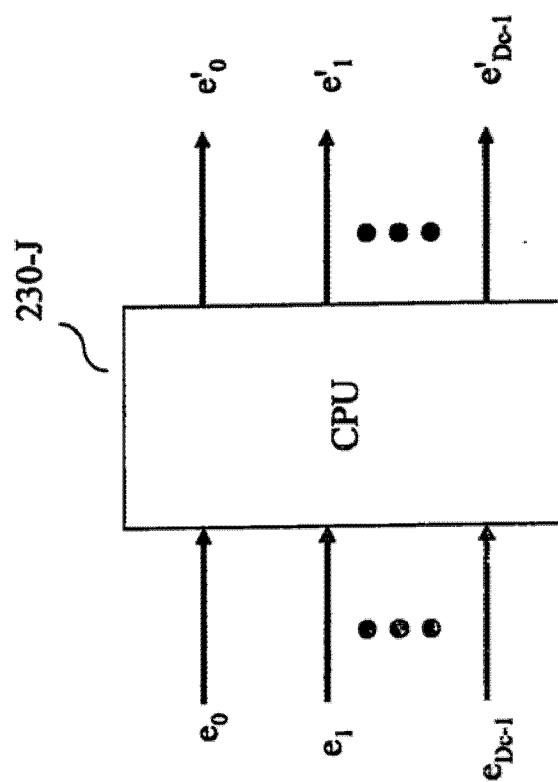


图 22

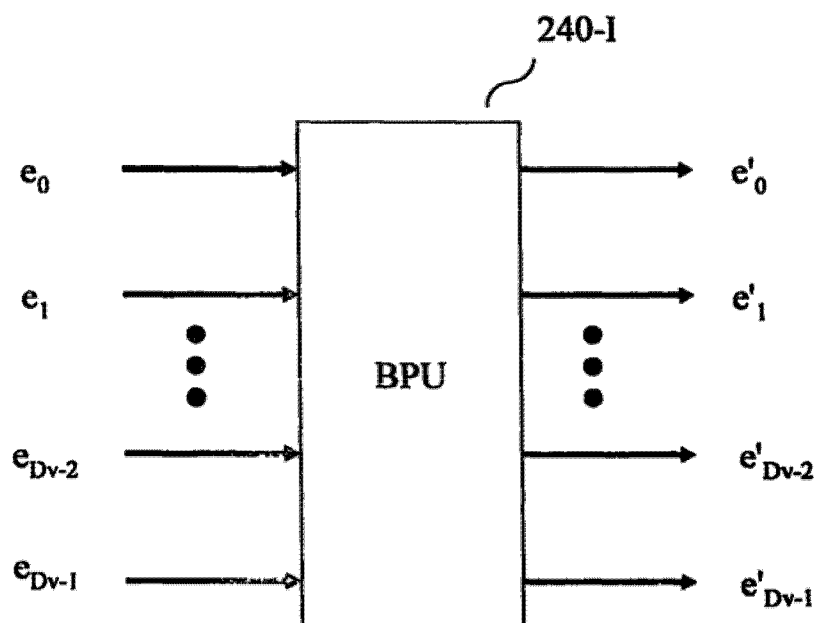


图 23

BPU 240-I

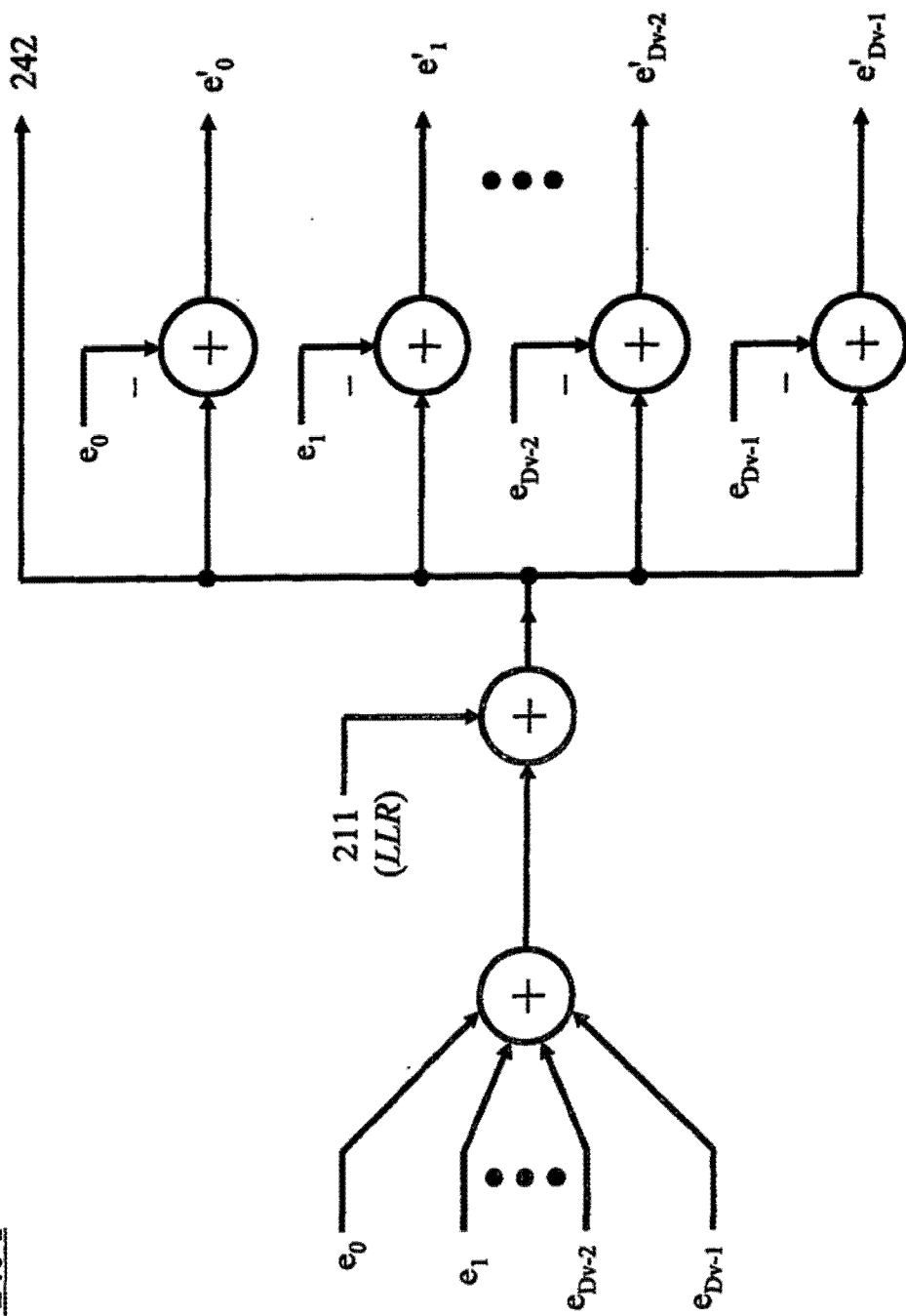


图 24

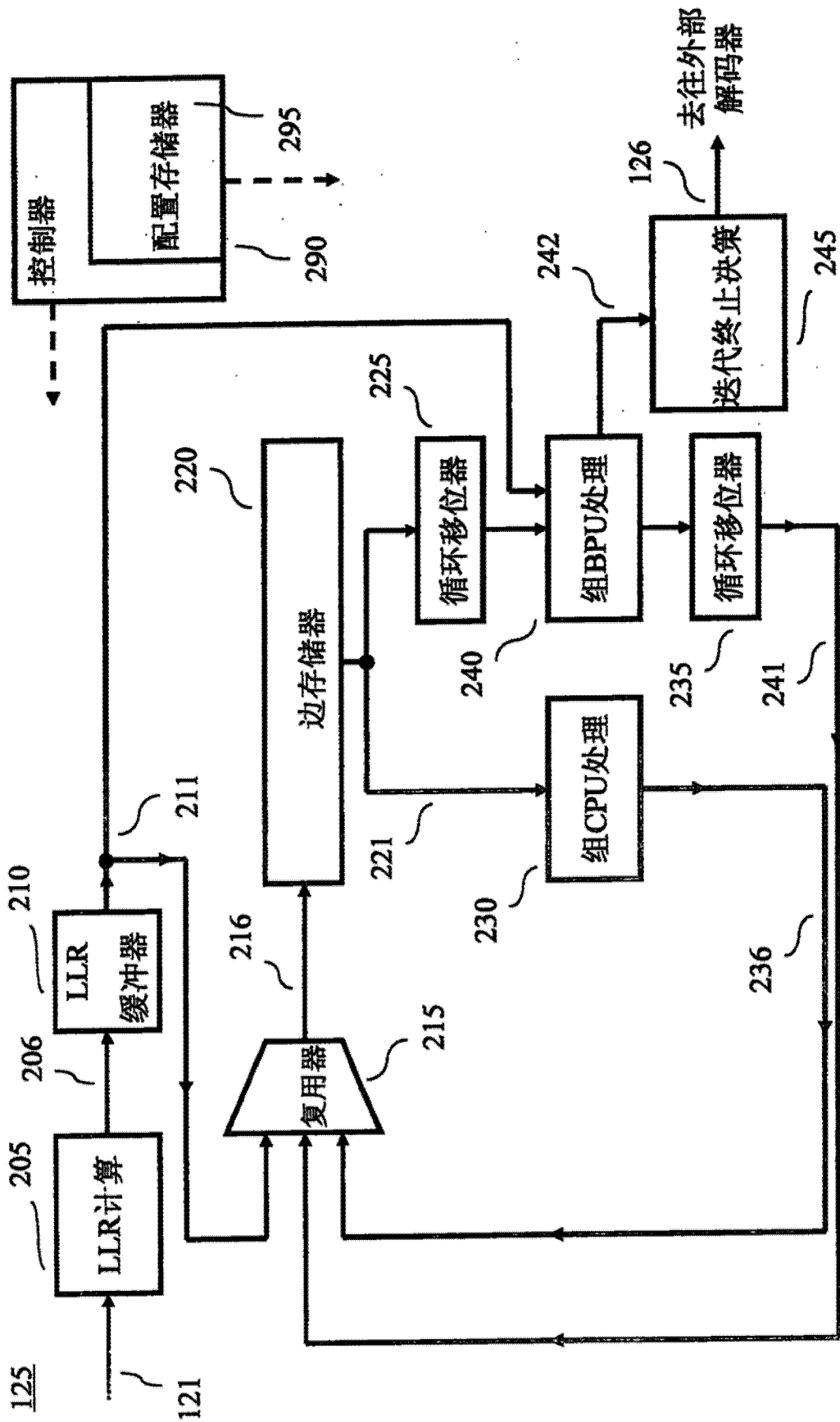


图 25

305

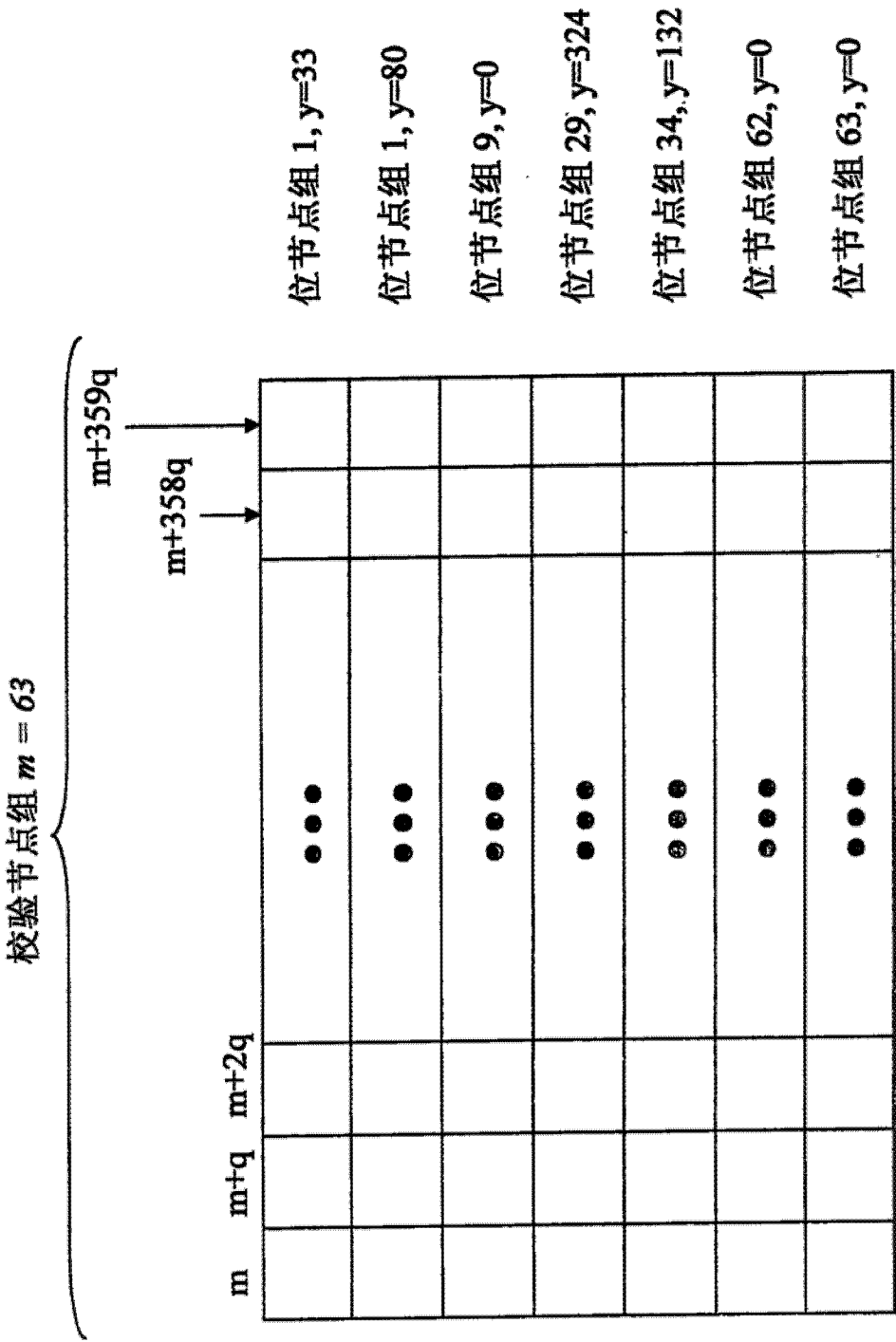


图 26

310	地址						
	↓	0	1	2	...	m	...
校验节点组 0		0	1+q	2+q	...	m+q	...
校验节点组 1	D _c	0	1+2q	2+2q	...	2+2q	...
校验节点组 2	2D _c	0	1+q	2+q	...	m+q	...
		0	1+q	2+q	...	m+q	...
校验节点组 m	mD _c	0	1+q	2+q	...	m+q	...
		0	1+q	2+q	...	m+q	...
校验节点组 q-2	(q-2)D _c	0	1+q	2+q	...	m+q	...
校验节点组 q-1	(q-1)D _c	0	1+q	2+q	...	m+q	...

图 27

表 3

率	q	D _c	存储空间 (qx D _c)
1/4	135	4	540
1/3	120	5	600
2/5	108	6	648
1/2	90	7	630
3/5	72	11	792
2/3	60	10	600
3/4	45	14	630
4/5	36	18	648
5/6	30	22	660
8/9	20	27	540
9/10	18	30	540

图 28

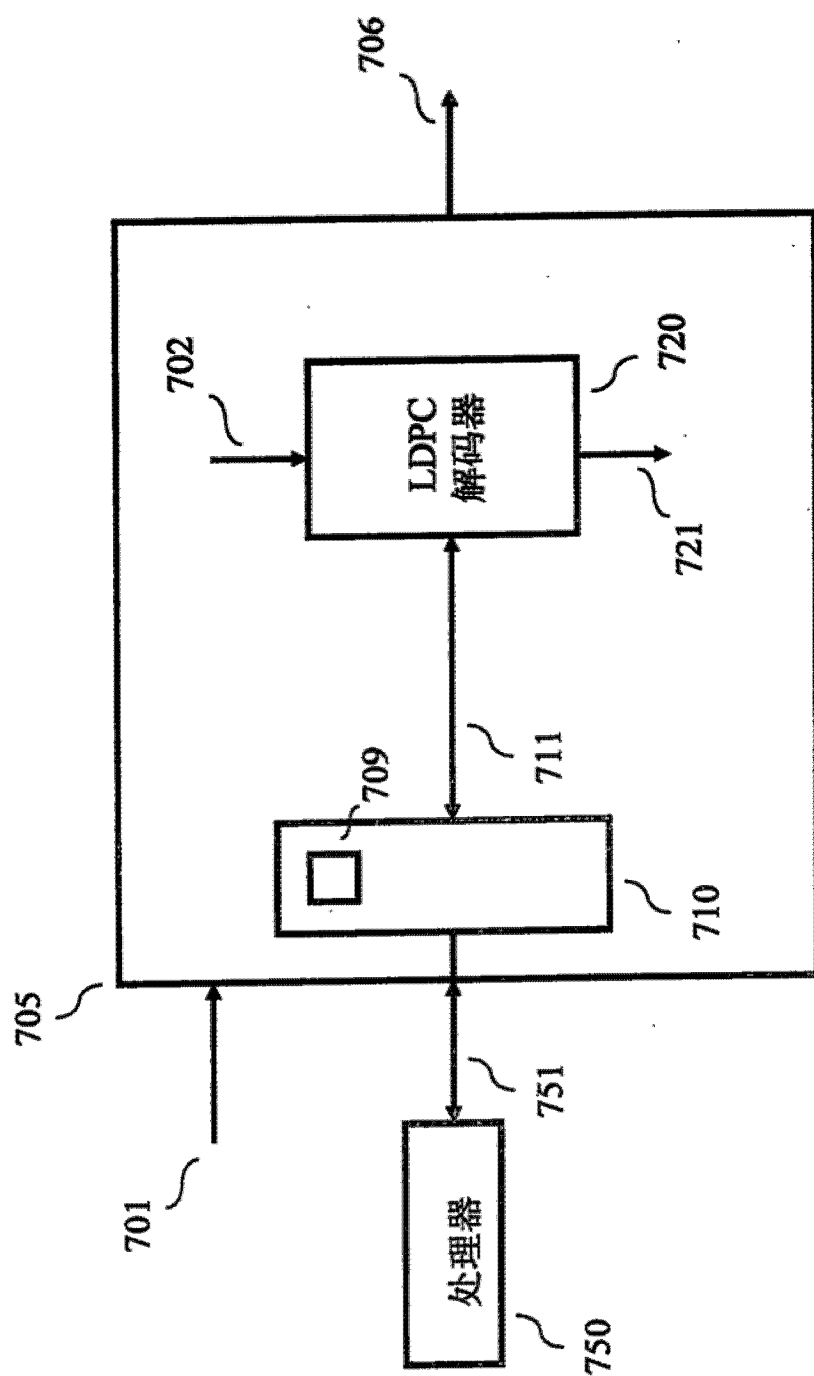


图 29