

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

signal line and the D/A converter, wherein the first potential is supplied to the vertical signal line by the first transistor, and the first potential is higher than the second potential.

(57) 要約: 消費電力の低減を図ることができる、固体撮像装置及び電子機器を提供する。単位画素を有する画素アレイ部と、前記単位画素に接続された垂直信号線と、第1の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、第2の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、D/A変換部と、前記垂直信号線と前記D/A変換部とに接続されたコンパレータと、を備え、前記垂直信号線には、前記第1のトランジスタにより前記第1の電位が供給され、前記第1の電位が、前記第2の電位よりも高い、固体撮像装置を提供する。

明 細 書

発明の名称： 固体撮像装置及び電子機器

技術分野

[0001] 本技術は、固体撮像装置及び電子機器に関する。

背景技術

[0002] 近年、デジタルカメラの中心部品である固体撮像装置（イメージセンサ）の需要が、益々高まっている。例えば、CMOS（Complementary Metal Oxide Semiconductor）イメージセンサの固体撮像装置において、低消費電力化が検討されている。

[0003] 例えば、固体撮像装置において、画素領域で生成される画素信号の読み出し動作をする際に、垂直信号線のレベルがリセットレベルに落ち着くまでのセトリング時間を短縮する技術が検討されている（特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2016／098590号公報

発明の概要

発明が解決しようとする課題

[0005] ところで、固体撮像装置は、カラム処理部においてA／D変換をしている間、負荷MOS（Metal Oxide Semiconductor）回路が各画素とソースフォロア回路を構成しているため、電流が流れ続けている。

[0006] ここで、カラム処理部が有するA／D変換部のコンパレータが反転した後であれば、出力がラッチされるため、負荷MOS部にソースフォロア回路として機能させる必要はない。しかしながら、今までの負荷MOS回路は、A／D変換部のコンパレータが反転した後も電流が流れ続けており、不必要に電力を消費していた。

[0007] そこで、本技術は、このような状況に鑑みてなされたものであり、消費電力の低減を図ることができる、固体撮像装置及び電子機器を提供することを

主目的とする。

課題を解決するための手段

[0008] 本発明者は、上述の目的を解決するために鋭意研究を行った結果、カラム処理部が有するA/D変換部のコンパレータが反転した後は、負荷MOS回路では電流の供給を停止させ、消費電力の低減を図ることに成功し、本技術を完成するに至った。

[0009] 即ち、本技術では、単位画素を有する画素アレイ部と、
前記単位画素に接続された垂直信号線と、
第1の電位の地点と前記垂直信号線とのそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、
第2の電位の地点と前記垂直信号線とのそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、
D/A変換部と、
前記垂直信号線と前記D/A変換部とに接続されたコンパレータと、を備え、
前記垂直信号線には、前記第1のトランジスタにより前記第1の電位が供給され、前記第1の電位が、前記第2の電位よりも高い、固体撮像装置を提供する。

[0010] さらに、本技術に係る固体撮像装置において、前記第1のトランジスタのゲートに接続される第1のスイッチと、前記第2のトランジスタのゲートに接続される第2のスイッチと、を備え、前記第1のトランジスタが、前記コンパレータの出力信号によって前記第1のスイッチが切り替えられて制御されるとともに、前記第2のトランジスタが、前記コンパレータの出力信号によって前記第2のスイッチが切り替えられて制御される、固体撮像装置を提供する。

[0011] さらに、本技術に係る固体撮像装置において、前記第1のトランジスタのゲートが、前記第1のスイッチを介して第3の電位の地点及び第4の電位の地点に接続され、前記第2のトランジスタのゲートが、前記第2のスイッチ

を介して第5の電位の地点及び第6の電位の地点に接続され、前記第3の電位が、前記第4の電位よりも高く、前記第5の電位が、前記第6の電位よりも高い、固体撮像装置を提供する。さらに、本技術では、前記第1の電位及び前記第3の電位が、電源電位であり、前記第2の電位及び前記第6の電位が、接地電位であってもよい。なお、前記第4の電位が、負電位であってもよく、または、前記第4の電位が、接地電位であってもよい。

[0012] また、本技術に係る固体撮像装置において、前記第1の電位の地点と前記第1のトランジスタとのそれぞれに、ソースまたはドレインが接続された第3のトランジスタをさらに有していてもよい。

[0013] また、本技術に係る固体撮像装置において、前記コンパレータが、前記D/A変換部から供給されるランプ信号のランプ電圧値と前記第1の画素で生成された画素信号の電圧値とを比較して、前記画素信号の電圧値が前記ランプ電圧値より小さいときは、前記第2のスイッチが前記第5の電位の地点に接続し、前記画素信号の電圧値が前記ランプ電圧値より大きいときは、前記第2のスイッチが前記第6の電位の地点に接続してもよい。

[0014] さらに、本技術では、前記画素信号の電圧値が前記ランプ電圧値より大きいときは、前記コンパレータが、前記画素信号の電圧値と前記ランプ電圧値とを比較することを停止してもよい。また、本技術に係る固体撮像装置において、前記D/A変換部が、遅延素子をさらに有し、前記画素信号の電圧値が前記ランプ電圧値より大きいときは、前記遅延素子が、前記画素信号の電圧値が前記ランプ電圧値よりも大きいことを示す出力を遅らせて、当該出力を前記コンパレータに入力し、前記コンパレータが、前記画素信号の電圧値と前記ランプ電圧値とを比較することを停止してもよい。

[0015] また、本技術では、固体撮像装置が搭載され、
前記固体撮像装置が、単位画素を有する画素アレイ部と、
前記単位画素に接続された垂直信号線と、
第1の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、

第2の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、

D/A変換部と、

前記垂直信号線と前記D/A変換部とに接続されたコンパレータと、を備え、

前記垂直信号線の電位が、前記第1のトランジスタによって前記第1の電位に接続され、前記第1の電位が、前記第2の電位よりも高い、電子機器を提供する。

[0016] 本技術によれば、固体撮像装置及び電子機器は、消費電力の低減を図ることができる。なお、本技術の効果は、必ずしも上記の効果に限定されるものではなく、本技術に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0017] [図1]本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサの構成例を示すブロック図である。

[図2]本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサの画素領域と定電流源回路とD/A変換部とカラム処理部との構成例を示すブロック図である。

[図3]本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサの積層構造の構成例を示すブロック図である。

[図4]本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサの単位画素を構成する画素の構成例を示すブロック図である。

[図5]本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサの構成要素を示したブロック図である。

[図6]本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサにおいて、ランプ電圧値と画素信号の電圧を比較し、消費電力を低減する概念を示した説明図である。

[図7]本技術を適用した第1の実施形態の固体撮像装置であるCMOSイメージセンサの動作を示したタイミングチャートである。

[図8]本技術を適用した第2の実施形態の固体撮像装置であるCMOSイメージセンサの構成要素を示したブロック図である。

[図9]第1の実施形態の固体撮像装置と第2の実施形態の固体撮像装置のレイアウトの違いを示した説明図である。

[図10]本技術を適用した第2の実施形態の固体撮像装置であるCMOSイメージセンサの動作を示したタイミングチャートである。

[図11]本技術を適用した第4の実施形態の固体撮像装置であるCMOSイメージセンサの構成要素を示したブロック図である。

[図12]本技術を適用した第4の実施形態の固体撮像装置であるCMOSイメージセンサにおいて、ランプ電圧値と画素信号の電圧を比較し、消費電力を低減する概念を示した説明図である。

[図13]本技術を適用した第4の実施形態の固体撮像装置であるCMOSイメージセンサの動作を示したタイミングチャートである。

[図14]本技術を適用した第5の実施形態の固体撮像装置であるCMOSイメージセンサの構成要素を示したブロック図である。

[図15]本技術を適用した第5の実施形態の遅延素子である遅延素子の構成要素を示したブロック図である。

[図16]本技術を適用した第5の実施形態のコンパレータであるコンパレータの構成要素を示したブロック図である。

[図17]本技術を適用した第5の実施形態の固体撮像装置であるCMOSイメージセンサの動作を示したタイミングチャートである。

[図18]本技術を適用した第1乃至第5の実施形態の固体撮像装置の使用例を示す図である。

[図19]本技術を適用した電子機器の一例の機能ブロック図である。

発明を実施するための形態

[0018] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはな

い。

[0019] なお、説明は以下の順序で行う。

1. 第1の実施形態（固体撮像装置の例1）
2. 第2の実施形態（固体撮像装置の例2）
3. 第3の実施形態（固体撮像装置の例3）
4. 第4の実施形態（固体撮像装置の例4）
5. 第5の実施形態（固体撮像装置の例5）
6. 電子機器に関する第6の実施形態
7. 本技術を適用した固体撮像装置の使用例

[0020] < 1. 第1の実施形態（固体撮像装置の例1） >

本技術に係る第1の実施形態の固体撮像装置は、単位画素を有する画素アレイ部と、単位画素に接続された垂直信号線と、第1の電位の地点と垂直信号線とのそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、第2の電位の地点と垂直信号線のそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、D/A変換部と、垂直信号線とD/A変換部とに接続されたコンパレータと、を備え、垂直信号線には、第1のトランジスタにより第1の電位が供給され、第1の電位が、第2の電位よりも高い、固体撮像装置である。

[0021] 本技術に係る第1の実施形態の固体撮像装置によれば、消費電力の低減を図ることができる。

[0022] [第1の実施形態の固体撮像装置の全体構成]

図1に、本技術に係る第1の実施形態の固体撮像装置の一例である固体撮像装置10を示す。図1は、本技術を適用した固体撮像装置の一実施の形態であるCMOS（Complementary Metal Oxide Semiconductor）イメージセンサの構成例を示すブロック図である。

なお、特に断りがない限り、「上」とは、図1中の上方向を意味し、「右」とは、図1中の右方向を意味するものとする。また、同一の部材については、同一の符号を付し、説明を適宜、省略する。

- [0023] 図1に示す固体撮像装置10は、被写体を撮像し、撮像画像のデジタルデータを得る撮像装置である。なお、本明細書においては、CMOSイメージセンサを例に説明する。
- [0024] 図1に示すように、固体撮像装置10は、画素アレイ部11、画素駆動線12、垂直信号線13、垂直駆動部14、定電流源回路15、D/A変換部16、カラム処理部17、水平駆動部18、システム制御部19、信号処理部20及びメモリ部21を備えている。
- [0025] 画素アレイ部11は、行方向及び列方向に配列された複数の単位画素を有している。複数の単位画素のそれぞれは、光電変換素子を有し、光電変換素子が、画素に入射された光の光量に応じて信号電荷に変換する。また、画素アレイ部11には、複数の単位画素が配列された行毎に、画素駆動線12が形成され、列毎に、垂直信号線13が形成される。
- [0026] 垂直駆動部14は、シフトレジスタ及びアドレスデコーダなどによって構成される。垂直駆動部14は、画素アレイ部11が有する各画素を行単位で駆動する。垂直駆動部14が有する出力端には、画素駆動線12の一端が接続される。垂直駆動部14は、読み出し走査系及び掃き出し走査系の2つの走査系を有し、ある行の画素の読み出し動作と、他の行の画素のリセット動作とを同時に行わせるインターリーブ駆動を行う。
- [0027] 読み出し走査系は、各単位画素からの画素信号を行毎（行単位）で順に読み出すようになっている。まず、垂直駆動部14は、各行を順に選択する。そして、選択された行は、画素駆動線12と接続する出力端から、選択信号、転送信号等を出力する。これにより、読み出し走査系により選択された行の単位画素は、リセットレベル信号の読み出し、及び光電変換素子に蓄積された信号電荷を画素信号としての読み出しからなる読み出し動作を行う。読み出されたリセットレベル信号や画素信号は、垂直信号線13を介してカラム処理部17に供給される。
- [0028] 掃き出し走査系は、選択された行の単位画素の読み出し動作が行われている間に、次に選択される行の単位画素の光電変換素子に蓄積された不要な電荷

を掃き出す(リセットする)ために、その行の画素駆動線 12 と接続する出力端からリセット信号を出力する。この掃き出し走査系による走査により、選択された行の画素の読み出し動作が行われている間に、次の選択される行の画素のリセット動作が行われる。

[0029] 定電流源回路 15 は、列毎に対応した負荷 MOS 部を有している。垂直信号線 13 には、負荷 MOS 部の負荷素子としての負荷 MOS トランジスタが接続される。負荷 MOS 部は、画素アレイ部 11 の各単位画素の増幅トランジスタとソースフォロア回路を構成する。

[0030] D/A 変換部 16 は、カラム処理部 17 に所定のランプ信号を供給する。

[0031] カラム処理部 17 は、複数の画素に対応する列毎に対応した A/D (Analog To Digital) 変換部を有している。A/D 変換部は、コンパレータとカウンタとラッチ回路とを有している。カラム処理部 17 は、画素アレイ部 11 の各画素で生成された画素信号を、複数の単位画素が配列された行毎に A/D 変換する。

[0032] 水平駆動部 18 は、シフトレジスタやアドレスデコーダなどによって構成される。水平駆動部 18 は、カラム処理部 17 の A/D 変換部を順番に選択する。水平駆動部 18 による選択走査により、カラム処理部 17 の各 A/D 変換部で保持されている画素信号のデジタルデータが、順番に画素データとして信号処理部 20 に出力される。

[0033] システム制御部 19 は、各種のタイミング信号を生成するタイミングジェネレータなどによって構成される。システム制御部 19 は、タイミングジェネレータで生成された各種のタイミング信号を基に、垂直駆動部 14、D/A 変換部 16、カラム処理部 17、及び水平駆動部 18 を制御する。

[0034] 信号処理部 20 は、少なくとも加算処理機能を有する。信号処理部 20 は、カラム処理部 17 から出力される画素データごとに、加算処理等の種々の信号処理を行う。このとき、信号処理部 20 は、必要に応じて、信号処理の途中結果などをメモリ部 21 に格納し、必要なタイミングで参照する。そして、信号処理部 20 は、信号処理後の画素データをメモリ部 21 や、固体撮

像装置 10 の外部に出力する。なお、加算処理は、主としてノイズ除去の目的で実行される。

[0035] メモリ部 21 は、DRAM (Dynamic Random Access Memory) や SRAM (Static Random Access Memory) などにより構成される。

[0036] [画素アレイ部からカラム処理部までの回路構成]

図 2 に、画素アレイ部 11 と定電流源回路 15 と D/A 変換部 16 とカラム処理部 17 の構成例を示す。図 2 は、本技術を適用した固体撮像装置の一実施の形態である CMOS イメージセンサの画素アレイ部 11 と定電流源回路 15 と D/A 変換部 16 とカラム処理部 17 の構成例を示すブロック図である。なお、特に断りがない限り、「上」とは、図 2 中の上方向を意味し、「右」とは、図 2 中の右方向を意味するものとする。また、同一の部材については、同一の符号を付し、説明を適宜、省略する。

[0037] 図 2 には、固体撮像装置 10 の一部として、画素アレイ部 11 と、垂直駆動部 14 と、定電流源回路 15 と、D/A 変換部 16 と、カラム処理部 17 とが示されている。固体撮像装置 10 は、画素アレイ部 11 と、垂直駆動部 14 と、D/A 変換部 16 と、複数のカラム回路 40 とを含んで構成されている。ここで、複数のカラム回路 40 は、定電流源回路 15 とカラム処理部 17 とから構成される。

[0038] 画素アレイ部 11 は、複数の画素 41 を有している。画素アレイ部 11 には、 n 行 m 列 (n, m は 1 以上の整数) の複数の画素 41 が行列状に 2 次元配置される。画素 41 は、複数の画素 41 が配列された行毎に画素駆動線 12 が形成され、複数の画素 41 に対応した列毎に垂直信号線 13 が形成される。したがって、画素駆動線 12 の本数は n 本であり、垂直信号線 13 の本数は m 本である。なお、垂直信号線 13 は、画素 41 に接続されている。

[0039] 複数のカラム回路 40 のそれぞれは、複数の画素 41 の列毎に対応して形成される。複数のカラム回路 40 のそれぞれは、垂直信号線 13 毎に設けられた負荷 MOS 部 30 と、垂直信号線 13 毎に設けられた安定化回路 SC と、垂直信号線 13 毎に設けられた A/D 変換回路 38 と、垂直信号線 13 毎

に設けられた第1のスイッチ36とを、備えて構成されている。

[0040] A/D変換回路38は、コンパレータ33と、カウンタ37aと、ラッチ回路37bとを有している。コンパレータ33は、垂直信号線13とD/A変換部16とに接続されている。

[0041] 安定化回路SCは、第1のトランジスタ34、第3のトランジスタ35、及び第1の電位39を備えて構成されている。第1のトランジスタ34は、第1の電位39の地点と垂直信号線13のそれぞれに、ソースまたはドレインが接続されている。第1のトランジスタ34と第3のトランジスタ35のそれぞれは、n型MOSトランジスタで構成される。第1のトランジスタ34と第3のトランジスタ35は、直列に接続されている。直列に接続された第1のトランジスタ34と第3のトランジスタ35は、第3のトランジスタ35が第1の電位39の地点と接続され、第1のトランジスタ34が垂直信号線13と接続されるように、第1の電位39の地点と負荷MOS部30との間に接続される。なお、第1の電位39は、電源電位である。

[0042] 第1のスイッチ36は、第1のトランジスタ34のゲートに接続されている。第1のスイッチ36は、第3の電位36aの“電源電位”であるVDDと、第4の電位36bの“接地電位”のGNDとを切り替える。第1のトランジスタ34は、コンパレータ33の出力信号によって第1のスイッチ36が切り替えられて制御される。

[0043] 例えば、通常動作時（コンパレータ33の出力が“H”）の場合は、第1のスイッチ36が、第4の電位36bの“接地電位”を選択し（電位信号SD）、第1のトランジスタ34のゲートに“GND（L）”を入力する。この場合、安定化回路SCは、オフとなる。

[0044] 一方、コンパレータ33の出力が、“H”から“L”に切り替わると、第1のスイッチ36が、第4の電位36bの“接地電位”から第3の電位36aの“電源電位”に切り替えて（電位信号SD）、第1のトランジスタ34のゲートには、“VDD（H）”が入力される。このとき、安定化回路SCは、オンとなる。

- [0045] 第3のトランジスタ35は、第1の電位39の地点と第1のトランジスタ34のそれぞれに、ソースまたはドレインが接続されている。第3のトランジスタ35には、所定の電位の信号（後述するバイアス信号Bias2）が入力されている。第3のトランジスタ35は、バイアス信号Bias2により、所定の電位（ $V_{SL0} + V_{th_AMP}$ ）を、垂直信号線13に印加して、垂直信号線13の電位を制御する。
- [0046] 負荷MOS部30は、第2のトランジスタ31と、第2のスイッチ32と、を備えて構成されている。第2のトランジスタ31は、n型MOSトランジスタで構成されている。第2のトランジスタ31は、第2の電位31aの地点と垂直信号線13のそれぞれに、ソースまたはドレインが接続されている。例えば、第2のトランジスタ31のソースは、垂直信号線13に接続される。
- [0047] 第2のスイッチ32は、第2のトランジスタ31のゲートに接続されている。第2のスイッチ32は、第5の電位32aの“バイアス信号Bias1”と、第6の電位32bの“接地電位”であるGNDとを切り替える。第2のトランジスタ31は、コンパレータ33の出力信号によって第2のスイッチ32が切り替えられて制御される。
- [0048] 第1のトランジスタ34のゲートは、第1のスイッチ36を介して第3の電位36aの地点及び第4の電位36bの地点に接続される。第2のトランジスタ31のゲートは、第2のスイッチ32を介して、第5の電位32aの地点及び第6の電位32bの地点に接続される。第3の電位36aは、第4の電位36bよりも高く、第5の電位32aは、第6の電位32bよりも高くなっている。
- [0049] また、上述したように、第1の電位39及び第3の電位36aは、電源電位であり、第2の電位31a及び第6の電位32bは、接地電位である。
- [0050] カウンター37aは、カウント開始から、コンパレータ33での比較結果の値が反転するまでの期間をカウントする。
- [0051] ラッチ回路37bは、コンパレータ33における比較結果の値が変化した

時点でカウンタ 37a におけるカウント値を保持する。

[0052] [第 1 の実施形態の固体撮像装置の積層構造]

図 3 に、固体撮像装置 10 の積層構造の構成例を示す。図 3 は、本技術を適用した固体撮像装置の一実施の形態である CMOS イメージセンサの積層構造の構成例を示すブロック図である。なお、特に断りがない限り、「上」とは、図 3 中の上方向を意味し、「右」とは、図 3 中の右方向を意味するものとする。また、同一の部材については、同一の符号を付し、説明を適宜、省略する。

[0053] 図 3 に示すように、固体撮像装置 10 が 2 つの半導体基板から構成される積層構造を有する場合、画素アレイ部 11 は、光の入射側の半導体基板 SB（例えば、第 1 の基板）に形成される。安定化回路 SC は、画素アレイ部 11 に配列された画素 41 が有するトランジスタと特性を合わせるため、半導体基板 SB に形成される。

[0054] 画素アレイ部 11 と安定化回路 SC とを除いた周辺回路は、半導体基板 SB の表面側に積層される別の半導体基板（例えば、第 2 の基板）に形成される。

[0055] [第 1 の実施形態の固体撮像装置の画素の回路構成例]

図 4 に、画素領域 11 の単位画素を構成する画素 41 の構成例を示す。図 4 は、本技術を適用した固体撮像装置の一実施の形態である CMOS イメージセンサの単位画素を構成する画素 41 の構成例を示すブロック図である。なお、特に断りがない限り、「上」とは、図 4 中の上方向を意味し、「右」とは、図 4 中の右方向を意味するものとする。また、同一の部材については、同一の符号を付し、説明を適宜、省略する。

[0056] 図 4 に示すように、画素 41 は、フォトダイオード 42、読み出しトランジスタ 43、リセットトランジスタ 44、増幅トランジスタ 45、及び選択トランジスタ 46 を有する。

[0057] フォトダイオード 42 は、受光した光をその光量に応じた電荷量の光電荷に光電変換してその光電荷を蓄積する。フォトダイオード 42 のアノード電

極は、画素領域のグランド（画素グランド）に接続され、カソード電極は読み出しトランジスタ43を介してフローティングディフュージョンFDに接続される。

[0058] 読み出しトランジスタ43は、フォトダイオード42からの光電荷の読み出しを制御する。読み出しトランジスタ43は、ドレイン電極がフローティングディフュージョンFDに接続され、ソース電極がフォトダイオード42のカソード電極に接続される。また、読み出しトランジスタ162のゲート電極には、垂直駆動部14から制御信号TRGが供給される。制御信号TRG（即ち、読み出しトランジスタ43のゲート電位）がオフ状態のとき、フォトダイオード42からの光電荷の読み出しが行われない（即ち、フォトダイオード42において光電荷が蓄積される）。これに対し、制御信号TRG（即ち、読み出しトランジスタ43のゲート電位）がオン状態のとき、フォトダイオード42に蓄積された光電荷が読み出され、フローティングディフュージョンFDに供給される。

[0059] リセットトランジスタ44は、フローティングディフュージョンFDの電位をリセットする。リセットトランジスタ44は、ドレイン電極が電源電位に接続され、ソース電極がフローティングディフュージョンFDに接続される。また、リセットトランジスタ44のゲート電極には、垂直駆動部14から制御信号RSTが供給される。制御信号RST（即ち、リセットトランジスタ44のゲート電位）がオフ状態のとき、フローティングディフュージョンFDは、電源電位と切り離されている。これに対し、制御信号RST（即ち、リセットトランジスタ44のゲート電位）がオン状態のとき、フローティングディフュージョンFDの電荷が電源電位に捨てられ、フローティングディフュージョンFDがリセットされる。

[0060] 増幅トランジスタ45は、フローティングディフュージョンFDの電位変化を増幅し、電気信号（アナログ信号）として出力する。増幅トランジスタ45は、ゲート電極がフローティングディフュージョンFDに接続され、ドレイン電極が電源電位に接続され、ソース電極がセレクトトランジスタ46

のドレイン電極に接続されている。例えば、増幅トランジスタ45は、リセットトランジスタ44によってリセットされたフローティングディフュージョンFDの電位をリセット信号（リセットレベル）として選択トランジスタ46に出力する。また、増幅トランジスタ45は、読み出しトランジスタ43によって光電荷が転送されたフローティングディフュージョンFDの電位を光蓄積信号（信号レベル）として選択トランジスタ46に出力する。

[0061] また、増幅トランジスタ45は、複数の画素41に対応する列毎に対応した負荷MOS部30とソースフォロア回路を構成する。

[0062] 選択トランジスタ46は、増幅トランジスタ45から供給される電気信号の垂直信号線13への出力を制御する。選択トランジスタ46は、ドレイン電極が増幅トランジスタ45のソース電極に接続され、ソース電極が垂直信号線13に接続されている。また、選択トランジスタ46のゲート電極には、垂直駆動部14から制御信号SELが供給される。制御信号SEL（即ち、選択トランジスタ46のゲート電位）がオフ状態のとき、増幅トランジスタ45と垂直信号線13は電氣的に切り離されている。

[0063] したがって、オフ状態のとき、画素41から画素信号が出力されない。これに対し、制御信号SEL（即ち、選択トランジスタ46のゲート電位）がオン状態のとき、画素41が選択状態となる。つまり、増幅トランジスタ45と垂直信号線13が電氣的に接続され、増幅トランジスタ45から出力される信号が、画素41の画素信号として垂直信号線13に供給される。即ち、画素41から画素信号が読み出される。

[0064] なお、単位画素の構成は任意であり、図4に限定されるものではない。例えば、読み出しトランジスタ43が省略されていてもよい。また、1単位画素当たりの画素数は任意であり、図4のように1画素であってもよいし、複数画素であってもよい。

[0065] [第1の実施形態の固体撮像装置の動作]

図5乃至図7を用いて、本技術に係る第1の実施形態の固体撮像装置10の動作について説明する。なお、同一の部材には同一の符号を付し、説明を

適宜、省略する。

[0066] 図5に、固体撮像装置10の構成要素を示したブロック図を示す。図5は、本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサの構成要素を示したブロック図である。

[0067] 図5に示すように、固体撮像装置10は、画素アレイ部11、垂直信号線13、安定化回路SC、第1のスイッチ36、A/D変換回路38、及び負荷MOS部30を備えている。安定化回路SCは、第1のトランジスタ34と、第3のトランジスタ35とを備えて構成されている。A/D変換回路38は、コンパレータ33、カウンタ37a、及びラッチ回路37bを備えて構成されている。負荷MOS部30は、第2のトランジスタ31と、第2のスイッチ32とを備えて構成されている。

[0068] 読み出し走査系において、まず、画素アレイ部11が有する各画素41は、生成した画素信号を垂直信号線13に出力する。負荷MOS部30は、各画素41の増幅トランジスタ45とソースフォロア回路を構成するため、垂直信号線13に電流を供給する。

[0069] そして、固体撮像装置10は、コンパレータ33が、D/A変換部16から供給されるランプ信号のランプ電圧値と第1の画素で生成された画素信号の電圧値とを比較する。

[0070] コンパレータ33は、ランプ信号のランプ電圧値と画素41で生成された画素信号の電圧値とを比較して、画素信号の電圧値がランプ電圧値より小さいときは、第2のスイッチ32が第5の電位32aの地点に接続することで垂直信号線13に電流を供給する。具体的には、最初、画素41から読み出した画素信号の電圧値は、ランプ電圧値よりも低いため、コンパレータ33は、“H”を出力する。第2のスイッチ32は、コンパレータ33の出力が“H”であるため、第5の電位32aである“バイアス信号Bias1”を選択し、画素41から垂直信号線13に電流を供給する。

[0071] これに対し、画素信号の電圧値がランプ電圧値より大きいときは、第2のスイッチ32が第6の電位32bに接続する。具体的には、画素信号の電圧

値がランプ電圧値よりも大きいときは、コンパレータ33は、“L”を出力する。これにより、第2のスイッチ32は、第5の電位32aの“バイアス信号Bias1”から、第6の電位32bの“GND”に切り替えて、第2のトランジスタ31をオフにする。これにより、負荷MOS部30は、OFF状態になり、ソースフォロア回路がスタンバイ状態になる。

[0072] 図6に、ランプ電圧値RMPと画素信号の電圧VSLを比較し、消費電力を低減する概念を示す。図6は、本技術を適用した固体撮像装置の一実施の形態であるCMOSイメージセンサにおいて、ランプ電圧値RMPと画素信号の電圧VSLを比較し、消費電力を低減する概念を示した説明図である。

[0073] 図6に示すように、コンパレータ33は、複数の画素41が配列された行毎に対応して、行毎に画素41を読み出す1H期間中において、ランプ電圧値RMPと画素信号の電圧VSLとを、P相読み出し期間とD相読み出し期間で比較する。

[0074] 一例として、コンパレータ33は、D相読み出し期間において、ランプ電圧値RMPと画素信号の電圧VSL1とを比較し、時間Z1は、画素信号の電圧VSL1がランプ電圧値RMPよりも大きいときを示している。画素信号の電圧VSL1がランプ電圧値RMPよりも大きいため、期間Qの間は、コンパレータ33が、第2のトランジスタ31をオフにする。これにより、負荷MOS部30は、OFF状態になり、ソースフォロア回路がスタンバイ状態になる。

[0075] この場合、画素信号の電圧VSL1の信号量が小さいほど、早期に負荷MOS部30がOFF状態になるため、期間Qの間が長くなり、固体撮像装置10は、大幅に消費電流を低減することができる。

[0076] また、ランプ電圧値RMPと画素信号の電圧VSL2とを比較し、時間Z2は、画素信号の電圧VSL2がランプ電圧値RMPよりも大きいときを示している。時間Z2では、画素信号の電圧VSL2がランプ電圧値RMPよりも大きいため、期間Rの間は、コンパレータ33が、第2のトランジスタ31をオフにする。これにより、負荷MOS部30は、OFF状態になり、

ソースフォロア回路がスタンバイ状態になる。

[0077] この場合、画素信号の電圧 V_{SL2} の信号量が大きくても、期間 R （ H ブランク期間）が長ければ、固体撮像装置 10 は、消費電流を低減することができる。

[0078] このように、画素信号の電圧 V_{SL} がランプ電圧値 RMP よりも大きいときは、複数の画素 41 に対応した列毎に、負荷 MOS 部 30 が OFF 状態になり、ソースフォロア回路がスタンバイ状態になる。これにより、第 1 の実施形態の固体撮像装置 10 は、消費電力を低減させることができる。

[0079] 図 5 に戻り、安定化回路 SC の動作について、説明する。

[0080] まず、ランプ電圧値 RMP と画素信号の電圧 V_{SL} とを比較し、画素信号の電圧 V_{SL} がランプ電圧値 RMP よりも小さいときは、コンパレータ 33 は、“ H ”を出力する。第 1 のスイッチ 36 は、コンパレータ 33 が“ H ”を出力しているとき、第 4 の電位 $36b$ を選択し、“負電位（負バイアス電圧 V_{RLS} ）”を選択する。この場合、電位信号 SD は、負電位（負バイアス電圧 V_{RLS} ）となる。そして、第 1 のトランジスタ 34 は、垂直信号線 13 に負バイアス電圧 V_{RLS} を印加する。なお、第 1 の実施形態では、一例として、第 4 の電位 $36b$ は、“負電位（負バイアス電圧 V_{RLS} ）”とする。なお、第 2 の実施形態では、第 4 の電位 $36c$ が、接地電位の“ GND ”について説明する。

[0081] これに対し、画素信号の電圧値 V_{SL} がランプ電圧値 RMP より大きいときは、コンパレータ 33 の出力が“ H ”から“ L ”に切り替わる。そして、第 1 のスイッチ 36 は、第 4 の電位 $36b$ の“負電位（負バイアス電圧 V_{RLS} ）”から、第 3 の電位 $36a$ の“ VDD ”に切り替える。

[0082] これにより、第 1 のスイッチ 36 が、第 4 の電位 $36b$ から第 3 の電位 $36a$ に切り替えると、電位信号 SD が“負電位（負バイアス電圧 V_{RLS} ）”から“ VDD ”となり、第 1 のトランジスタ 34 が“オン”となる。この場合、安定化回路 SC が“オン”となり、第 3 のトランジスタ 35 にはバイアス電圧（バイアス信号 $Bias2$ ）が印加されているため、安定化回路 S

Cは、垂直信号線13に、バイアス信号Bias2 ($V_{SL0} + V_{th_AMP}$) を印加する。

[0083] なお、第1の実施形態では、P相の読み出し時の画素信号の電圧を、 V_{SL0} とし(図6参照)、第3のトランジスタ35のスレッシュホールド電圧を、 V_{th_AMP} とする。

[0084] このように、コンパレータ33の出力が“H”から“L”に切り替わったときは、安定化回路SCは、垂直信号線13に高速にP相の電位($V_{SL0} + V_{th_AMP}$)を蓄積することができるので、固体撮像装置10の安定化を図ることができる。

[0085] 図7に、固体撮像装置10の消費電力を低減する期間について示す。図7は、本技術を適用した第1の実施形態の固体撮像装置の一実施の形態であるCMOSイメージセンサの動作を示したタイミングチャートである。なお、特に断りがない限り、「上」とは、図7中の上方向を意味し、「左」とは、図7中の左方向を意味するものとする。また、同一の部材については、同一の符号を付し、説明を適宜、省略する。

[0086] 固体撮像装置10は、複数の画素41が配列された行毎にA/D変換するようになっており、画素41の画素信号の信号成分を1H期間内に読み出すようになっている。ここでは、画素41が行方向と列方向に配列されている場合において、1行ごとに画素信号の信号成分を読み出す期間を、1H期間とする。

[0087] コンパレータ33は、D/A変換部16のランプ電圧値RMPと画素信号の電圧 V_{SL} とを画素41毎に比較する。図7では、時間Z3から時間Z4の間と、時間Z5から時間Z6の間、ランプ電圧値RMPよりも画素信号の電圧 V_{SL} の方が大きく、コンパレータ33の出力が反転していることを示している。

[0088] 図7に示すように、1H期間において、A/D変換を開始して時間Z3までは、ランプ電圧値RMPの方が画素信号の電圧値 V_{SL} よりも大きいため、コンパレータ33は、“H”を出力する。時間Z3では、画素信号の電圧

値 V_{SL} がランプ電圧値 RMP よりも大きいため、コンパレータ 33 の出力が、“H” から “L” に切り替わる。

[0089] 時間 Z_3 において、負荷 MOS 部 30 の第 2 のスイッチ 32 は、第 2 のトランジスタ 31 のゲートへの入力を “バイアス信号 $Bias_1$ ” から “GND” に切り替え、第 2 のトランジスタ 31 を “オフ” にする。したがって、負荷 MOS 部 30 は、列毎に対応した垂直信号線 13 に流れる電流の供給を停止させ、ソースフォロア回路をスタンバイ状態にさせる。

[0090] これにより、時間 Z_3 から時間 Z_4 までの期間 S の間、固体撮像装置 10 は、負荷 MOS 部 30 における消費電力を低減させることができる。

[0091] また、コンパレータ 33 の出力が、“H” から “L” に切り替わることにより、安定化回路 SC の第 1 のトランジスタ 34 のゲートには、“ V_{DD} ” が印加される。

[0092] したがって、期間 S に対応する期間 U の間、安定化回路 SC は、垂直信号線 13 の電位をバイアス信号 $Bias_2$ ($V_{SL0} + V_{th_AMP}$) に安定させることができる。

[0093] また、時間 Z_4 は、ランプ電圧値 RMP が画素信号の電圧値 V_{SL} よりも大きくなる時間である。時間 Z_4 の後、時間 Z_5 までの期間では、ランプ電圧値 RMP が画素信号の電圧値 V_{SL} よりも大きいため、コンパレータ 33 は、 A/D 変換を行う。そして、時間 Z_5 において、画素信号の電圧値 V_{SL} がランプ電圧値 RMP よりも大きいため、コンパレータ 33 の出力が、“H” から “L” に切り替わる。

[0094] 時間 Z_5 から時間 Z_6 の間は、画素信号の電圧値 V_{SL} がランプ電圧値 RMP よりも大きいため、コンパレータ 33 の出力が “L” になる。これにより、負荷 MOS 部 30 の第 2 のスイッチ 32 は、第 2 のトランジスタ 31 への入力を第 5 の電位 32a の “バイアス信号 $Bias_1$ ” から第 6 の電位 32b の “GND” に切り替えて、第 2 のトランジスタ 31 を “オフ” にする。したがって、負荷 MOS 部 30 は、列毎に対応した垂直信号線 13 に流れる電流の供給を停止させ、ソースフォロア回路をスタンバイ状態にさせる。

[0095] 図7では、期間Sと期間Tの間、固体撮像装置10は、負荷MOS部30における消費電力を低減させることができる。

[0096] また、コンパレータ33の出力が、“H”の時は、安定化回路SCの第1のトランジスタ34のゲートには、第4の電位36bの“負バイアス電圧VRLS”が印加されていたが、コンパレータ33の出力が、“H”から“L”に切り替わると、第1のトランジスタ34のゲートには、第3の電位36aの“VDD”が印加される。

[0097] したがって、期間Sに対応する期間Uの間と、期間Tに対応する期間Vの間、安定化回路SCは、垂直信号線13の電位を、バイアス信号Bias2 ($V_{SL0} + V_{th_AMP}$) に安定させることができる。

[0098] なお、時間Z6の後、次の行の画素信号を読み出すまでは、コンパレータ33は、待機となる。このように、安定化回路SCは、期間Sに対応する期間Uと、期間Tに対応する期間Vの間、画素アレイ部11の画素41からコンパレータ33までの電流源を安定化させることができる。

[0099] 以上説明したように、本技術に係る第1の実施形態の固体撮像装置は、画素アレイ部11と、垂直信号線13と、第1のトランジスタ34と、第2のトランジスタ31と、D/A変換部16と、コンパレータ33とを備え、消費電力の低減化を図ることができる。

[0100] なお、安定化回路SCは、本技術に係る第1の実施形態の固体撮像装置10に使用されているが、必須の構成要素ではない。安定化回路SCは、垂直信号線13の電位を安定化させるために用いられるため、任意の構成要素となっている。即ち、安定化回路SCがなくても、消費電力の低減化を図ることができる。

[0101] <2. 第2の実施形態（固体撮像装置の例2）>

本技術に係る第2の実施形態の固体撮像装置は、第1の実施形態の固体撮像装置において、第4の電位が、接地電位である、固体撮像装置である。

[0102] 本技術に係る第2の実施形態の固体撮像装置によれば、第1の実施形態の固体撮像装置と同様に、消費電力の低減を図ることができる。

- [0103] 図8を用いて、本技術に係る第2の実施形態の固体撮像装置10aの動作について説明する。
- [0104] 図8に、固体撮像装置10aの構成要素を示したブロック図を示す。図8は、本技術を適用した第2の固体撮像装置の一実施の形態であるCMOSイメージセンサの構成要素を示したブロック図である。なお、同一の部材については、同一の符号を付し、説明を適宜、省略する。
- [0105] 図8に示すように、固体撮像装置10aは、画素アレイ部11、負荷MOS部30、A/D変換回路38、スイッチ36a、及び安定化回路SCを備えている。
- [0106] 第2の実施形態の固体撮像装置10aが、第1の実施形態の固体撮像装置10と異なる点は、第4の電位36cが、接地電位“GND”となっている点である。この場合、第1のスイッチ36aは、第4の電位36bの“負バイアス電圧VRLS”の代わりに第4の電位36cの接地電位“GND”に切り替える。
- [0107] 例えば、通常時、コンパレータ33が“H”を出力しており、第1のスイッチ36aは、その間、第4の電位36cの接地電位を選択する。そのため、第1のトランジスタ34のゲートには、第4の電位36cの“GND”が入力され、安定化回路SCは、“オフ”となる。そして、コンパレータ33が“H”から“L”に切り替わると、第1のスイッチ36aは、第4の電位36cの接地電位の“GND”から第3の電位36aの“VDD”に切り替える。
- [0108] これにより、第1のトランジスタ34のゲートには“VDD”が入力されるので、安定化回路SCは、垂直信号線13に、バイアス信号Bias2（ $V_{SL0} + V_{th_AMP}$ ）を印加することができる。
- [0109] ここで、第1の実施形態では、固体撮像装置10は、通常時において、第1のトランジスタ34のゲートに、“負バイアス電圧VRLS”を印加していたが、第2の実施形態では、固体撮像装置10aは、第1のトランジスタ34のゲートに、“GND”を入力し、安定化回路SCを“オフ”にする。

- [0110] 第2の実施形態では、第1のスイッチ36aが、“オン”と“”オフ“を切り替えており、“負バイアス電圧VRLS”の代わりに“GND”を選択することにより、“負バイアス電圧VRLS”の配線（これを、VRLS配線ともいう。）を、半導体基板（例えば、第2の基板）に引き回す必要をなくしている。
- [0111] 図9に、第1の実施形態の固体撮像装置10と第2の実施形態の固体撮像装置10aとのレイアウトの違いを示す。図9は、第1の実施形態の固体撮像装置10と第2の実施形態の固体撮像装置10aとにおいて、負バイアス電圧VRLSによるVRLS配線のレイアウトの違いを示した説明図である。
- [0112] 図9Aに、第1の実施形態として、固体撮像装置10を構成する半導体基板SB1（例えば、第1の基板）と半導体基板SB2a（例えば、第2の基板）とを示し、図9Bに、第2の実施形態として、固体撮像装置10aを構成する半導体基板SB1（例えば、第1の基板）と半導体基板SB2b（例えば、第2の基板）を示す。
- [0113] VRLS配線は、第1の実施形態の固体撮像装置10でも、第2の実施形態の固体撮像装置10aでも、半導体基板SB1（第1の基板）には配線されている。
- [0114] しかしながら、第1の実施形態の固体撮像装置10が有するVRLS配線は、半導体基板SB2a（例えば、第2の基板）のLM（負荷MOS部30）まで、配線を引き回す必要がある。
- [0115] これに対し、第2の実施形態の固体撮像装置10aが有するVRLS配線は、半導体基板SB2b（例えば、第2の基板）のLM（負荷MOS部30）まで、配線を引き回す必要がない。
- [0116] これにより、第2の実施形態に係る固体撮像装置10aは、第1の実施形態の固体撮像装置10よりも配線の自由度が向上し、VRLS配線の負荷を低減することができる。
- [0117] 図10に、固体撮像装置10aの消費電力を低減する期間について示す。図10は、本技術を適用した第2の実施形態の固体撮像装置の一実施の形態

であるCMOSイメージセンサの動作を示したタイミングチャートである。
なお、図7と同一の部材については同一の符号を付し、説明を適宜、省略する。

[0118] 図10に示すように、第2の実施形態における固体撮像装置10aのタイミングチャートは、第1の固体撮像装置10における固体撮像装置10のタイミングチャートと同様となっている。

[0119] 第2の実施形態の固体撮像装置10aが、第1の実施形態の固体撮像装置10と異なる点は、第4の電位36cが、接地電位“GND”となっている点である。このため、第2の実施形態の固体撮像装置10aは、論理的な回路構成が変更されておらず、第2の実施形態の固体撮像装置10aのタイミングチャートは、第1の実施形態において説明した固体撮像装置10におけるタイミングチャートと、同一のタイミングチャートとなる。

[0120] <3. 第3の実施形態（固体撮像装置の例3）>

本技術に係る第3の実施形態の固体撮像装置は、第1の実施形態の固体撮像装置において、画素信号の電圧値がランプ電圧値より大きいときは、安定化回路が、電流の供給を停止した次の行に対応する画素信号がA/D変換が開始するまでに、垂直信号線に所定の電位を与える、固体撮像装置である。

[0121] 本技術に係る第3の実施形態の固体撮像装置によれば、安定化回路が、次の行に対応する画素信号がA/D変換が開始されるまでに垂直信号線に所定の電位を与えることができるので、負荷MOS部を安定させることができる。

[0122] 第3の実施形態の固体撮像装置は、第1の実施形態で説明した安定化回路SCを有している。なお、第3の実施形態の固体撮像装置について、第1の実施形態の固体撮像装置10を用いて説明する。

[0123] 図7を用いて、第3の実施形態の固体撮像装置の動作について説明する。

[0124] 固体撮像装置10は、複数の画素41が配列された行毎に対応して、画素信号をA/D変換している。画素信号の電圧値VSLがランプ電圧値RMPより大きいときは、コンパレータ33の出力が“H”から“L”に切り替わ

る。そして、第1のトランジスタ34のゲートには、第3の電位36aの“VDD”が印加される。

[0125] これにより、安定化回路SCは、垂直信号線13にバイアス信号Bias2 ($V_{SL0} + V_{th_AMP}$) を供給し、垂直信号線13の電位を安定させることができる。

[0126] 例えば、図7の時間Z5では、画素信号の電圧値VSLがランプ電圧値RMPより大きいときを示している。このとき、安定化回路SCは、垂直信号線13にバイアス信号Bias2 ($V_{SL0} + V_{th_AMP}$) に与えている。

[0127] このように、画素信号の電圧VSLは、時間Z5の後、垂直信号線13の電位がバイアス信号Bias2 ($V_{SL0} + V_{th_AMP}$) になる。なお、所定の電位は、一例として、画素信号の電圧VSLにおいて、P相の読み出し期間の動作開始時点の電位とすることができる。

[0128] このように、画素信号の電圧値VSLがランプ電圧値RMPより大きいときは、安定化回路SCが、電流の供給を停止した次の行に対応する画素信号がA/D変換が開始するまでに、垂直信号線13に所定の電位（例えば、バイアス信号Bias2 ($V_{SL0} + V_{th_AMP}$) ）を与えるようになっている。

[0129] これにより、本技術に係る第3の実施形態の固体撮像装置では、安定化回路SCが、次の行に対応する画素信号がA/D変換が開始されるまでに垂直信号線に所定の電位を与えることができるので、負荷MOS部30を安定させることができる。

[0130] <4. 第4の実施形態（固体撮像装置の例4）>

本技術に係る第4の実施形態の固体撮像装置は、第1の実施形態の固体撮像装置において、安定化回路が、トランジスタスイッチで構成され、画素信号の電圧値がランプ電圧値より大きいときは、トランジスタスイッチが、垂直信号線に所定の電位を与える、固体撮像装置である。

[0131] 本技術に係る第4の実施形態の固体撮像装置によれば、第1の実施形態の

固体撮像装置と同様に、消費電力の低減を図ることができる。

[0132] 図 1 1 を用いて、本技術に係る第 4 の実施形態の固体撮像装置 1 0 b の動作について説明する。

[0133] 図 1 1 に、固体撮像装置 1 0 b の構成要素を示したブロック図を示す。図 1 1 は、本技術を適用した第 4 の実施形態の固体撮像装置の一実施の形態である CMOS イメージセンサの構成要素を示したブロック図である。なお、図 5 と同一の構成には同一の符号を付し、説明を適宜、省略する。

[0134] 第 4 の実施形態の固体撮像装置 1 0 b が、第 1 の実施形態の固体撮像装置 1 0 と異なる点は、安定化回路 SC の代わりに、安定化回路 SC 1 が設けられている点である。

[0135] 安定化回路 SC 1 は、n 型 MOS トランジスタ 5 0 で構成されている。n 型 MOS トランジスタ 5 0 は、通常時は、“負バイアス電圧 V_{RLS} ” を垂直信号線 1 3 に印加し、画素信号の電圧値 V_{SL} がランプ電圧値 RMP より大きいときは、垂直信号線 1 3 に、バイアス信号 $Bias2$ (V_{SL0}) を与えるようになっている。

[0136] 図 1 2 に、第 4 の実施形態の固体撮像装置 1 0 b が、ランプ電圧値 RMP と画素信号の電圧 V_{SL} を比較し、消費電力を低減する概念を示す。図 1 2 は、本技術を適用した第 4 の実施形態の固体撮像装置の一実施の形態である CMOS イメージセンサにおいて、ランプ電圧値 RMP と画素信号の電圧 V_{SL} を比較し、消費電力を低減する概念を示した説明図である。

[0137] 第 4 の実施形態の固体撮像装置 1 0 b は、第 1 の実施形態の固体撮像装置 1 0 と、同様の処理を行う。

[0138] 図 1 2 に示すように、コンパレータ 3 3 は、行毎に対応して、A/D 変換する期間（1 H 期間）中において、ランプ電圧値 RMP と画素信号の電圧 V_{SL} とを P 相読み出し期間と D 相読み出し期間で比較する。

[0139] 一例として、コンパレータ 3 3 は、D 相読み出し期間において、ランプ電圧値 RMP と画素信号の電圧 V_{SL3} とを比較し、時間 $Z10$ は、画素信号の電圧 V_{SL3} がランプ電圧値 RMP よりも大きいときを示している。画素

信号の電圧 V_{SL3} がランプ電圧値 RMP よりも大きいため、期間 $Q1$ の間は、コンパレータ 33 が、第2のトランジスタ 31 をオフにする。これにより、負荷MOS部 30 は、OFF状態になり、ソースフォロア回路がスタンバイ状態になる。

[0140] この場合、画素信号の電圧 V_{SL3} の信号量が小さいほど、早期に負荷MOS部 30 がOFF状態になるため、期間 $Q1$ の間が長くなり、固体撮像装置 10 は、大幅に消費電流を低減することができる。

[0141] また、ランプ電圧値 RMP と画素信号の電圧 V_{SL4} とを比較し、時間 $Z11$ は、画素信号の電圧 V_{SL4} がランプ電圧値 RMP よりも大きいときを示している。時間 $Z11$ では、画素信号の電圧 V_{SL4} がランプ電圧値 RMP よりも大きいため、期間 $R1$ の間は、コンパレータ 33 が、第2のトランジスタ 31 をオフにする。これにより、負荷MOS部 30 は、OFF状態になり、ソースフォロア回路がスタンバイ状態になる。

[0142] この場合、画素信号の電圧 V_{SL4} の信号量が大きくても、期間 $R1$ （Hブランク期間）が長ければ、消費電流を低減することができる。

[0143] このように、画素信号の電圧 V_{SL} がランプ電圧値 RMP よりも大きいときは、複数の画素 41 に対応した列毎に、負荷MOS部 30 がOFF状態になり、ソースフォロア回路がスタンバイ状態になる。これにより、第4の実施形態の固体撮像装置 $10b$ は、消費電力を低減させることができる。

[0144] 図13に、固体撮像装置 $10b$ の消費電力を低減する期間について示す。図13は、本技術を適用した第4の実施形態の固体撮像装置の一実施の形態であるCMOSイメージセンサの動作を示したタイミングチャートである。

[0145] 固体撮像装置 $10b$ は、複数の画素が配列された行毎にA/D変換するようになっており、1行においてA/D変換を行う期間を、1H期間とする。なお、基本的な動作は、図7に示す第1の実施形態の固体撮像装置 10 の動作と同様である。

[0146] コンパレータ 33 は、D/A変換部 16 のランプ電圧値 RMP と画素信号の電圧 V_{SL} とを画素毎に比較する。図13では、時間 $Z3$ から時間 $Z4$ の

間と、時間Z 5 から時間Z 6 の間、ランプ電圧値RMPよりも画素信号の電圧VSLの方が大きく、コンパレータ33の出力が反転していることを示している。

[0147] 図13に示すように、1H期間において、A/D変換を開始して時間Z3までは、ランプ電圧値RMPの方が画素信号の電圧値VSLよりも大きいため、コンパレータ33は、“H”を出力する。時間Z3では、画素信号の電圧値VSLがランプ電圧値RMPよりも大きいため、コンパレータ33の出力が、“H”から“L”に切り替わる。

[0148] 時間Z3において、負荷MOS部30の第2のスイッチ32は、第2のトランジスタ31のゲートへの入力を“バイアス信号Bias1”から“GND”に切り替え、第2のトランジスタ31を“オフ”にする。したがって、負荷MOS部30は、列毎に対応した垂直信号線13に流れる電流の供給を停止させ、ソースフォロア回路をスタンバイ状態にさせる。

[0149] これにより、時間Z3から時間Z4までの期間Sの間、固体撮像装置10bは、負荷MOS部30における消費電力を低減させることができる。

[0150] また、コンパレータ33の出力が、“H”から“L”に切り替わることにより、安定化回路SC1のn型MOSトランジスタ50のゲートには、“VDD”が印加される。

[0151] したがって、期間Sに対応する期間Uの間、安定化回路SC1は、垂直信号線13の電位を、バイアス信号Bias2(VSL0)に安定させることができる。

[0152] また、時間Z4は、ランプ電圧値RMPが画素信号の電圧値VSLよりも大きくなる時間である。時間Z4の後、時間Z5までの期間では、ランプ電圧値RMPが画素信号の電圧値VSLよりも大きいため、コンパレータ33は、A/D変換を行う。そして、時間Z5において、画素信号の電圧値VSLがランプ電圧値RMPよりも大きいため、コンパレータ33の出力が、“H”から“L”に切り替わる。

[0153] 時間Z5から時間Z6の間は、画素信号の電圧値VSLがランプ電圧値R

MPよりも大きいため、コンパレータ33の出力が“L”になる。これにより、負荷MOS部30の第2のスイッチ32は、第2のトランジスタ31への入力を第5の電位32aの“バイアス信号Bias1”から第6の電位32bの“GND”に切り替えて、第2のトランジスタ31を“オフ”にする。したがって、負荷MOS部30は、列毎に対応した垂直信号線13に流れる電流の供給を停止させ、ソースフォロア回路をスタンバイ状態にさせる。

[0154] 図13では、期間Sと期間Tの間、固体撮像装置10は、負荷MOS部30における消費電力を低減させることができる。

[0155] また、安定化回路SC1のn型MOSトランジスタ50のゲートには、“負バイアス電圧VRLS”が印加されていたが、コンパレータ33の出力が、“H”から“L”に切り替わることにより、n型MOSトランジスタ50のゲートには、第3の電位36aの“VDD”が印加される。

[0156] したがって、安定化回路SC1は、垂直信号線13の電位を、バイアス信号Bias2(VSL0)に安定させることができる。

[0157] なお、時間Z6の後、次の行の画素信号を読み出すまでは、A/D変換回路38は、待機となる。このように、安定化回路SC1は、期間Sに対応する期間Uと、期間Tに対応する期間Vの間、画素アレイ部11の画素41からコンパレータ33までの電流源を安定化させることができる。

[0158] 以上説明したように、本技術に係る第4の実施形態の固体撮像装置10bは、安定化回路SC1がn型MOSトランジスタ50で構成され、画素信号の電圧値がランプ電圧値より大きいときは、n型MOSトランジスタ50が、垂直信号線13に、所定の電位（例えば、バイアス信号Bias2(VSL0)）を与えることができる。

[0159] これにより、本技術に係る第4の実施形態の固体撮像装置10bによれば、第1の実施形態の固体撮像装置と同様に、消費電力の低減を図りながら、固体撮像装置10bの安定化を図ることができる。

[0160] <5. 第5の実施形態（固体撮像装置の例5）>

本技術に係る第5の実施形態の固体撮像装置は、第1の実施形態の固体撮

像装置において、画素信号の電圧値がランプ電圧値より大きいときは、コンパレータが、画素信号の電圧値とランプ電圧値とを比較することを停止する、固体撮像装置である。

[0161] 例えば、A/D変換部が、遅延素子をさらに有し、画素信号の電圧値がランプ電圧値より大きいときは、遅延素子が、画素信号の電圧値がランプ電圧値よりも大きいことを示す出力を遅らせて、当該出力をコンパレータに入力し、コンパレータが、画素信号の電圧値とランプ電圧値とを比較することを停止する。

[0162] 本技術に係る第5の実施形態の固体撮像装置によれば、第1の実施形態の固体撮像装置と同様に、消費電力の低減を図ることができる。

[0163] 図14を用いて、本技術に係る第5の実施形態の固体撮像装置10cの動作について説明する。

[0164] 図14に、固体撮像装置10cの構成要素を示したブロック図を示す。図14は、本技術を適用した第5の実施形態の固体撮像装置の一実施の形態であるCMOSイメージセンサの構成要素を示したブロック図である。また、同一の部材については、同一の符号を付し、説明を適宜、省略する。

[0165] 第5の実施形態の固体撮像装置10cが第1の実施形態の固体撮像装置10と異なる点は、A/D変換回路38aが、遅延素子53を更に備えている点である。即ち、A/D変換回路38aは、コンパレータ33と、カウンタ37aと、ラッチ回路37bと、インバータ52と、遅延素子53とを備えて構成されている。なお、コンパレータ33と、インバータ52と、遅延素子53は、コンパレータ33を所定のタイミングで停止させるタイミング制御コンパレータ51を構成してもよい。

[0166] A/D変換回路38aは、画素信号の電圧値がランプ電圧値より大きいときは、コンパレータ33が、画素信号の電圧値とランプ電圧値とを比較することを停止する。さらに、遅延素子53は、コンパレータ33の画素信号の電圧値がランプ電圧値よりも大きいことを示す出力を遅らせて、当該出力をコンパレータ33に入力し、コンパレータ33が、画素信号の電圧値とラン

プ電圧値とを比較することを停止する。

[0167] インバータ 5 2 は、コンパレータ 3 3 の出力を反転させるための反転素子である。

[0168] 遅延素子 5 3 は、画素信号の電圧値がランプ電圧値よりも大きいことを示す出力を遅らせて、当該出力をコンパレータ 3 3 の所定の端子（後述する、図 1 6 の T M A B K 端子）に入力する。

[0169] コンパレータ 3 3 は、遅延素子 5 3 によって画素信号の電圧値がランプ電圧値よりも大きいことを示す出力が遅れて入力されるので、カウンタ 3 7 a のカウンタ値をラッチ回路 3 7 b により取得した後に、コンパレータ 3 3 を止めることができる。

[0170] 図 1 5 に、遅延素子 5 3 の構成要素を示したブロック図を示す。図 1 5 は、本技術を適用した第 5 の実施形態の遅延素子の一実施の形態である遅延素子の構成要素を示したブロック図である。

[0171] 図 1 5 A に、遅延素子 5 3 a を示す。図 1 5 B に、遅延素子 5 3 b を示す。図 1 5 A に示すように、遅延素子 5 3 a は、複数個（ n 個）のインバータ $I V n$ から構成される。なお、インバータ $I V n$ の個数は、コンパレータ 3 3 の出力を遅らせたいタイミングに合わせて設定される。

[0172] また、図 1 5 B に示すように、遅延素子 5 3 b は、複数個（ n 個）のフリップフロップ $F F n$ から構成されている。フリップフロップ $F F 1 \sim F F n$ は、クロック $C L K$ のタイミングに同期して、フリップフロップ $F F$ の数だけのコンパレータ 3 3 の出力を遅延させることができる。なお、遅延素子 3 3 は、遅延素子 5 3 a 及び遅延素子 5 3 b のいずれも適用することができ、この実施形態に限定されるものではない。

[0173] 図 1 6 に、コンパレータ 3 3 の構成要素を示したブロック図を示す。図 1 6 は、本技術を適用した第 5 の実施形態のコンパレータの一実施の形態であるコンパレータの構成要素を示したブロック図である。なお、コンパレータ 3 3 は、公知のコンパレータを使用することができる。

[0174] 図 1 6 に示すように、コンパレータ 3 3 は、初段で低速信号比較動作を行

い、動作帯域を狭くする機能を有する第1アンプ210、及び第1アンプ210の出力をゲインアップする機能を有する第2アンプ220が縦続接続されている。

- [0175] コンパレータ33は、行動作開始時に各カラム毎に動作点を決めるためのAZスイッチに印加する第1アンプ210のための第1のAZ（初期化）信号PSELを、水平方向（コンパレータ33の配列方向、列方向）の間欠動作基本単位分だけ並列に独立して制御することで、非動作コンパレータのAZスイッチのみ非動作行開始時にオフに固定にするように構成されている。
- [0176] 第1アンプ210は、pチャネルMOS（PMOS）トランジスタPT211～PT215、nチャネルMOS（NMOS）トランジスタMT211～NT215、およびAZレベルのサンプリング容量である第1のキャパシタC211、キャパシタC212を有する。
- [0177] PMOSトランジスタPT211のソースおよびPMOSトランジスタPT212のソースが電源電位VDDに接続されている。
- [0178] PMOSトランジスタPT211のドレインがNMOSトランジスタNT211のドレインに接続され、その接続点によりノードND211が形成されている。また、PMOSトランジスタPT211のドレインとゲートが接続され、その接続点がPMOSトランジスタ212のゲートに接続されている。
- [0179] PMOSトランジスタPT212のドレインがNMOSトランジスタNT212のドレインに接続され、その接続点により第1アンプ210の出力ノードND212が形成されている。
- [0180] NMOSトランジスタNT211とNMOSトランジスタNT212のエミッタ同士が接続され、その接続点がNMOSトランジスタNT214のドレインに接続され、NMOSトランジスタNT214のソースがNMOSトランジスタNT213のドレインに接続されている。NMOSトランジスタNT213のソースは接地電位GNDに接続されている。
- [0181] NMOSトランジスタNT211のゲートがキャパシタC211の第1電

極に接続され、その接続点によりノードND 2 1 3が形成されている。そして、キャパシタC 2 1 1の第2電極がランプ信号RAMPの入力端子TRAMPに接続されている。

[0182] NMOSトランジスタNT 2 1 2のゲートがキャパシタC 2 1 2の第1電極に接続され、その接続点によりノードND 2 1 4が形成されている。そして、キャパシタC 2 1 2の第2電極がアナログ信号VSLの入力端子TVSLに接続されている。

[0183] また、NMOSトランジスタNT 2 1 3のゲートがバイアス信号BIASの入力端子TBIASに接続されている。

[0184] また、NMOSトランジスタNT 2 1 4のゲートが制御信号MASKの入力端子TMASKに接続されている。

[0185] PMOSトランジスタPT 2 1 3のドレインがノードND 2 1 1に接続され、ソースがノードND 2 1 3に接続されている。PMOSトランジスタPT 2 1 4のドレインがノードND 2 1 2に接続され、ソースがノードND 2 1 4に接続されている。

[0186] そして、PMOSトランジスタPT 2 1 3およびPT 2 1 4のゲートがローレベルでアクティブの第1のAZ信号PSELの入力端子TPSELに共通に接続されている。

[0187] また、PMOSトランジスタPT 2 1 5のソースが電源電位VDDに接続され、ドレインが出力ノードND 2 1 2に接続され、ゲートが制御信号MASKの入力端子TMASKに接続されている。

[0188] このような構成を有する第1アンプ2 1 0において、PMOSトランジスタPT 2 1 1, PT 2 1 2によりカレントミラー回路が構成され、NMOSトランジスタNT 2 1 1, NT 2 1 2によりNMOSトランジスタNT 2 1 3を電流源とする差動の比較部が構成されている。

[0189] また、PMOSトランジスタPT 2 1 3, PT 2 1 4がAZスイッチとして機能し、キャパシタC 2 1 1, C 2 1 2がAZレベルのサンプリング容量として機能する。そして、第1アンプ2 1 0の出力信号1stcompは出

カノードND212から第2アンプ220に出力される。

[0190] また、NMOSトランジスタNT214は、制御信号MABKがローレベルの場合にはオフして第1アンプ210を非動作状態とし、ハイレベルの場合にはオンして第1アンプ210を動作状態とする機能を有する。

[0191] PMOSトランジスタ215は、制御信号MABKがローレベルの場合にはオンして第1アンプ210を非動作状態時の出力ノードND212に接続される出力ラインを電源電位VDDに固定し、次段の第2アンプ220のゲート入力トランジスタを確実にカットオフさせる機能を有する。PMOSトランジスタPT215は、制御信号MASKがハイレベルの場合にはオフして第1アンプ210の出力1stcompを第2アンプ220に伝達させる機能を有する。

[0192] 第2アンプ220は、PMOSトランジスタPT221、NMOSトランジスタNT221、NT222、およびAZレベルのサンプリング容量C221を有する。

[0193] PMOSトランジスタPT211のソースが電源電位VDDに接続され、ゲートが第1アンプ210の出力ノードND212に接続されている。PMOSトランジスタPT211のドレインがNMOSトランジスタNT211のドレインに接続され、その接続点により出力ノードND221が形成されている。

[0194] NMOSトランジスタNT221のソースが接地電位GNDに接続され、ゲートがキャパシタC221の第1電極に接続され、その接続点によりノードND222が形成されている。キャパシタC221の第2電極は接地電位GNDに接続されている。

[0195] NMOSトランジスタNT222のドレインがノードND221に接続され、ソースがノードND222に接続されている。

[0196] そして、NMOSトランジスタPT222のゲートがハイレベルでアクティブの第2のAZ信号NSELの入力端子TNSELに共通に接続されている。

- [0197] この第2のAZ信号NSELは、第1アンプ210に供給される第1のAZ信号PSELと相補的なレベルをとる。
- [0198] このような構成を有する第2アンプ220において、PMOSトランジスタPT221により入力および電流源回路が構成されている。
- [0199] また、NMOSトランジスタPT222がAZスイッチとして機能し、キャパシタC221がAZレベルのサンプリング容量として機能する。
- [0200] そして、第2アンプ220の出力ノードND221は、コンパレータ33の出力端子TOUTに接続されている。
- [0201] 図17を用いて、第5の実施形態の固体撮像装置10cの動作について説明する。図17は、本技術を適用した第5の実施形態の固体撮像装置10cの一実施の形態であるCMOSイメージセンサのタイミングチャートを示した説明図である。なお、図17では、図7と異なるところを説明し、図7と重複するところは、適宜、省略する。
- [0202] 図17の時間Z3と時間Z5では、コンパレータ33の出力が、“H”から“L”に切り替わる。ここで、固体撮像装置10cは、遅延素子53を有しており、コンパレータ33は、Y時間分だけ遅れて、TMABK端子に“H”から“L”に切り替わったことが入力される。
- [0203] これにより、コンパレータ33は、遅延素子53によってコンパレータ33の出力からY時間経過後に、期間Wや期間Xの間、コンパレータ33を停止する。
- [0204] 以上説明したように、本技術に係る第5の実施形態の固体撮像装置10cは、画素信号の電圧値がランプ電圧値より大きいときは、コンパレータ33が、画素信号の電圧値とランプ電圧値とを比較することを停止する。これにより、第5の実施形態の固体撮像装置10cは、消費電力の低減を図ることができる。
- [0205] さらに、本技術に係る第5の実施形態の固体撮像装置10cは、A/D変換回路38aが遅延素子53を有し、遅延素子53が、コンパレータ33の出力を遅らせ、画素信号の電圧値がランプ電圧値よりも大きいことを示す出

力をコンパレータ 33 に入力する。このため、コンパレータ 33 は、カウンタ 37a のカウンタ値をラッチ回路 37b でラッチした後に、画素信号の電圧値とランプ電圧値とを比較することを停止することができる。

[0206] これにより、本技術に係る第 5 の実施形態の固体撮像装置 10c は、カウンタ値を確実に保持したうえで、消費電力の低減化を図ることができる。

[0207] <6. 電子機器に関する第 6 の実施形態>

本技術に係る第 6 の実施形態の電子機器は、固体撮像装置が搭載され、固体撮像装置が、単位画素を有する画素アレイ部と、単位画素に接続された垂直信号線と、第 1 の電位の地点と垂直信号線のそれぞれに、ソースまたはドレインが接続された第 1 のトランジスタと、第 2 の電位の地点と垂直信号線のそれぞれに、ソースまたはドレインが接続された第 2 のトランジスタと、D/A 変換部と、垂直信号線と D/A 変換部とに接続されたコンパレータと、を備え、垂直信号線には、第 1 のトランジスタにより第 1 の電位が供給され、第 1 の電位が、第 2 の電位よりも高い、電子機器である。また、本技術に係る第 6 の実施形態の電子機器は、本技術に係る第 1 乃至 5 の実施形態のいずれか 1 つの固体撮像装置が搭載された電子機器でもよい。

[0208] <7. 本技術を適用した固体撮像装置の使用例>

図 18 は、イメージセンサとしての本技術に係る第 1 乃至第 5 の実施形態のいずれか 1 つの固体撮像装置の使用例を示す図である。

[0209] 上述した第 1 乃至第 5 の実施形態の固体撮像装置は、例えば、以下のように、可視光や、赤外光、紫外光、X 線等の光をセンシングするさまざまなケースに使用することができる。即ち、図 18 に示すように、例えば、鑑賞の用に供される画像を撮影する鑑賞の分野、交通の分野、家電の分野、医療・ヘルスケアの分野、セキュリティの分野、美容の分野、スポーツの分野、農業の分野等において用いられる装置（例えば、上述した第 6 の実施形態の電子機器）に、第 1 乃至第 5 の実施形態のいずれか 1 つの固体撮像装置を使用することができる。

[0210] 具体的には、鑑賞の分野においては、例えば、デジタルカメラやスマート

フォン、カメラ機能付きの携帯電話機等の、鑑賞の用に供される画像を撮影するための装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0211] 交通の分野においては、例えば、自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0212] 家電の分野においては、例えば、ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、テレビ受像機や冷蔵庫、エアコンディショナ等の家電に供される装置で、第1乃至第5のいずれか1つの実施形態の固体撮像装置を使用することができる。

[0213] 医療・ヘルスケアの分野においては、例えば、内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0214] セキュリティの分野においては、例えば、防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0215] 美容の分野においては、例えば、肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0216] スポーツの分野において、例えば、スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0217] 農業の分野においては、例えば、畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置に、第1乃至第5の実施形態のいずれか1つの固体撮像装置を使用することができる。

[0218] 次に、本技術に係る第1乃至第5の実施形態の固体撮像装置の使用例を具体的に説明する。例えば、上述で説明をした固体撮像装置は、例えばデジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話など、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図19に、その一例として、電子機器102（カメラ）の概略構成を示す。この電子機器102は、例えば静止画または動画を撮影可能なビデオカメラであり、固体撮像装置101と、光学系（光学レンズ）310と、シャッタ装置311と、固体撮像装置101およびシャッタ装置311を駆動する駆動部313と、信号処理部312とを有する。

[0219] 光学系310は、被写体からの像光（入射光）を固体撮像装置101の画素部101aへ導くものである。この光学系310は、複数の光学レンズから構成されていてもよい。シャッタ装置311は、固体撮像装置101への光照射期間および遮光期間を制御するものである。駆動部313は、固体撮像装置101の転送動作およびシャッタ装置311のシャッタ動作を制御するものである。信号処理部312は、固体撮像装置101から出力された信号に対し、各種の信号処理を行うものである。信号処理後の映像信号Doutは、メモリなどの記憶媒体に記憶されるか、あるいは、モニタ等に出力される。

[0220] なお、本技術に係る実施形態は、上述した実施形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0221] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0222] また、本技術は、以下のような構成を取ることができる。

（1）単位画素を有する画素アレイ部と、

前記単位画素に接続された垂直信号線と、

第1の電位の地点と前記垂直信号線とのそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、

第2の電位の地点と前記垂直信号線とのそれぞれに、ソースまたはドレイ

ンが接続された第2のトランジスタと、

D/A変換部と、

前記垂直信号線と前記D/A変換部とに接続されたコンパレータと、を備え、

前記垂直信号線には、前記第1のトランジスタにより前記第1の電位が供給され、前記第1の電位が、前記第2の電位よりも高い、固体撮像装置。

(2) 前記第1のトランジスタのゲートに接続される第1のスイッチと、

前記第2のトランジスタのゲートに接続される第2のスイッチと、を備え、

、

前記第1のトランジスタが、前記コンパレータの出力信号によって前記第1のスイッチが切り替えられて制御されるとともに、

前記第2のトランジスタが、前記コンパレータの出力信号によって前記第2のスイッチが切り替えられて制御される、前記(1)に記載の固体撮像装置。

(3) 前記第1のトランジスタのゲートが、前記第1のスイッチを介して第3の電位の地点及び第4の電位の地点に接続され、

前記第2のトランジスタのゲートが、前記第2のスイッチを介して第5の電位の地点及び第6の電位の地点に接続され、

前記第3の電位が、前記第4の電位よりも高く、

前記第5の電位が、前記第6の電位よりも高い、前記(2)に記載の固体撮像装置。

(4) 前記第1の電位及び前記第3の電位が、電源電位であり、

前記第2の電位及び前記第6の電位が、接地電位である、前記(3)に記載の固体撮像装置。

(5) 前記第4の電位が、負電位である、前記(3)または(4)に記載の固体撮像装置。

(6) 前記第4の電位が、接地電位である、前記(3)または(4)に記載の固体撮像装置。

(7) 前記第1の電位の地点と前記第1のトランジスタとのそれぞれに、ソースまたはドレインが接続された第3のトランジスタをさらに有する、前記(1)乃至(6)のいずれか1つに記載の固体撮像装置。

(8) 前記コンパレータが、前記D/A変換部から供給されるランプ信号のランプ電圧値と前記画素で生成された画素信号の電圧値とを比較して、

前記画素信号の電圧値が前記ランプ電圧値より小さいときは、前記第2のスイッチが前記第5の電位の地点に接続し、

前記画素信号の電圧値が前記ランプ電圧値より大きいときは、前記第2のスイッチが前記第6の電位の地点に接続する、前記(3)に記載の固体撮像装置。

(9) 前記画素信号の電圧値が前記ランプ電圧値より大きいときは、

前記コンパレータが、前記画素信号の電圧値と前記ランプ電圧値とを比較することを停止する、前記(1)乃至(8)のいずれか1つに記載の固体撮像装置。

(10) 前記D/A変換部が、遅延素子をさらに有し、

前記画素信号の電圧値が前記ランプ電圧値より大きいときは、

前記遅延素子が、前記画素信号の電圧値が前記ランプ電圧値よりも大きいことを示す出力を遅らせて、当該出力を前記コンパレータに入力し、

前記コンパレータが、前記画素信号の電圧値と前記ランプ電圧値とを比較することを停止する、前記(8)に記載の固体撮像装置。

(11) 固体撮像装置が搭載され、

前記固体撮像装置が、単位画素を有する画素アレイ部と、

前記単位画素に接続された垂直信号線と、

第1の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、

第2の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、

D/A変換部と、

前記垂直信号線と前記D／A変換部とに接続されたコンパレータと、を備え、

前記垂直信号線の電位が、前記第1のトランジスタによって前記第1の電位に接続され、前記第1の電位が、前記第2の電位よりも高い、電子機器。

符号の説明

- [0223] 1 1 画素アレイ部
1 2 画素駆動線
1 3 垂直信号線
1 4 垂直駆動部
1 5 定電流源回路
1 6 D／A変換部
1 7 カラム処理部
3 0 負荷MOS部
3 1 n型MOSトランジスタスイッチ3 1
3 2 スイッチ
3 3 コンパレータ
3 4 n型MOSトランジスタ
3 5 n型MOSトランジスタ
3 6 スイッチ
3 7 a カウンター
3 7 b ラッチ
3 8 A／D変換回路
3 9 VDD
4 0 カラム回路
4 1 画素
5 0 n型MOSトランジスタ
5 1 タイミング制御コンパレータ
5 2 インバータ

5 3 遅延素子

S C 1、S C 2 安定化回路

請求の範囲

[請求項1]

単位画素を有する画素アレイ部と、
前記単位画素に接続された垂直信号線と、
第1の電位の地点と前記垂直信号線とのそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、
第2の電位の地点と前記垂直信号線とのそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、
D/A変換部と、
前記垂直信号線と前記D/A変換部とに接続されたコンパレータと、
を備え、
前記垂直信号線には、前記第1のトランジスタにより前記第1の電位が供給され、前記第1の電位が、前記第2の電位よりも高い、固体撮像装置。

[請求項2]

前記第1のトランジスタのゲートに接続される第1のスイッチと、
前記第2のトランジスタのゲートに接続される第2のスイッチと、
を備え、
前記第1のトランジスタが、前記コンパレータの出力信号によって前記第1のスイッチが切り替えられて制御されるとともに、
前記第2のトランジスタが、前記コンパレータの出力信号によって前記第2のスイッチが切り替えられて制御される、請求項1に記載の固体撮像装置。

[請求項3]

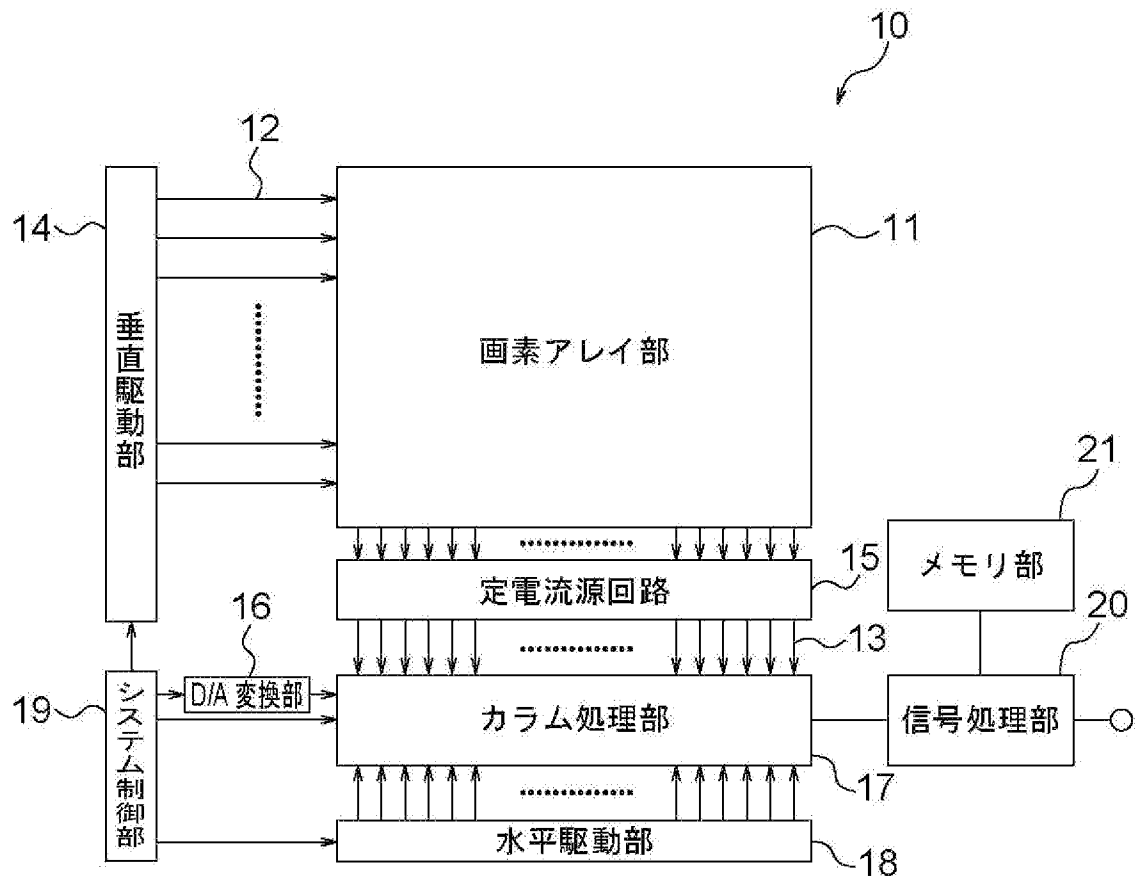
前記第1のトランジスタのゲートが、前記第1のスイッチを介して第3の電位の地点及び第4の電位の地点に接続され、
前記第2のトランジスタのゲートが、前記第2のスイッチを介して第5の電位の地点及び第6の電位の地点に接続され、
前記第3の電位が、前記第4の電位よりも高く、
前記第5の電位が、前記第6の電位よりも高い、請求項2に記載の固体撮像装置。

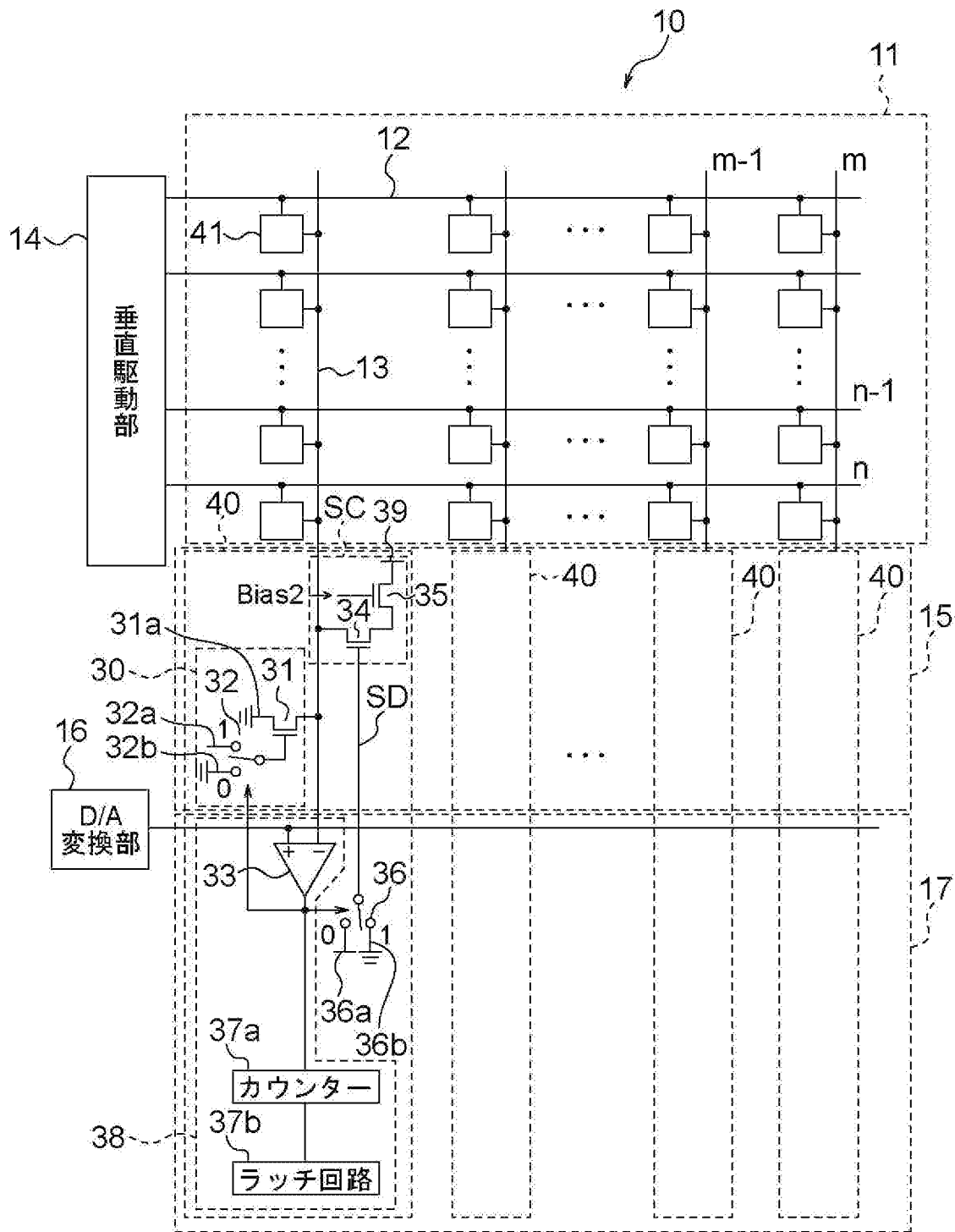
- [請求項4] 前記第1の電位及び前記第3の電位が、電源電位であり、
前記第2の電位及び前記第6の電位が、接地電位である、請求項3に記載の固体撮像装置。
- [請求項5] 前記第4の電位が、負電位である、請求項3に記載の固体撮像装置。
- [請求項6] 前記第4の電位が、接地電位である、請求項3に記載の固体撮像装置。
- [請求項7] 前記第1の電位の地点と前記第1のトランジスタとのそれぞれに、ソースまたはドレインが接続された第3のトランジスタをさらに有する、請求項1に記載の固体撮像装置。
- [請求項8] 前記コンパレータが、前記D/A変換部から供給されるランプ信号のランプ電圧値と前記単位画素で生成された画素信号の電圧値とを比較して、
前記画素信号の電圧値が前記ランプ電圧値より小さいときは、前記第2のスイッチが前記第5の電位の地点に接続し、
前記画素信号の電圧値が前記ランプ電圧値より大きいときは、前記第2のスイッチが前記第6の電位の地点に接続する、請求項3に記載の固体撮像装置。
- [請求項9] 前記画素信号の電圧値が前記ランプ電圧値より大きいときは、
前記コンパレータが、前記画素信号の電圧値と前記ランプ電圧値とを比較することを停止する、請求項8に記載の固体撮像装置。
- [請求項10] 前記D/A変換部が、遅延素子をさらに有し、前記画素信号の電圧値が前記ランプ電圧値より大きいときは、
前記遅延素子が、前記画素信号の電圧値が前記ランプ電圧値よりも大きいことを示す出力を遅らせて、当該出力を前記コンパレータに入力し、
前記コンパレータが、前記画素信号の電圧値と前記ランプ電圧値とを比較することを停止する、請求項8に記載の固体撮像装置。

[請求項11]

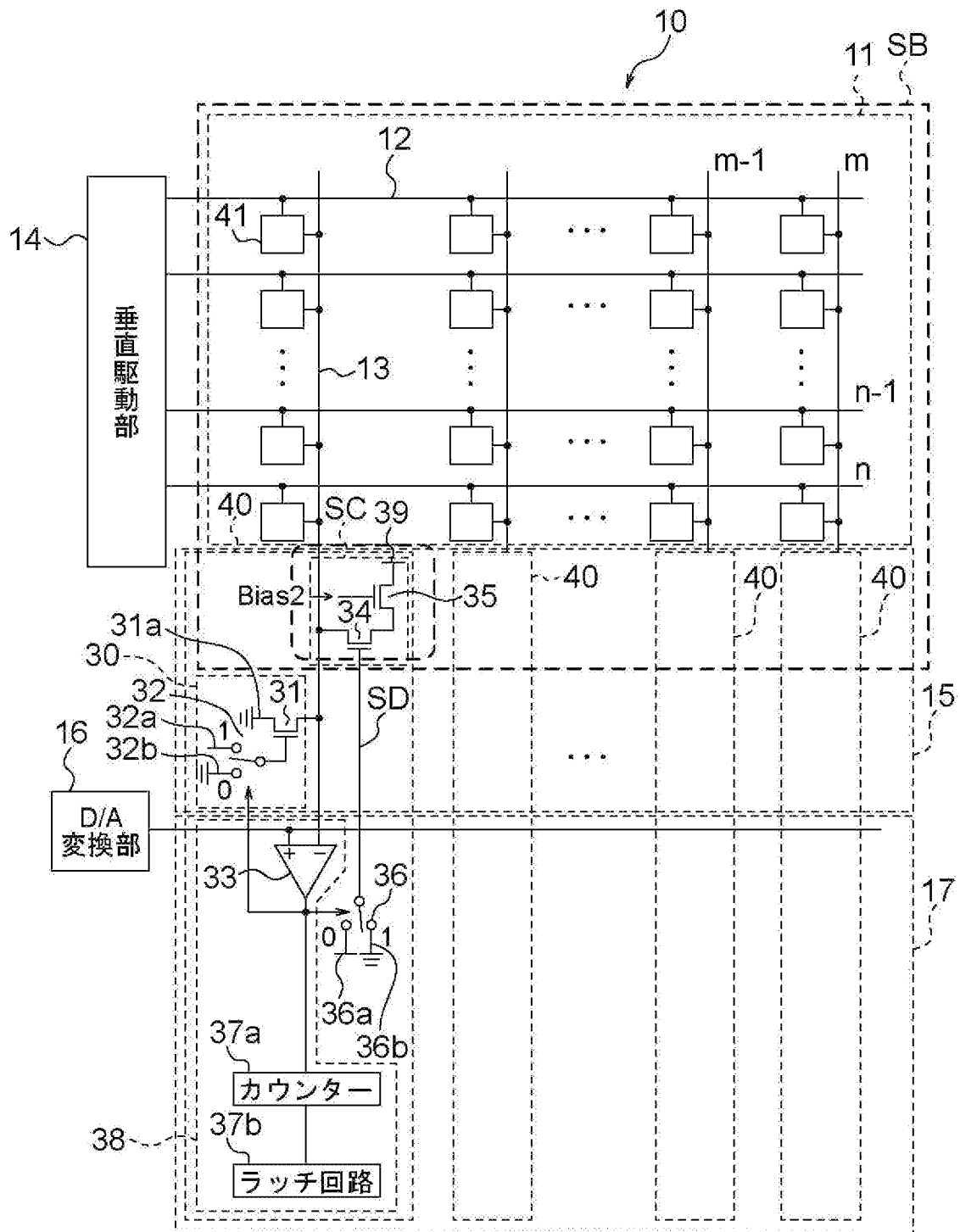
固体撮像装置が搭載され、
前記固体撮像装置が、単位画素を有する画素アレイ部と、
前記単位画素に接続された垂直信号線と、
第1の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第1のトランジスタと、
第2の電位の地点と前記垂直信号線のそれぞれに、ソースまたはドレインが接続された第2のトランジスタと、
D／A変換部と、
前記垂直信号線と前記D／A変換部とに接続されたコンパレータと、
を備え、
前記垂直信号線の電位が、前記第1のトランジスタによって前記第1の電位に接続され、前記第1の電位が、前記第2の電位よりも高い、
電子機器。

[図1]

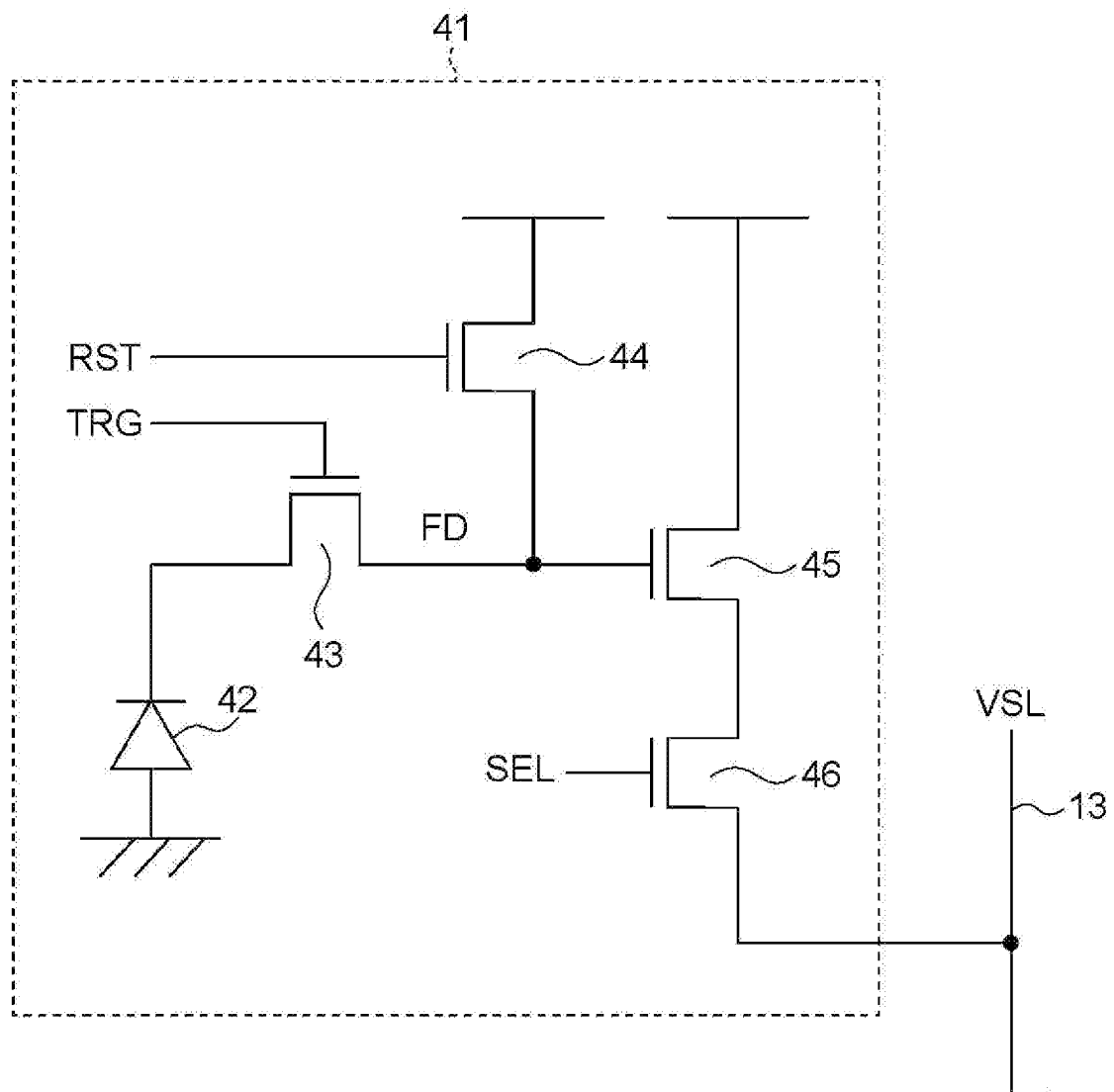


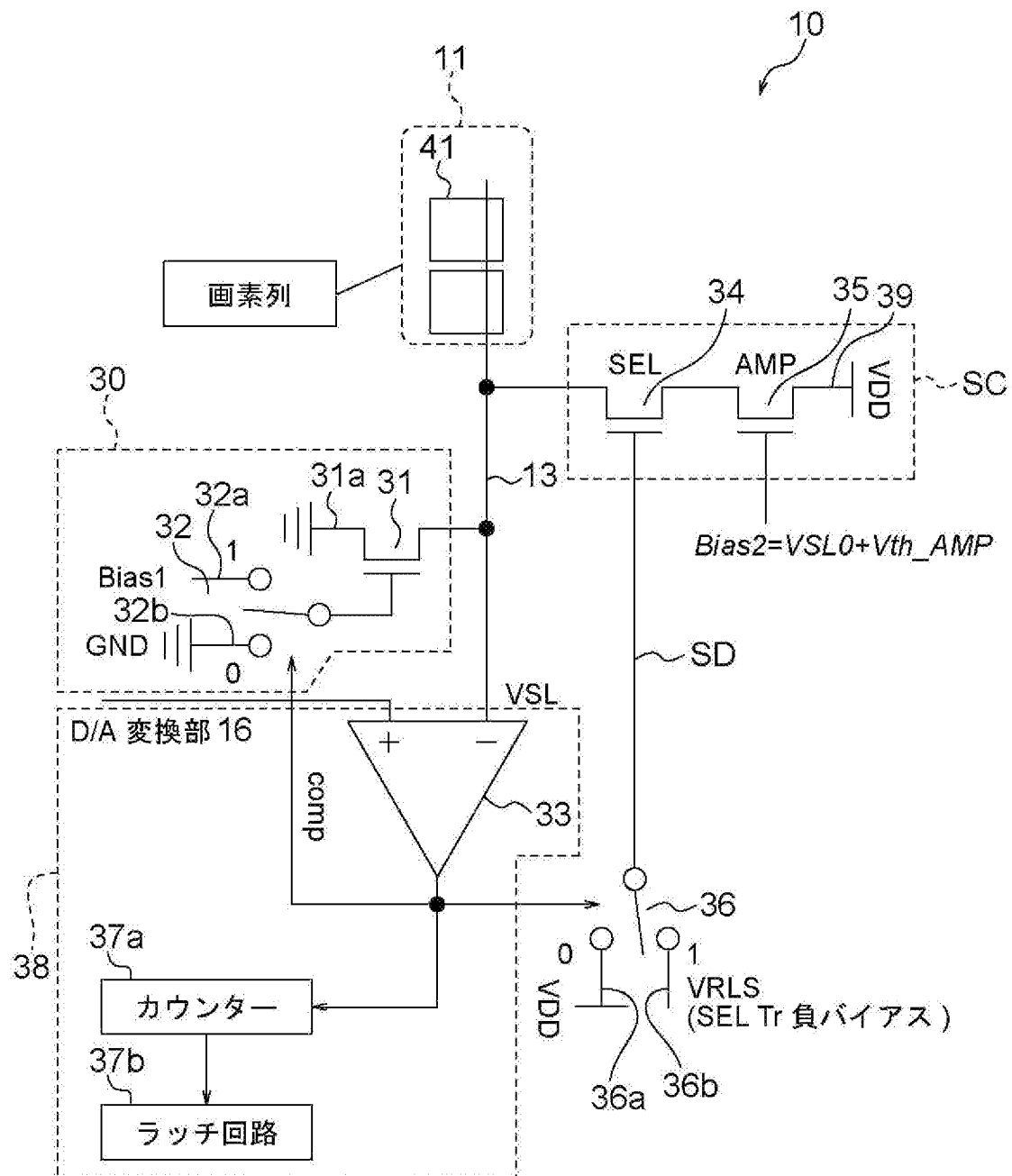


[図3]

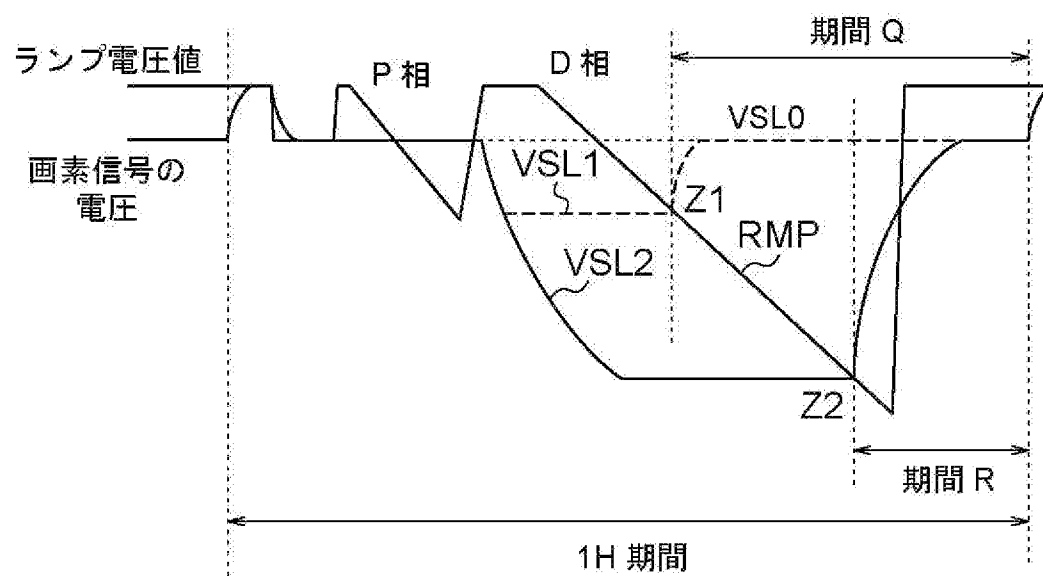


[図4]

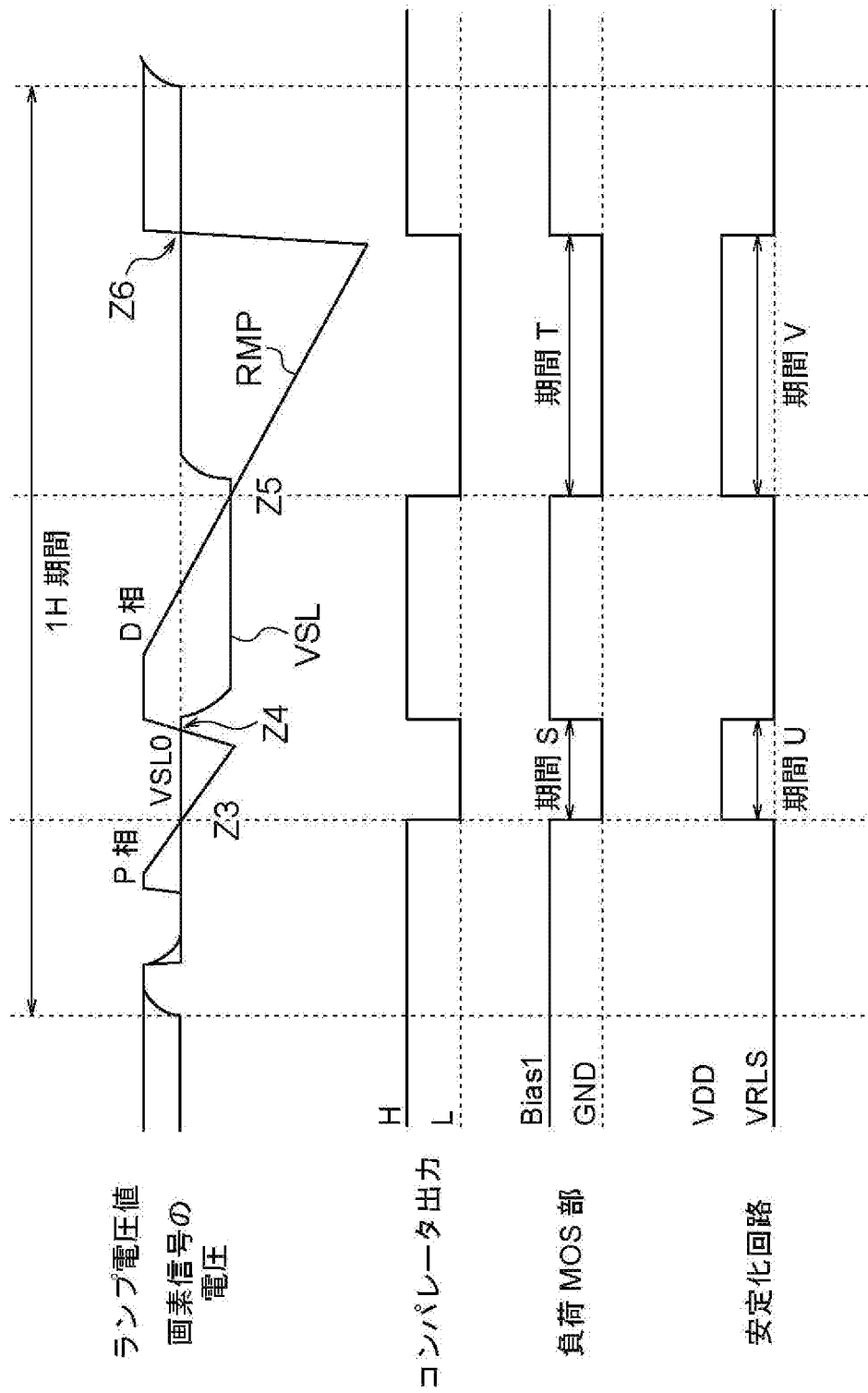


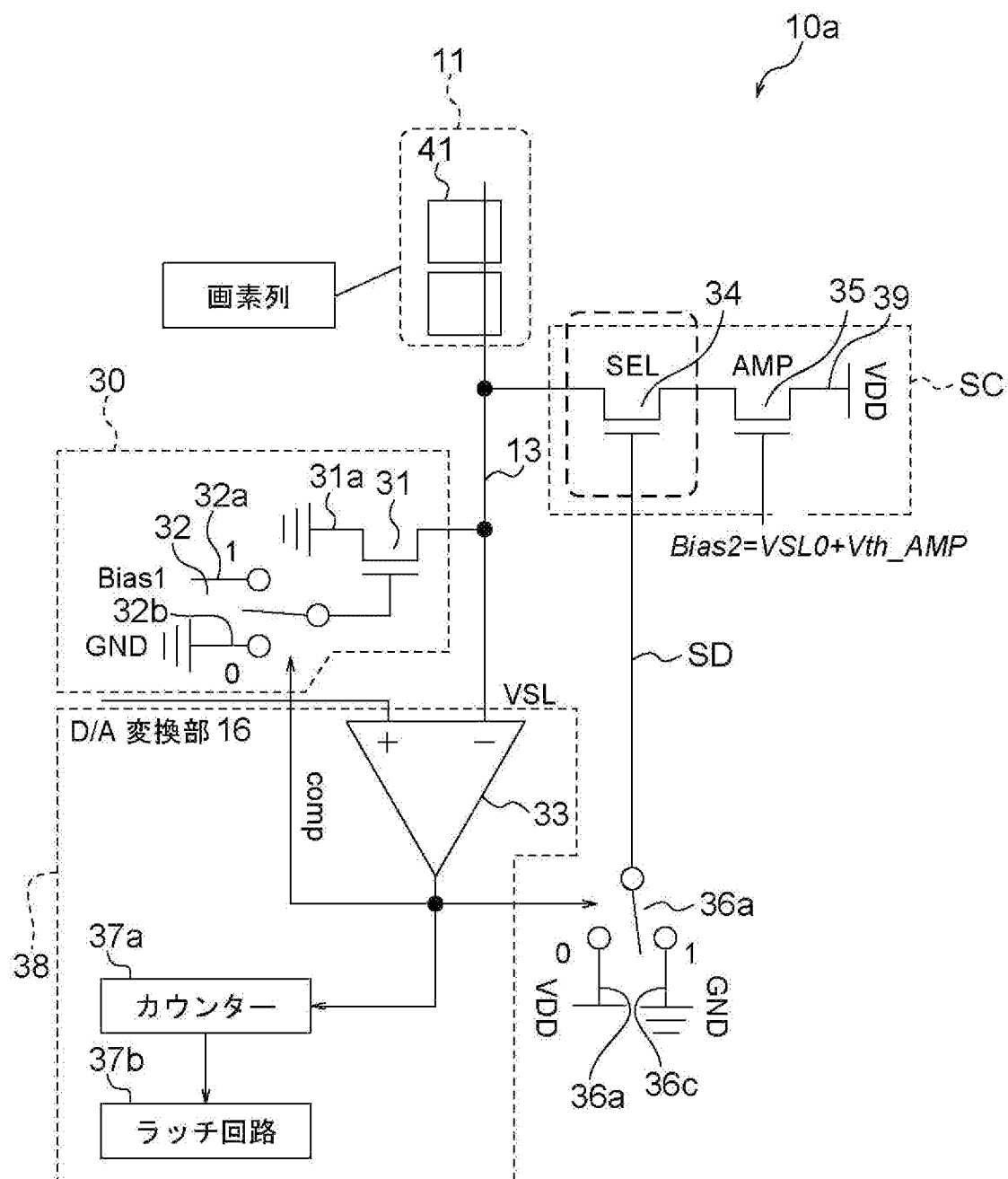


[図6]

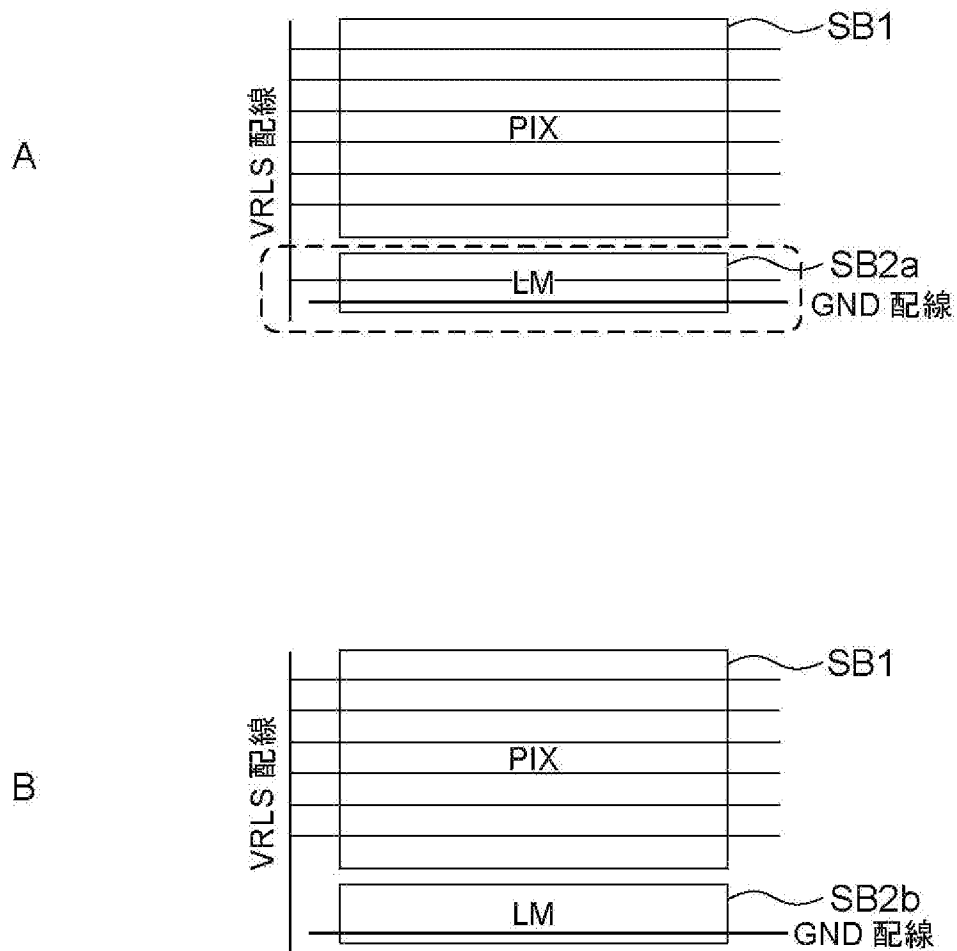


[図7]

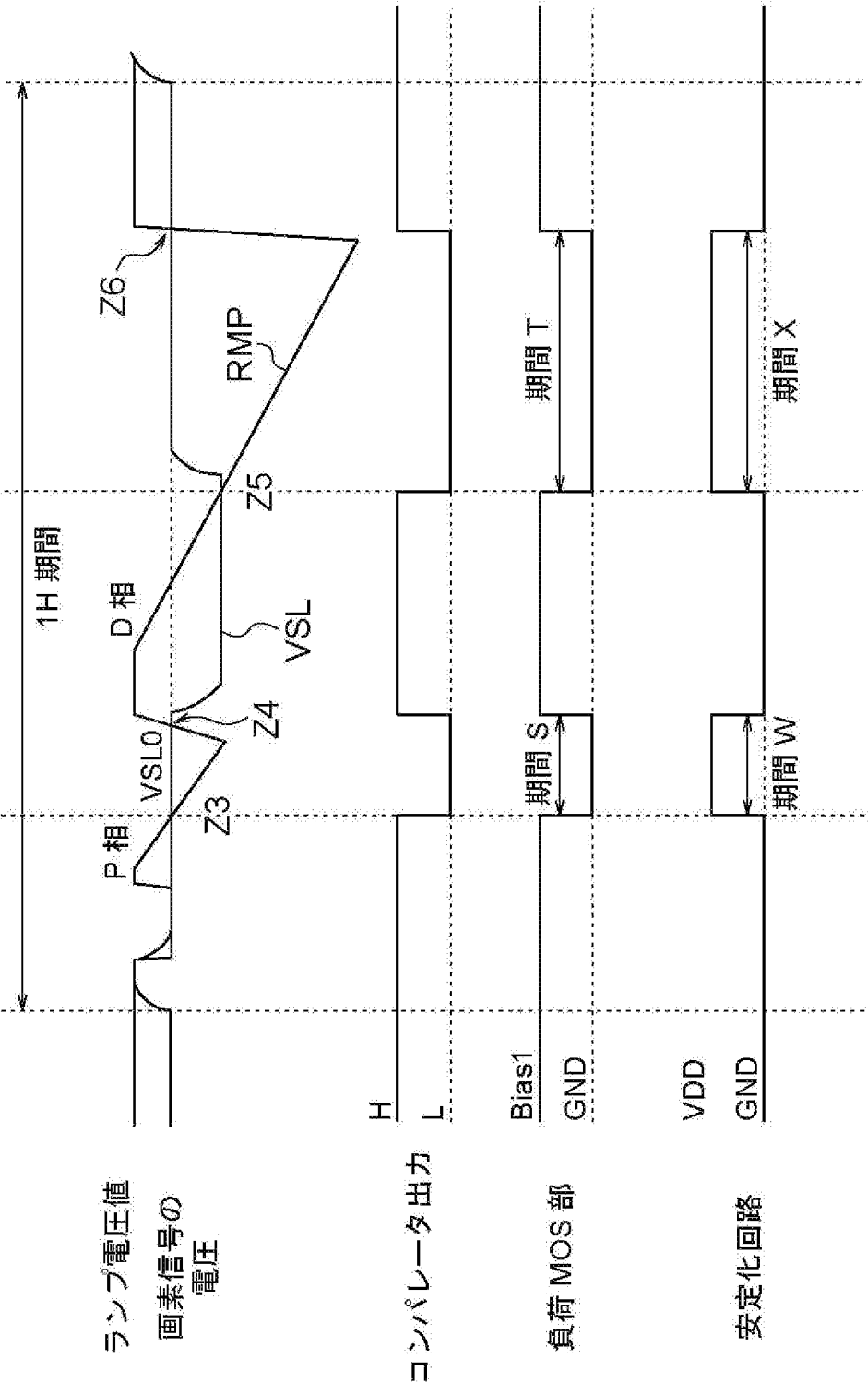




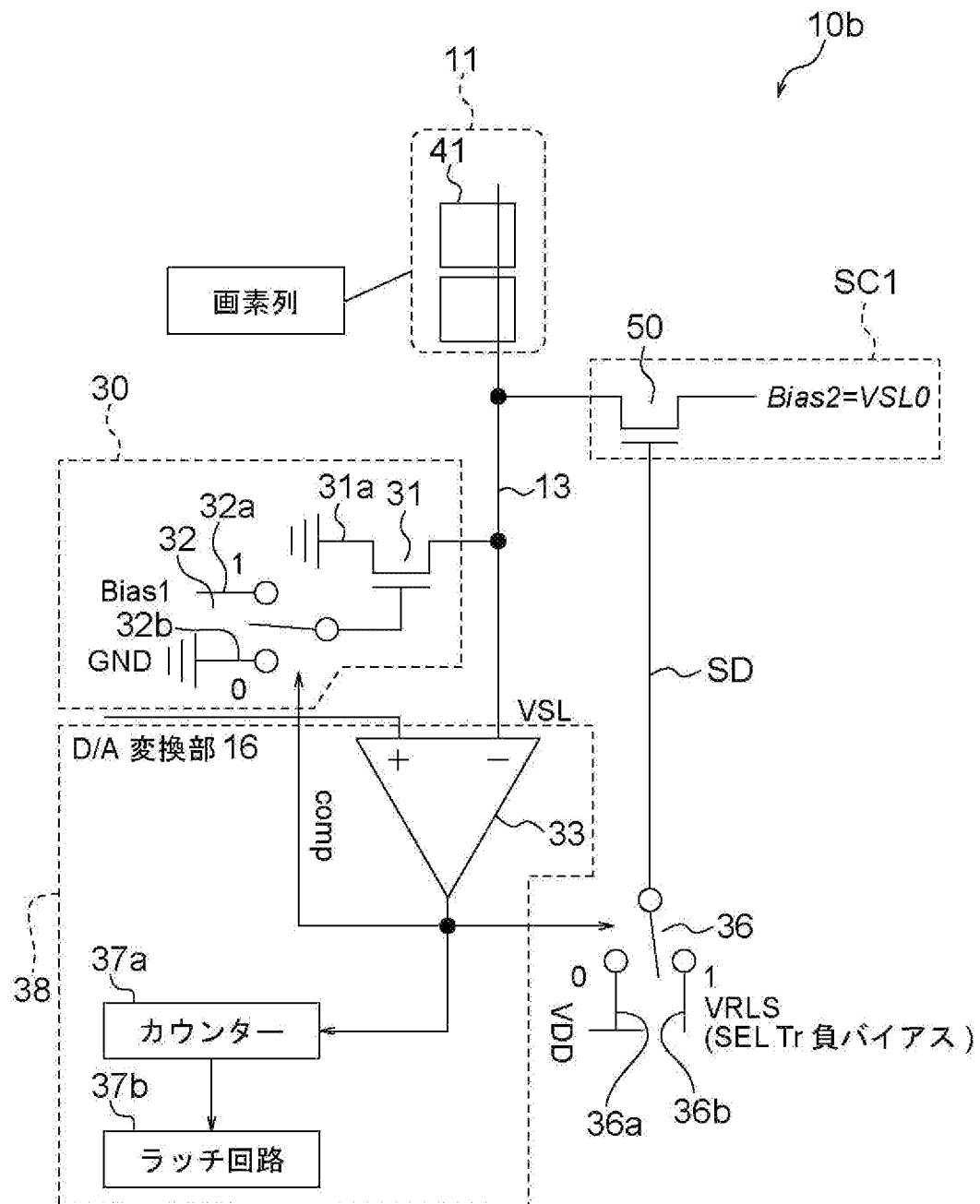
[図9]



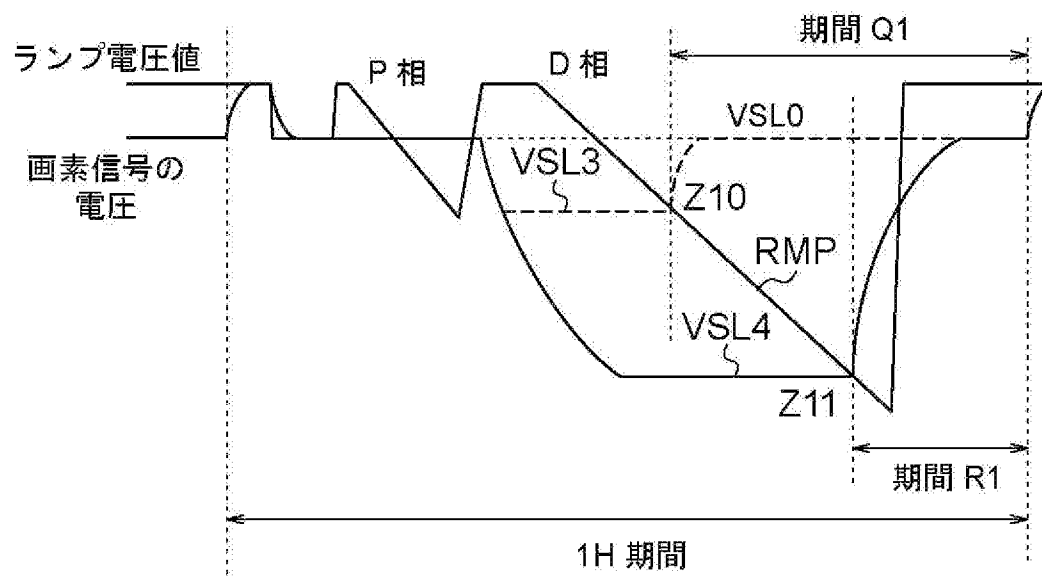
[図10]



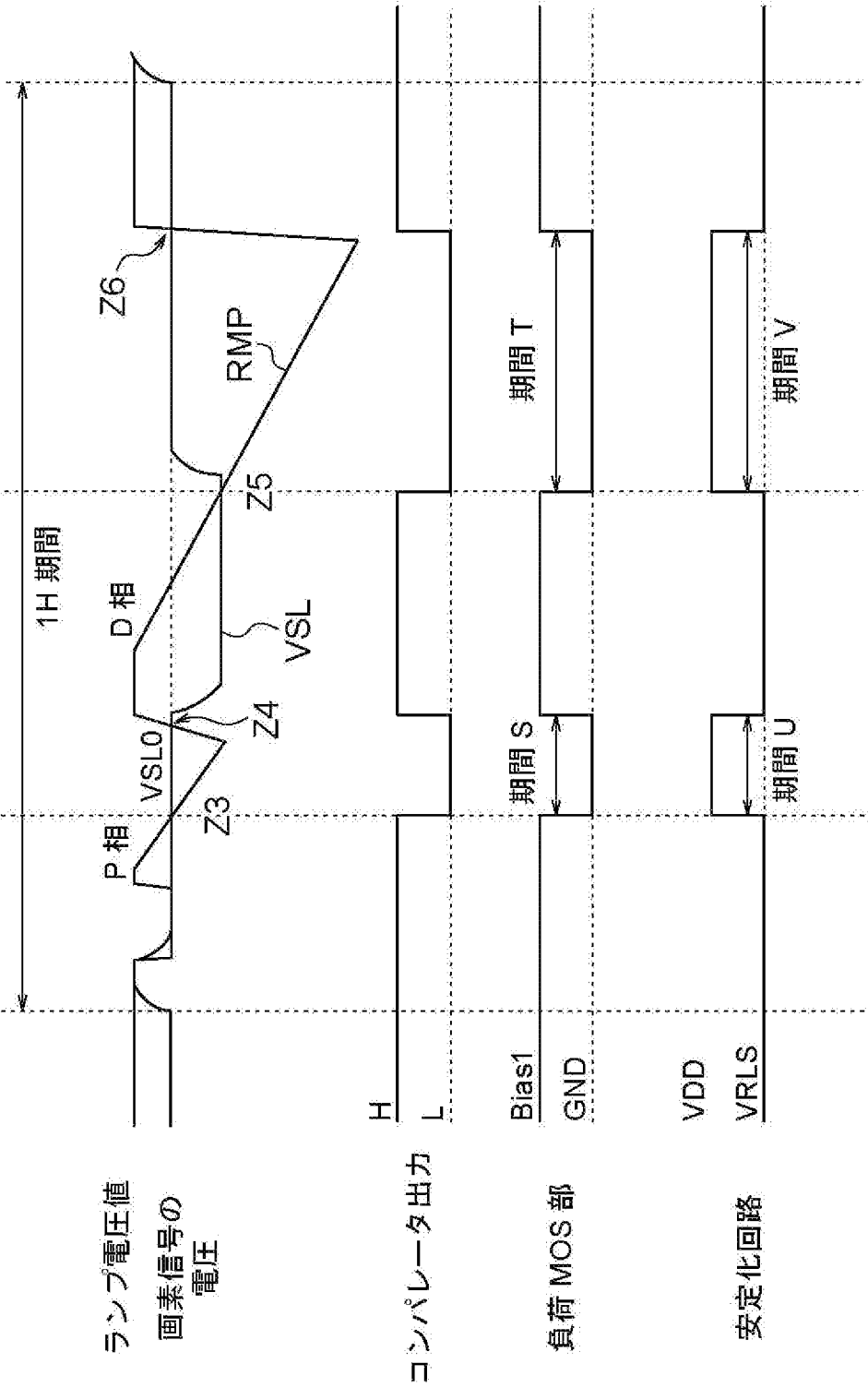
[図11]



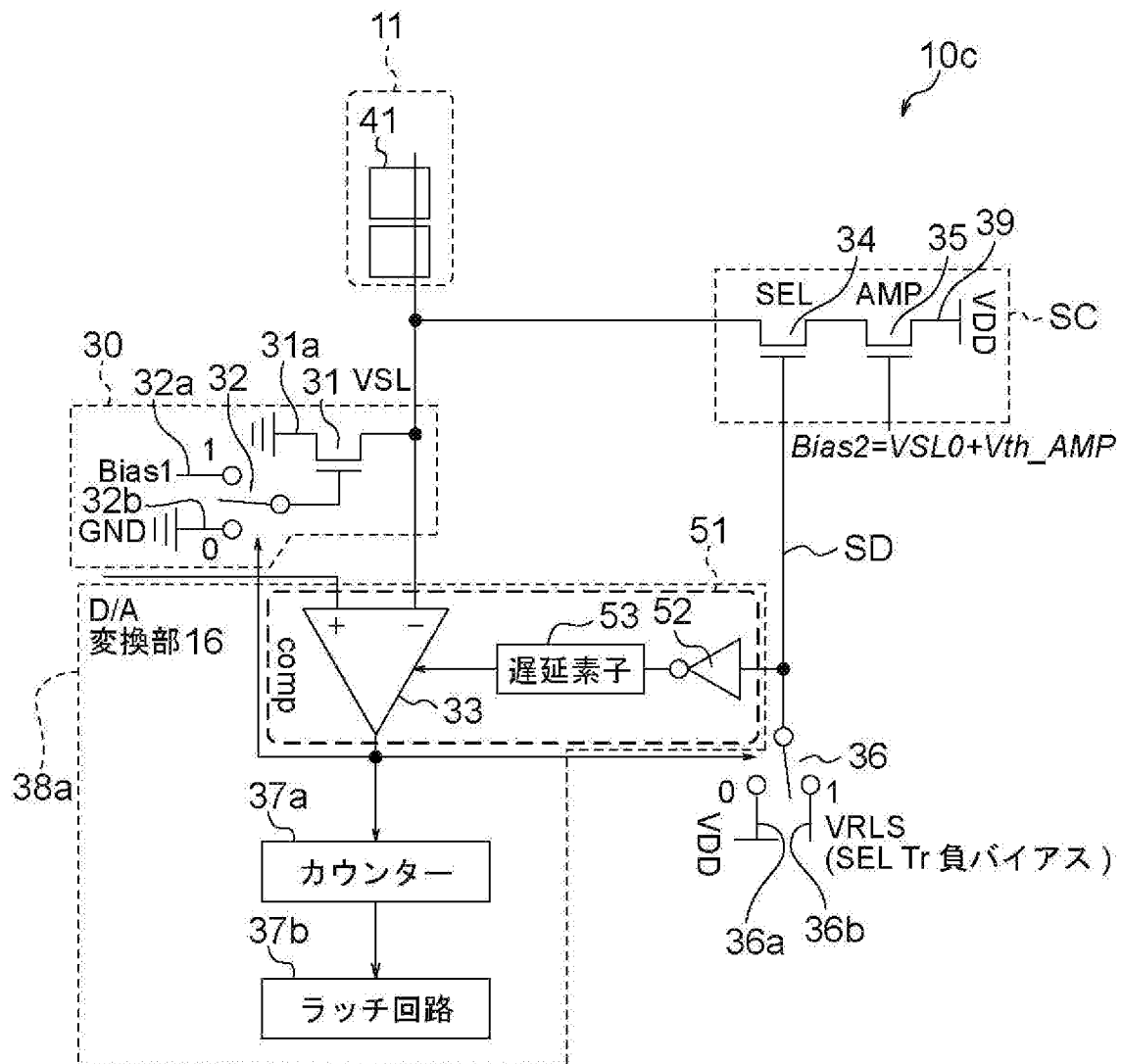
[図12]



[図13]

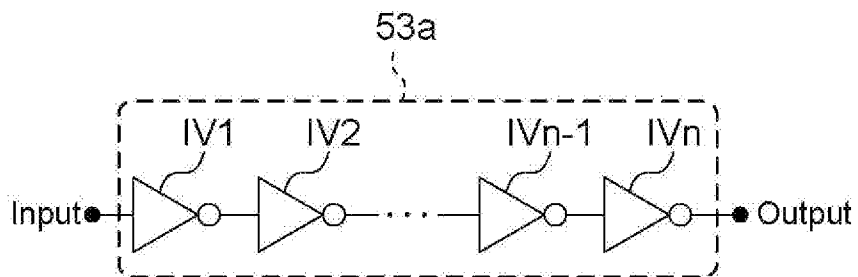


[図14]

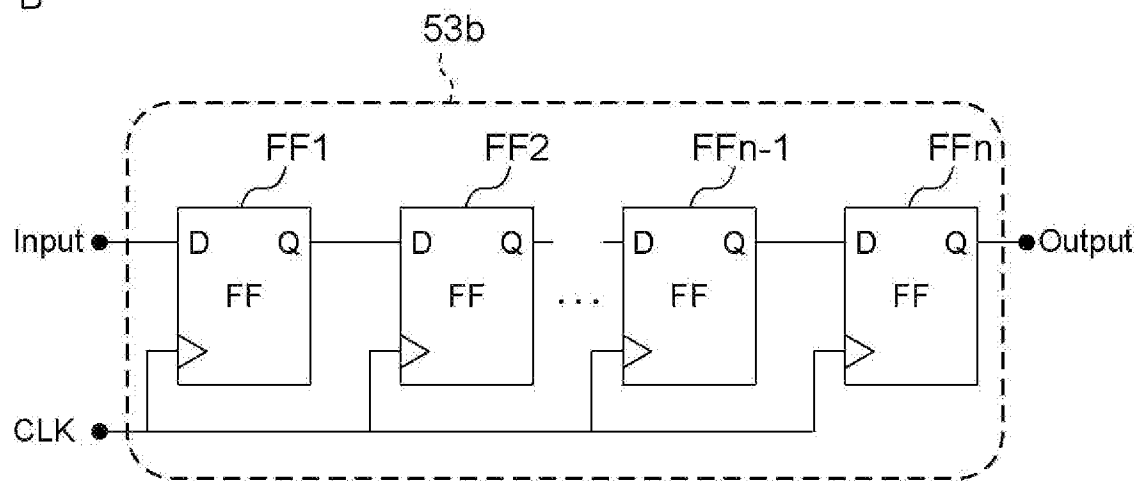


[図15]

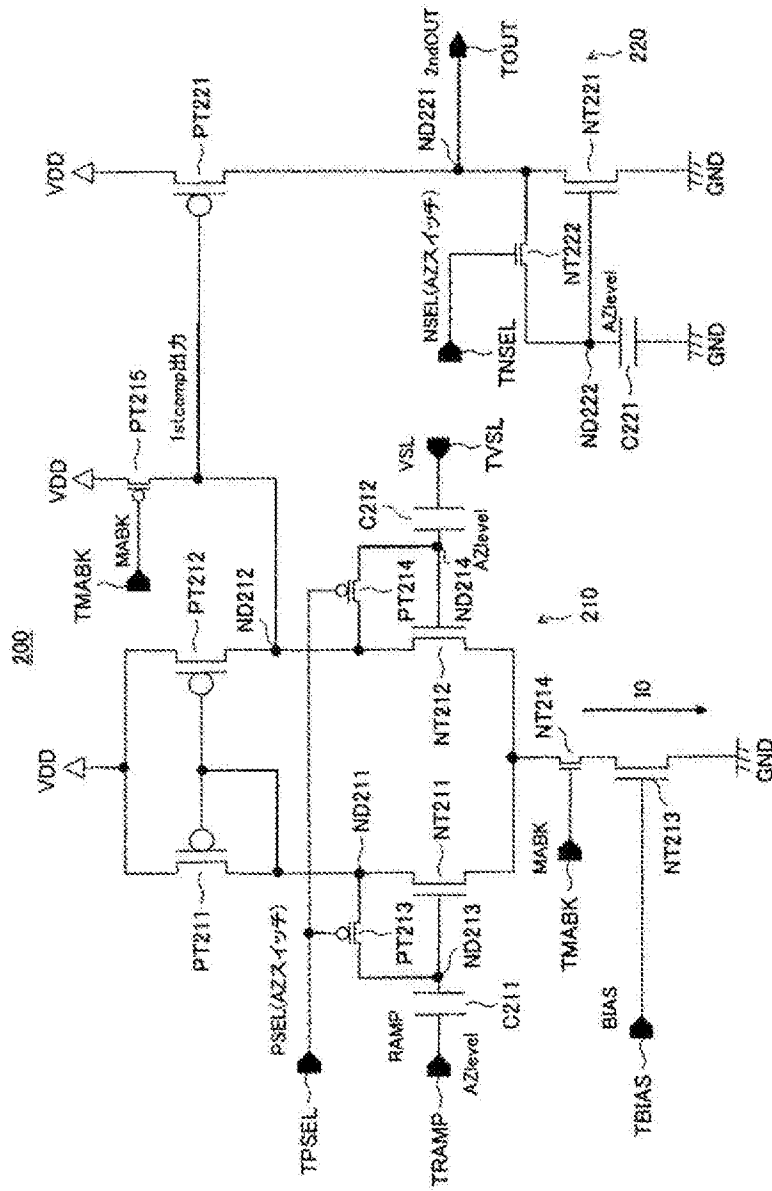
A



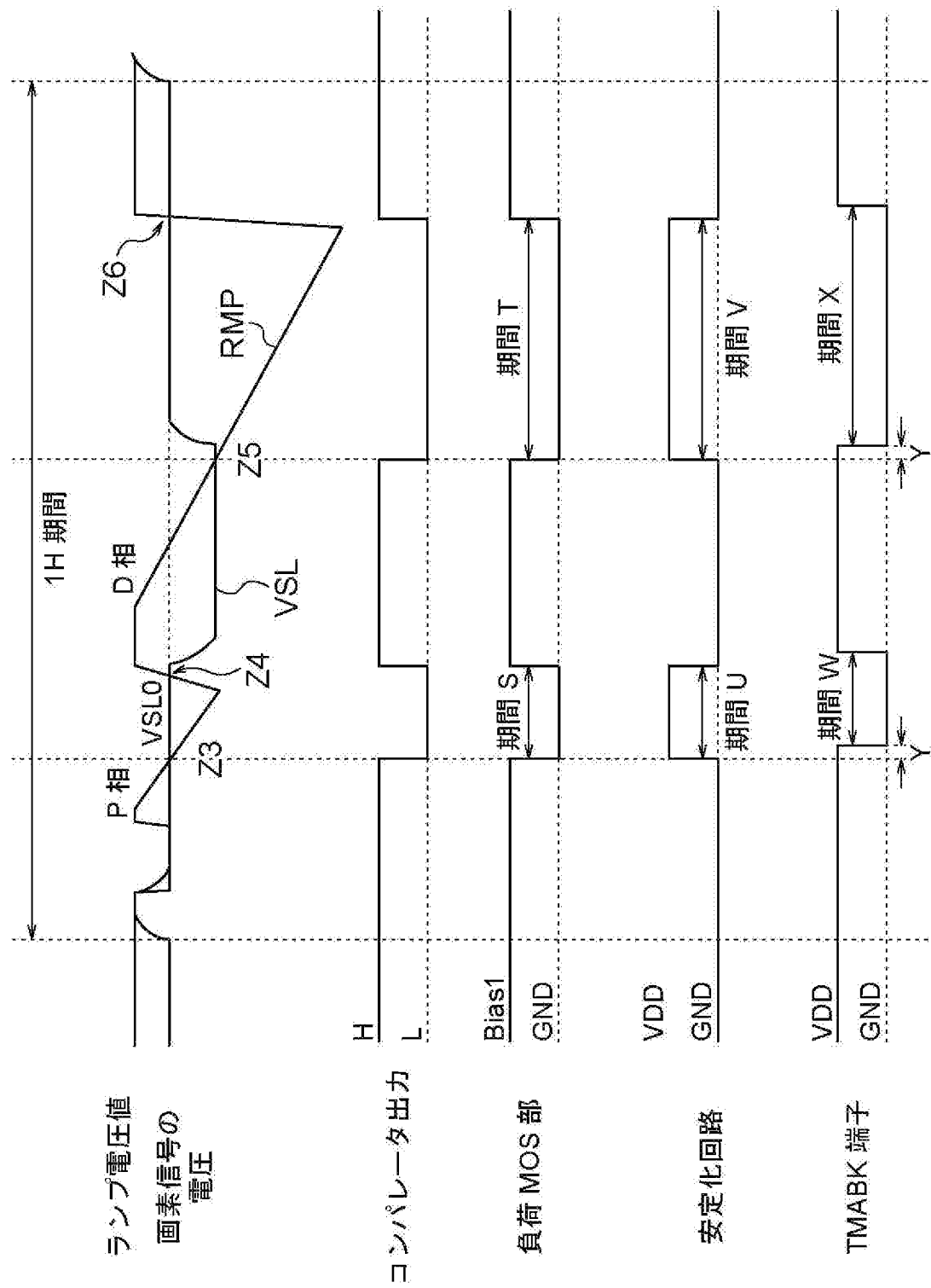
B



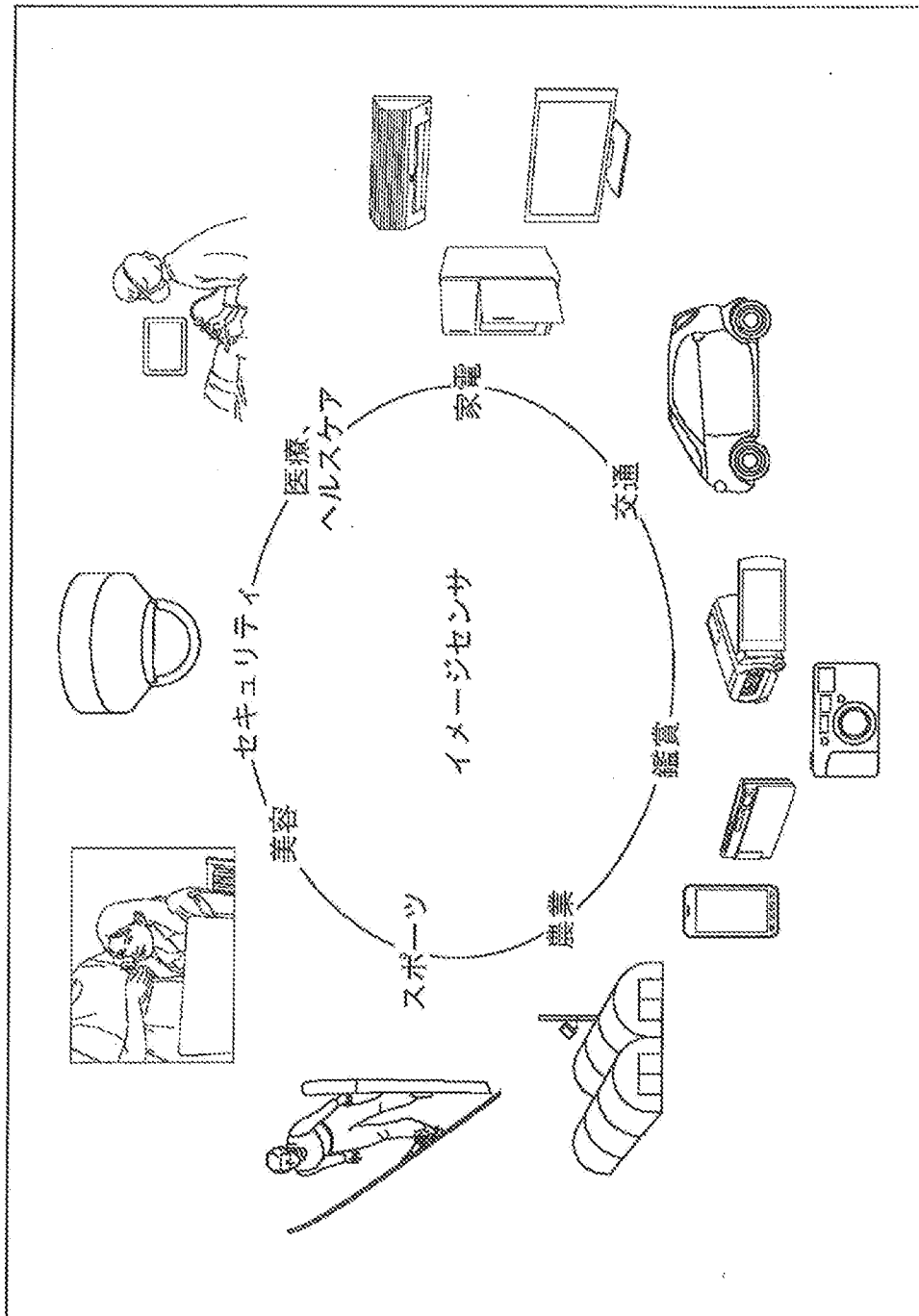
[図16]



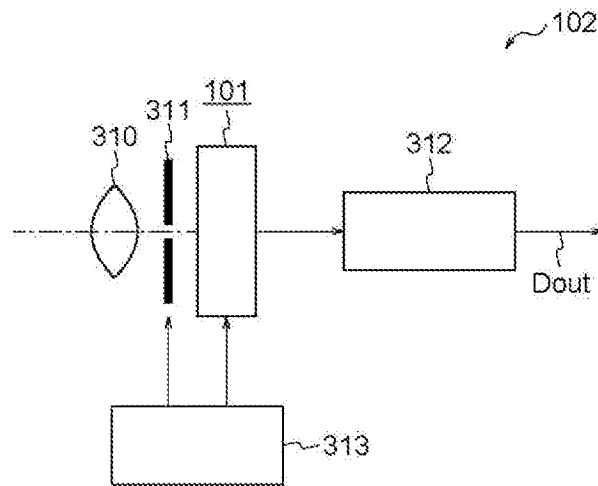
[図17]



[図18]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/046309

A. CLASSIFICATION OF SUBJECT MATTER

H03M 1/56(2006.01)i; H01L 27/146(2006.01)i; H04N 5/3745(2011.01)i
FI: H04N5/3745 500; H01L27/146 A; H03M1/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03M1/56; H01L27/146; H04N5/3745

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2016/076139 A1 (SONY CORP.) 19.05.2016 (2016-05-19) entire text	1-11
A	JP 2009-171397 A (SONY CORP.) 30.07.2009 (2009-07-30) entire text	1-11
A	WO 2016/098590 A1 (SONY CORP.) 23.06.2016 (2016-06-23) entire text	1-11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
19 February 2020 (19.02.2020)

Date of mailing of the international search report
03 March 2020 (03.03.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2019/046309

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2016/076139 A1	19 May 2016	US 2018/0288345 A1 entire text CN 107078745 A	
JP 2009-171397 A	30 Jul. 2009	US 2009/0184236 A1 entire text	
WO 2016/098590 A1	23 Jun. 2016	US 2017/0332026 A1 entire text	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03M 1/56(2006.01)i; H01L 27/146(2006.01)i; H04N 5/3745(2011.01)i FI: H04N5/3745 500; H01L27/146 A; H03M1/56														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H03M1/56; H01L27/146; H04N5/3745														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2020年													
日本国実用新案登録公報	1996 - 2020年													
日本国登録実用新案公報	1994 - 2020年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
A	WO 2016/076139 A1（ソニー株式会社）19.05.2016（2016 - 05 - 19） 全文	1-11												
A	JP 2009-171397 A（ソニー株式会社）30.07.2009（2009 - 07 - 30） 全文	1-11												
A	WO 2016/098590 A1（ソニー株式会社）23.06.2016（2016 - 06 - 23） 全文	1-11												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 19.02.2020	国際調査報告の発送日 03.03.2020													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 橘 高志 5V 8391 電話番号 03-3581-1101 内線 3571													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/046309

引用文献			公表日	パテントファミリー文献			公表日
WO	2016/076139	A1	19.05.2016	US	2018/0288345	A1	
				全文			
				CN	107078745	A	
JP	2009-171397	A	30.07.2009	US	2009/0184236	A1	
				全文			
WO	2016/098590	A1	23.06.2016	US	2017/0332026	A1	
				全文			