

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 1 月 16 日 (16.01.2014)



(10) 国际公布号
WO 2014/008698 A1

- (51) 国际专利分类号:
H01L 21/28 (2006.01) *H01L 21/336* (2006.01)
- (21) 国际申请号: PCT/CN2012/079717
- (22) 国际申请日: 2012 年 8 月 6 日 (06.08.2012)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201210245140.6 2012 年 7 月 13 日 (13.07.2012) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3#, Beijing 100029 (CN)。
- (72) 发明人; 及
- (75) 发明人/申请人 (仅对美国): 尹海洲 (YIN, Haizhou) [CN/US]; 美国纽约州波基普西市洛克劳斯特街 11#, New York 12603 (US)。 张珂珂 (ZHANG, Keke)

[CN/CN]; 中国山东省聊城市莘县莘亭镇蒋庄村 191 号, Shandong 252411 (CN)。

- (74) 代理人: 北京汉昊知识产权代理事务所 (普通合伙) (HANHOW INTELLECTUAL PROPERTY PARTNERS); 中国北京市东城区东长安街 1 号东方广场西 1 区 11 层 1111 室朱海波, Beijing 100738 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR COMPONENT

(54) 发明名称: 半导体器件制造方法

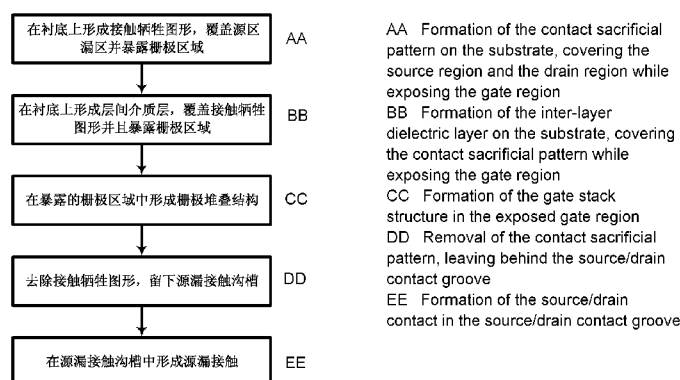


图13 / Fig.13

(57) Abstract: Disclosed is a method for manufacturing a semiconductor component, comprising: forming a contact sacrificial pattern (3A) on a substrate (1), covering a source region and a drain region while exposing a gate region; forming an inter-layer dielectric layer (6) on the substrate (1), covering the contact sacrificial pattern (3A) while exposing the gate region; forming a gate stack structure in the exposed gate region; removing the contact sacrificial pattern (3A), leaving behind a source/drain contact groove (3D); and, forming a source/drain contact (11) in the source/drain contact groove (3D). The method increases the area of a contact region by reducing the distance between a gate sidewall and the contact region via a contact sacrificial layer technique, thus reducing parasitic capacitance of the component.

(57) 摘要: 公开了一种半导体器件制造方法, 包括: 在衬底 (1) 上形成接触牺牲图形 (3A), 覆盖源区与漏区并且暴露栅极区域; 在衬底 (1) 上形成层间介质层 (6), 覆盖接触牺牲图形 (3A) 并且暴露栅极区域; 在暴露的栅极区域中形成栅极堆叠结构; 去除接触牺牲图形 (3A), 留下了源漏接触沟槽 (3D); 在源漏接触沟槽 (3D) 中形成源漏接触 (11)。该方法通过接触牺牲层工艺降低了栅极侧墙与接触区域之间的距离, 增大了接触区域面积, 从而减小了器件的寄生电阻。



WO 2014/008698 A1



RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

半导体器件制造方法

[0001] 本申请要求了2012月7月13日提交的、申请号为201210245140.6、发明名称为“半导体器件制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

[0002] 本发明涉及半导体集成电路制造领域，更具体地，涉及一种具有增大接触区域的MOSFET的制造方法。

背景技术

[0003] 随着MOSFET的特征尺寸持续缩减，寄生电阻在器件的总电阻中占据的比重越来越大，严重制约了小尺寸器件性能的提升。现有的降低寄生电阻的结构/方法包括形成提升源漏、在源漏区中/上形成金属硅化物、提高接触面积等等。

[0004] 然而，无论采用何种结构/方法，源/漏区的接触区域（或接触孔，CA）与栅极侧墙之间仍然有较大的间距，电子/空穴的载流子从源区穿越沟道区达到漏区的距离仍然较大，因此寄生电阻依然无法有效的减小，器件性能提升程度有限。

发明内容

[0005] 有鉴于此，本发明的目的在于采用新的制造方法以接触牺牲层工艺代替传统的替代栅工艺，大幅减小接触区域与栅极之间的间距，从而有效地减小器件寄生电阻。

[0006] 实现本发明的上述目的，是通过提供一种半导体器件制造方法，包括：在衬底上形成接触牺牲图形，覆盖源区与漏区并且暴露栅极区域；在衬底上形成层间介质层，覆盖接触牺牲图形并且暴露栅极区域；在暴露的栅极区域中形成栅极堆叠结构；去除接触牺牲图形，留下了源漏接触沟槽；在源漏接触沟槽中形成源漏接触。

[0007] 其中，衬底中还包括浅沟槽隔离，接触牺牲图形暴露了部分浅沟槽隔离。其中，层间介质层覆盖了部分浅沟槽隔离。

[0008] 其中，形成接触牺牲图形之后、形成层间介质层之前，还包括在接触牺牲图形侧面上形成源漏接触侧墙。其中，源漏接触侧墙为氮化硅、氮氧化硅。

[0009] 其中，形成接触牺牲图形之后，还包括执行离子注入，在衬底中形成轻掺杂的源漏延伸区和晕状源漏掺杂区。

[0010] 其中，形成栅极堆叠结构包括在暴露的栅极区域中沉积高k材料的栅极绝缘层、金属氮化物的功函数调节层以及金属的电阻调节层。其中，形成栅极堆叠结构之后还包括平坦化电阻调节层、功函数调节层、层间介质层直至暴露接触牺牲图形。

[0011] 其中，形成源漏接触的步骤进一步包括：执行源漏离子注入，在源漏接触沟槽中暴露的衬底中形成源漏重掺杂区；在源漏重掺杂区中形成金属硅化物；在源漏接触沟槽中金属硅化物上依次沉积衬垫层和填充层；平坦化填充层和衬垫层直至暴露栅极堆叠结构。

[0012] 其中，平坦化填充层和衬垫层之后，进一步包括：沉积第二层间介质层；刻蚀第二层间介质层形成源漏接触孔，在源漏接触孔中填充形成第二源漏接触；沉积第三层间介质层；刻蚀第三层间介质层形成互连孔，在互连孔中填充形成互连线。

[0013] 其中，形成金属硅化物的步骤进一步包括：在源漏接触沟槽中沉积金属层，退火使得金属层与衬底中硅反应形成金属硅化物，剥除未反应的金属层。

[0014] 其中，接触牺牲图形为多晶硅、非晶硅、非晶碳及其组合。

[0015] 其中，接触牺牲图形与衬底之间还包括垫氧化层。

[0016] 依照本发明的半导体器件制造方法，通过接触牺牲层工艺有效降低了栅极侧墙与接触区域之间的间距，并且增大了接触区域面积，从而有效减小了器件寄生电阻。

附图说明

[0017] 以下参照附图来详细说明本发明的技术方案，其中：

[0018] 图1至图12为根据本发明的半导体器件制造方法各个步骤的剖视图；
以及

[0019] 图13为根据本发明的半导体器件制造方法的流程图。

5

具体实施方式

[0020] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果。需要指出的是，类似的附图标记表示类似的结构，本申请中所用的术语“第一”、“第二”、“上”、“下”、“厚”、“薄”等等可用于修饰
10 各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

[0021] 参照图13以及图1～图3，在衬底上形成接触牺牲图形，覆盖源区与漏区并且暴露栅极区域。

[0022] 如图1所示，在衬底1上沉积接触牺牲层3。提供衬底1，其材质可以是
15 （体）Si（例如单晶Si晶片）、SOI、单晶Ge、GeOI（绝缘体上Ge），也可以是其他化合物半导体，例如GaAs、SiGe、GeSn、InP、InSb、GaN等等。优选地，衬底1选用体Si或SOI，以便与CMOS工艺兼容。优选地，在衬底1中刻蚀形成浅沟槽并且沉积填充氧化硅等绝缘材料形成浅沟槽隔离（STI）2。采用LPCVD、PECVD、HDPCVD、MOCVD、MBE、ALD、蒸发、溅射等常
20 规方法，在衬底1上沉积接触牺牲层3。接触牺牲层3用于限定稍后要形成源漏接触的区域，与后栅工艺中假栅极所起的作用类似，因此也可以称作假源漏接触区。接触牺牲层3的材质例如是多晶硅、非晶硅、非晶碳等，其厚度例如要大于稍后需要形成的栅极的高度，例如是50～500nm。优选地，在接触牺牲层3与衬底1之间还包括较薄的垫氧化层4，其材质例如是氧化硅，厚
25 度例如是1～10nm。

[0023] 如图2所示，刻蚀接触牺牲层3，暴露了栅极区域以及部分STI区域。光刻形成掩模图形之后（未示出），采用各向异性的刻蚀，例如等离子刻蚀、反应离子刻蚀等干法刻蚀或者TMAH等湿法刻蚀，刻蚀接触牺牲层3以及垫氧化层4直至暴露衬底，形成了接触牺牲图形3A。其中，接触牺牲图形3A覆

盖了未来要形成的器件的源漏区,而通过开口3B暴露了栅极区域以及通过开口3C暴露了部分STI2的区域。开口3B用于稍后沉积栅极堆叠结构因此也称作栅极开口(栅极开口宽度要等于稍后要形成的栅极堆叠结构的宽度与源漏接触侧墙的宽度之和),开口3C用于器件之间的隔离因此也称作隔离开口。

- 5 [0024] 优选地,如图3所示,执行源漏掺杂注入。以接触牺牲图形3A为掩模,采用低剂量、低能量的倾斜源漏离子注入,利用阴影效应(Shadow Effect)控制了掺杂剂注入位置而形成了轻掺杂的源漏延伸区1A、以及源漏延伸区1A下方衬底中的晕状(Halo)源漏掺杂区1B。随后快速退火(例如激光快速退火)以激活掺杂剂。掺杂离子的种类、剂量、浓度依照器件电学性能需要而设定。可选地,在接触牺牲图形3A、垫氧化层4两侧形成含有扩散源的侧墙(未示出),通过离子扩散作用形成轻掺杂的源漏延伸区1A。

[0025] 参照图13以及图4,在接触牺牲图形侧面形成源漏接触侧墙。

- 15 [0026] 如图4所示,沉积例如为氮化硅、氮氧化硅的绝缘材质并且随后刻蚀形成了源漏接触侧墙5,位于接触牺牲图形3A的侧面。具体地,源漏接触侧墙5位于栅极开口3B的两个侧面上,以及隔离开口3C的两个侧面上。源漏接触侧墙5的厚度不大于隔离开口3C的宽度,例如为5~10nm。

[0027] 参照图13以及图5、图6,形成层间介质层,覆盖接触牺牲图形并且暴露栅极区域。

- 20 [0028] 如图5所示,在整个器件上沉积层间介质层(ILD)6。采用LPCVD、PECVD、旋涂、喷涂、丝网印刷等方法,形成通常为氧化硅以及低k材料的ILD6,低k材料包括但不限于有机低k材料(例如含芳基或者多元环的有机聚合物)、无机低k材料(例如无定形碳氮薄膜、多晶硼氮薄膜、氟硅玻璃、BSG、PSG、BPSG)、多孔低k材料(例如二硅三氧烷(SSQ)基多孔低k材料、多孔二氧化硅、多孔SiOCH、掺C二氧化硅、掺F多孔无定形碳、多孔金刚石、
25 多孔有机聚合物)。ILD 6的厚度要大于接触牺牲图形3A的厚度,例如为100~1000nm。

[0029] 如图6所示,在ILD6上旋涂光刻胶7,光刻形成光刻胶开口7A以暴露ILD6,随后选择性刻蚀ILD6形成ILD开口6A以暴露栅极区域(前述栅极开口3B)。当ILD6为氧化硅、源漏接触侧墙5为氮化硅、衬底1为硅时,可以选择

碳氟基刻蚀气体的种类、流速以及压力等工艺参数,使得刻蚀氧化硅的速率显著快于刻蚀氮化硅/硅的速率,例如刻蚀比控制在10:1以上。通过刻蚀速率、时间的选择来控制刻蚀停止点。或者采用HF基湿法腐蚀液去除氧化硅。值得注意的是,ILD6此时仍然覆盖了STI2以及部分源漏接触侧墙5,以便能提供器件之间的隔离绝缘。此时,栅极开口3B已经被部分源漏接触侧墙5占据了侧壁,其剩余宽度为栅极堆叠的宽度。

[0030] 参照图13以及图7、图8,在暴露的栅极区域中形成栅极堆叠结构。

[0031] 如图7所示,通过PECVD、HDPCVD、MOCVD、MBE、ALD等方法,在栅极开口3B底部与衬底1接触的面上沉积形成栅极绝缘层8。栅极绝缘层8的材质为高k材料,包括但不限于氮化物(例如SiN、AlN、TiN)、金属氧化物(主要为副族和镧系金属元素氧化物,例如Al₂O₃、Ta₂O₅、TiO₂、ZnO、ZrO₂、HfO₂、CeO₂、Y₂O₃、La₂O₃)、钙钛矿相氧化物(例如PbZr_xTi_{1-x}O₃(PZT)、Ba_xSr_{1-x}TiO₃(BST))。随后,通过PECVD、MOCVD、MBE、ALD、蒸发、溅射等方法在ILD6上以及栅极开口3B中沉积栅极导电层9。栅极导电层9优选地包括材质为TiN、TaN等金属氮化物的功函数调节层,以及材质为Cu、Al、Ti、Mo、Ta、W等金属的电阻调节层。栅极绝缘层8与栅极导电层9共同构成栅极堆叠结构

[0032] 优选地,如图8所示,采用回刻工艺或者CMP工艺,平坦化栅极导电层9、ILD6直至暴露接触牺牲图形3A。

[0033] 参照图13以及图9,去除接触牺牲图形,留下了源漏接触沟槽。例如采用TMAH等各向异性的湿法腐蚀液,刻蚀去除多晶硅、非晶硅材质的接触牺牲图形3A,或者采用氧等离子刻蚀去除非晶碳材质的接触牺牲图形3A。随后,采用HF基腐蚀液去除氧化硅材质的垫氧化层4。由此,去除了接触牺牲图形之后,留下了源漏接触沟槽3D(先前接触牺牲图形3A所占据的空间),暴露了衬底1、源漏延伸区1A、部分STI2、以及源漏接触侧墙5。

[0034] 参照图13以及图10~图12,在源漏接触沟槽中形成源漏接触。

[0035] 如图10所示,优选地,执行源漏注入形成源漏重掺杂区1D,注入离子种类与轻掺杂注入形成源漏延伸区1A的种类相同、与Halo源漏掺杂区1B的种类不同,但是注入剂量、能量更大,从而获得结深更大、浓度更高的源漏

重掺杂区1C。可选地，采用选择性外延的方式在源漏接触沟槽3D中、衬底1上形成提升源漏（未示出）。在形成源漏外延区的同时执行原位掺杂，或者在形成源漏外延区之后执行注入掺杂并退火激活。

[0036] 在源漏接触沟槽3D中溅射、蒸发形成金属薄层（未示出），例如是Ni、Pt、Co、Ti及其组合，然后快速退火或者低温退火（400~600℃），使得金属薄层与衬底1、源漏区中的Si反应形成金属硅化物10，用于进一步降低接触电阻。剥除未反应的金属薄层。此时由于氧化物材料的STI2、氮化硅材质的源漏接触侧墙5与金属薄层不反应，因此金属硅化物10仅形成在衬底1（源漏重掺杂区1C）中。

[0037] 如图11所示，在源漏接触沟槽3D中金属硅化物10上依次沉积TiN、TaN的材质的阻挡层11A（衬垫层）以及W、Al、Mo、Ti等材质的填充层11B，以形成了源漏接触11。优选地，采用CMP等工艺平坦化阻挡层11A/填充层11B，直至暴露栅极堆叠结构的栅极导电层9（电阻调节层9B）。此时，源漏接触11与栅极堆叠结构之间的间距仅为源漏接触侧墙5的厚度，该间距大幅减小了；此外，源漏接触11覆盖了整个源漏区，其面积较之现有技术大幅提升。因此，依照本发明的这种大面积源漏接触有效降低了寄生电阻。

[0038] 如图12所示，完成后续工艺。例如在整个器件上沉积例如氮化硅材质的第二ILD 12，刻蚀ILD 12形成源漏接触孔，在源漏接触孔中填充金属材料形成第二源漏接触11C，在整个器件上沉积例如为氧化硅的第三ILD 13，刻蚀形成互连孔，在互连孔中沉积Al、Ti等金属形成互连线14。

[0039] 依照本发明的半导体器件制造方法，通过接触牺牲层工艺有效降低了栅极侧墙与接触区域之间的间距，并且增大了接触区域面积，从而有效减小了器件寄生电阻。

[0040] 尽管已参照一个或多个示例性实施例说明本发明，本领域技术人员可以知晓无需脱离本发明范围而对形成器件结构的方法做出各种合适的改变和等价方式。此外，由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此，本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例，而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

权 利 要 求

1. 一种半导体器件制造方法, 包括:

在衬底上形成接触牺牲图形, 覆盖源区与漏区并且暴露栅极区域;

5 在衬底上形成层间介质层, 覆盖接触牺牲图形并且暴露栅极区域;

在暴露的栅极区域中形成栅极堆叠结构;

去除接触牺牲图形, 留下了源漏接触沟槽;

在源漏接触沟槽中形成源漏接触。

2. 如权利要求1的半导体器件制造方法, 其中, 衬底中还包括浅沟槽
10 隔离, 接触牺牲图形暴露了部分浅沟槽隔离。

3. 如权利要求2的半导体器件制造方法, 其中, 层间介质层覆盖了部分浅沟槽隔离。

4. 如权利要求1的半导体器件制造方法, 其中, 形成接触牺牲图形之后、形成层间介质层之前, 还包括在接触牺牲图形侧面上形成源漏接触侧墙。

15 5. 如权利要求4的半导体器件制造方法, 其中, 源漏接触侧墙为氮化硅、氮氧化硅。

6. 如权利要求1的半导体器件制造方法, 其中, 形成接触牺牲图形之后, 还包括在衬底中形成轻掺杂的源漏延伸区和晕状源漏掺杂区。

7. 如权利要求1的半导体器件制造方法, 其中, 形成栅极堆叠结构包
20 括在暴露的栅极区域中沉积高k材料的栅极绝缘层、金属氮化物的功函数调节层以及金属的电阻调节层。

8. 如权利要求7的半导体器件制造方法, 其中, 形成栅极堆叠结构之后还包括平坦化电阻调节层、功函数调节层、层间介质层直至暴露接触牺牲图形。

25 9. 如权利要求1的半导体器件制造方法, 其中, 形成源漏接触的步骤进一步包括:

在源漏接触沟槽中暴露的衬底中形成源漏重掺杂区;

在源漏重掺杂区中形成金属硅化物;

在源漏接触沟槽中金属硅化物上依次沉积衬垫层和填充层;

平坦化填充层和衬垫层直至暴露栅极堆叠结构。

10. 如权利要求9的半导体器件制造方法，其中，平坦化填充层和衬垫层之后，进一步包括：沉积第二层间介质层；刻蚀第二层间介质层形成源漏接触孔，在源漏接触孔中填充形成第二源漏接触；沉积第三层间介质层；刻蚀第三层间介质层形成互连孔，在互连孔中填充形成互连线。

11. 如权利要求9的半导体器件制造方法，其中，形成金属硅化物的步骤进一步包括：在源漏接触沟槽中沉积金属层，退火使得金属层与衬底中硅反应形成金属硅化物，剥除未反应的金属层。

12. 如权利要求1的半导体器件制造方法，其中，接触牺牲图形为多晶硅、非晶硅、非晶碳及其组合。

13. 如权利要求1的半导体器件制造方法，其中，接触牺牲图形与衬底之间还包括垫氧化层。

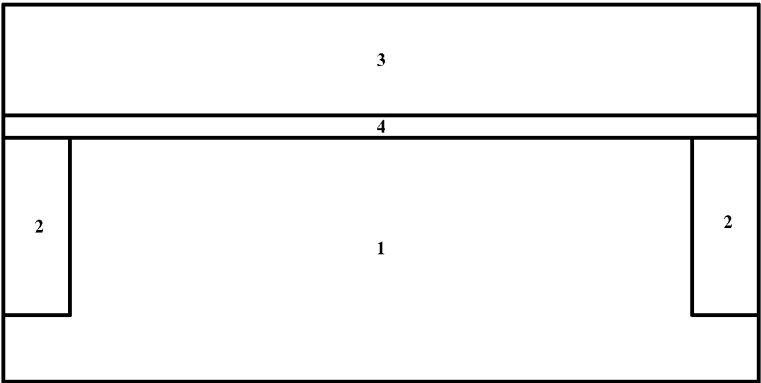


图1

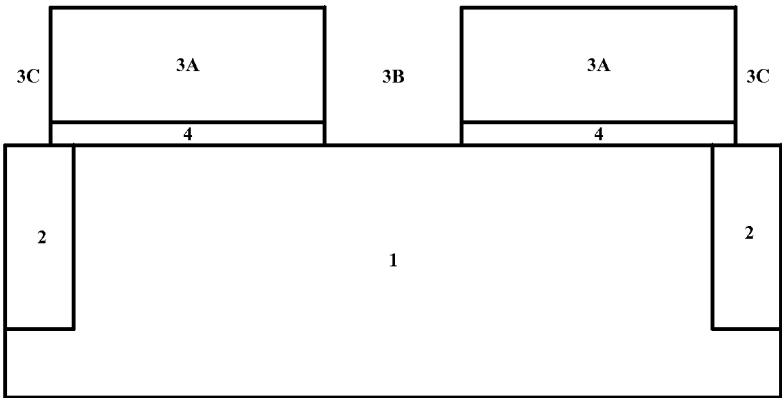


图2

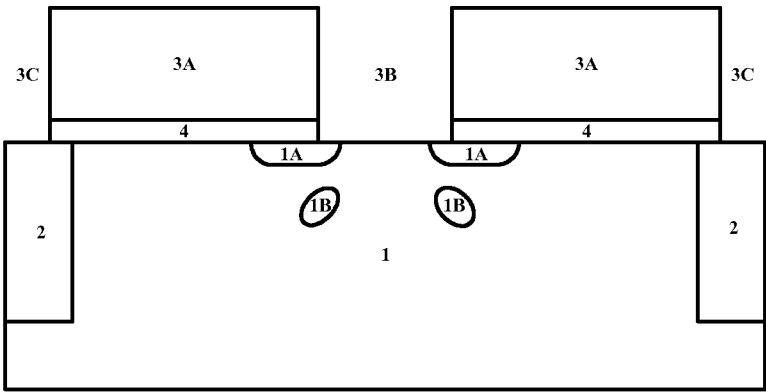


图3

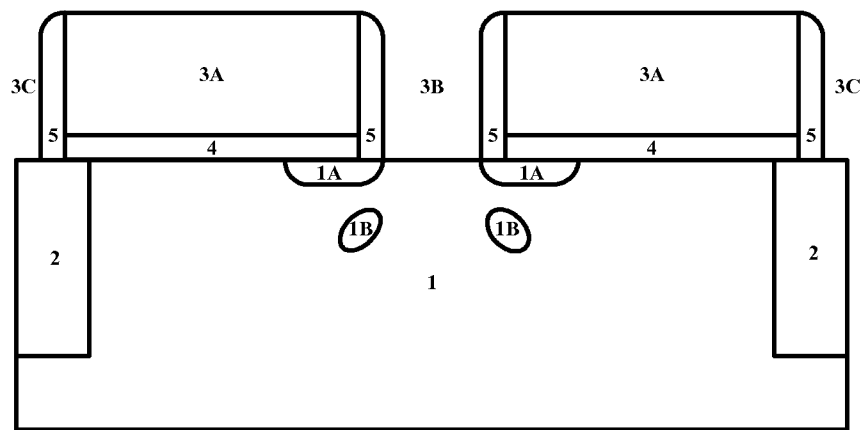


图4

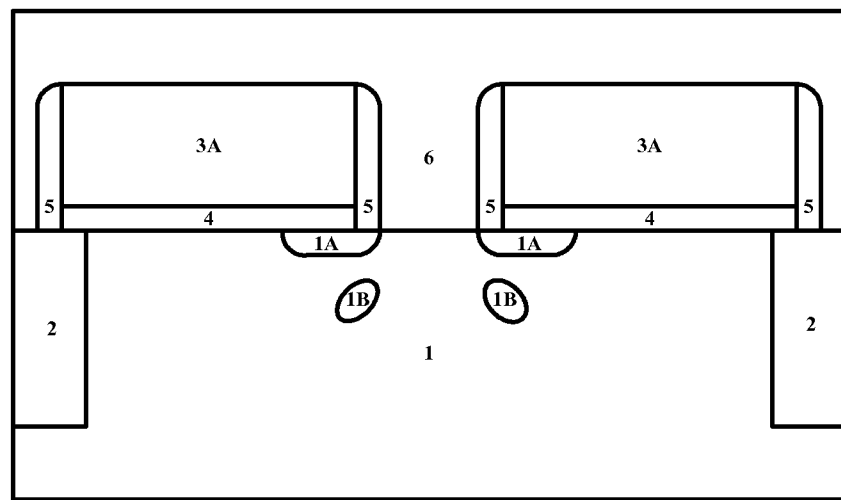


图5

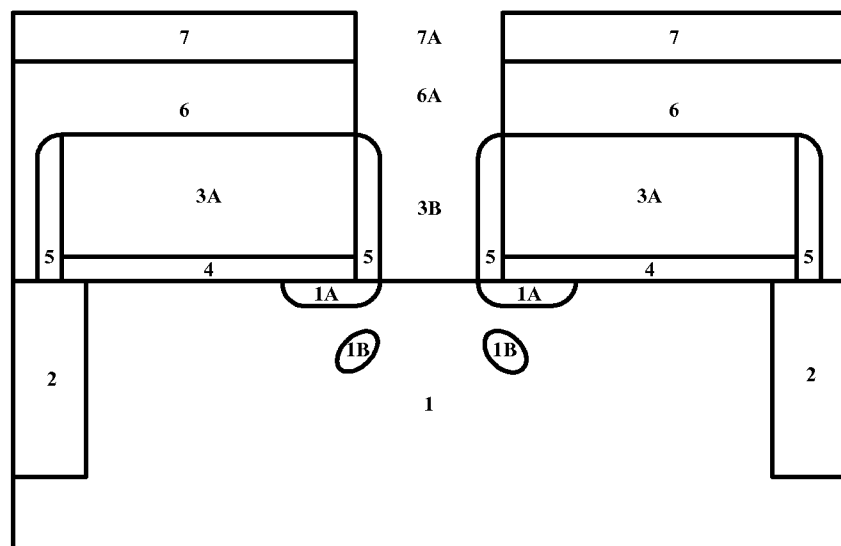


图6

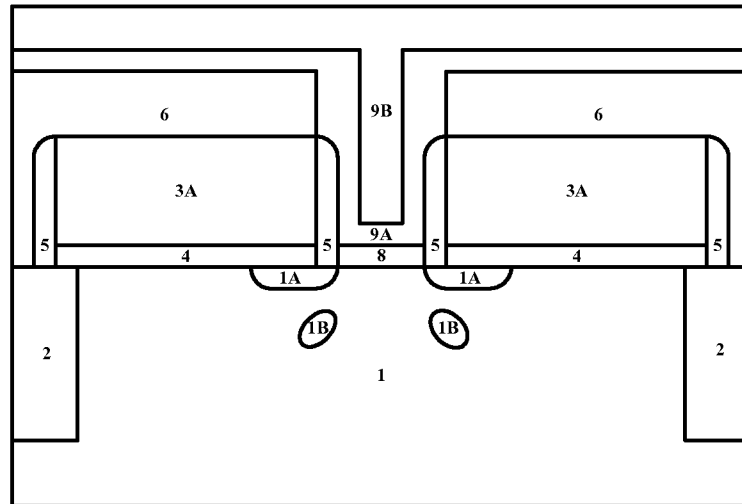


图7

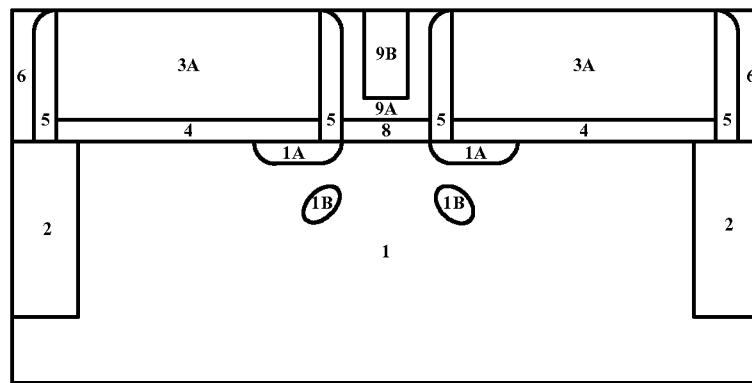


图8

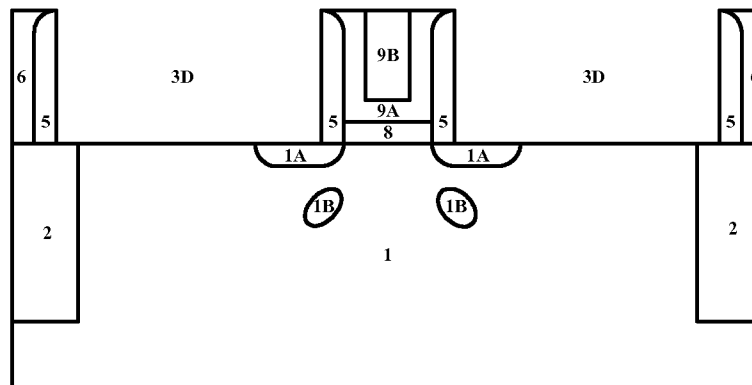


图9

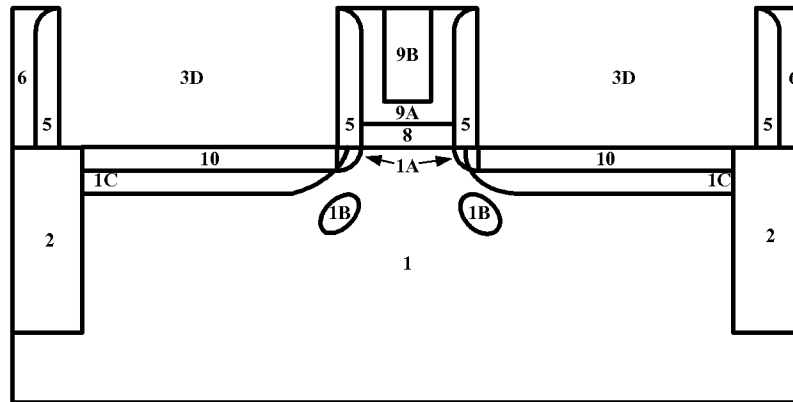


图10

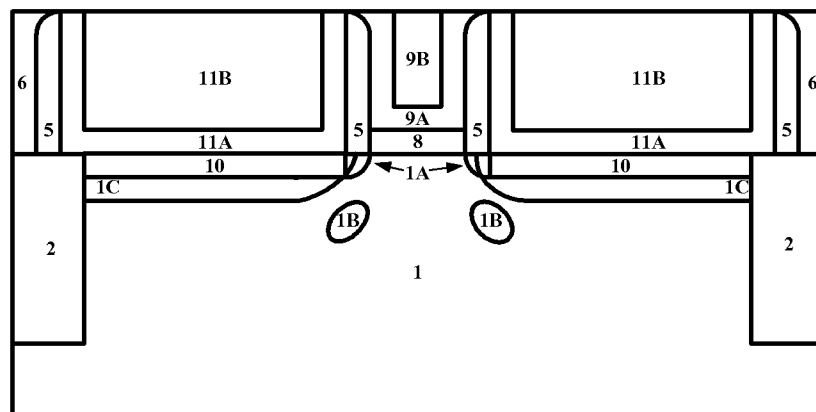


图11

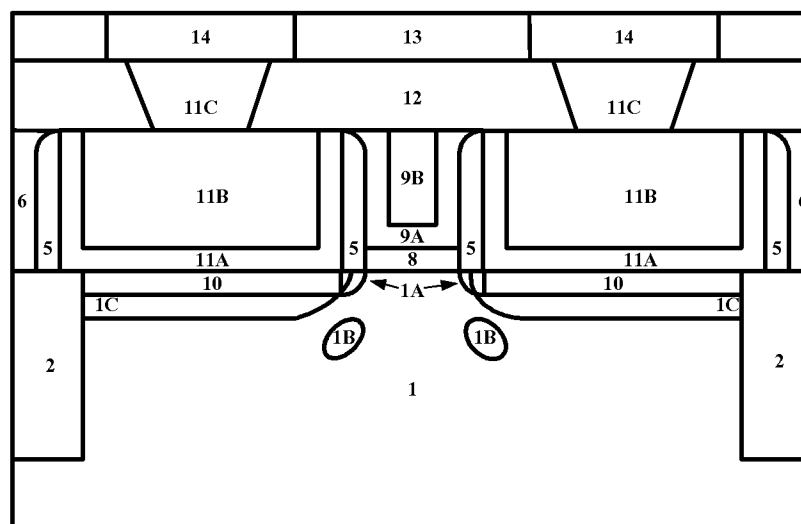


图12

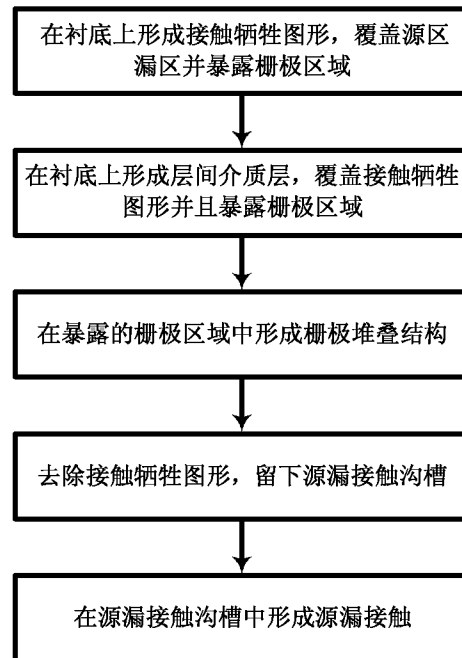


图13

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079717

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI: parasitic, resistance, gate

CNABS: parasitic resistance, sacrifice, gate, stacking, sidewall

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6339001 B1 (INT BUSINESS MACHINES CORP.), 15 January 2002 (15.01.2002)	1, 4-13
Y	CN 1477719 A (PEKING UNIVERSITY), 25 February 2004 (25.02.2004)	1, 4-13
Y	CN 102386217 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION), 21 March 2012 (21.03.2012)	7-8
A	CN 101000925 A (INTERNATIONAL BUSINESS MACHINES CORP.), 18 July 2007 (18.07.2007)	1-13

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 April 2013 (08.04.2013)	Date of mailing of the international search report 25 April 2013 (25.04.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P.R.China No.6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer CHAI, Chunying Telephone No.: (86-10) 62089022

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/079717

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 6339001 B1	15.01.2002	US 2002028554 A1	03.07.2002
		GB 2368461 A	01.05.2002
		GB 2368461 B	08.09.2004
CN 1477719 A	25.02.2004	CN 1215572 C	17.08.2005
CN 102386217 A	21.03.2012	None	
CN 101000925 A	18.07.2007	CN 100474626 C	01.04.2009
		US 2007161169 A1	12.07.2007
		US 7342266 B2	11.03.2008
		US 2008020522 A1	24.01.2008
		US 7618853 B2	17.11.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/079717

CONTINUATION: A.CLASSIFICATION OF SUBJECT MATTER

H01L 21/28 (2006.01) i

H01L 21/336 (2006.01) i

A. 主题的分类		
见附加页		
按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
IPC: H01L 21/-		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
DWPI: parasitic, resistance, gate		
CNABS: 寄生电阻, 牺牲, 栅, 堆叠, 侧墙		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	US6339001 B1 (INT BUSINESS MACHINES CORP) 15. 1 月 2002 (15. 01. 2002)	1, 4-13
Y	CN1477719 A (北京大学) 25. 2 月 2004 (25. 02. 2004)	1, 4-13
Y	CN102386217 A (中心国际集成电路制造(上海)有限公司) 21. 3 月 2012 (21. 03. 2012)	7-8
A	CN101000925 A (国际商业机器公司) 18. 7 月 2007 (18. 07. 2007)	1-13
☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 08.4 月 2013(08.04.2013)		国际检索报告邮寄日期 25.4 月 2013 (25.04.2013)
ISA/CN 的名称和邮寄地址: 中华人民共和国国家知识产权局 中国北京市海淀区蓟门桥西土城路 6 号 100088 传真号: (86-10)62019451		授权官员 柴春英 电话号码: (86-10) 62089022

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2012/079717

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6339001 B1	15. 01. 2002	US2002028554 A1	03. 07. 2002
		GB2368461 A	01. 05. 2002
		GB2368461 B	08. 09. 2004
CN1477719 A	25. 02. 2004	CN1215572 C	17. 08. 2005
CN102386217 A	21. 03. 2012	无	
CN101000925 A	18. 07. 2007	CN100474626 C	01. 04. 2009
		US2007161169 A1	12. 07. 2007
		US7342266 B2	11. 03. 2008
		US2008020522 A1	24. 01. 2008
		US7618853 B2	17. 11. 2009

续: A. 主题的分类

H01L 21/28 (2006.01) i

H01L 21/336 (2006.01) i