

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/48 (2006.01)

H01L 21/82 (2006.01)



[12] 发明专利说明书

专利号 ZL 200610005403.0

[45] 授权公告日 2008 年 9 月 24 日

[11] 授权公告号 CN 100421241C

[22] 申请日 2006.1.17

US4591894A 1986.5.27

[21] 申请号 200610005403.0

审查员 赵世欣

[30] 优先权

[74] 专利代理机构 上海专利商标事务所有限公司

[32] 2005. 1. 18 [33] JP [31] 2005 - 009719

代理人 沈昭坤

[32] 2005. 10. 31 [33] JP [31] 2005 - 315525

[73] 专利权人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 野野山茂 上田直人

[56] 参考文献

JP2001 - 326260A 2001.11.22

US2002/0056857A1 2002.5.16

US2003/0137861A1 2003.7.24

JP9 - 8141A 1997.1.10

US2002/0113319A1 2002.8.22

US6242814B1 2001.6.5

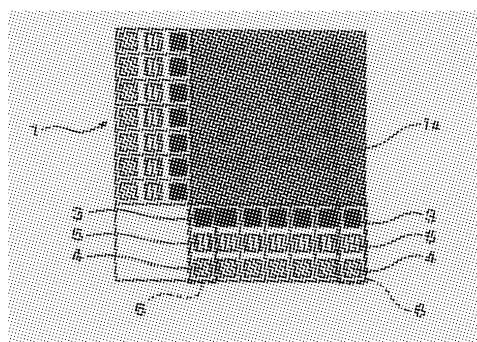
权利要求书 2 页 说明书 9 页 附图 7 页

[54] 发明名称

半导体集成电路

[57] 摘要

本发明涉及一种具备集成电路区域(1a)、以及分别具有使该集成电路区域(1a)与外部电连接用的元件形成区域的多个I/O单元(6)的半导体集成电路(1)，在上述各I/O单元(6)的元件形成区域上配置输入输出信号用电极焊盘(3)、电源用电极焊盘(4)以及GND用电极焊盘(5)。



1. 一种半导体集成电路，其特征在于，具备
集成电路区域、以及从

该集成电路区域的周边部分向外侧形成的分别具有与外部电连接用的元件
形成区域的多个 I/O 单元，

在所述元件形成区域上混合配置相邻的一对第 1 I/O 单元与相邻的一对第
2 I/O 单元，所述相邻的一对第 1 I/O 单元从周边侧的内侧向外侧依次分别设
置两个输入输出信号用电极焊盘及一个电源用电极焊盘，所述相邻的一对第 2
I/O 单元在所述元件形成区域上从内侧向外侧依次分别设置两个输入输出信号
用电极焊盘及一个 GND 用电极焊盘，

再有，所述相邻的一对第 1 I/O 单元中的所述两个输入输出信号用电极焊
盘及电源用电极焊盘，都横跨所述相邻的一对第 1 I/O 单元形成，

所述相邻的一对第 2 I/O 单元中的所述两个输入输出信号用电极焊盘及
GND 用电极焊盘，都横跨所述相邻的一对第 2 I/O 单元形成。

2. 如权利要 1 所述的半导体集成电路，其特征在于，

横跨各一对 I/O 单元相互之间而形成的内侧的输入输出信号用电极焊盘一
部分，延伸到中间侧的输入输出信号用电极焊盘，使得所述内侧的输入输出信
号用电极焊盘成为 L 字型，同时

该中间侧的输入输出信号用电极焊盘一部分，延伸到外侧的电源用电极焊
盘的外侧边缘位置，使得所述中间侧的输入输出信号用电极焊盘成为 L 字型，

所述外侧的电源用电极焊盘位于所述中间侧的输入输出信号用电极焊盘
的延伸部分的侧方。

3. 如权利要求 1 所述的半导体集成电路，其特征在于，

横跨各一对 I/O 单元相互之间而形成的内侧的输入输出信号用电极焊盘一
部分，通过中间侧的输入输出信号用电极焊盘的侧面延伸到外侧的电源用电极
焊盘，使得所述内侧的输入输出信号用电极焊盘成为 L 字型，同时

所述中间侧的输入输出信号用电极焊盘一部分，延伸到外侧的电源用电极
焊盘的外侧边缘位置，使得所述中间侧的输入输出信号用电极焊盘成为 L 字型，

所述外侧的电源用电极焊盘位于所述内侧的输入输出信号用电极焊盘的
延伸部分和所述中间侧的输入输出信号用电极焊盘的延伸部分之间。

4. 一种半导体集成电路，其特征在于，具备
集成电路区域、以及
从该集成电路区域的周边部分向外侧形成的分别具有与外部电连接用的元
件形成区域的多个 I/O 单元，

在上述元件形成区域上混合配置第 1 单元组与第 2 单元组，所述第 1 单元
组包含从所述周边部分的内侧向外侧依次分别设置两个输入输出信号用电极
焊盘及一个电源用电极焊盘的相邻的四个 I/O 单元，所述第 2 单元组包含在上
述元件形成区域上从内侧向外侧依次分别设置两个输入输出信号用电极焊盘
及一个 GND 用电极焊盘的相邻的四个 I/O 单元，

再有，所述第 1 单元组的两组相邻的一对 I/O 单元中的各输入输出信号用
电极焊盘相互之间，横跨各组中的一对 I/O 单元相互之间而形成，同时电源用
电极焊盘，横跨该第 1 单元组的四个 I/O 单元相互之间而形成，

所述第 2 单元组的两组相邻的一对 I/O 单元中的各输入输出信号用电极焊
盘相互之间，横跨各组中的一对 I/O 单元相互之间而形成，同时 GND 用电极焊
盘，横跨该第 2 单元组的四个 I/O 单元相互之间而形成。

半导体集成电路

技术领域

本发明涉及半导体集成电路及其制造方法，特别是涉及在集成电路区域的边缘部分突出设置的 I/O 单元(输入输出用单元)。

背景技术

下面根据附图说明以往的半导体集成电路。

图 9A 为表示半导体集成电路的一般结构的平面图，图 9B 为图 9A 的 D—D' 剖视图，图 9C 为图 9B 的 E 部分的放大图。

这种以往的半导体集成电路具有 5 层布线结构。

在以下的说明中，将在输入输出电路的元件形成区域的外侧设置的输入输出信号用的电极焊盘设置在输入输出电路的元件形成区域上的结构，称为元件上焊盘结构，简称为 POE (Pad On Element) 结构。

首先，根据图 9A～图 9C，简单说明 5 层布线结构而且具有 POE 结构的半导体集成电路电极部分的一般结构。

即，在图 9A～图 9C 中，51 为半导体集成电路(也称为半导体芯片)，52 为具有 POE 结构的电极焊盘。58 为 PSiN 等的第 1 保护膜，59 为聚酰亚胺等的第 2 保护膜，63 为层间绝缘膜，65 为硅基板。

具有 POE 结构的电极焊盘 52 具有层叠通孔结构，这种层叠通孔结构包含最上层的焊盘金属 60、在它的下一层的布线层形成的下层焊盘金属 61、以及将这两个焊盘金属 60 与 61 之间连接的通孔 62。该层叠通孔结构具有抑制在引线焊接等焊接工序中产生的凹坑的效果。

然后，在上述电极焊盘 52 的下方形成供给电源用的第 1 电源层金属 68，再在它的下层形成向输入输出信号电路内供给信号用的最下层金属 57，另外电极焊盘 52 与最下层金属 57 利用引出部分金属 64 的层叠结构电连接。

然后，依据上述一般性说明，根据图 10 说明以往的具有电极焊盘结构的半导体集成电路。图 10 为与图 9A 的 F 部分对应的放大平面图。

在以往的具有 POE 结构的半导体集成电路中，如图 10 所示，电源用电极

焊盘 54 在电源单元 66 上形成，GND 用电极焊盘 55 在 GND 单元 67 上形成，另外在各 I/O 单元 56 的元件形成区域(是输入输出电路区域)上形成输入输出信号用电极焊盘 53。

关于这样的电极焊盘配置在单元的元件形成区域上的结构，已经以缩小芯片尺寸为目的提出了方案。

例如，提出了一种半导体集成电路，是在逻辑电路或驱动电路上设置层间绝缘膜，然后在其上形成输入信号用或输出信号用的电极焊盘(例如，参照日本国的特开平 6-244235 号公报)。

但是，在上述以往的半导体集成电路中，随着扩散工艺的微细化，承担半导体元件本来的功能的有源元件区域小型化，存在芯片尺寸受电极焊盘区域限制的倾向。

再有，随着半导体集成电路的电压降低，为了使信号稳定等，存在相对于输入输出信号用的 I/O 单元数量的电源及 GND 数量有增加的倾向，因而由于电源用及 GND 用的单元数增加，更进一步存在芯片尺寸受电极焊盘区域限制的倾向。

对于这样的半导体集成电路，以往是通过减小电极焊盘之间的间距，使该电极焊盘小型化，从而缩小电极焊盘区域，实现半导体集成电路的小型化。

随着这样利用狭窄焊盘而使电极焊盘的小型化，存在的问题是，在电极焊盘上的引线或凸点的形成以及利用封装树脂的成型等组装作业非常困难。

发明内容

因此，本发明正是解决上述以往的问题，其目的在于提供一种半导体装置电路及其制造方法，即使在随着扩散工艺的微细化及半导体集成电路降低电压而芯片尺寸受电极焊盘区域限制的情况下，也能够不使电极焊盘形成狭窄焊盘而实现小型化，还能够更容易进行组装作业及提高生产率。

为了达到上述目的，第 1 发明的半导体集成电路，具备集成电路区域、以及从该集成电路区域的周边部分向外侧形成的分别具有与外部电连接用的元件形成区域的多个 I/O 单元，在所述元件形成区域上混合配置相邻的一对第 1 I/O 单元与相邻的一对第 2 I/O 单元，所述相邻的一对第 1 I/O 单元从周边侧的内侧向外侧依次分别设置两个输入输出信号用电极焊盘及一个电源用电极焊盘，所述相邻的一对第 2 I/O 单元在所述元件形成区域上从内侧向外侧依次

分别设置两个输入输出信号用电极焊盘及一个 GND 用电极焊盘，再有，所述相邻的一对第 1 I/O 单元中的所述两个输入输出信号用电极焊盘及电源用电极焊盘，都横跨所述相邻的一对第 1 I/O 单元形成，所述相邻的一对第 2 I/O 单元中的所述两个输入输出信号用电极焊盘及 GND 用电极焊盘，都横跨所述相邻的一对第 2 I/O 单元形成。

另外，第 2 发明的半导体集成电路，具备集成电路区域、以及从该集成电路区域的周边部分向外侧形成的分别具有与外部电连接用的元件形成区域的多个 I/O 单元，在上述元件形成区域上混合配置第 1 单元组与第 2 单元组，所述第 1 单元组包含从所述周边部分的内侧向外侧依次分别设置两个输入输出信号用电极焊盘及一个电源用电极焊盘的相邻的四个 I/O 单元，所述第 2 单元组包含在上述元件形成区域上从内侧向外侧依次分别设置两个输入输出信号用电极焊盘及一个 GND 用电极焊盘的相邻的四个 I/O 单元，再有，所述第 1 单元组的两组相邻的一对 I/O 单元中的各输入输出信号用电极焊盘相互之间，横跨各组中的一对 I/O 单元相互之间而形成，同时电源用电极焊盘，横跨该第 1 单元组的四个 I/O 单元相互之间而形成，所述第 2 单元组的两组相邻的一对 I/O 单元中的各输入输出信号用电极焊盘相互之间，横跨各组中的一对 I/O 单元相互之间而形成，同时 GND 用电极焊盘，横跨该第 2 单元组的四个 I/O 单元相互之间而形成。

根据所述各半导体集成电路及其制造方法，随着扩散工艺的微细化及半导体集成电路降低电压，在即使芯片尺寸受电极焊盘区域限制的情况下，由于将电源用及/或 GND 用的电极焊盘配置在输入输出信号用的 I/O 单元的元件形成区域上，没有电源用及/或 GND 用的单元区域，因此不需要电极焊盘小型化，并且不使电极焊盘间形成狭窄间距，而能够实现半导体集成电路的小型化。

另外，通过在各输入输出信号用的 I/O 单元的元件形成区域上配置电源用及/或 GND 用的电极焊盘，能够进一步增加相对于输入输出信号用的 I/O 单元数量的电源及/或 GND 的数量，能够对输入输出信号用的 I/O 单元供给稳定的电源或 GND。

再有，通过对各输入输出信号用的 I/O 单元配置电源用及/或 GND 用的电极焊盘，在利用引线焊接进行组装时，能够任意选择进行引线连接用的电源及/或 GND 的连接条数及连接电极焊盘位置，因而能够提高组装作业的自由度，进行稳定的生产。

下面利用根据附图说明的理想实施形态，将明白本发明的许多特征及效果。

附图说明

图 1A 所示为本发明实施形态有关的半导体集成电路的简要结构平面图。

图 1B 为图 1A 的 A—A' 剖视图。

图 1C 为图 1B 的 B 部分放大图。

图 2 为与图 1A 的 C 部分对应的 I/O 单元部分的放大平面图。

图 3 为该半导体集成电路的变形例有关的 I/O 单元部分的放大平面图。

图 4 为该半导体集成电路的变形例有关的 I/O 单元部分的放大平面图。

图 5 为该半导体集成电路的变形例有关的 I/O 单元部分的放大平面图。

图 6 为该半导体集成电路的变形例有关的 I/O 单元部分的放大平面图。

图 7 为该半导体集成电路的变形例有关的 I/O 单元部分的放大平面图。

图 8A 所示为说明本发明的半导体集成电路的制造方法用的输入输出电路形成工序的剖视图。

图 8B 所示为该制造方法的层叠通孔形成工序的剖视图。

图 8C 所示为该制造方法的电极焊盘形成工序的剖视图。

图 8D 所示为该制造方法的保护膜形成工序的剖视图。

图 9A 所示为以往例如的半导体集成电路的简要结构平面图。

图 9B 为图 9A 的 D—D' 剖视图。

图 9C 为图 9B 的 E 部分放大图。

图 10 为与图 9A 的 F 部分对应的 I/O 单元部分的放大平面图。

具体实施方式

以下参照附图说明本发明的理想实施形态有关的半导体集成电路及其制造方法。

图 1A～图 1C 所示为 5 层布线结构的半导体集成电路，在以下的说明中，将在输入输出电路的元件形成区域的外侧设置的输入输出信号用的电极焊盘设置在输入输出电路的元件形成区域上的结构，称为元件上焊盘结构，简称为 POE (Pad On Element) 结构。

首先，简单说明 5 层布线结构而且具有 POE 结构的半导体集成电路电极部

分的一般结构。

即，在图 1A～图 1C，1 为半导体集成电路(也称为半导体芯片)，2 为具有 POE 结构的电极焊盘。8 为 PSiN 等的第 1 保护膜，9 为聚酰亚胺等的第 2 保护膜，13 为层间绝缘膜，15 为硅基板。

具有 POE 结构的电极焊盘 2 具有层叠通孔结构，该层叠通孔结构包含最上层的焊盘金属 10、在它的下一层的布线层形成的下层焊盘金属 11、以及将这两个焊盘金属 10 与 11 之间连接的通孔 62。该层叠通孔结构具有抑制在引线焊接等焊接工序中产生的凹坑的效果。

然后，在上述电极焊盘 2 的下方形成供给电源用的第 1 电源层金属 18，再在它的下层形成向输入输出信号电路内供给信号用的最下层金属 7，另外电极焊盘 2 与最下层金属 7 利用引出部分金属 14 的层叠结构进行电连接。

然后，依据上述一般性说明，根据图 2 说明本发明有关的具有电极焊盘结构的具体的半导体集成电路。图 2 为与图 1A 的 C 部分对应的放大平面图。

本发明的要点如图 2 所示，在输入输出信号用的 I/O 单元 6 的元件形成区域上，除了配置输入输出信号用电极焊盘 3 以外，还配置电源用以及 GND 用的电极焊盘 4 及 5。关于这些电极焊盘 3、4 及 5，具有与上述电极焊盘 2 相同的结构。

即，上述半导体集成电路 1 由集成电路区域 1a、在该集成电路区域 1a 的周围配置的多个 I/O 单元 6、以及在这些 I/O 单元 6 的元件形成区域上配置的输入输出信号用电极焊盘 3 和电源用及 GND 用的电极焊盘 4 及 5 所构成(相当于第 2 发明)。

这些 I/O 单元 6 的平面观察形状为向外侧延伸的矩形(狭长的长方形)。正确来说，各 I/O 单元 6 形成为从正方形的集成电路区域 1a 的各边(周边部分)以规定宽度而且规定长度向外侧突出。另外，图 2 所示的 I/O 单元部分相当于图 1A 的 C 部分的位置。

这样，对半导体集成电路 1 不设置电源用及 GND 用的 I/O 单元，而在输入输出信号用的 I/O 单元 6 的元件形成区域上，配置(同时设置)输入输出信号用电极焊盘 3 和电源用及 GND 用的电极焊盘 4 及 5，通过这样能够减少半导体器件所必需的单元数，因而能够实现半导体集成电路 1 的小型化。

另外，由于能够从全部的输入输出信号用 I/O 单元 6 供给电源及 GND，因此结果与设置电源用或 GND 用的专用单元的情况相比，增加了电源及 GND 的供

给源，能够供给稳定的电源及 GND。

再有，在组装工序的引线焊接中，由于对电源及 GND 的供给源的选择范围扩大，因此能够任意选择电源及 GND 的连接条数及连接电极焊盘的位置，能够增加组装作业的自由度，同时能够进行稳定的生产。

然而，在上述实施形态中，是对于一个 I/O 单元 6 分别各配置(同时设置)一个输入输出信号用、电源用及 GND 用的电极焊盘 3、4 及 5, 但如图 3 所示，在对于一个 I/O 单元 6 配置一个或一个以上的例如两个输入输出信号用电极焊盘 3 及 3、以及电源用或 GND 用的某一个电极焊盘 4 或 5 时，也能够得到与上述实施形态同样的效果。另外，可以任意选择输入输出信号用电极焊盘 3 的配置个数。

若更明确说明图 3 所示的结构，则对于某 I/O 单元 6(6A)，从内侧向外侧依次配置两个输入输出信号用电极焊盘 3(3A)及 3(3B)、和一个电源用电极焊盘 4, 然后对于与其相邻的 I/O 单元 6(6B)，仍然从内侧向外侧依次配置两个输入输出信号用电极焊盘 3(3A)及 3(3B)、和 GND 用电极焊盘 5(相当于第 3 发明)。即，在各 I/O 单元 6 的内侧配置两个输入输出信号用电极焊盘 3, 同时在其最外侧交替(混合)配置电源用电 电极焊盘 4 及 GND 用电极焊盘 5。另外，在对于一个 I/O 单元 6 配置两个输入输出信号用电极焊盘 3 及 3 的情况下，其中一个是引线焊接用，另一个是检测用。通过这样划分，能够力图提高引线焊接中的连接作业。

另外，也可以如图 4 所示，横跨相邻的一对 I/O 单元 6(6A)和 6(6B)相互之间，配置(同时设置)至少一个、具体来说是两个输入输出信号用电极焊盘 3(3A)及 3(3B)、和一个电源用电极焊盘 4 或一个 GND 且电极焊盘 5 的某一个。在这种情况下，一对输入输出信号用电极焊盘 3A 与一个 I/O 单元 6A 电连接，同时另一个输入输出信号用电极焊盘 3B 与另一个 I/O 单元 6B 电连接。

根据这样的结构，则由于能够横跨相邻的一对 I/O 单元 6A 与 6B 相互之间分别形成电极焊盘 3、4 及 5, 因此能够使各电极焊盘形成大的矩形面积。即，由于能够区别检查时的检测接触位置与和引线或凸点的连接位置，因此能够防止因检测痕迹而造成的引线连接不良或凸点形成不良的情况。

当然，在这种情况下也同样，在输入输出信号用的 I/O 单元 6 的元件形成区域上，由于除了输入输出信号用电极焊盘 3 以外，还能够配置(同时设置)电源用或 GND 用的电极焊盘 4 或 5, 因此能够减少半导体器件所必需的单元数，因

而能够实现半导体集成电路的小型化。

若用别的说法来说明图 4 所示的结构，则是在元件形成区域上混合配置相邻的一对第 1 I/O 单元 6a(6A 及 6B)与相邻的一对第 2 I/O 单元 6B(6A 及 6B)，上述相邻的一对第 I/O 单元 6a(6A 及 6B)从周边侧的内侧向外侧依次分别设置两个输入输出信号用电极焊盘 3A 及 3B 和一个电源用电极焊盘 4，上述相邻的一对第 2 I/O 单元 6b(6A 及 6B)在元件形成区域上从内侧向外侧依次分别设置两个输入输出信号用电极焊盘 3A 及 3B 和一个 GND 用电极焊盘 5，再进一步上述相邻的一对第 1 I/O 单元 6a(6A 及 6B)中，各输入输出信号用电极焊盘相互之间及电源用电极焊盘相互之间横跨一对 I/O 单元 6A 及 6B 相互之间而形成，同时上述相邻的一对第 2 I/O 单元 6b(6A 及 6B)中，各输入输出信号用电极焊盘相互之间及 GND 用电极焊盘相互之间横跨一对 I/O 单元相互之间而形成(相当于第 4 发明)。

另外，如图 5 所示，使电源用或 GND 用电极焊盘 4 及 5 横跨三个或三个以上的、例如四个 I/O 单元 6(6A~6D)相互之间而形成，这样与图 4 所示的横跨相邻的一对 I/O 单元 6A 及 6B 相互之间而形成电极焊盘 4 及 5 的情况相比，能够增加引线对于 I/O 单元数的连接区域，进而对于电源及 GND 能够得到稳定的连接。

若用别的说法来说明图 5 所示的结构，则是在文件形成区域混合配置第 1 单元组 6'a 与第 2 单元组 6'b，上述第 1 单元组 6'a 由从周边侧的内侧向外侧依次分别设置两个输入输出信号用电极焊盘 3A 及 3B 和一个电源用电极焊盘 4 的相邻的四个 I/O 单元 6A~6D 而构成，上述第 2 单元组 6'b 由在元件形成区域上从内侧向外侧依次分别设置两个输入输出信号用电极焊盘 3A 及 3B 和一个 GND 用电极焊盘 5 的相邻的四个 I/O 单元 6A~6D 而构成，再进一步上述第 1 单元组 6'a 中，两组相邻的一对 I/O 单元 6A 及 6B、6C 及 6D 的各输入输出信号用电极焊盘相互之间横跨各组的一对 I/O 单元相互之间而形成，同时电源用电极焊盘 4 横跨该第 1 单元组 6'a 的四个 I/O 单元 6A~6D 相互之间而形成，上述第 2 单元组 6'b 中，两组相邻的一对 I/O 单元 6A 及 6B、6C 及 6D 的各输入输出信号用电极焊盘相互之间横跨各组的一对 I/O 单元相互之间而形成，同时 GND 用电极焊盘 5 横跨该第 2 单元组 6'b 的四个 I/O 单元 6A~6D 相互之间而形成(相当于第 5 发明)。

另外，如图 6 所示，横跨相邻的一对 I/O 单元 6(6A)与 6(6B)相互之间，

而且在内侧位置及中间位置，配置两个输入输出信号用电极焊盘 3(3A)及 3(3B)，同时在外侧位置配置电源用电极焊盘 4 或 GND 用电极焊盘 5 的某一个，再进一步将内侧位置的输入输出信号用电极焊盘 3A 在 I/O 单元 6 的宽度方向的一端以较小的宽度延伸到与中间位置(中间侧)的输入输出信号用电极焊盘 3B 相同的位置(正确讲是到焊盘的外侧边缘位置)，同时中间位置的输入输出信号用电极焊盘 3B 在 I/O 单元 6 的宽度方向的另一端以较小的宽度延伸到外侧位置的电源用电极焊盘 4 或 GND 用电极焊盘 5 相同的位置(正确讲是到焊盘的外侧边缘位置)。当然，外侧位置的电源用电极焊盘 4 或 GND 用电极焊盘 5 的宽度(是 I/O 单元的宽度方向)稍微窄一点。另外，在这种情况下，与图 4 说明的相同，将设置电源用电极焊盘 4 的一对 I/O 单元 6a(6A 及 6B)、与设置 GND 用电极焊盘 5 的一对 I/O 单元 6b(6A 及 6B)混合配置。

根据这样的结构，则由于通过将各输入输出信号用电极焊盘 3A 及 3B 的延伸部分(电极焊盘的一部分)3a 及 3b 作为检测用电极区域，使下层的布线区域中容易损坏的检测用电极区域离开有源区域，将内侧位置的输入输出信号用电极焊盘 3A 在半导体集成电路 1 的有源区域上形成，从而能够进一步缩短 I/O 单元 6 的长度，因此能够力图实现半导体集成电路的小型化。

再有，如图 7 所示，横跨相邻的一对 I/O 单元 6(6A)与 6(6B)相互之间，而且在内侧位置及中间位置，配置两个输入输出信号用电极焊盘 3(3A)及 3(3B)，同时在外侧位置配置电源用电极焊盘 4 或 GND 用电极焊盘 5 的某一个，再进一步将内侧位置的输入输出信号用电极焊盘 3A 在 I/O 单元 6 的宽度方向的一端以较小的宽度延伸到与外侧位置的电源用电极焊盘 4 或 GND 用电极焊盘 5 相同的位置(正确讲是到焊盘的外侧边缘位置)，同时中间位置(中间侧)的输入输出信号用电极焊盘 3B 在 I/O 单元 6 的宽度方向的另一端以较小的宽度延伸到外侧位置的电源用电极焊盘 4 或 GND 用电极焊盘 5 相同的位置(正确讲是到焊盘的外侧边缘位置)。当然，外侧位置的电源用电极焊盘 4 或 GND 用电极焊盘 5 的宽度(是 I/O 单元的宽度方向)要变窄。在这种情况下，也与图 6 说明的相同，将设置电源用电极焊盘 4 的一对 I/O 单元 6a(6A 及 6B)、与设置 GND 用电极焊盘 5 的一对 I/O 单元 6b(6A 及 6B)混合配置。

根据这样的结构，则由于通过将各输入输出信号用电极焊盘 3A 及 3B 在半导体集成电路 1 的有源区域上形成，同时使其延伸部分(电极焊盘的一例)3a 及 3b 位于外侧，从而能够进一步缩短 I/O 单元 6 的长度，因此能够力图实现半导

体集成电路的小型化。

下面参照附图说明上述半导体集成电路、特别是 I/O 单元部分的制造方法。

图 8A～图 8D 为说明本实施形态的半导体集成电路的制造方法的剖视图。

首先，如图 8A 所示，在硅基板 15 上利用例如 CVD(化学气相淀积)法、刻蚀法、离子注入法、曝光技术法等，形成晶体管及布线等，形成输入输出信号电路(I/O 单元的元件部分)。

这时，为了使形成的输入输出信号电路能够与外部进行电连接，在最上层形成通过引出部分金属 14 进行电连接的焊盘金属 11。

然后，如图 8B 所示，为了抑制在上述焊盘金属 11 上因引线焊接等的焊接工序生成的凹坑，形成通孔 12，得到层叠通孔结构。该层叠通过结构是利用例如刻蚀法、溅射法或镀层法等技术，形成通孔及进行通孔埋入而得到。

然后，在形成该层叠通孔结构之后，如图 8C 所示，利用例如 CVD(化学气相淀积)法或溅射法等，在层叠通孔 12 上形成用铝等金属形成的电极焊盘 10。

然后，这时如图 2 或图 3 所示，在与形成输入输出信号用的电极焊盘 3 同一个 I/O 单元 6 的元件形成区域上，同时形成电源用电极焊盘 4 及/或 GND 用电极焊盘 5，或者如图 4 所示，横跨相邻的 I/O 单元 6A 与 6B，形成输入输出信号用电极焊盘 3 及电源用或 GND 用电极焊盘 4 或 5，或者如图 5 所示，横跨三个以上、例如四个 I/O 单元 6A～6D 相互之间形成电源用或 GND 用电极焊盘 4 或 5，或者如图 6 或图 7 所示，对于输入输出信号用电极焊盘 3 向外侧延伸设置规定宽度的延伸部分(电极焊盘的一部分)3a 及 3b，形成检测用电极区域。

然后，如上所述，若形成规定的电极焊盘，则如图 8D 所示，利用例如 CVD(化学气相淀积)法或刻蚀法等，在半导体集成电路上形成第 1 保护膜 8 及在其上的第 2 保护膜 9，通过这样得到半导体集成电路 1。另外，在图 8A～图 8D 中，7 为最下层金属，13 为层间绝缘膜。

工业上的实用性

本发明的半导体集成电路即使在随着扩散工艺的微细化及半导体集成电路降低电压而芯片尺寸受电极焊盘区域限制的情况下，也能够实现芯片尺寸的小型化及稳定供给电源及 GND，再有在利用引线焊接与电极焊盘进行连接时，能够稳定进行生产，可用于具有进行电源及 GND 的输入以及信号的输入输出的 I/O 单元的半导体集成电路。

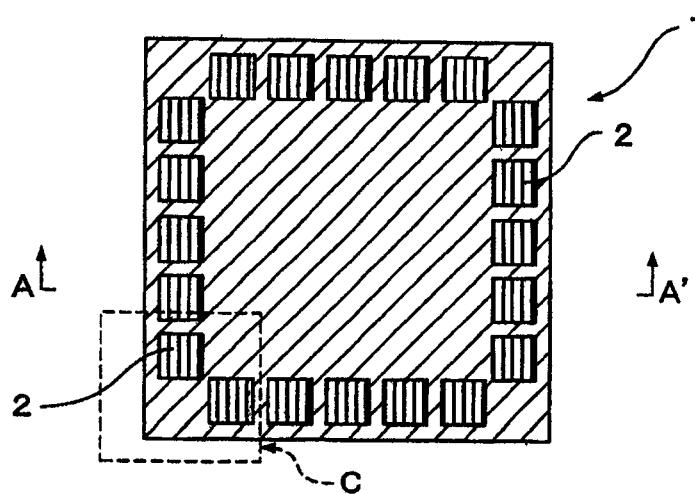


图 1A

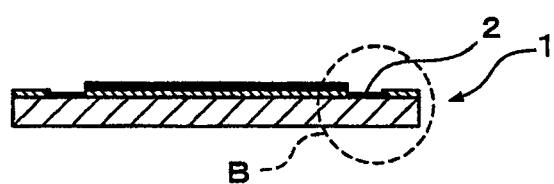


图 1B

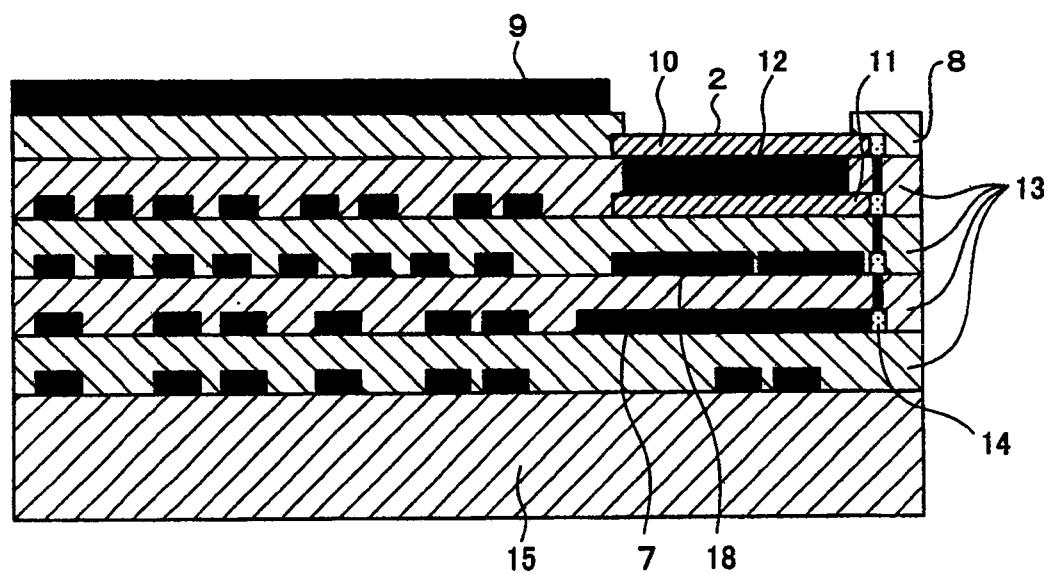


图 1C

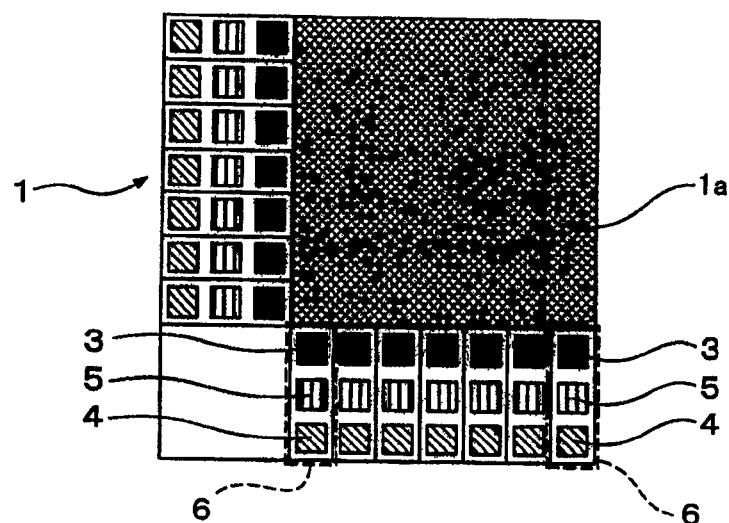


图 2

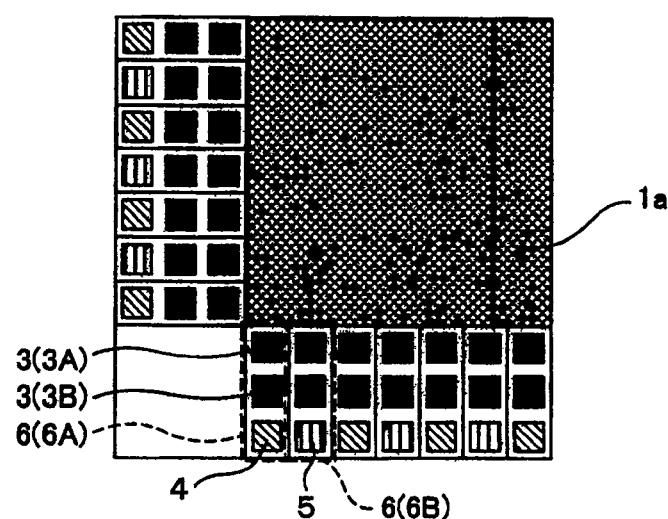


图 3

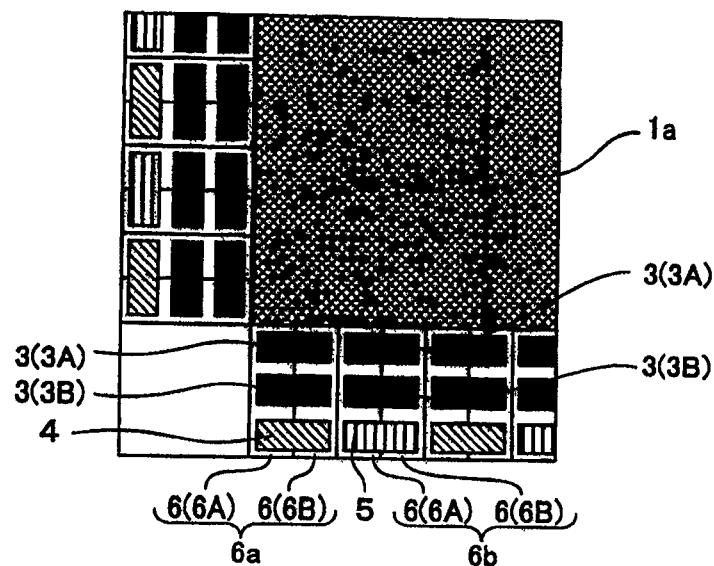


图 4

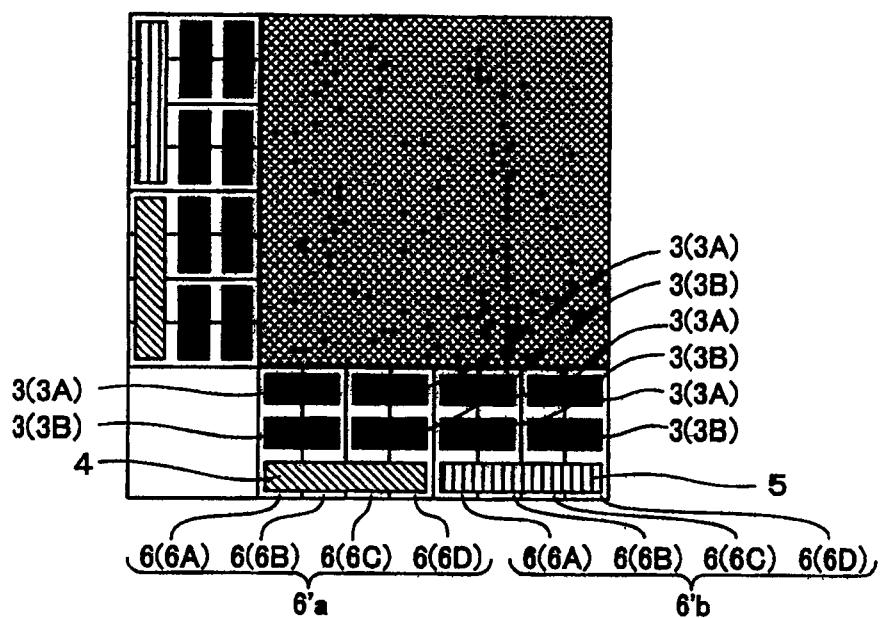


图 5

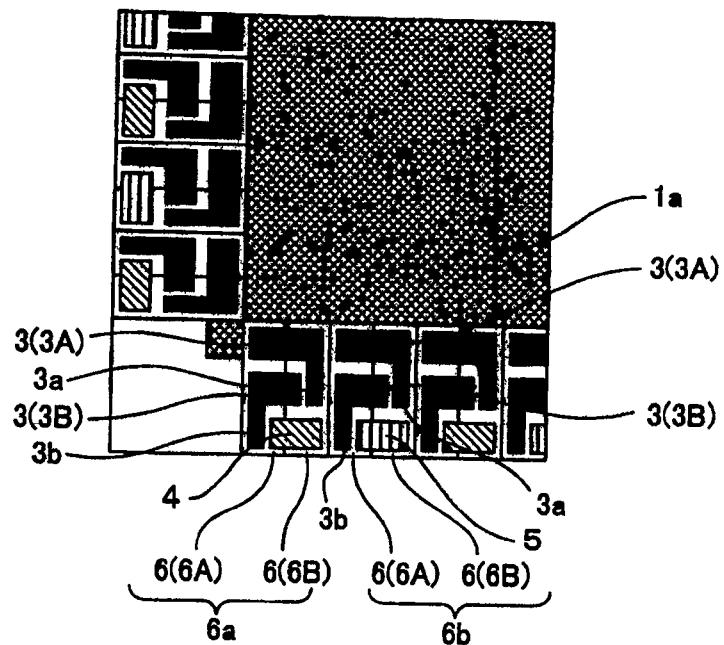


图 6

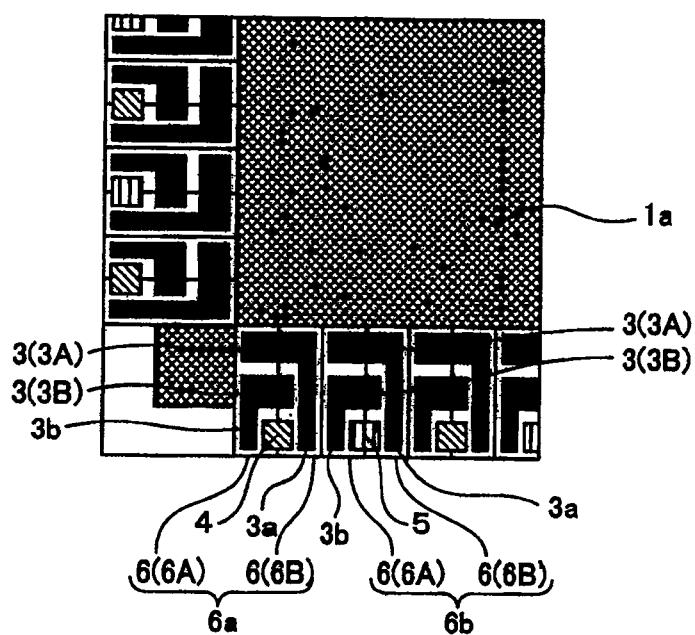


图 7

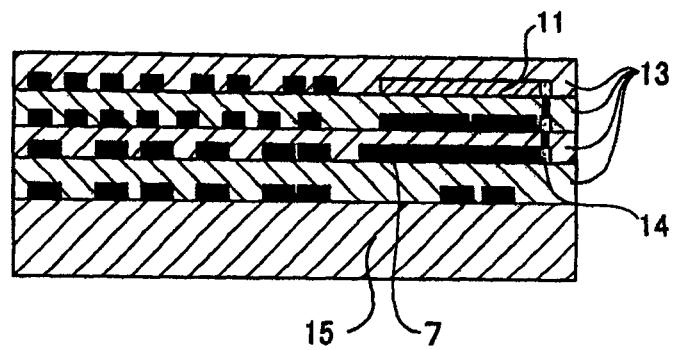


图 8A

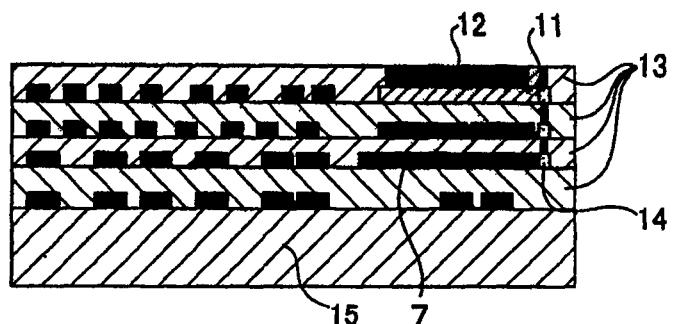


图 8B

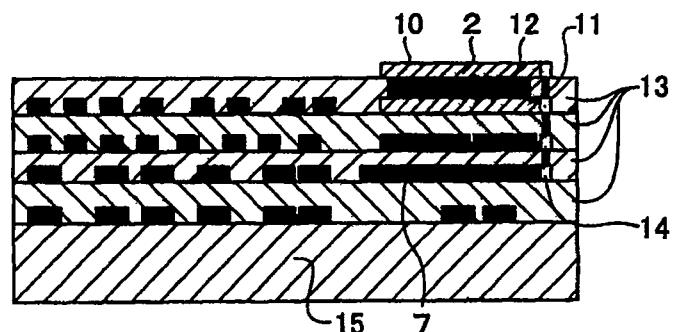


图 8C

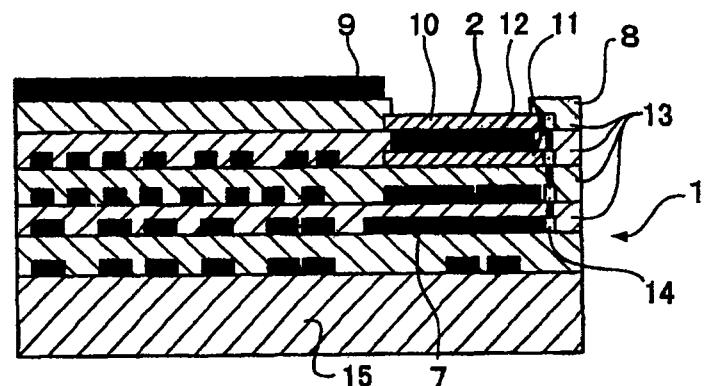


图 8D

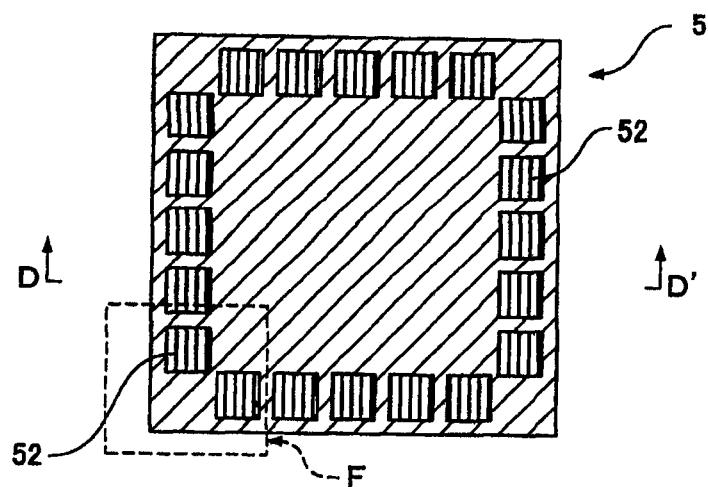


图 9A

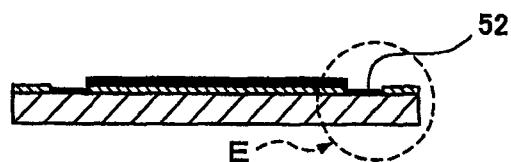


图 9B

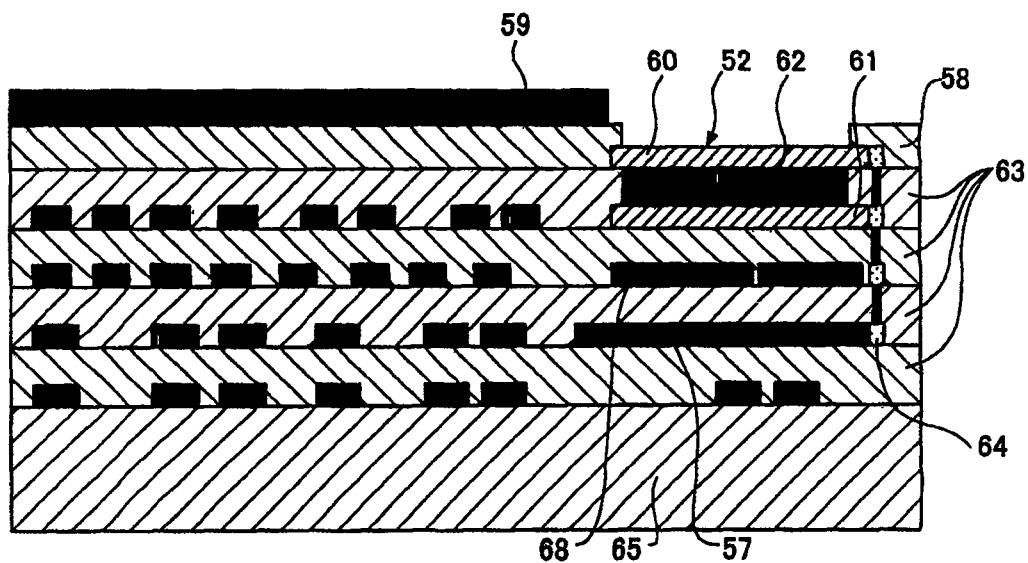


图 9C

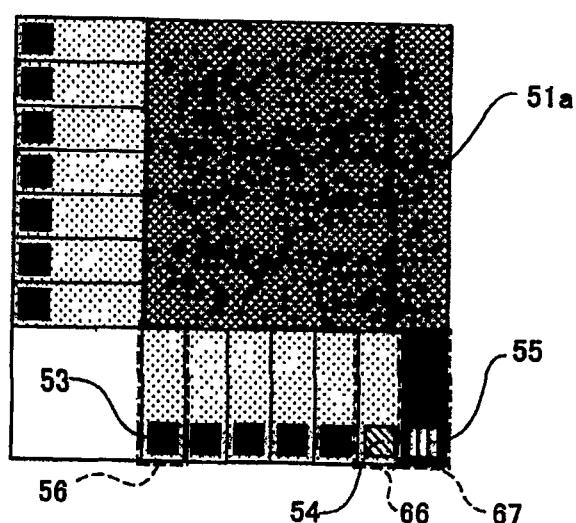


图 10