



## [12] 发明专利申请公开说明书

[21] 申请号 02816117.3

[43] 公开日 2004 年 11 月 3 日

[11] 公开号 CN 1543600A

[22] 申请日 2002.8.14 [21] 申请号 02816117.3

[30] 优先权

[32] 2001.8.17 [33] IT [31] TO2001A000818

[86] 国际申请 PCT/IT2002/000539 2002.8.14

[87] 国际公布 WO2003/017085 英 2003.2.27

[85] 进入国家阶段日期 2004.2.17

[71] 申请人 意大利电信股份公司

地址 意大利米兰

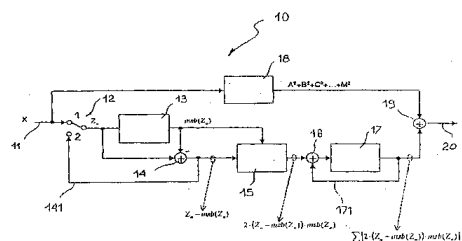
[72] 发明人 多纳图·艾图勒 布鲁诺·米利斯  
阿弗莱多·拉斯奇图[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所  
代理人 吴丽丽

权利要求书 4 页 说明书 8 页 附图 4 页

[54] 发明名称 幂乘电路

[57] 摘要

本发明所提出的诸如平方器(10)之类的迭代幂乘电路包括一个将相应输入信号( $Z_n$ )再分成一个为刚小于或等于输入信号( $Z_n$ )的2的幂的第一部分 $\text{msb}(Z_n)$ 和一个与相应输入信号与第一部分之差相应的第二部分( $Z_n - \text{msb}(Z_n)$ )的模块(19, 14)。输出信号的一个第一分量确定为各个2的幂的平方之和, 这是通过在输入的二进制信号(X)的相邻比特之间插入零来实现的。移位器模块(15)通过实现与为2的幂的数的乘法运算的移位操作产生输出信号的另一个分量。这种电路按照一种通用的迭代方案操作, 在这种迭代方案中的迭代次数可选择地控制, 以便有选择地改变计算输出值(Y)的精度。



1. 一种从一个二进制数字信号(X)开始产生一个表示所述二进制数字信号(X)的 $k$ 次幂的输出信号(Y)的幂乘电路(10), 其特征是所述电路包括:

一个提取2的幂的提取模块(13, 14), 用来将相应输入信号( $Z_n$ )再分成一个为刚小于或等于所述相应输入信号( $Z_n$ )的2的幂的第一部分( $\text{msb}(Z_n)$ )和一个与所述相应输入信号与所述第一部分之差相应的第二部分( $Z_n - \text{msb}(Z_n)$ );

一个输入模块(12), 用来将所述二进制数字信号(X)作为所述相应输入信号加到所述提取模块(13, 14)上; 以及

一个移位器模块(15), 与所述提取模块(13, 14)合作, 用来通过对从所述二进制数字信号(X)得出的至少一个信号执行移位操作, 产生所述输出信号(Y)的至少一个部分。

2. 如在权利要求1中所提出的电路, 其特征是: 所述移位器模块(15)对所述二进制数字信号的第二部分( $X-A$ )执行所述移位操作。

3. 如在权利要求1或权利要求2中所提出的电路, 其特征是: 所述电路包括一个电路模块(18), 用来通过在所述二进制数字信号(X)的相邻比特之间插入零, 产生所述输出信号(Y)的至少一个相应部分。

4. 如在任何以上权利要求中所提出的电路, 其特征是所述电路包括一个加法节点(19), 用来产生作为分别与

所述二进制输入信号(X)的所述第一部分(A)的幂, 以及

所述二进制数字信号(X)的第一部分(A)与第二部分( $X-A$ )的积( $A \cdot (X-A)$ )

相应的信号部分(18, 17)之和的所述输出信号(Y)。

5. 如在任何以上权利要求中所提出的电路, 其特征是:

所述输入模块(12)配有一个反馈通路(141), 用来按照一种通用的包括一系列相继步骤的迭代方案, 将在所述迭代方案的前一步骤中产生的上述第二部分反馈到所述提取模块(13, 14)的输入端, 作为要在所述迭

代方案的下一步骤中使用的相应新的输入信号( $Z_n$ ); 以及

所述移位器模块(15)配有一个累加单元(17), 用来累加所述移位器模块(15)在所述迭代方案的后续步骤中产生的所述输出信号(Y)的新部分。

6. 如在权利要求4和权利要求5中所提出的电路, 其特征是, 在所述迭代方案的每个所述步骤中, 所述移位器模块(15)产生需在所述累加单元(17)内累加的所述输出信号(Y)的一个部分, 所述需累加的部分是从一个从所述二进制数字信号(X)得出的信号( $Z_n$ )得到的。

7. 如在权利要求6中所提出的电路, 其特征是: 所述输出信号(Y)的所述需累加的部分是根据所述至少一个提取模块(13, 14)从所述第一二进制数字信号(X)开始产生的信号的一个第一部分( $\text{msb}(Z_n)$ )和一个第二部分( $(Z_n - \text{msb}(Z_n))$ )的积( $\text{msb}(Z_n) \cdot ((Z_n - \text{msb}(Z_n)))$ )得到的。

8. 如在任何权利要求5至7中所提出的电路, 其特征是一个控制电路, 用于有选择地控制所述迭代方案的步骤数。

9. 如在权利要求8中所提出的电路, 其特征是: 所述控制电路对在所述反馈通路(141)上出现的信号敏感, 并能在所述迭代方案的前一步骤中产生的上述第二部分的值达到零时中断所述迭代方案。

10. 在任何以上权利要求中所提出的电路, 其特征是所述提取模块包括:

一个提取单元(13), 用来接收所述相应输入信号( $Z_n$ ), 并从中确定小于或等于所述相应输入信号的2的幂的信号的所述第一部分, 作为相应输出信号( $\text{msb}(Z_n)$ ); 以及

一个加法单元(14), 用来以相反符号接收所述相应输入信号( $Z_n$ )和所述相应输出信号( $\text{msb}(Z_n)$ ), 并从中确定信号的所述第二部分( $Z_n - \text{msb}(Z_n)$ )。

11. 在任何以上权利要求中所提出的电路, 其特征是: 所述幂是所述二进制数字信号(X)的2次幂。

12. 一种从一个二进制数字信号(X)开始产生一个表示所述二进制数字信号(X)的k次幂的输出信号(Y)的幂乘电路(10), 其特征是: 所述电路包括一个电路模块(18), 用来通过在所述二进制数字信号(X)的相邻比特

之间插入 $k$ 个零产生所述输出信号(Y)的至少一个相应部分。

13. 一种从一个二进制数字信号(X)开始产生一个表示所述二进制数字信号(X)的 $k$ 次幂的输出信号(Y)的方法, 其特征是所述方法包括下列步骤:

从表示一个相应输入信号( $Z_n$ )的所述二进制数字信号(X)提取一个为刚小于或等于所述相应输入信号( $Z_n$ )的2的幂的第一部分( $\text{msb}(Z_n)$ )和一个与所述相应输入信号与所述第一部分之差相应的第二部分( $Z_n - \text{msb}(Z_n)$ );

通过对从所述二进制数字信号(X)提取的至少一个信号执行移位操作产生所述输出信号(Y)的至少一个部分。

14. 如在权利要求13中所提出的方法, 其特征是所述方法还包括下列步骤:

通过对所述二进制数字信号的第二部分( $X-A$ )执行移位操作产生所述输出信号(Y)的所述至少一个部分。

15. 如在权利要求13或权利要求14中所提出的方法, 其特征是所述方法还包括下列步骤:

通过在所述二进制数字信号(X)的相邻比特之间插入零产生所述输出信号(Y)的所述至少一个部分。

16. 如在任何权利要求13至15中所提出的方法, 其特征是所述方法还包括下列步骤;

产生作为分别与

所述二进制输入信号(X)的所述第一部分(A)的幂, 以及

所述二进制数字信号(X)的第一部分(A)与第二部分( $X-A$ )的积( $A \cdot (X-A)$ )

相应的信号部分(18, 17)之和的所述输出信号(Y)。

17. 如在任何权利要求13至15中所提出的方法, 其特征是包括下列步骤的迭代方案:

反馈在所述迭代方案的前一提取步骤中产生的所述第二部分, 作为要在所述迭代方案的下一步骤中使用的相应新的输入信号( $Z_n$ );

从所述相应新的输入信号( $Z_n$ )提取一个为刚小于或等于所述相应新的输入信号( $Z_n$ )的2的幂的新的第一部分( $\text{msb}(Z_n)$ )和一个与所述相应新的输入信号与所述新的第一部分之差相应的新的第二部分( $Z_n - \text{msb}(Z_n)$ );

通过对从所述二进制数字信号(X)提取的所述相应新的输入信号中的至少一个执行移位操作, 产生所述输出信号(Y)的一些部分; 以及

累加所述迭代方案的后续步骤中的所述输出信号(Y)的所述部分。

18. 如在权利要求17中所提出的方法, 其特征是所述方法还包括下列步骤:

有选择地控制所述迭代方案的步骤数。

19. 一种从一个二进制数字信号(X)开始产生一个表示所述二进制数字信号(X)的 $k$ 次幂的输出信号(Y)的方法, 其特征是所述方法包括下列步骤:

通过在所述二进制数字信号(X)的相邻比特之间插入 $k$ 个零产生所述输出信号(Y)的至少一个部分。

## 幂乘电路

### 技术领域

本发明涉及幂乘电路(power raising circuit), 即根据表示一个给定的数的输入信号 $X$ 产生一个表示输入数据项的 $k$ 次幂的信号 $Y=X^k$ 作为输出的电路。在最为常见的应用中 $k$ 的值为2, 于是这种电路就成为平方器电路。

### 背景技术

能以高效率方式利用其所集成的半导体面积的快速平方器电路构成了对信号进行数字处理的系统的基本功能块。

例如, 在电信行业中有许多电路(信道估计器, 延迟锁定环DLL, 功率检测器等)需要迅速地计算一个数值的平方。

在这方面可以参见众所周知的 J.G.Proakis 的 “Digital Communications”, 3rd edition, McGraw-Hill, 1995年。

在同一个行业中, 还知道有一些应用需要计算高次幂, 例如, 用来补偿微波功率级引起的信号失真现象的所谓预失真器就是这种情况。

在所有上面所考虑的应用中, 电路必须足够小, 以大量集成在甚至单个芯片上。

除了速度和大小(占用面积)之外, 另一个要考虑的因素是所得到的结果的精度。有一些应用只需要大致准确, 而不要求绝对确定幂乘运算结果的精确值。

现有技术的幂乘电路的解决方案主要根据阵列乘法器方案得出, 例如见文件US-A-5 629 885。

无论所有其他情况怎样, 这些解决方案或多或少受配置和操作的刻板性的限制。具体地说, 这些现有技术的解决方案不便于依据所要求的精度或准确度进行编程, 不允许例如用计算时间来“换取”所要求的精

度和/或占用面积。

在这方面还应注意的是，至少在有些应用中一个特别快的幂乘电路(例如一个平方器)实际上可能呈现为(就它所占用的相当多面积来说)一个普遍未用的资源。这是因为在迅速执行了它的操作后，所述电路必须等待幂乘电路与之关联的其他电路完成较慢执行的处理操作，从而导致空闲时间增长。

### 发明内容

本发明的目的是提供一种能克服现有技术解决方案的固有缺点的幂乘电路。

按照本发明，所述目的是用一种具有在后面的权利要求书中具体说明的特征的电路来达到的。

简要地说，按照本发明设计的这种解决方案为了简化和减少计算负担，采用了幂乘运算的一部分可以从对为2的幂的数执行的操作得出的事实。这个构思实质上已用于WO-A-00/33174，某个数的平方用在两个与2的幂相应的基准点(定位点)之间所执行的函数 $y=x^2$ 的线性近似来估计。

就所述已知的解决方案而论，按照本发明设计的电路除了其他优点以外特别是具有可以完全依据获得的最终结果的精度进行编程的优点。特别是，在它进行操作期间可以简单地通过改变最多迭代次数(可以例如用一个DSP(数字信号处理器)外部控制的参数)修改精度。

这个优点由按照本发明设计的解决方案与由本发明的申请者在同一天提出的工业发明专利申请中所揭示的乘法器电路共享。

按照本发明设计的解决方案还可以获得占用面积比传统的解决方案有相当大的减小的优点。

### 附图说明

下面将结合附图对本发明进行例示性的说明。在这些附图中：

图1和2以几何方式例示了本发明所依据的理论基础；

图3以方框图形式示出了一种按照本发明设计的电路的结构;

图4示出了实现图3这个方框图中所示的这些模块中的一个模块的可行电路; 以及

图5为例示图3所示电路的工作情况的流程图。

### 具体实施方式

为了进行说明, 首先结合图1和2例示按照本发明设计的电路的操作所依据的(几何)原理是有益的。为了简明起见, 将结合自乘到平方进行说明, 但同样的构思显然可以应用和扩展到任何次 $k$ 的幂。

设 $X$ 表示需计算平方的数,  $Y=X^2$ 。

如通常在数字信号处理电路中所出现的那样, 值 $X$ 表示为一个二进制信号, 即一串取值“0”或“1”的比特。

还假设 $X$ 为任何正数, 可能的符号的处理很容易用别的已知电路执行。

由图1可见, 值 $Y=X^2$ 表示图1中所示的正方形的面积。

然后, 设 $A$ 为一个构成刚小于或等于 $X$ 的2的幂的数, 也就是说, 按照普通的二进制数的表示法,  $A=\text{msb}(X)$ , 其中 $\text{msb}$ 表示最高有效比特。

由图1可见, 值 $X^2$ 可以近似为:

$$S_1 = A^2 + 2 \cdot (X-A) \cdot A$$

近似值 $S_1$ 与第一、第二和第三部分的面积之和相应, 这三部分面积分别为

图1中左下的正方形的面积 $A^2$ ,

右下的矩形的面积 $A \cdot (X-A)$ , 以及

左上的矩形的面积 $A \cdot (X-A)$ 。

后两个面积相互相等, 所以在上面的这个算式中有因子2。

示为右上阴影部分的正方形 $R'$ 的面积构成了近似误差, 由图1所示的几何意义可见, 它的值等于积 $(X-A)^2$ 。

采用上面所示的同样准则, 这个误差的值(实际上就是图1中的正方形 $R'$ 的面积)又可以近似为:

$$S_2=B^2+2\cdot(X-A-B)\cdot B$$

在这种情况下，从图2的几何表示中很容易看出这种近似的几何意义。

在这种情况下，值B确定为刚小于或等于(X-A)的2的幂，即  $B=\text{msb}(X-A)$ 。

在这种情况下，同样还有一个剩余误差，与图2右上角的正方形R"的面积相应。

然而，很容易理解，所说明的这种过程可以迭代M次 ( $M=\log_2(\max(X)-1)$ ，其中  $\max(X)$  表示X的可能输入值的分布的最大值)，从而可以按照下式得到幂乘运算的精确值：

$$X^2=S_1+S_2+\dots+S_M$$

当然，图1和2(以及以后的直到步骤M这一系列步骤在概念上显然都可从图1和2的模型得出)与可以假设的最普通的迭代准则相应。实际上，M次计算迭代只是对于X的有些“关键性的”值是必需的，而在许多其他情况下，为了得到 $X^2$ 的精确值甚至很少的一些迭代步骤就足够了。

如上所述，按照本发明设计的方法也可以应用于幂乘指数大于2(例如  $k=3$ )的情况，而在这种情况下，图1和图2的正方形 $A^2$ 就成为立方体，而 $(X-A)\cdot A$ 的矩形成为平行六面体，等等。

本发明建立在认识到对任何数的幂可以用以下一系列运算得到的基础上：

对为2的幂的数的幂乘运算；以及

一些因子的相乘运算

i) 这些因子都是2的幂，或

ii) 其中至少一个因子是2的幂(例如，积  $A\cdot(X-A)$  或  $B\cdot(X-A-B)$ )。

所有这些运算都可以很容易用简单的组合逻辑和/或移位操作实现。

在图3这个方框图中，按照本发明设计的幂乘电路总体标为数字标注10。

需幂乘(在本例中为自乘到二次幂)的二进制数字信号X加到标为11的

输入端上。

标为12的开关在迭代平方过程的第一步骤期间处在标为1的位置。然后，开关12在迭代过程的改善最终结果的后续步骤期间转到标为2的位置。

标为13的模块和与之关联的加法节点14一同将相应输入信号 $Z_n$ 再分成一个为刚小于或等于 $Z_n$ 的2的幂的第一部分 $\text{msb}(Z_n)$ 和一个与相应输入信号与这个第一部分之差相应的第二部分 $Z_n - \text{msb}(Z_n)$ 。

在本说明书的以下说明中，符号 $Z$ 表示从信号 $X$ 得出的信号，而下标 $n$ 表示是迭代平方过程的步骤的一般表示。

实际上，模块13通过提取加到它的输入端上的二进制串的最高有效比特而屏蔽掉其次的比特(即将这些比特设置为零)来确定信号的第一部分 $\text{msb}(Z_n)$ 。

图4示出了一个可行的相应电路图， $I$ 和 $A$ 分别标示一些逻辑反相器和AND型的逻辑门。符号 $X_n$ 、 $X_{n-1}$ 、 $X_{n-2}...$ 和 $A_n$ 、 $A_{n-1}$ 、 $A_{n-2}...$ 表示从最高有效比特开始的模块13的输入信号的各个比特和输出信号的各个比特。

加法节点14在它的带相反符号的输入端上分别接收出现在模块13的输入端(正号)和输出端(负号)上的信号，计算出信号的上述第二部分。由于 $\text{msb}(Z_n)$ 为刚小于或等于 $Z_n$ 的2的幂，它的值表示为一个只有一个比特为“1”的二进制比特串。差 $Z_n - \text{msb}(Z_n)$ 因此可以用一个具有基本结构的组合网络确定。

标为15的可编程移位器模块接收模块13的输出信号和加法节点14的输出信号作为输入，计算出 $2 \cdot (Z_n - \text{msb}(Z_n)) \cdot \text{msb}(Z_n)$ 型的积，作为前面结合图1和2所说明的几何例子中的积 $2 \cdot (X - A) \cdot A$ 或 $2 \cdot (X - A - B) \cdot B$ 。

由于因子 $A$ 、 $B$ ，或者概括地说 $\text{msb}(Z_n)$ ，都是2的幂，因此上述的积可以通过简单的向左移位操作实现。

在模块15的输出端上接有另一个加法节点16，该加法节点馈入寄存器17，寄存器17具有按照典型的累加配置将寄存器17的输出信号反馈回加法节点16的反馈线171。

标为18的模块用来计算输出信号Y中的与各项 $\text{msb}(Z_n)^2$ 的和（即，在前两项为 $A^2$ 、 $B^2$ 、…的情况下，标识图1和2中左下的正方形的面积的和和相应的分量。

可以从模块13的输出端得到计算所述正方形的都是2的幂的项。

然而，在这里所例示的本发明的优选实施例是以对以下特性的认识为基础的。

假设，也是在这种情况下，符号 $X_n$ 、 $X_{n-1}$ 、 $X_{n-2}$ ... $X_0$ 按从最高有效比特开始的次序表示输入信号X的各个比特，以相应的方式，符号 $Q_{2n}$ 、 $Q_{2n-1}$ ...  $Q_0$ 也是按从最高有效比特开始的次序表示和 $Q=A^2+B^2+\dots$ 的各个比特。

于是有以下关系：

$$Q_{2i}=X_i \quad 0 \leq i \leq n$$

$$Q_{2i+1}=0, \quad \leq i < n_0$$

这意味着计算和Q就是在X的相邻比特之间插入零。

这个事实很容易可以理解，如果注意到例如小于数7（可以用二进制形式表示为0111）的2的幂（依次为4、2和1）的平方和等于 $4^2+2^2+1^2$ ，即等于21。这个和的值可以用二进制形式表示为0(0)1(0)1(0)1，即可以表示为通过在表示数字7的比特串0111最后的三个数字的每个数字左侧都添加一个0得到的比特串0010101。

可以理解，上面对于平方和所述的也可应用于高次幂的和（例如立方和 $A^3+B^3+\dots$ ），只要增加插入值X的各比特之间的零的个数即可。

根据这个前提，模块18的实现对于熟悉该领域的人来说是显而易见的。

再来看图3，标为19的另一个加法节点在它的输入端接收累加寄存器17和模块18的输出信号，在它的输出端上产生所得到的Y的值（近似或精确值，取决于所执行的迭代次数）

所产生的相应信号出现在一个标为20的输出信号上。

从图5这个流程图和在图3中信号传播路径上所标的指示可以很好理解图3这个电路的工作情况。

在初始操作步骤(图5中的步骤100), 二进制数据项X加到线11上, 送至电路10的输入端。开关12处在标为1的位置, 因此值X馈送至模块18的输入端和模块13的输入端。

模块18按照上面说明的准则计算和 $Q=A^2+B^2+\dots$ (步骤102)。

模块13在第一次迭代中标为104的步骤计算值 $A=\text{msb}(X)$ , 而在第一次迭代中标为106的步骤, 移位器模块15还用加法节点14的输出信号确定值 $2\cdot(X-A)\cdot A$ 。这个值然后在标为108的步骤在模块17内累加。

同时, 在标为110的步骤, 加法节点14的输出端上出现的因子 $X-A$  (标示剩余误差, 即图1中的正方形R'的边)通过反馈线141反馈给已经转到标为2的位置的开关13。

就此启动迭代计算过程的后续步骤。

在第n次迭代中, 过程提供以下信号用作模块13的输入:

$$Z_n = Z_{n-1} - \text{msb}(Z_{n-1})$$

此时重复步骤104、106和108使移位器模块15确定值

$$S_n = 2 \cdot [Z_n - \text{msb}(Z_n)] + \text{msb}(Z_n)$$

这个值在电路17内累加, 以便与模块18的输出信号相加。

用来产生加到线20上的输出信号的相加操作在标为112的步骤期间在模块19内实现。

如前面所述, 在迭代计算过程中执行的步骤数可以有选择地从电路10外例如用一个诸如DSP之类的控制装置或单元甚至在运行时间的状况下给出。

还可以通过监视标为141的反馈线上出现的信号来中断迭代过程, 在这个信号一等于零(表示输出端上给出的是一个精确的结果)就中止迭代。这种解决方案就降低电路的功率消耗和提高计算速度而言是特别有益的。

得到最终结果(精确的或近似的)后, 电路10复位, 以便馈送一个新的输入值X、使开关12回到位置1和将累加寄存器17的内容置零。

还可看到, 刚才说明的这种改善结果的迭代机制并不涉及和 $Q=A^2+B^2+\dots$ , 它的值由模块18按照前面说明的通过在相邻的比特之间

插入零的机理确定。

这对于向最终结果迅速收敛来说特别有益，因为它使计算过程的第一步就可以确定由和Q表示的成分。

由本发明的申请者处理的试验数据表明按照本发明设计的解决方案在减少迭代次数上无论输入数据项的特征如何都可以得到特别令人满意的结果。

当然，根据本发明的原理，可以对在这里所说明和例示的实现细节和实施例进行种种改变，这并不脱离本发明的专利保护范围。还可以在电路10的输入端存在一些能识别数据项X的一些特定值的单元，以允许绕过或跳过在这里所说明的方法中的一个或多个步骤。

图1

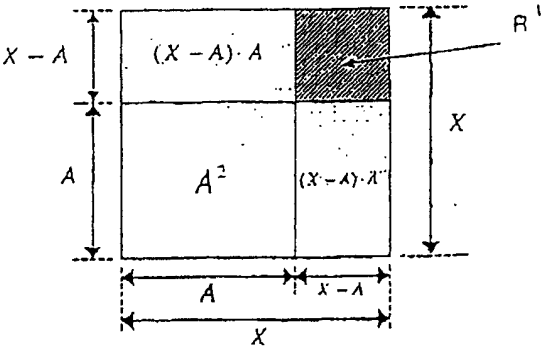


图2

