

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 4 日(04.06.2015)



(10) 国際公開番号

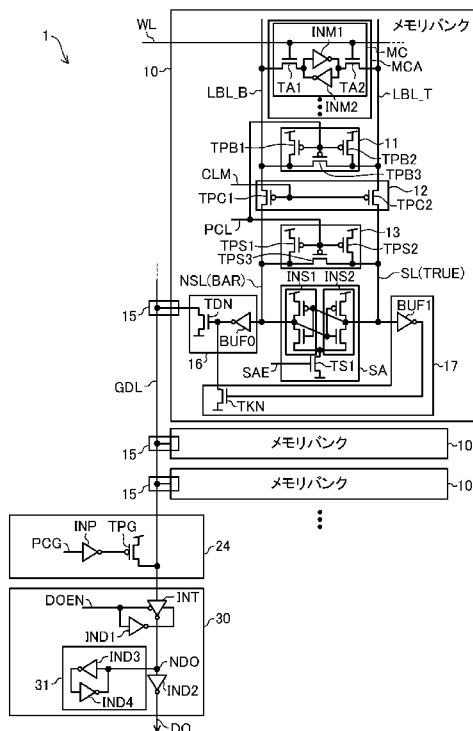
WO 2015/079608 A1

- (51) 国際特許分類:
G11C 11/413 (2006.01) G11C 11/419 (2006.01)
- (21) 国際出願番号: PCT/JP2014/005056
- (22) 国際出願日: 2014 年 10 月 3 日(03.10.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-244576 2013 年 11 月 27 日(27.11.2013) JP
- (71) 出願人: 株式会社ソシオネクスト(SOCIONEXT INC.) [JP/JP]; 〒2220033 神奈川県横浜市港北区新横浜二丁目 10 番 23 Kanagawa (JP).
- (72) 発明者: 小池 剛(KOIKE, Tsuyoshi).
- (74) 代理人: 特許業務法人前田特許事務所(MAEDA & PARTNERS); 〒5410053 大阪府大阪市中央区本町 2 丁目 5 番 7 号 大阪丸紅ビル 5 階 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



10 Memory bank

(57) Abstract: A memory bank (10) for a semiconductor storage device (1) having: a plurality of memory cells (MC); first and second local bit lines (LBL_B, LBL_T); a differential amplifier (SA) for amplifying the potential difference of the first and second local bit lines; a connection part (15) to which a global data line (GDL) is connected; a first output circuit (16) for outputting a first potential to the connection part (15) according to the potential of the first local bit line (LBL_B); and a second output circuit (17) for preventing the potential of the connection part (15) from reaching the first potential by the output of the first output circuit (16), in accordance with the potential of the second local bit line (LBL_T).

(57) 要約: 半導体記憶装置 (1) のメモリバンク (10) は、複数のメモリセル (MC) と、第 1 および第 2 のローカルビット線 (LBL_B, LBL_T) と、第 1 および第 2 のローカルビット線の電位差を増幅する差動アンプ (SA) と、グローバルデータ線 (GDL) が接続される接続部 (15) と、第 1 のローカルビット線 (LBL_B) の電位に応じて、接続部 (15) に第 1 の電位を出力する第 1 の出力回路 (16) と、第 2 のローカルビット線 (LBL_T) の電位に応じて、第 1 の出力回路 (16) の出力によって接続部 (15) の電位が第 1 の電位になるのを阻止する第 2 の出力回路 (17) とを有する。

WO 2015/079608 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体記憶装置

技術分野

[0001] 本開示は、半導体記憶装置に関し、特に、ビット線が階層化された半導体記憶装置に関する。

背景技術

[0002] 近年のＳＯＣ（System On Chip）に搭載されるメモリは、大容量化・高速化の傾向にある。メモリ容量の大容量化に伴い、ビット線に接続されるメモリセルの数が増加してきている。これにより、ビット線の負荷容量が増加し、高速化を阻害している。そこで、ビット線容量を削減するために、ビット線を複数のメモリバンクに分割し、メモリバンク内のメモリセルを一对のローカルビット線に接続し、この一对のローカルビット線の電位を差動アンプによって増幅してグローバルビット線に接続する階層ビット線技術が知られている（例えば、特許文献１参照）。

[0003] また、階層ビット線構造を用いた別の例として、１本のグローバルビット線を用いてデータの読み出しが可能な半導体記憶装置が開示されている（例えば、特許文献２参照）。この半導体記憶装置では、差動アンプの出力の一方がインバータに接続されており、インバータの出力が、グローバルビット線とグラウンドとの間に接続されたトランジスタのゲートに接続される。そして、グローバルビット線の電位の変化によりデータの読み出しが行われる。この半導体記憶装置によると、グローバルビット線の本数が少なくて済むため、リーク電流を抑制できるとともに、回路面積の縮小化を図ることができる。

先行技術文献

特許文献

[0004] 特許文献１：特許第５０１９５７９号明細書

特許文献２：特許第５１７８１８２号明細書

発明の概要

発明が解決しようとする課題

- [0005] しかしながら、特許文献2の半導体記憶装置には、以下のような課題が存在する。具体的には、一般に、差動アンプによってローカルビット線の電位が増幅されるときに、H i g h側のローカルビット線の電位はL o wに引き込まれる。その結果、本来L o wであるべきインバータの出力がH i g hとなってトランジスタがオンしてしまい、グローバルビット線に誤ったデータが読み出される可能性がある。特に、インバータが、入力をL o wであると判定しやすいように、その閾値がばらついている場合や、一对のローカルビット線の電位差が少ない場合には、誤動作の可能性が高くなりうる。
- [0006] また、1本のグローバルビット線でデータを読み出す場合、読み出し動作の際にグローバルビット線を例えばH i g hにプリチャージしておき、任意のタイミングにおけるグローバルビット線の電位が出力回路によって判定される。このとき、グローバルビット線の電位が低下していると、出力回路のドライブ能力が劣化して、出力回路による出力データのリセットが正常に行われない可能性がある。
- [0007] また、読み出し動作において、グローバルビット線のプリチャージが解除されるため、グローバルビット線はフローティング状態となる。ここで、グローバルビット線に複数のメモリバンクが接続されている場合、グローバルビット線には、複数のトランジスタが接続されていることになる。そのため、本来H i g hであるべきグローバルビット線が、複数のトランジスタのリーク電流によってディスチャージされてしまい、結果として誤動作を招くおそれがある。
- [0008] さらに、一对のローカルビット線のうちの一方にインバータが接続されているため、一对のローカルビット線と差動アンプとの各接続ノードにおける負荷容量のバランスが悪く、差動アンプが誤動作しやすいという懸念もある。
- [0009] かかる点に鑑みて、本開示は、差動アンプの誤動作、および半導体記憶装

置の誤動作を抑制することを課題とする。

課題を解決するための手段

- [0010] 上記課題を解決するため本開示によって次のような解決手段を講じた。すなわち、第1の半導体記憶装置は、複数のメモリバンクと、前記複数のメモリバンクに対応して設けられた1本のグローバルデータ線とを備え、前記複数のメモリバンクはそれぞれ、複数のメモリセルと、前記複数のメモリセルが接続され、当該複数のメモリセルからデータが読み出される、一对の第1および第2のローカルビット線と、前記第1および第2のローカルビット線の電位差を増幅する差動アンプと、前記グローバルデータ線が接続される接続部と、前記第1のローカルビット線の電位に応じて、前記接続部に第1の電位を出力する第1の出力回路と、前記第2のローカルビット線の電位に応じて、前記第1の出力回路の出力によって前記接続部の電位が前記第1の電位になるのを阻止する第2の出力回路とを有している。
- [0011] これによると、1本のグローバルデータ線には複数のメモリバンクが接続されている。そして、メモリバンクに含まれる複数のメモリセルから一对の第1および第2のローカルビット線に読み出されたデータが、差動アンプによって増幅される。また、第1の出力回路は、第1のローカルビット線の電位に応じて、接続部に第1の電位を出力し、第2の出力回路は、第2のローカルビット線の電位に応じて、第1の出力回路の出力によって接続部が第1の電位にならないように制御する。
- [0012] 例えば、半導体記憶装置の読み出し動作において、第1の出力回路は、第1のローカルビット線の電位がLowのとき、接続部に第1の電位としてLowを出力する一方、第1のローカルビット線の電位がHighのとき、出力を停止するとする。また、第2の出力回路は、第2のローカルビット線がLowのときに接続部の電位がLowになるのを阻止するとする。そして、半導体記憶装置の読み出し動作において、グローバルデータ線の電位は例えばHighにプリチャージされているとする。さらに、メモリセルのデータがHighであれば、グローバルデータ線の電位はHighであり、メモリ

セルのデータがLowであれば、グローバルデータ線の電位はLowである。

[0013] ここで、任意のメモリセルから、例えばHighデータが読み出される場合として、第1のローカルビット線の電位がHighとなり、第2のローカルビット線の電位がLowとなる場合について説明する。この場合、第1および第2のローカルビット線の電位差が差動アンプによって増幅される際に、Highである第1のローカルビット線の電位は差動アンプ特有の両ビット同時ディスチャージ動作によってディスチャージされる。その結果、第1の出力回路は、接続部にLowを出力するようになる。

[0014] ところが、第2のローカルビット線の電位がLowであるため、第2の出力回路は、接続部の電位がLowにならないように制御する。したがって、グローバルデータ線の電位はHighのままとなり、その結果、Highデータが出力される。

[0015] このように、本開示に係る半導体記憶装置では、グローバルデータ線の電位がHighであるべきとき、グローバルデータ線の電位を正常なHighに維持することができる。つまり、グローバルデータ線に誤ったデータが読み出されることがない。また、グローバルデータ線の電位を正常なHighに維持することができるため、例えばI/O (Input/Output) 回路による出力データのリセットを正しく行うことができる。さらに、第1のローカルビット線に第1の出力回路、および第2のローカルビット線に第2の出力回路を接続することによって、差動アンプとローカルビット線との各接続ノードにおける負荷容量のバランスを均一化しやすくなる。その結果、差動アンプの誤作動を抑制することができる。

[0016] 以上のように、差動アンプの感度を良好に保ちやすく、誤動作の抑制が可能な半導体記憶装置を提供することができる。

[0017] また、第2の半導体記憶装置は、複数のメモリバンクと、前記複数のメモリバンクに対応して設けられた1本のグローバルデータ線とを備え、前記複数のメモリバンクはそれぞれ、複数のメモリセルと、前記複数のメモリセル

が接続され、当該複数のメモリセルからデータが読み出される、一对の第1および第2のローカルビット線と、前記第1および第2のローカルビット線の電位差を増幅する差動アンプと、前記グローバルデータ線が接続される接続部と、前記第1のローカルビット線の電位に応じて、前記接続部に第1の電位を出力する第1の出力回路と、前記第2のローカルビット線の電位に応じて、前記接続部に前記第1の電位の反転電位である第2の電位を出力する第2の出力回路とを有していてもよい。

[0018] 第2の半導体記憶装置では、第1の半導体記憶装置における第2の出力回路の構成が異なるため、主にこの点について説明する。第2の出力回路は、第2のローカルビット線の電位に応じて、第1の出力回路が出力する電位の反転電位を示す第2の電位を接続部に出力する。例えば、第2の出力回路は、第2のローカルビット線の電位がLowのとき、接続部にHighを出力するとする。

[0019] 第2の半導体記憶装置に係るHighデータの読み出し動作において、Highである第1のローカルビット線と、Lowである第2のローカルビット線との電位差が差動アンプによって増幅される際に、第1のローカルビット線の電位がディスチャージされる。このとき、例えば、第1の出力回路は接続部にLowを出力する場合、第2の出力回路は接続部にHighを出力する。

[0020] したがって、接続部の電位をHighに維持することができるため、Highにプリチャージされたグローバルデータ線の電位を正常なHighに維持することができる。また、例えば、グローバルデータ線に接続されるトランジスタのリーク電流が生じる場合であっても、第2の出力回路が接続部にHighを出力可能であるため、リーク電流によってグローバルデータ線の電位が低下するのを抑制することができる。

[0021] その他、第1の半導体記憶装置と同様の効果を得ることができる。

[0022] また、第2の半導体記憶装置において、第1および第2の出力回路の接続部への出力によって、グローバルデータ線の電位を積極的にHighまたは

L o wに駆動するようにしてもよい。このようにすれば、グローバルデータ線をプリチャージする必要がない。

[0023] 例えば、H i g hデータが読み出される場合、第1の出力回路は、L o wである第1のローカルビット線の電位に応じて接続部にL o wを出力する一方、第2の出力回路は、H i g hである第2のローカルビット線の電位に応じて出力を停止する。これにより、グローバルデータ線の電位がL o wになるため、例えばI/O回路によってH i g hデータが出力されるようにすればよい。

発明の効果

[0024] 本開示によれば、差動アンプの誤動作、および半導体記憶装置の誤動作を抑制することができる。

図面の簡単な説明

[0025] [図1]図1は、第1の実施形態に係る半導体記憶装置の構成図である。

[図2]図2は、図1の半導体記憶装置の読み出し動作の例を示すタイミングチャートである。

[図3]図3は、第2の実施形態に係る半導体記憶装置の構成図である。

[図4]図4は、第3の実施形態に係る半導体記憶装置の構成図である。

[図5]図5は、図4の半導体記憶装置の読み出し動作の例を示すタイミングチャートである。

[図6]図6は、第4の実施形態に係る半導体記憶装置の構成図である。

[図7]図7は、図6の半導体記憶装置の読み出し動作の例を示すタイミングチャートである。

[図8]図8は、第5の実施形態に係る半導体記憶装置の構成図である。

[図9]図9は、第6の実施形態に係る半導体記憶装置の構成図である。

[図10]図10は、図9の半導体記憶装置の模式図である。

[図11]図11は、一般的な半導体記憶装置の模式図である。

発明を実施するための形態

[0026] <第1の実施形態>

図1は、第1の実施形態に係る半導体記憶装置の構成図である。本実施形態に係る半導体記憶装置1は、ビット線が階層化され、シングルエンド構成のグローバルデータ線GDLを用いたデータの読み出しが可能な構成となっている。具体的に、半導体記憶装置1は、複数のメモリバンク10と、1本のグローバルデータ線GDLと、グローバルプリチャージ回路24と、I/O回路30とを含んでいる。

[0027] 各メモリバンク10は、行列状に配置された複数のメモリセルMCを含むメモリセルアレイMCAと、ワード線WLと、一对のローカルビット線LBL__B, LBL__Tと、ビット線プリチャージ回路11と、カラムセクタ12と、一对のセンス線NSL, SLと、センス線プリチャージ回路13と、差動アンプSAと、接続部15と、第1および第2の出力回路16, 17とを有する。

[0028] 各メモリセルMCは、SRAM (Static Random Access Memory) 等であり、例えば、2つのアクセストランジスタTA1, TA2と、ラッチを構成する2つのインバータINM1, INM2とを含んでいる。

[0029] トランジスタTA1は、Nchトランジスタであり、一端が、第1のローカルビット線であるローカルビット線LBL__Bに、他端が、インバータINM1, INM2に、ゲートが、対応するワード線WLに接続されている。トランジスタTA2は、Nchトランジスタであり、一端が、第2のローカルビット線であるローカルビット線LBL__Tに、他端が、インバータINM1, INM2に、ゲートが、対応するワード線WLに接続されている。ワード線WLは、行方向のメモリセルMCに対応して配置されている。

[0030] ビット線プリチャージ回路11は、例えば、3つのPchトランジスタTPB1~TPB3を含んでいる。トランジスタTPB1は、一端が例えば電源電位である電圧VDDに、他端がローカルビット線LBL__Bに接続されている。トランジスタTPB2は、一端が電圧VDDに、他端がローカルビット線LBL__Tに接続されている。トランジスタTPB3は、一对のローカルビット線LBL__B, LBL__Tの間に接続されている。また、ラン

ジスタTPB1～TPB3のそれぞれのゲートには、ローカルプリチャージ信号PCLが共通して入力される。

[0031] カラムセクタ12は、2つのPchトランジスタTPC1, TPC2を含んでいる。トランジスタTPC1は、ローカルビット線LBL__Bとセンス線NSLとの間に接続されている。トランジスタTPC2は、ローカルビット線LBL__Tとセンス線SLとの間に接続されている。トランジスタTPC1, TPC2のそれぞれのゲートには、カラム選択信号CLMが共通して入力される。

[0032] センス線プリチャージ回路13は、例えば、3つのPchトランジスタTPS1～TPS3を含んでいる。トランジスタTPS1は、一端が電圧VDDに、他端が、第1のローカルビット線に相当するセンス線NSLに接続されている。トランジスタTPS2は、一端が電圧VDDに、他端が、第2のローカルビット線に相当するセンス線SLに接続されている。トランジスタTPS3は、一对のセンス線NSL, SLの間に接続されている。また、トランジスタTPS1～TPS3のそれぞれのゲートには、信号PCLが共通して入力される。

[0033] なお、例えば、メモリセルMCと差動アンプSAとの距離が近い場合、カラムセクタ12、センス線プリチャージ回路13を省略してもよい。つまり、メモリセルMCと差動アンプSAとを、一对のローカルビット線LBL__B, LBL__T（あるいは、一对のセンス線NSL, SL）で接続してもよい。

[0034] 差動アンプSAは、センスアンプ活性化信号SAEに応じて、ローカルビット線LBL__B, LBL__Tの電位差を増幅する。具体的に、差動アンプSAは、クロスカップル接続されたインバータINS1, INS2とNchトランジスタTS1とを含んでいる。インバータINS1, INS2はそれぞれ、電圧VDDとトランジスタTS1との間に接続されている。トランジスタTS1は、インバータINS1, INS2と例えばグランド電位である電圧VSSとの間に接続されており、ゲートに信号SAEを受ける。

- [0035] 接続部15は、メモリバンク10とグローバルデータ線GDLとを接続する。接続部15は、例えば端子や配線等であってもよく、メモリバンク10とグローバルデータ線GDLとを電氣的に接続するものであればよい。
- [0036] 第1の出力回路16は、センス線NSLの電位に応じて、接続部15に第1の論理としてLowを示す第1の電位（例えば電圧VSS）を出力可能に構成されている。具体的に、出力回路16は、例えばインバータであるバッファBUF0とNchトランジスタTDNとを含んでいる。バッファBUF0の入力側はセンス線NSLに、出力側はトランジスタTDNのゲートに接続されている。トランジスタTDNは、一端が電圧VSSに、他端が接続部15に接続されている。
- [0037] このように、本実施形態では、出力回路16は、センス線NSLの電位がLowのとき接続部15にLowを出力する一方、Highのとき出力を停止するような構成となっている。
- [0038] 第2の出力回路17は、センス線SLの電位に応じて動作する。出力回路17は、例えばインバータであるバッファBUF1とNchトランジスタTKNとを含んでいる。バッファBUF1の入力側はセンス線SLに、出力側はトランジスタTKNのゲートに接続されている。トランジスタTKNは、一端がトランジスタTDNのゲートに、他端が電圧VSSに接続されている。このような構成により、出力回路17は、出力回路16の出力によって接続部15の電位がLowとなるのを、センス線SLの電位に応じて阻止することができる。
- [0039] このように、本実施形態では、出力回路17は、センス線SLの電位がLowのときトランジスタTDNのゲートにLowを出力する一方、Highのとき出力を停止するような構成となっている。つまり、出力回路17は、センス線SLの電位がLowのときに、出力回路16のトランジスタTDNのゲートにLowを出力することによってトランジスタTDNをオフし、接続部15の電位がLowにならないように制御する。
- [0040] グローバルプリチャージ回路24は、インバータINPとPchトランジ

スタ T P G とを含んでいる。インバータ I N P は、グローバルプリチャージ信号 P C G を受け、信号 P C G を反転してトランジスタ T P G のゲートに出力する。トランジスタ T P G は、一端が電圧 V D D に、他端がグローバルデータ線 G D L に接続されている。グローバルプリチャージ回路 2 4 は、信号 P C G に応じて、グローバルデータ線 G D L の電位を H i g h にプリチャージ可能に構成されていればよい。

[0041] I / O 回路 3 0 は、グローバルデータ線 G D L の電位に基づいて出力データである信号 D O を出力する。例えば、I / O 回路 3 0 は、トライステートインバータ I N T と、インバータ I N D 1 , I N D 2 と、ラッチ回路 3 1 とを含んでいる。

[0042] トライステートインバータ I N T は、出力イネーブル信号 D O E N に応じて動作し、グローバルデータ線 G D L の電位を反転してノード N D O に出力する。

[0043] インバータ I N D 1 は、信号 D O E N を反転して出力する。インバータ I N D 2 は、ノード N D O の電位を反転して、信号 D O を出力する。

[0044] ラッチ回路 3 1 は、インバータ I N D 3 , I N D 4 を有し、ノード N D O に接続されている。

[0045] なお、I / O 回路 3 0 の構成は一例であるが、グローバルデータ線 G D L の電位を判定し、その判定結果に応じた信号 D O を出力可能な構成であればよい。

[0046] 以上のように、本実施形態に係る半導体記憶装置 1 は、シングルエンド構成のグローバルデータ線 G D L に、複数のメモリバンク 1 0 が接続された構成となっている。

[0047] 次に、本実施形態に係る半導体記憶装置 1 の読み出し動作について図 2 を参照しながら説明する。

[0048] 図 2 は、図 1 の半導体記憶装置の読み出し動作の例を示すタイミングチャートであり、図 2 (A) は L o w データを読み出す場合、図 2 (B) は H i g h データを読み出す場合のタイミングチャートである。

- [0049] 読み出し動作に際して、信号PCLはLowであり、ローカルビット線LBL__B, LBL__Tおよびセンス線NSL, SLはHighにプリチャージされている。したがって、トランジスタTDN, TKNはともにオフであり、出力回路16, 17の出力は停止している。
- [0050] また、信号PCGはHighであり、グローバルデータ線GDLはHighにプリチャージされている。また、ワード線WLおよび信号SAEはLowであり、信号CLMおよび信号DOENはHighである。
- [0051] まず、図2(A)に示す、Lowデータの読み出し動作について説明する。図示しないアドレス信号によって読み出し対象のメモリセルMCが特定されると、ワード線WLおよび信号PCLはHighに、信号CLMおよび信号PCGはLowとなる。
- [0052] これにより、ローカルビット線LBL__B, LBL__Tおよびセンス線NSL, SLのプリチャージが解除され、ローカルビット線LBL__BがLowに徐々に引き込まれる。また、グローバルデータ線GDLはフローティング状態となる。
- [0053] そして、ローカルビット線LBL__B, LBL__Tの電位がカラムセクタ12を介してセンス線NSL, SLに伝わる。そして、信号SAEがHighとなって差動アンプSAが駆動される。また、信号CLMがHighとなりカラムセクタ12がオフされる。また、信号DOENがLowとなる。このとき、ノードNDOがHighである場合、トライステートインバータINTの出力によって、ノードNDOはLowとなり、信号DOはHighにリセットされる。一方、ノードNDOがLowである場合、信号DOENがLowとなっても、信号DOはHighである。
- [0054] 差動アンプSAが駆動されると、センス線NSL, SLの電位差（例えば ΔV ）が増幅される。このとき、差動アンプSAにより、センス線NSLがLowになるのに起因して、Highであるセンス線SLが若干ディスチャージされる。
- [0055] センス線NSLがLowになると、トランジスタTDNがオンすることに

より、出力回路16は接続部15にLowを出力するため、グローバルデータ線GDLがLowにディスチャージされる。また、ワード線WL、信号PClおよび信号SAEがLowとなり、ローカルビット線LBL__B, LBL__Tおよびセンス線NSL, SLがHighにプリチャージされ、差動アンプSAの動作が停止する。

[0056] グローバルデータ線GDLがLowになると、信号DOENがLowであるため、トライステートインバータINTの出力により、ノードNDOがHighとなる。そして、HighであるノードNDOによって信号DOがLowとなってLowデータが出力される。

[0057] 信号DOがLowとなって確定すると、信号PCGおよび信号DOENがHighとなる。また、信号PCGがHighになることによって、グローバルデータ線GDLはHighにプリチャージされる。

[0058] 次に、図2(B)に示す、Highデータの読み出し動作を説明する。なお、図2(A)との相違点について主に説明する。

[0059] ローカルビット線LBL__B, LBL__Tおよびセンス線NSL, SLのプリチャージが解除され、ローカルビット線LBL__TがLowに徐々に引き込まれる。そして、ローカルビット線LBL__B, LBL__Tの電位がセンス線NSL, SLに伝わる。

[0060] 信号SAEがHighとなって差動アンプSAが駆動されると、センス線NSL, SLの電位差 ΔV が増幅される。

[0061] このとき、差動アンプSAにより、センス線SLがLowになるのに起因して、Highであるセンス線NSLが若干ディスチャージされる。

[0062] これにより、バッファBUF0からトランジスタTDNのゲートにHighが徐々に出力されて、トランジスタTDNがオンしてしまい、出力回路16から接続部15にLowが出力されうる。しかしながら、センス線SLがLowであるため、トランジスタTKNはバッファBUF1からのHighを受けてオンする。これにより、トランジスタTDNのゲートはHighにならず、Lowのまま保持される。したがって、出力回路16から接続部1

5にLowが出力されることがない。このように、出力回路17は、出力回路16から出力されるLowによって接続部15およびグローバルデータ線GDLがLowになるのを阻止している。

[0063] 特許文献2の半導体記憶装置は、一对のローカルビット線の一方にのみ、インバータおよびグローバルビット線が接続された構成となっている（例えば特許文献2の図1）。この構成では、インバータおよびグローバルビット線が接続されている側のローカルビット線がHighである場合、そのローカルビット線が差動アンプによってLowにディスチャージされると、グローバルビット線は本来Highであるべきにもかかわらず、Lowとなってしまう可能性がある。その結果、誤ったデータが読み出されてしまうおそれがある。

[0064] また、1本のグローバルビット線を用いた構成では、例えば、Highデータが読み出される場合、出力回路において出力を一旦Highにリセットしておく必要があり、グローバルビット線をHighに保つ必要がある。ところが、グローバルビット線の電位がHighから低下している場合には、出力回路のドライブ能力が低下してしまい、その結果、出力を正常にリセットできなくなってしまうおそれがある。

[0065] さらに、差動アンプと一对のローカルビット線との各接続ノードの一方にのみ、インバータを接続する構成であるため、各接続ノードにおける負荷容量のバランスが悪くなり、差動アンプの誤動作を引き起こしやすい。

[0066] これに対して本実施形態では、特にHighデータの読み出し動作において、High側であるセンス線NSLが、差動アンプSAによってHighからディスチャージされ、トランジスタTDNのゲートにHighが出力されるようになって、出力回路17によって、トランジスタTDNのゲートをLowにディスチャージすることができる。

[0067] したがって、トランジスタTDNはオフであり、出力回路16から接続部15にLowが出力されることがないため、グローバルデータ線GDLをHighに保つことができる。これにより、Highデータを正しく読み出す

ことができる。

[0068] また、本実施形態では、H i g hデータの読み出しにおいて、グローバルデータ線G D LをH i g hに維持することができるため、I / O回路30におけるトリステートインバータI N Tには、正常なH i g hが入力されることになる。したがって、信号D O E Nがアクティブになることによって、出力である信号D Oを正常にH i g hにリセットすることができる。

[0069] さらに、センス線N S L, S Lと差動アンプS Aとの各接続ノードに、出力回路16, 17を接続しているため、各接続ノードにおける負荷容量のバランスがとりやすくなる。

[0070] 以上、本実施形態によると、H i g hデータを正しく読み出すことができるため、半導体記憶装置1の誤動作を抑制することができる。また、差動アンプS Aとセンス線N S L, S Lとの各接続ノードの負荷容量のバランスがとりやすいため、差動アンプS Aの誤動作を抑制しやすくなる。

[0071] 例えば、バッファB U F 0, B U F 1のゲートサイズを等しくすることによって、センス線N S L, S Lの負荷容量のバランスを均一にすることができる。これにより、差動アンプS Aの感度を向上させることができるため、差動アンプS Aの誤動作を抑制することができる。

[0072] なお、図1に示すI / O回路30は一例であり、I / O回路30は、グローバルデータ線G D Lの電位に基づいて、信号D Oのリセットが可能な構成であればよい。

[0073] また、上述したタイミングチャートにおいて、各配線および各信号が遷移するタイミングは一例であり、半導体記憶装置1の誤動作とならない範囲で任意に変更してもよい。例えば、グローバルデータ線G D LがL o wになってから、信号D O E NがL o wになってもよい。

[0074] <第2の実施形態>

図3は、第2の実施形態に係る半導体記憶装置の構成図である。なお、図3において、S R A MメモリセルM C、ビット線プリチャージ回路11、カラムセクタ12、センス線プリチャージ回路13、差動アンプS A、グロ

ーバルプリチャージ回路24およびI/O回路30の構成は、図1と同様であるため簡略化している。

[0075] 以下、本実施形態において、第1の実施形態との相違点について主に説明する。本実施形態に係る各メモリバンク10に含まれる第2の出力回路18は、センス線SLの電位に応じて、第2の論理としてHighを示す第2の電位（例えば電圧VDD）を接続部15に出力する。具体的に、出力回路18は、一端が電圧VDDに、他端が接続部15に、ゲートにセンス線SLの電位を受けるPchトランジスタTKPを含んでいる。

[0076] 本実施形態に係る半導体記憶装置1のタイミングチャートは図2と同様であるが、第2の出力回路18の機能が第1の実施形態の第2の出力回路17とは異なる。

[0077] 具体的に、Highデータの読み出し動作において、差動アンプSAにより、センス線SLがLowになるのに起因して、Highであるセンス線NSLが若干ディスチャージされる。

[0078] これにより、バッファBUF0からトランジスタTDNのゲートにHighが出力されて、トランジスタTDNがオンしてしまい、出力回路16から接続部15にLowが徐々に出力されうる。

[0079] 一方、センス線SLはLowであるため、トランジスタTKPはオンする。これにより、出力回路18から接続部15にHighが出力される。つまり、出力回路18は、接続部15およびグローバルデータ線GDLがHighであるべきとき、これらをHighに保持するキーパー回路としての機能を有しており、出力回路16から出力されるLowによって、接続部15およびグローバルデータ線GDLがLowにならないようにしている。

[0080] したがって、Highデータの読み出し動作において、本来Highであるべきグローバルデータ線GDLをHighに維持することができる。

[0081] 以上、本実施形態では、第1の実施形態と同様の効果を得ることができる。さらに、本実施形態では、以下の効果を得ることができる。

[0082] 第2の特許文献の図1の構成では、グローバルビット線に複数のトランジ

スタが接続されている場合、読み出し動作において、複数のトランジスタのリーク電流によってグローバルビット線がH i g hから徐々に低下するおそれがある。その結果、出力回路によってグローバルビット線がL o wであると判定されると、データの誤読み出しを招いてしまう。これは、従来の構成は、読み出し動作において、フローティング状態となるグローバルビット線をH i g hにする機能を有していないからである。

[0083] これに対して、本実施形態では、トランジスタT D Nのリーク電流が生じてても、出力回路1 8によって、接続部1 5およびグローバルデータ線G D LはH i g hに維持される。つまり、本実施形態に係る出力回路1 8は、読み出し動作においてフローティング状態となるグローバルデータ線G D LにH i g hを供給することができるため、リーク電流に起因するデータの誤読み出しを回避することができる。

[0084] また、出力回路1 8を構成する素子の数が少なく済むため、半導体記憶装置1の省面積化および低コスト化を図ることができる。

[0085] なお、本実施形態において、トランジスタT K PのゲートサイズおよびインバータであるバッファB U F Oのゲートサイズ（バッファB U F Oを構成するN c hトランジスタおよびP c hトランジスタのゲートサイズの合計）を等しくすることで、ソース線N S L，S Lの負荷容量のバランスを均一にすることができる。これにより、差動アンプS Aの感度が向上するため、差動アンプS Aの誤動作を抑制することができる。

[0086] <第3の実施形態>

図4は、第3の実施形態に係る半導体記憶装置の構成図である。本実施形態に係る半導体記憶装置1は、グローバルデータ線G D LをL o wにプリチャージ、つまりプリディスチャージするプリディスチャージ回路2 5を有する点で、第2の実施形態と異なる。以下、第2の実施形態との相違点について主に説明する。

[0087] 図4のメモリバンク1 0において、第1の出力回路1 9は、センス線S Lの電位に応じて、接続部1 5にH i g hを出力する。具体的に、出力回路1

9は、一端が電圧VDDに接続され、他端が接続部15に接続され、ゲートにセンス線SLの電位を受けるPchトランジスタTKPを含んでいる。

[0088] 第2の出力回路20は、センス線NSLの電位に応じて、接続部15にLowを出力する。具体的に、出力回路20は、インバータであるバッファBUF0とNchトランジスタTDNとを含んでいる。バッファBUF0の入力側はセンス線NSLに、出力側はトランジスタTDNのゲートに接続されている。トランジスタTDNは、一端が電圧VSSに、他端が接続部15に接続されている。

[0089] なお、本実施形態では、ローカルビット線LBL__Tおよびセンス線SLが第1のローカルビット線に相当し、ローカルビット線LBL__Bおよびセンス線NSLが第2のローカルビット線に相当する。

[0090] プリディスチャージ回路25は、グローバルデータ線GDLにLowを供給するように構成されている。具体的に、プリディスチャージ回路25は、一端が電圧VSSに接続され、他端がグローバルデータ線GDLに接続され、ゲートに信号PCGを受けるNchトランジスタTNGを含んでいる。

[0091] 次に、本実施形態に係る半導体記憶装置1の読み出し動作について図5を参照しながら説明する。

[0092] 図5は、図4の半導体記憶装置の読み出し動作の例を示すタイミングチャートであり、図5(A)はLowデータを読み出す場合、図5(B)はHighデータを読み出す場合のタイミングチャートである。なお、図2と図5との相違点について主に説明する。

[0093] まず、信号PCGはHighであるため、グローバルデータ線GDLはプリディスチャージされており、Lowになっている。

[0094] 図5(A)において、差動アンプSAが駆動されて、センス線NSL、SLの電位差 ΔV が増幅されると、センス線NSLはLowであるため、出力回路20は接続部15にLowを出力するようになる。また、差動アンプSAによってセンス線NSLがLowになるのに起因して、Highであるセンス線SLが若干ディスチャージされる。これにより、出力回路19から接

続部にH i g hが徐々に出力されうが、出力回路20から接続部15にはL o wが出力されているため、接続部15およびグローバルデータ線G D LはL o wのままである。つまり、出力回路20は、出力回路19の出力によって接続部15がH i g hにならないように阻止している。

[0095] また、信号D O E NがH i g hからL o wになると、グローバルデータ線G D LはL o wであるため、ノードN D OがL o wを保持していた場合、ノードN D OはH i g h、信号D OはL o wにリセットされる。一方、ノードN D OがH i g hを保持していた場合は、ノードN D OはH i g hのままであり、信号D OはL o wのままである。

[0096] 信号D OがL o wで確定すると、L o wデータが読み出される。また、信号P C GがH i g hとなりグローバルデータ線G D Lはプリディスチャージされる。

[0097] 次に、H i g hデータの読み出し動作について図5（B）を参照しながら説明する。なお、図5（A）と図5（B）との相違点について主に説明する。

[0098] 図5（B）において、差動アンプS Aが駆動されて、センス線N S L，S Lの電位差 ΔV が増幅されると、センス線S LはL o wであるため、出力回路19は接続部15にH i g hを出力するようになる。このとき、H i g hであるセンス線N S Lが若干ディスチャージされることにより、出力回路20は接続部15にL o wを徐々に出力しうが、接続部15には出力回路19からH i g hが出力されているため、グローバルデータ線G D LはH i g hとなる。

[0099] このとき、ノードN D OはH i g h、信号D OはL o wにリセットされているため、グローバルデータ線G D LがH i g hとなると、ノードN D OはL o wとなり、信号D OはH i g hとなる。これにより、H i g hデータが読み出される。

[0100] 以上、本実施形態によると、読み出し動作に際してグローバルデータ線G D Lをプリディスチャージしているため、接続部15にL o wを出力する出

力回路20におけるトランジスタTDNのゲートサイズが小さくて済む。つまり、グローバルデータ線GDLをLowに保持するキーパー回路として機能する出力回路20の回路面積を縮小することができる。

[0101] また、出力回路19は、センス線SLの電位に応じてグローバルデータ線GDLにHighを出力するトランジスタTKPのみで構成可能である。したがって、出力回路19は、差動アンプSAの出力をトランジスタTKPのゲートに直接受け、グローバルデータ線GDLをHighに駆動することができる。これにより、メモリバンク10から出力までのクリティカルパスは、出力回路19のトランジスタTKPから出力までの経路となるため、この経路におけるトランジスタの段数が少なくて済む。その結果、読み出し動作の高速化を図ることができる。

[0102] また、本実施形態において、トランジスタTKPとバッファBUF0のゲートサイズを等しくしてもよい。これにより、センス線NSL、SLの負荷容量のバランスが均一化され、差動アンプSAの感度を向上させることができる。

[0103] <第4の実施形態>

図6は、第4の実施形態に係る半導体記憶装置の構成図である。本実施形態に係る半導体記憶装置は、グローバルデータ線GDLをプリチャージすることなく、データの読み出しが可能な構成となっている。以下、第3の実施形態との相違点について主に説明する。

[0104] 第1の出力回路21は、第1のローカルビット線に相当するセンスNSLに応じて接続部15にLowを出力可能に構成されている。具体的に、出力回路21は、バッファBUF0とNchトランジスタTDNとを含んでいる。バッファBUF0の入力側はセンス線NSLに、出力側はトランジスタTDNのゲートに接続されている。トランジスタTDNは、一端が電圧VSSに、他端が接続部15に接続されている。

[0105] 第2の出力回路22は、第2のローカルビット線に相当するセンス線SLに応じて接続部にHighを出力可能に構成されている。具体的に、出力回

路22は、一端が電圧VDDに、他端が接続部15に、ゲートにセンス線SLの電位を受けるPchトランジスタTKPを含んでいる。

[0106] I/O回路33は、インバータIND2と、ラッチ回路31とを有する。

[0107] なお、本実施形態に係る半導体記憶装置1において、グローバルデータ線GDLのプリチャージおよび出力データのリセットは不要であるため、図4, 5に示す信号PCGおよび信号DOENを省略することができる。

[0108] 本実施形態に係る半導体記憶装置1の読み出し動作について、図7を参照しながら説明する。

[0109] 図7は、図6の半導体記憶装置の読み出し動作の例を示すタイミングチャートであり、図7(A)はLowデータを読み出す場合、図7(B)はHighデータを読み出す場合のタイミングチャートである。

[0110] まず、図7(A)に示す、Lowデータの読み出し動作について説明する。なお、図5および図7の相違点について主に説明する。

[0111] メモリセルMCからLowデータが読み出されると、ローカルビット線LBL_Tが徐々に低下し、その電位がセンス線SLに伝わる。一方、ローカルビット線LBL_Bおよびセンス線NSLはHighのままである。

[0112] 差動アンプSAが駆動されると、センス線NSL, SLの電位差ΔVが増幅される。このとき、差動アンプSAにより、センス線SLがLowになるのに起因して、Highであるセンス線NSLが若干ディスチャージされる。

[0113] センス線NSLが若干ディスチャージされることによって、出力回路21から徐々にLowが出力されうるが、Lowであるセンス線SLによって出力回路22はHighを出力するため、接続部15およびグローバルデータ線GDLはHighとなる。

[0114] グローバルデータ線GDLがHighとなると、信号DOがLowとなり、Lowデータが出力される。

[0115] 次に、Highデータの読み出し動作について図7(B)を参照しながら説明する。なお、図7(A)と図7(B)との相違点について主に説明する

。

[0116] メモリセルMCからH i g hデータが読み出されると、ローカルビット線L B L__Bが徐々に低下し、その電位がセンス線N S Lに伝わる。一方、ローカルビット線L B L__Tおよびセンス線S LはH i g hのままである。

[0117] 差動アンプS Aが駆動されると、センス線N S L, S Lの電位差 ΔV が増幅される。このとき、差動アンプS Aにより、センス線N S LがL o wになるのに起因して、H i g hであるセンス線S Lが若干ディスチャージされる。

。

[0118] センス線S Lが若干ディスチャージされることによって、出力回路2 2から徐々にH i g hが出力されうるが、L o wであるセンス線N S Lによって出力回路2 1はL o wを出力するため、接続部1 5およびグローバルデータ線G D LはL o wとなる。

[0119] グローバルデータ線G D LがL o wとなると、信号D OがH i g hとなり、H i g hデータが出力される。

[0120] 以上、本実施形態によると、センス線S Lに応じて出力回路2 2から接続部1 5およびグローバルデータ線G D LにH i g hが出力される一方、センス線N S Lに応じて出力回路2 1から接続部1 5およびグローバルデータ線G D LにL o wが出力される。これにより、グローバルデータ線G D LがH i g hおよびL o wに駆動されるため、プリチャージ回路が不要となる。

[0121] また、信号D Oのリセットが不要であるため、I / O回路3 3を簡略化することができる。したがって、半導体記憶装置1の回路面積を縮小することができる。

[0122] また、信号D O E Nが不要であるため、信号D O E Nがアクティブになるためのタイミングマージンが不要である。その結果、読み出し動作の高速化を図ることができる。

[0123] また、グローバルデータ線G D Lのプリチャージおよび信号D Oのリセットが不要であるため、これらに係る電力を削減することができ、結果として、半導体記憶装置1の低消費電力化を実現することができる。

[0124] <第5の実施形態>

図8は、第5の実施形態に係る半導体記憶装置の構成図である。本実施形態に係る半導体記憶装置1は、グローバルデータ線GDLを、半導体記憶装置1の出力端子38に直接接続可能な構成となっている。

[0125] 以下、第4の実施形態との相違点について主に説明する。本実施形態に係る半導体記憶装置1は、グローバルデータ線GDLの電位を保持するラッチ回路36と、出力端子38とを有する。

[0126] 出力端子38は、グローバルデータ線GDLに直接接続可能であり、グローバルデータ線GDLの電位を信号DOとして出力可能に構成されている。

[0127] 以上、本実施形態によると、出力をバッファするためのI/O回路が不要となるため半導体記憶装置1の省面積化を図ることができる。

[0128] なお、メモリセルMCから出力端子38までのゲート段数が少なくて済むため、読み出し動作の高速化が可能である。

[0129] また、グローバルデータ線GDLを半導体記憶装置1の出力端子として利用可能であるため、半導体記憶装置1の外部配線を任意の位置で接続することができる。したがって、半導体記憶装置1を使用した半導体装置の設計の自由度が向上する。

[0130] また、半導体記憶装置1内の素子数が少なくて済むため、リーク電流の低減が可能であるとともに、配線等の充放電容量の削減も可能であり、結果として、動作電力の削減を図ることができる。

[0131] <第6の実施形態>

図9は、第6の実施形態に係る半導体記憶装置の構成図である。本実施形態に係る半導体記憶装置1は、グローバルデータ線GDLを、半導体記憶装置1の入出力端子39に直接接続可能な構成となっている。

[0132] 以下、第5の実施形態との相違点について主に説明する。本実施形態に係る半導体記憶装置1は、入出力端子39を有する。

[0133] 本実施形態に係るメモリバンク10は、入出力端子39から入力されたデータである信号DIを、グローバルデータ線GDLを介してメモリセルMC

に書き込み可能な書込回路40を有する。

[0134] 書込回路40は、書込制御信号CLM_Wに応じて、グローバルデータ線GDLの論理と同じ論理の信号をセンス線NSLに、グローバルデータ線GDLの論理と逆論理の信号をセンス線SLに出力可能な構成となっている。

[0135] 具体的に、書込回路40は、インバータINW1、INW2と、NchトランジスタTNW1、TNW2とを含んでいる。

[0136] インバータINW1は、入力側がグローバルデータ線GDLに接続され、出力側がインバータINW2の入力側に接続されている。

[0137] トランジスタTNW1は、一端がインバータINW1の出力側に、他端がセンス線SLに接続されている。トランジスタTNW2は、一端がインバータINW2の出力側に、他端がセンス線NSLに接続されている。そして、トランジスタTNW1、TNW2のゲートには、信号CLM_Wが共通に入力される。

[0138] 書込回路40において、信号CLM_WがLowからHighになったときに、メモリセルMCへのデータの書き込みが可能となる。

[0139] つまり、本実施形態では、1本のグローバルデータ線GDLを、データの読み出しおよび書き込み動作において共有する構成となっている。

[0140] 以上、本実施形態によると、データの書き込みを行うための専用の配線が不要となるため、配線数を削減することができ、半導体記憶装置1の回路面積を縮小することができる。また、データの入出力に係るI/O回路（図1等参照）が不要となるため、半導体記憶装置1を図10に示すように構成することができる。

[0141] 図10は、第6の実施形態に係る半導体記憶装置の模式図である。なお、図11は、参考例に係る、一般的な半導体記憶装置の模式図である。

[0142] 図11に示すように、一般的な半導体記憶装置では、書き込み用の配線（DI）と読み出し用の配線（DO）とは別々であり、半導体記憶装置の外部との接続のために、グローバルI/O回路が設けられている。グローバルI/O回路には、様々な種類の配線が接続されるため、メモリバンクとグロー

バル I / O 回路との接続が複雑になってしまう。したがって、図 11 に示す構成の半導体記憶装置では、例えば、メモリ容量を増加するために、多くのメモリバンクを接続する際のレイアウトは困難である。

[0143] これに対して、図 10 に示す半導体記憶装置 1 では、図 11 に示すグローバル I / O 回路およびその制御回路が不要であるため、回路面積を縮小することができる。

[0144] また、グローバル I / O 回路が不要であり、1 本のグローバルデータ線 GDL を共有してデータの読み出しおよび書き込みが可能であるため、多くのメモリバンク 10 を接続する場合であっても、そのレイアウトがしやすくなる。したがって、容易にメモリ容量を増やすことができる。

産業上の利用可能性

[0145] 本開示に係る半導体記憶装置は、差動アンプの誤動作を抑制可能で、データの誤読み出しを回避して正常な動作が可能であるため、SRAM を備えた各種電子機器の信頼性向上等に有用である。

符号の説明

[0146]	1	半導体記憶装置
	10	メモリバンク
	15	接続部
	16, 19, 21	第 1 の出力回路
	17, 18, 20, 22	第 2 の出力回路
	24	グローバルプリチャージ回路
	25	プリディスチャージ回路
	39	入出力端子
	BUFO	バッファ（インバータ）
	BUF1	バッファ（インバータ）
	GDL	グローバルデータ線
	LBL__B, LBL__T	ローカルビット線
	MC	メモリセル

N S L, S L	センス線（ローカルビット線）
S A	差動アンプ
T D N	N c h トランジスタ
T K N	N c h トランジスタ
T K P	P c h トランジスタ

請求の範囲

[請求項1]

複数のメモリバンクと、
前記複数のメモリバンクに対応して設けられた1本のグローバルデータ線とを備え、
前記複数のメモリバンクはそれぞれ、
複数のメモリセルと、
前記複数のメモリセルが接続され、当該複数のメモリセルからデータが読み出される、一対の第1および第2のローカルビット線と、
前記第1および第2のローカルビット線の電位差を増幅する差動アンプと、
前記グローバルデータ線が接続される接続部と、
前記第1のローカルビット線の電位に応じて、前記接続部に第1の電位を出力する第1の出力回路と、
前記第2のローカルビット線の電位に応じて、前記第1の出力回路の出力によって前記接続部の電位が前記第1の電位になるのを阻止する第2の出力回路とを有する
ことを特徴とする半導体記憶装置。

[請求項2]

請求項1の半導体記憶装置において、
前記第1の出力回路は、一端が前記第1の電位に、他端が前記接続部に、およびゲートが前記第1のローカルビット線の電位を反転した電位に接続される第1導電型の第1のトランジスタを有するものであり、
前記第2の出力回路は、一端が前記第1の電位に、他端が前記第1のトランジスタのゲートに、およびゲートが前記第2のローカルビット線の電位を反転した電位に接続される、前記第1導電型の第2のトランジスタを有している
ことを特徴とする半導体記憶装置。

[請求項3]

請求項1の半導体記憶装置において、

前記第 1 の出力回路は、一端が前記第 1 の電位に、他端が前記接続部に、およびゲートが前記第 1 のローカルビット線の電位を反転した電位に接続される第 1 導電型の第 1 のトランジスタを有するものであり、

前記第 2 の出力回路は、一端が、前記第 1 の電位の反転電位である第 2 の電位に、他端が前記接続部に、およびゲートが前記第 2 のローカルビット線に接続される、前記第 1 導電型と逆の第 2 導電型の第 2 のトランジスタを有していることを特徴とする半導体記憶装置。

[請求項 4] 請求項 3 の半導体記憶装置において、

前記第 1 の出力回路は、前記第 1 のローカルビット線の電位を反転して前記第 1 のトランジスタのゲートに出力するインバータを有しており、

前記第 2 のトランジスタおよび前記インバータのゲートサイズは等しい

ことを特徴とする半導体記憶装置。

[請求項 5] 請求項 1 の半導体記憶装置において、

前記第 1 の出力回路は、一端が前記第 1 の電位に、他端が前記接続部に、およびゲートが前記第 1 のローカルビット線の電位に接続される第 1 導電型の第 1 のトランジスタを有するものであり、

前記第 2 の出力回路は、一端が、前記第 1 の電位の反転電位である第 2 の電位に、他端が前記接続部に、およびゲートが前記第 2 のローカルビット線の電位を反転した電位に接続される、前記第 1 導電型と逆の第 2 導電型の第 2 のトランジスタを有している

ことを特徴とする半導体記憶装置。

[請求項 6] 請求項 5 の半導体記憶装置において、

前記第 2 の出力回路は、前記第 2 のローカルビット線の電位を反転して前記第 2 のトランジスタのゲートに出力するインバータを有して

おり、

前記第 1 のトランジスタおよび前記インバータのゲートサイズは等しい

ことを特徴とする半導体記憶装置。

[請求項7] 請求項 1 の半導体記憶装置において、

前記グローバルデータ線を、前記第 1 の電位の反転電位である第 2 の電位にプリチャージするプリチャージ回路を備えている

ことを特徴とする半導体記憶装置。

[請求項8] 請求項 7 の半導体記憶装置において、

前記プリチャージ回路は、前記グローバルデータ線に前記第 2 の電位を供給するプリディスチャージ回路である

ことを特徴とする半導体記憶装置。

[請求項9] 複数のメモリバンクと、

前記複数のメモリバンクに対応して設けられた 1 本のグローバルデータ線とを備え、

前記複数のメモリバンクはそれぞれ、

複数のメモリセルと、

前記複数のメモリセルが接続され、当該複数のメモリセルからデータが読み出される、一対の第 1 および第 2 のローカルビット線と、

前記第 1 および第 2 のローカルビット線の電位差を増幅する差動アンプと、

前記グローバルデータ線が接続される接続部と、

前記第 1 のローカルビット線の電位に応じて、前記接続部に第 1 の電位を出力する第 1 の出力回路と、

前記第 2 のローカルビット線の電位に応じて、前記接続部に前記第 1 の電位の反転電位である第 2 の電位を出力する第 2 の出力回路とを有する

ことを特徴とする半導体記憶装置。

- [請求項10] 請求項9の半導体記憶装置において、
- 前記第1の出力回路は、一端が前記第1の電位に、他端が前記接続部に、およびゲートが前記第1のローカルビット線の電位を反転した電位に接続される第1導電型の第1のトランジスタを有するものであり、
- 前記第2の出力回路は、一端が、前記第1の電位の反転電位である第2の電位に、他端が前記接続部に、およびゲートが前記第2のローカルビット線に接続される、前記第1導電型と逆の第2導電型の第2のトランジスタを有している
- ことを特徴とする半導体記憶装置。
- [請求項11] 請求項10の半導体記憶装置において、
- 前記第1の出力回路は、前記第1のローカルビット線の電位を反転して前記第1のトランジスタのゲートに出力するインバータを有しており、
- 前記第2のトランジスタおよび前記インバータのゲートサイズは等しい
- ことを特徴とする半導体記憶装置。
- [請求項12] 請求項9の半導体記憶装置において、
- 前記第1の出力回路は、一端が前記第1の電位に、他端が前記接続部に、およびゲートが前記第1のローカルビット線の電位に接続される第1導電型の第1のトランジスタを有するものであり、
- 前記第2の出力回路は、一端が、前記第1の電位の反転電位である第2の電位に、他端が前記接続部に、およびゲートが前記第2のローカルビット線の電位を反転した電位に接続される、前記第1導電型と逆の第2導電型の第2のトランジスタを有している
- ことを特徴とする半導体記憶装置。
- [請求項13] 請求項12の半導体記憶装置において、
- 前記第2の出力回路は、前記第2のローカルビット線の電位を反転

して前記第2のトランジスタのゲートに出力するインバータを有しており、

前記第1のトランジスタおよび前記インバータのゲートサイズは等しい

ことを特徴とする半導体記憶装置。

[請求項14] 請求項9の半導体記憶装置において、

前記グローバルデータ線を、前記第1の電位の反転電位である第2の電位にプリチャージするプリチャージ回路を備えている

ことを特徴とする半導体記憶装置。

[請求項15] 請求項14の半導体記憶装置において、

前記プリチャージ回路は、前記グローバルデータ線に前記第2の電位を供給するプリディスチャージ回路である

ことを特徴とする半導体記憶装置。

[請求項16] 請求項9の半導体記憶装置において、

前記グローバルデータ線を介して前記複数のメモリセルに対するデータの書き込みが可能である

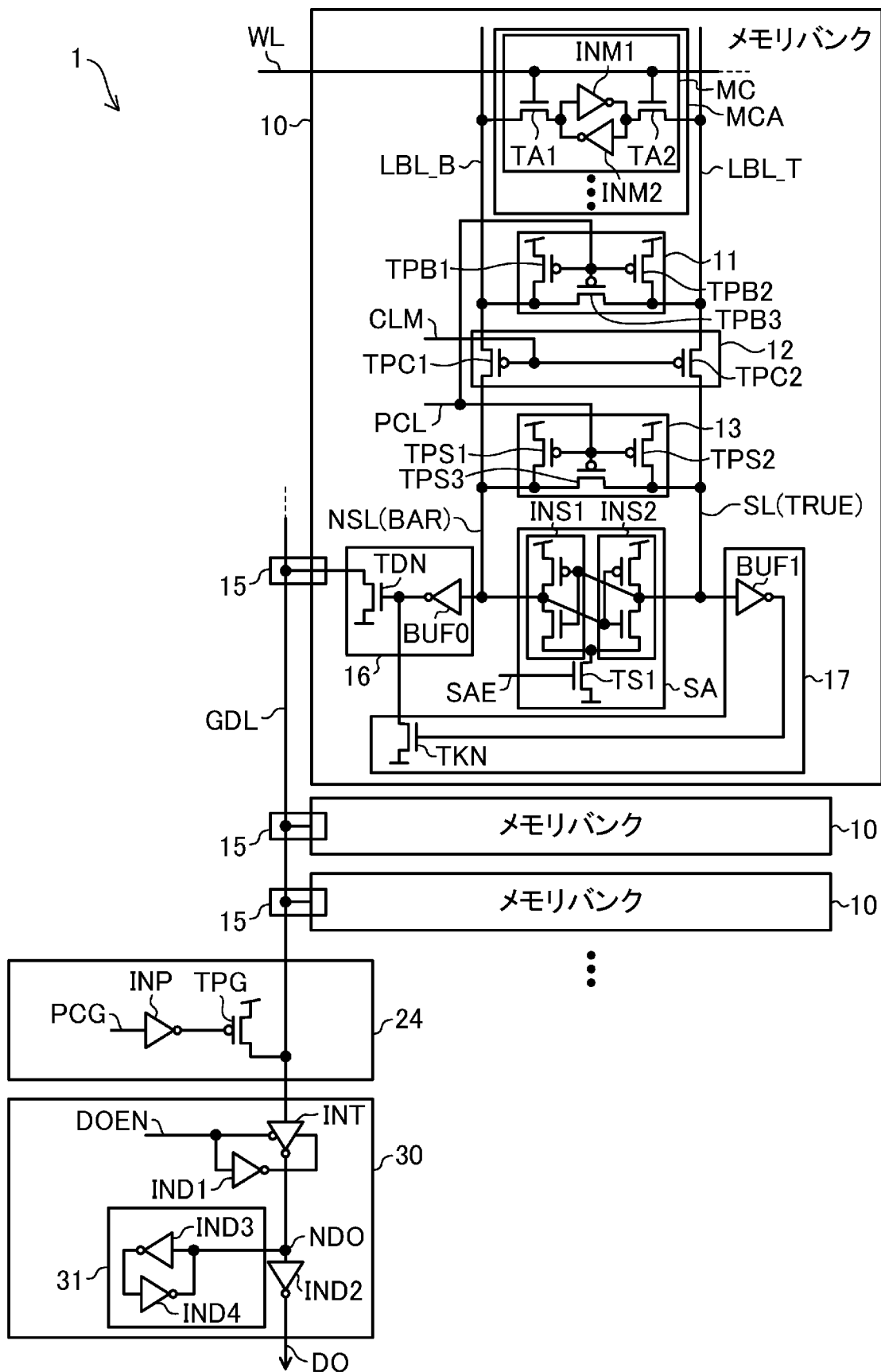
ことを特徴とする半導体記憶装置。

[請求項17] 請求項9の半導体記憶装置において、

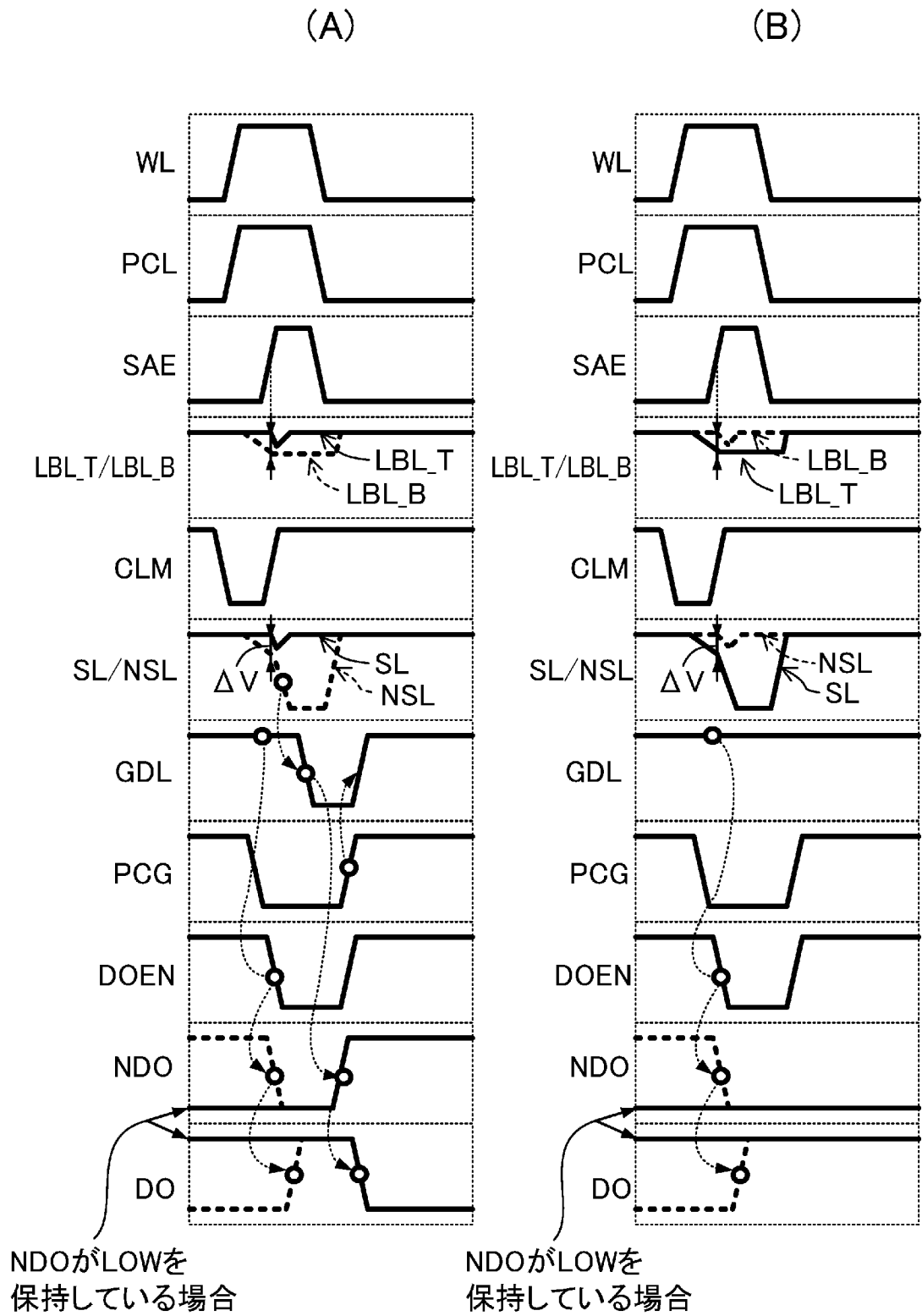
前記グローバルデータ線は、当該半導体記憶装置の入出力端子に直接接続可能である

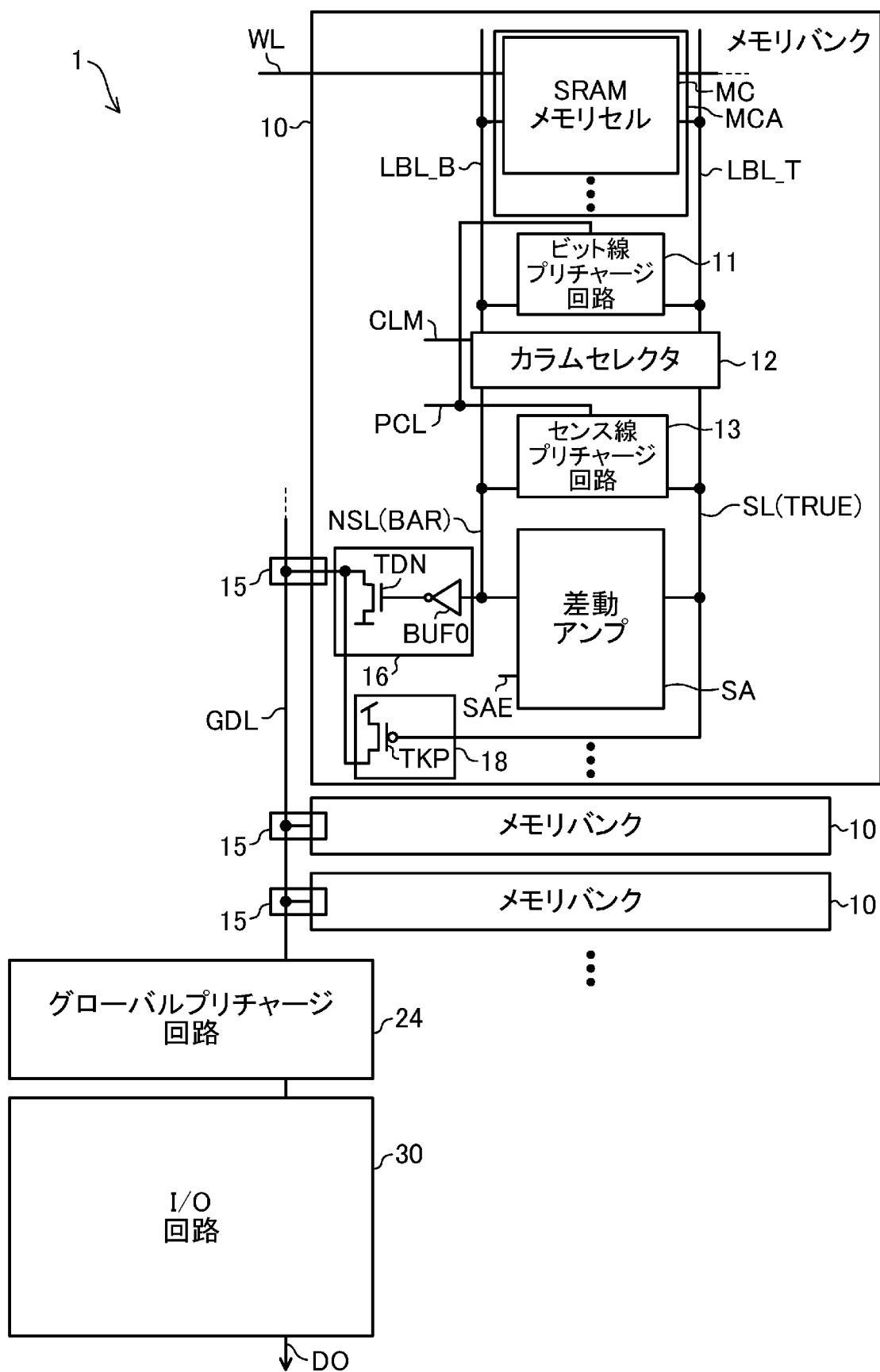
ことを特徴とする半導体記憶装置。

[図1]

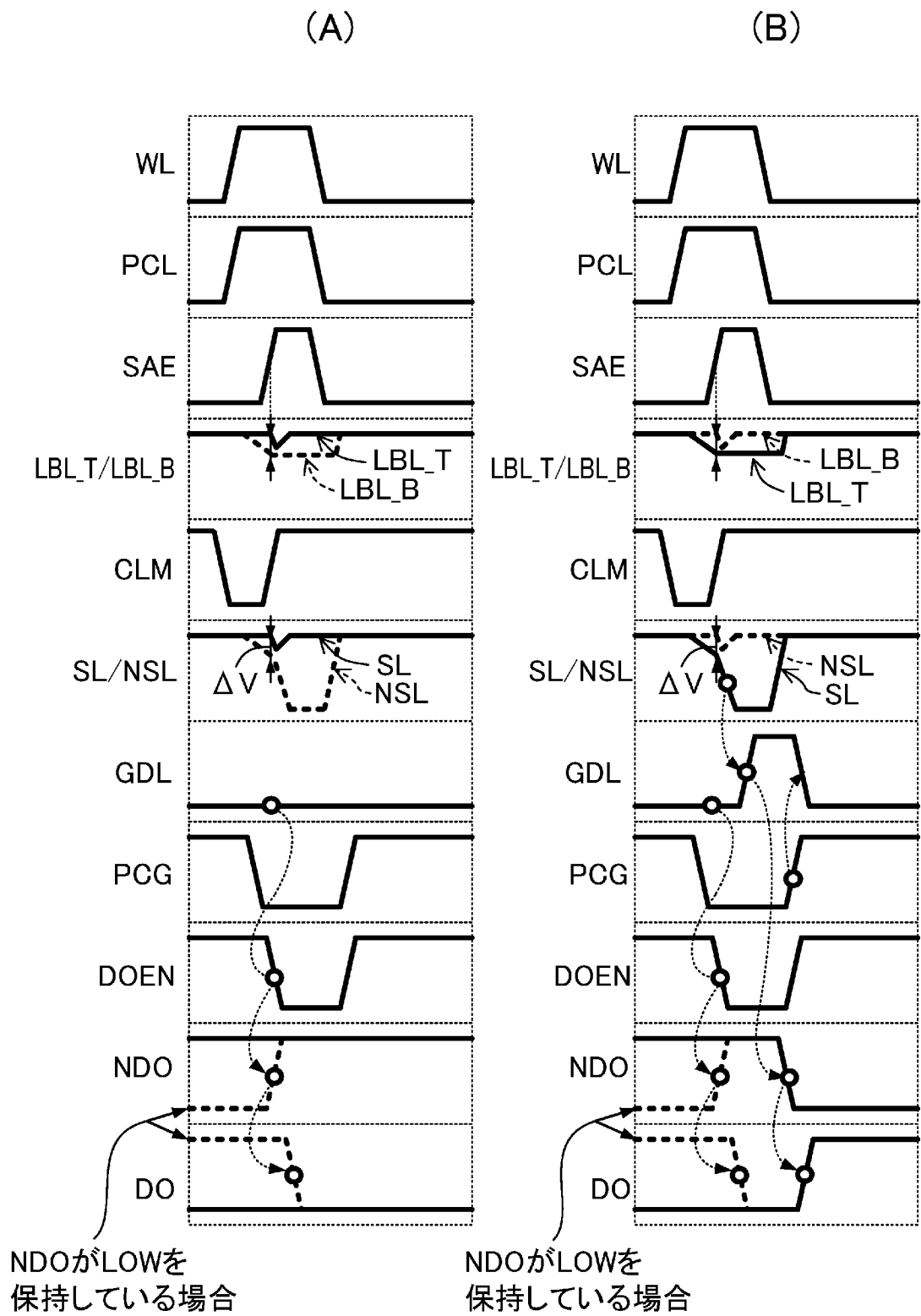


[図2]

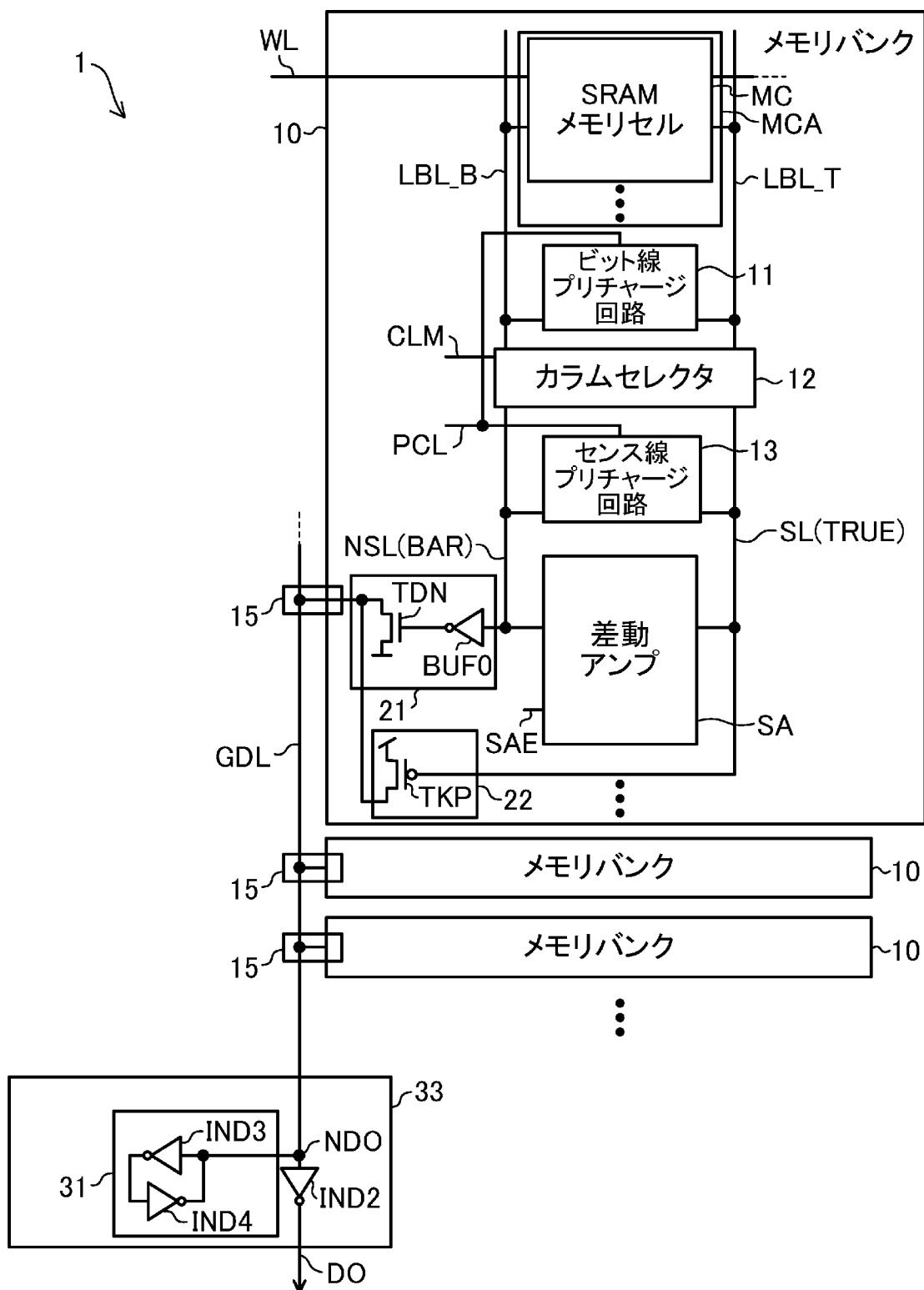




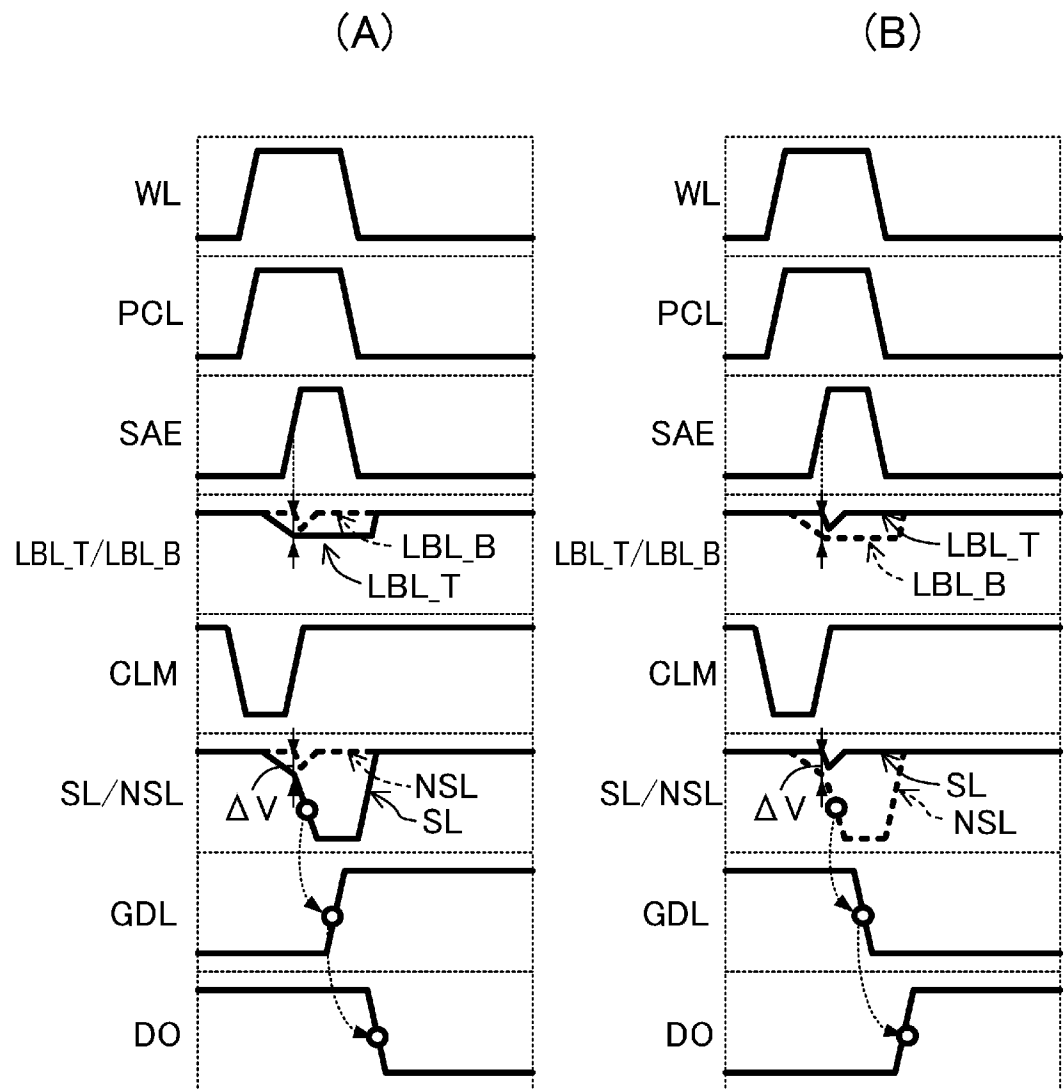
[図5]



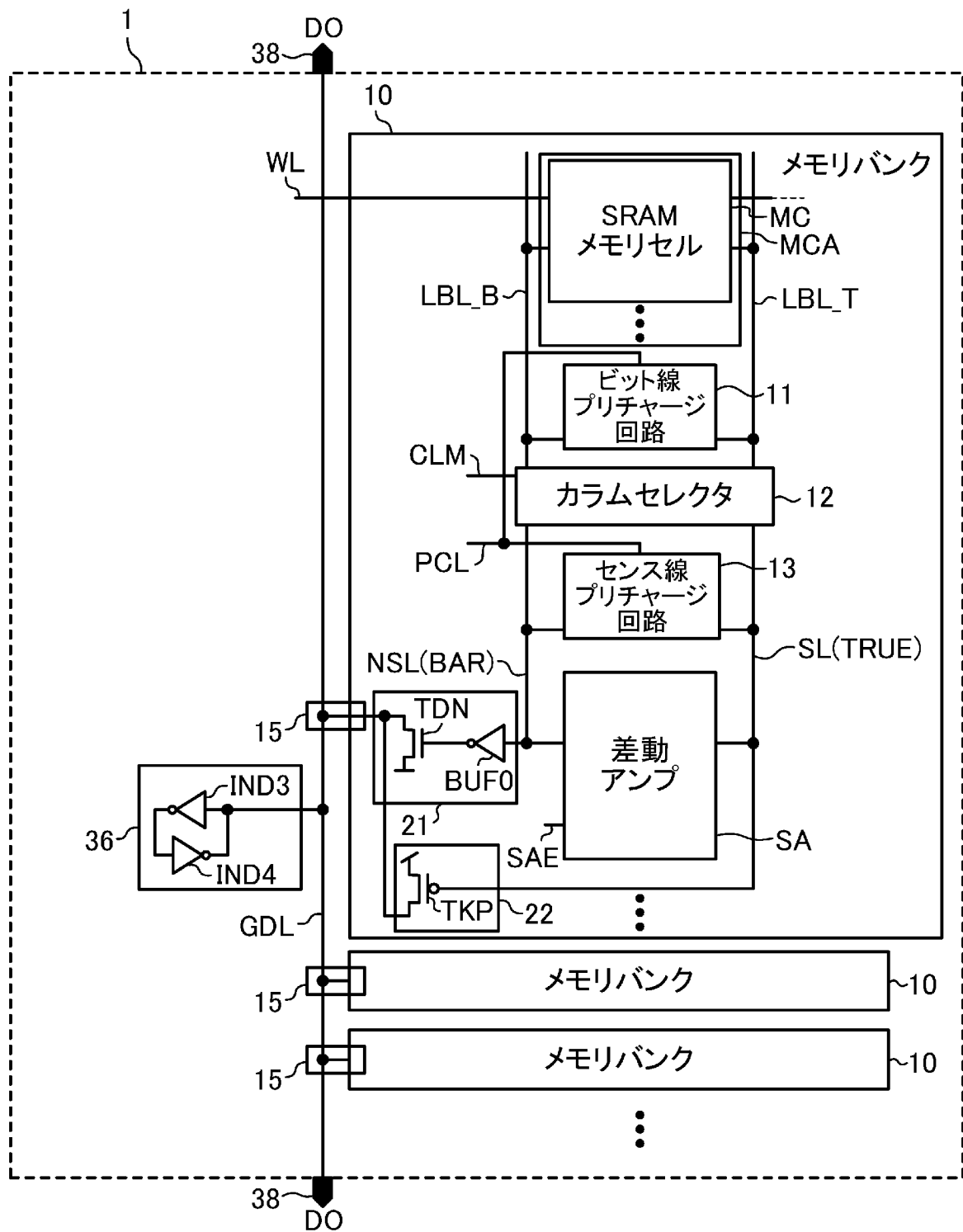
1

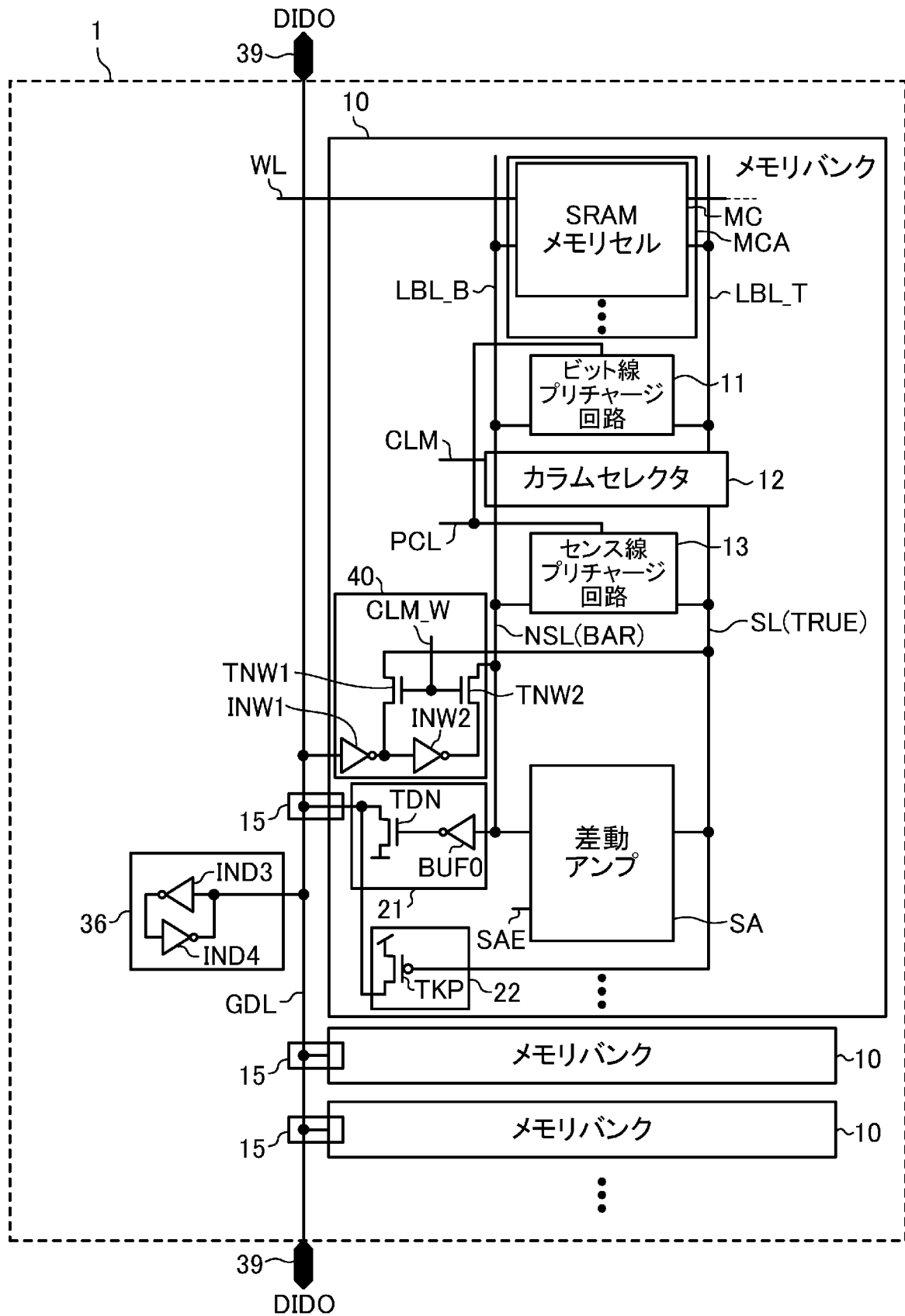


[図7]

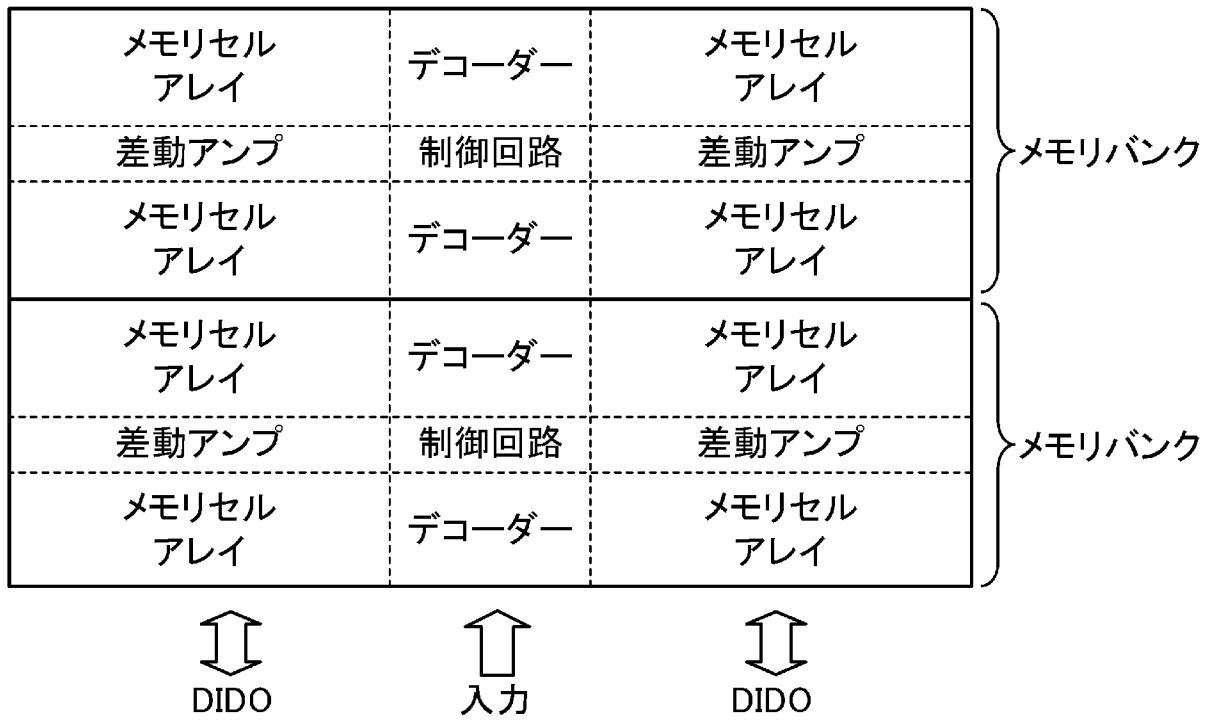


[図8]

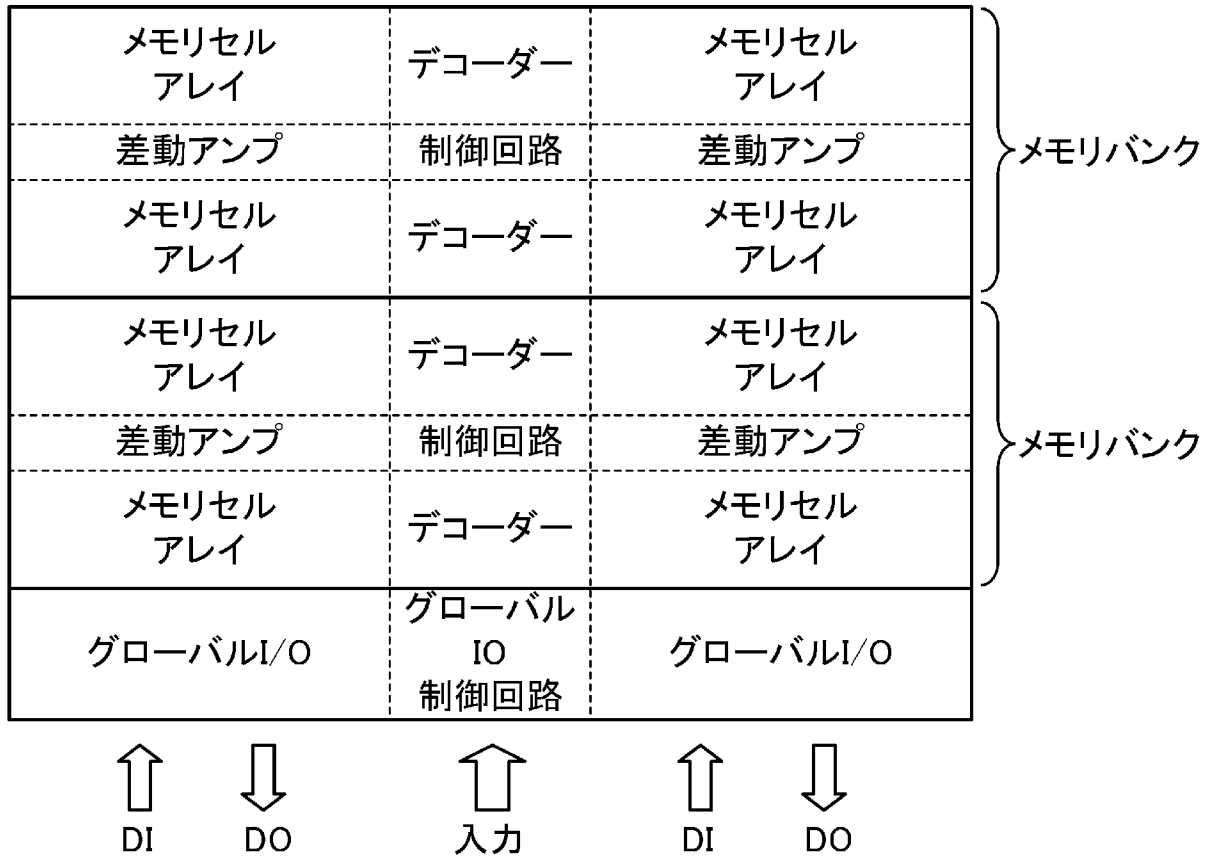




[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005056

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/413(2006.01)i, G11C11/419(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/413, G11C11/419

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-207886 A (Seiko Epson Corp.), 28 July 2000 (28.07.2000), paragraphs [0025], [0026]; fig. 5 (Family: none)	1-17
A	JP 2009-157959 A (Toshiba Corp.), 16 July 2009 (16.07.2009), paragraph [0010]; fig. 1 & JP 5178182 B2 & US 2009/0161411 A1	1-17
A	JP 2012-174329 A (Fujitsu Semiconductor Ltd.), 10 September 2012 (10.09.2012), paragraphs [0015] to [0025]; fig. 1, 3 (Family: none)	1-17

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 November, 2014 (21.11.14)

Date of mailing of the international search report
02 December, 2014 (02.12.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/005056

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2013/0083592 A1 (Samsung Electronics Co., Ltd.), 04 April 2013 (04.04.2013), paragraphs [0034] to [0037], [0051]; fig. 2, 4, 5 & KR 10-2013-0034934 A	1-17

A. 発明の属する分野の分類（国際特許分類（I P C））
Int.Cl. G11C11/413(2006.01)i, G11C11/419(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G11C11/413, G11C11/419

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-207886 A（セイコーエプソン株式会社）2000.07.28, 段落【0025】、【0026】、図5（ファミリーなし）	1-17
A	JP 2009-157959 A（株式会社東芝）2009.07.16, 段落【0010】、 図1 & JP 5178182 B2 & US 2009/0161411 A1	1-17
A	JP 2012-174329 A（富士通セミコンダクター株式会社）2012.09.10, 段落【0015】－【0025】、図1, 3（ファミリーなし）	1-17

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

21.11.2014

国際調査報告の発送日

02.12.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

電話番号 03-3581-1101 内線 3565

5 U

4 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	US 2013/0083592 A1 (サムスン エレクトロニクス カンパニー リミテッド) 2013.04.04, 段落 [0 0 3 4] – [0 0 3 7], [0 0 5 1]、 図 2, 4, 5 & KR 10-2013-0034934 A	1-17