

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6036197号  
(P6036197)

(45) 発行日 平成28年11月30日(2016.11.30)

(24) 登録日 平成28年11月11日(2016.11.11)

(51) Int.Cl.

H01L 31/107 (2006.01)

F 1

H01L 31/10

B

請求項の数 8 (全 10 頁)

(21) 出願番号 特願2012-249457 (P2012-249457)  
 (22) 出願日 平成24年11月13日 (2012.11.13)  
 (65) 公開番号 特開2014-99467 (P2014-99467A)  
 (43) 公開日 平成26年5月29日 (2014.5.29)  
 審査請求日 平成27年9月9日 (2015.9.9)

(73) 特許権者 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目7番3号  
 (74) 代理人 100082175  
 弁理士 高田 守  
 (74) 代理人 100106150  
 弁理士 高橋 英樹  
 (74) 代理人 100148057  
 弁理士 久野 淑己  
 (72) 発明者 山口 晴央  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内  
 (72) 発明者 竹村 亮太  
 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】アバランシェフォトダイオードの製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

半導体基板上に、増倍層を成長させる工程と、  
 前記増倍層上に、電界緩和層を成長させる工程と、  
 前記電界緩和層の上面を覆うように、遷移層を成長させる工程と、  
 前記電界緩和層の上面を前記遷移層で覆った後に昇温して、前記遷移層上に前記電界緩和層の成長温度よりも高い温度で光吸收層を成長させる工程と、  
 を備え、  
 前記遷移層の成長温度は、前記光吸收層の成長温度よりも低い温度であり、

前記遷移層は、前記電界緩和層の成長温度よりも高い温度にあるときに前記電界緩和層よりも表面欠陥の生じにくい半導体材料からなることを特徴とするアバランシェフォトダイオードの製造方法。

## 【請求項 2】

前記遷移層は、前記電界緩和層側から前記光吸收層側に近づくほど前記光吸收層のバンドギャップの大きさに近づくように、バンドギャップの大きさが変化する1つ又は複数の半導体層からなることを特徴とする請求項1に記載のアバランシェフォトダイオードの製造方法。

## 【請求項 3】

前記電界緩和層は、ドーパントとしてカーボンを用いたAlInAsからなることを特徴とする請求項1または2に記載のアバランシェフォトダイオードの製造方法。

**【請求項 4】**

前記遷移層は、InGaAsP層であり、

前記光吸收層は、InGaAs層である

ことを特徴とする請求項1乃至3のいずれか1項に記載のアバランシェフォトダイオードの製造方法。

**【請求項 5】**

前記電界緩和層の成長温度は550以上かつ600以下の温度範囲内の温度であることを特徴とする請求項1乃至4のいずれか1項に記載のアバランシェフォトダイオードの製造方法。

**【請求項 6】**

前記光吸收層の成長温度は600以上かつ660以下の温度範囲内の温度であることを特徴とする請求項1乃至5のいずれか1項に記載のアバランシェフォトダイオードの製造方法。

10

**【請求項 7】**

前記遷移層の組成は、 $In_{1-x}Ga_xAs_yP_{1-y}$ で定義され $0.024 \times 0.483$ かつ $0.053 \leq y \leq 0.928$ の範囲内であることを特徴とする請求項1乃至6のいずれか1項に記載のアバランシェフォトダイオードの製造方法。

**【請求項 8】**

前記遷移層は、In、Ga、As、PおよびAlを含む組成の半導体層であることを特徴とする請求項1乃至7のいずれか1項に記載のアバランシェフォトダイオードの製造方法。

20

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、アバランシェフォトダイオードの製造方法に関する。

**【背景技術】****【0002】**

従来、例えば、特開2004-31707号公報に開示されているように、なだれ増倍層と、p型半導体からなる電界緩衝層と、p型半導体の光吸收層と、を備えたアバランシェフォトダイオードが知られている。この従来技術では、p型半導体の電界緩衝層を用いるとともに、電界緩衝層と光吸收層との間にバンドギャップ傾斜層が更に挿入されることで特性改善を図っている。具体的な材料構成に関しては、p型半導体の光吸收層がInGaAsP混晶であり、バンドギャップ傾斜層がInGaAsP混晶またはInGaAlAs混晶であり、なだれ増倍層およびp型半導体の電界緩衝層の少なくとも1層がInPまたはInAlAs混晶であるとする記載がある。

30

**【先行技術文献】****【特許文献】****【0003】**

【特許文献1】特開2004-31707号公報

【特許文献2】特表2005-516414号公報

40

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

アバランシェフォトダイオードにおいて電界緩和層にドーピングした半導体層を適用することが一般的に行われているが、必要なキャリア濃度を得る目的で、電界緩和層の結晶成長を低温で行うことがある。その一方で、光吸收層は良好な結晶性を得るために比較的高温で成長させたい。電界緩和層を成長後に光吸收層を成長する場合に、光吸收層と電界緩和層の成長温度が異なることから成長中に昇温する必要があり、この成長中の昇温によって電界緩和層の表面が熱ダメージを受けてしまう。その熱ダメージで、その後成長する光吸收層との界面に欠陥が発生するという問題があった。

50

## 【0005】

本発明は、上述のような課題を解決するためになされたもので、成長中の昇温での熱ダメージを抑制して良好な結晶成長界面を有するアバランシェフォトダイオードの製造方法を提供することを目的とする。

## 【課題を解決するための手段】

## 【0006】

本発明にかかるアバランシェフォトダイオードの製造方法は、  
半導体基板上に、増倍層を成長させる工程と、  
前記増倍層上に、電界緩和層を成長させる工程と、  
前記電界緩和層の上面を覆うように、遷移層を成長させる工程と、  
前記電界緩和層の上面を前記遷移層で覆った後に昇温して、前記遷移層上に前記電界緩和層の成長温度よりも高い温度で光吸收層を成長させる工程と、  
を備え、

前記遷移層の成長温度は、前記光吸收層の成長温度よりも低い温度であり、  
前記遷移層は、前記電界緩和層の成長温度よりも高い温度にあるときに前記電界緩和層よりも表面欠陥の生じにくい半導体材料からなることを特徴とする。

## 【発明の効果】

## 【0008】

本発明によれば、成長中の昇温での熱ダメージを抑制して良好な結晶成長界面を有するアバランシェフォトダイオードの製造方法が提供される。

## 【図面の簡単な説明】

## 【0009】

【図1】本発明の実施の形態にかかるアバランシェフォトダイオードの構成を示す断面図である。

【図2】比較例として示す電界緩和層、吸収層接合部の伝導帯及び価電子帯におけるエネルギー分布を示す図である。

【図3】本発明の実施の形態の作用効果を説明するための図であり、電界緩和層、吸収層接合部に遷移層を挿入した場合の伝導帯及び価電子帯におけるエネルギー分布を示す図である。

【図4】比較例として示すカーボンドープAlInAs電界緩和層を用いたアバランシェフォトダイオード成長シーケンスを示す図である。

【図5】本発明の実施の形態にかかるアバランシェフォトダイオード成長シーケンスを示す図であり、遷移層を追加したカーボンドープAlInAs電界緩和層を用いたアバランシェフォトダイオード成長シーケンスを示す図である。

【図6】本発明の実施の形態にかかるアバランシェフォトダイオードの製造方法のフローチャートである。

## 【発明を実施するための形態】

## 【0010】

実施の形態の装置の構成。

図1は、本発明の実施の形態にかかるアバランシェフォトダイオード20の構成を示す断面図である。アバランシェフォトダイオード20は、n型InP基板2を備えている。n型InP基板2上には、n型InPバッファ層3およびi型AlInAsアバランシェ増倍層4が成長している。n型InPバッファ層3は、キャリア濃度 $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ で厚み $0.1 \sim 1 \mu\text{m}$ である。i型AlInAsアバランシェ増倍層4は、厚み $0.1 \sim 0.5 \mu\text{m}$ である。

## 【0011】

i型AlInAsアバランシェ増倍層4上には、p型AlInAs電界緩和層5が成長している。p型AlInAs電界緩和層5は、キャリア濃度 $0.5 \sim 1 \times 10^{18} \text{ cm}^{-3}$ のカーボンドープによるp型AlInAs電界緩和層であり、厚み $0.05 \sim 0.15 \mu\text{m}$ である。本実施の形態では、p型AlInAs電界緩和層5として、低拡散である力

一ボンをドーピングした AlInAs を用いている。これにより、p 型 AlInAs 電界緩和層 5 からの p 型ドーパントの拡散を抑えることができる。

#### 【0012】

p 型 AlInAs 電界緩和層 5 の上面には、この上面全体を覆うように n - 型 InGaAsP 第 1 遷移層 6 、 n - 型 InGaAsP 第 2 遷移層 7 、および n - 型 InGaAsP 第 3 遷移層 8 が成長している。以下、この 3 つの遷移層をまとめて「第 1 , 2 , 3 遷移層 6 , 7 , 8 」とも称す。n - 型 InGaAsP 第 1 遷移層 6 は、キャリア濃度  $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$  の n - 型  $In_{1-x}Ga_xAs_yP_{1-y}$  ( $x = 0.024$ ,  $y = 0.053$ ) の半導体層であり、厚みは  $0.01 \sim 0.03 \mu\text{m}$  である。n - 型 InGaAsP 第 2 遷移層 7 は、キャリア濃度  $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$  の n - 型  $In_{1-x}Ga_xAs_yP_{1-y}$  ( $x = 0.179$ ,  $y = 0.391$ ) の半導体層であり、厚みは  $0.01 \sim 0.03 \mu\text{m}$  である。n - 型 InGaAsP 第 3 遷移層 8 は、キャリア濃度  $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$  の n - 型  $In_{1-x}Ga_xAs_yP_{1-y}$  ( $x = 0.301$ ,  $y = 0.652$ ) の半導体層であり、厚みは  $0.01 \sim 0.03 \mu\text{m}$  である。  
10

#### 【0013】

これらの第 1 , 2 , 3 遷移層 6 , 7 , 8 のバンドギャップは、p 型 AlInAs 電界緩和層 5 のバンドギャップと n - 型 InGaAs 光吸收層 9 のバンドギャップの中間である。また、第 1 , 2 , 3 遷移層 6 , 7 , 8 の材料はいずれも n - 型 InGaAsP であり、n - 型 InGaAs 光吸收層 9 の成長温度より低い温度で成長する半導体材料である。また、第 1 , 2 , 3 遷移層 6 , 7 , 8 は、n - 型 InGaAs 光吸收層 9 の成長温度にあるとき p 型 AlInAs 電界緩和層 5 よりも表面欠陥の生じにくい半導体材料からなる。  
20

#### 【0014】

n - 型 InGaAsP 第 3 遷移層 8 上には、n - 型 InGaAs 光吸收層 9 が成長している。n - 型 InGaAs 光吸收層 9 は、キャリア濃度  $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$  の n - 型 InGaAs 光吸收層であり、厚み  $1 \sim 2 \mu\text{m}$  とする。

#### 【0015】

n - 型 InGaAs 光吸收層 9 上には、n - 型 InP 窓層 10 、p 型 InGaAs コンタクト層 11 、p 電極 12 、SiNx 表面保護反射防止膜 13 が形成されている。窓層 10 は、キャリア濃度  $0.01 \sim 0.1 \times 10^{15} \text{ cm}^{-3}$  の n - 型 InP 窓層であり、厚みは  $0.5 \sim 1 \mu\text{m}$  とする。コンタクト層 11 は、キャリア濃度  $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$  の p 型 InGaAs コンタクト層であり、厚みは  $0.1 \sim 0.5 \mu\text{m}$  とする。  
30

#### 【0016】

実施の形態の装置の動作。

本実施の形態にかかるアバランシェフォトダイオード 20 は、光通信用のアバランシェフォトダイオードであり、高速応答を実現するものである。n 電極 1 側がプラス、p 電極 12 側がマイナスとなるように外部から逆バイアス電圧を加えた状態とする。この状態で、p 電極 12 側から p 型導電領域 14 に検出しようとする光を入射させる。

#### 【0017】

ここで、光通信波長帯である  $1.3 \mu\text{m}$  帯あるいは  $1.5 \mu\text{m}$  帯の近赤外領域の光がアバランシェフォトダイオード 20 に入射する。そうすると、光は p - 型 InGaAs 光吸收層 9 において吸収されて電子 - ホール対を発生し、電子は n 電極 1 側、ホールは p 電極 12 側に移動する。逆バイアス電圧が充分に高い時、i 型 AlInAs アバランシェ増倍層 4 において電子はイオン化して新たな電子 - ホール対を生成し、新たに生成された電子およびホールと共にさらなるイオン化を引き起こす。この事によって、電子、ホールが雪崩的に増倍するアバランシェ増倍が引き起こされる。  
40

#### 【0018】

以下、図 2 および図 3 を用いて、アバランシェフォトダイオード 20 の作用効果を説明する。図 2 は、比較例として示す電界緩和層、吸収層接合部の伝導帯及び価電子帯におけるエネルギー分布を示す図である。図 3 は、本発明の実施の形態の作用効果を説明するための図であり、電界緩和層、吸収層接合部に遷移層を挿入した場合の伝導帯及び価電子帯  
50

におけるエネルギー分布を示す図である。

#### 【0019】

図2に示すように、AlInAsとInGaAs接合部には、伝導帯エネルギー差が0.70eV、価電子帯エネルギー差が0.50eVとなり非常に大きな差ができる。これに対し、図3に示すように、 $In_{1-x}Ga_xAs_yP_{1-y}$ ( $x = 0.272$ ,  $y = 0.590$ )遷移層を一層挿入した場合、伝導帯と価電子帯のエネルギー準位はAlInAsとInGaAsの間にあるため、このようなInGaAsP遷移層を挟むことにより、AlInAs電界緩和層とInGaAs吸収層が直接層接合されている場合に比べて、伝導帯の不連続量は小さくなる。その結果、光照射した場合に発生するキャリアはパイル・アップの影響を抑制され、より高速な光応答を実現できるという効果がある。10

#### 【0020】

特に、本実施の形態にかかるアバランシェフォトダイオード20では、3つの遷移層をその組成を調節しつつ挿入している。InGaAsP遷移層はIn、Ga、As、Pの組成を変えることでバンドギャップを比較的自由に変えることができ、遷移層の数は多ければ多いほどパイル・アップの影響を少なくすることができる。またInGaAsPはバンドギャップを大きくしていくと価電子帯のエネルギー準位がAlInAsの価電子帯よりも下に位置することになる。この状況下では光吸収層で発生したホールがAlInAs増倍層へ到達することを防ぐ効果があり、暗電流の抑制に繋げることも可能となる。

#### 【0021】

実施の形態の製造方法20

以下、図4～6を用いて、本発明の実施の形態にかかるアバランシェフォトダイオード20の製造方法について説明する。図4は、比較例として示すカーボンドープAlInAs電界緩和層を用いたアバランシェフォトダイオード成長シーケンスを示す図である。図5は、本発明の実施の形態にかかるアバランシェフォトダイオード成長シーケンスを示す図であり、遷移層を追加したカーボンドープAlInAs電界緩和層を用いたアバランシェフォトダイオード成長シーケンスを示す図である。図6は、本発明の実施の形態にかかるアバランシェフォトダイオードの製造方法のフローチャートである。

#### 【0022】

各半導体層の成長方法は、n型InP基板2上に、有機金属気相成長法(MOVPE: Metal Organic Vapor Phase Epitaxy)や分子線エピタキシャル成長法(MBEC: Molecular Beam Epitaxy)などを用いて実現できる。本実施の形態は、MOVPE法を用い、以下の工程順で作製したものである。30

#### 【0023】

(ステップS100)

本実施の形態では、MOVPE法を用い、成長温度が630のもとで、チャンバ内にセットしたn型InP基板2上に、キャリア濃度 $1 \sim 5 \times 10^{18} \text{ cm}^{-3}$ のn型InPバッファ層3を厚み $0.1 \sim 1 \mu\text{m}$ に成長させる。その後、i型AlInAsアバランシェ増倍層4を成長させる工程を実施する(ステップS100)。

#### 【0024】

(ステップS102)

その後成長温度を580まで降温する。図5は、この時点からのシーケンスを図示したものである。i型AlInAsアバランシェ増倍層4上に、p型AlInAs電界緩和層5を成長させる工程を実施する。p型AlInAs電界緩和層5の成長温度は550以上かつ600以下の温度範囲内の温度である。p型AlInAs電界緩和層5は、ドーパントとしてカーボンを用いたAlInAsからなる。本工程は、低拡散のカーボンであって、必要なキャリア濃度を得るために低温での成長を行うものである。なお、第1, 2, 3遷移層6, 7, 8の組成は、 $In_{1-x}Ga_xAs_yP_{1-y}$ で定義され $0.024 \times 0.483$ かつ $0.053 \leq y \leq 0.928$ の範囲内であることが好ましい。また、第1, 2, 3遷移層6, 7, 8は、In、Ga、As、PおよびAlを含む組成であってもよい。40

## 【0025】

(ステップS104)

p型AlInAs電界緩和層5の上面を覆うように、第1，2，3遷移層6，7，8（すなわち、n-型InGaAsP第1遷移層6、n-型InGaAsP第2遷移層7、およびn-型InGaAsP第3遷移層8）を順次成長させる工程を実施する。ここで、第1，2，3遷移層6，7，8の成長温度は、n-型InGaAs光吸收層9の成長温度より低温である。本実施の形態では、p型AlInAs電界緩和層5と同程度の温度域とする。これにより、p型AlInAs電界緩和層5が露出している期間は、p型AlInAs電界緩和層5の熱ダメージを防ぐことができる。なお、図5ではp型AlInAs電界緩和層5と第1，2，3遷移層6，7，8の成長温度がほぼ一定であるが、本発明はこれに限られるものではない。n-型InGaAsP第1遷移層6でp型AlInAs電界緩和層5を覆い尽くことで熱ダメージ抑制が確保できているのであれば、その後、n-型InGaAsP第2遷移層7やn-型InGaAsP第3遷移層8をより高温で成長させても良い。10

## 【0026】

(ステップS106)

本実施の形態では、p型AlInAs電界緩和層5の上面を、3つの遷移層全てで覆った後（つまり、最上層であるn-型InGaAsP第3遷移層8で覆った後）に昇温する。しかし、上記ステップS104で述べたとおり本発明はこれに限られず、n-型InGaAsP第1遷移層6でp型AlInAs電界緩和層5を覆い尽くことで熱ダメージ抑制が確保できているのであれば、n-型InGaAsP第1遷移層6によりp型AlInAs電界緩和層5を覆った後に昇温をしてよい。20

## 【0027】

(ステップS108)

次に、n-型InGaAs光吸收層9を成長させる工程を実施する。本実施の形態では630まで成長温度を昇温してn-型InGaAs光吸收層9を成長させるものとし、p型AlInAs電界緩和層5の成長温度よりも高い温度で成長させる。本実施の形態では遷移層のうち最も上に位置するn-型InGaAsP第3遷移層8上に、n-型InGaAs光吸收層9を成長させる。n-型InGaAs光吸收層9の成長温度は600以上かつ660以下の温度範囲内の温度である。このように、本工程では、良好な結晶性を得るため、n-型InGaAs光吸收層9については高温での成長を行うものである。30

## 【0028】

図5は遷移層を追加したカーボンドープAlInAs電界緩和層を用いたアバランシェフォトダイオード成長シーケンスである。InGaAsPはAlGaInAsよりも比較的低温で成長が可能であるため、カーボンドーピングAlInAs電界緩和層とほぼ同等の成長温度で良好な結晶性が得られる。低温で成長したInGaAsP遷移層はAlInAs電界緩和層の表面を覆い尽くしているため、アバランシェフォトダイオード構造の成長中にInGaAs光吸收層の成長温度まで昇温するとき、AlInAs電界緩和層の表面を保護することが可能となる。ここでもしAlGaInAsを用いた遷移層を低温で成長すると、酸素の混入等によりAlGaInAsの良好な結晶性を得ることが非常に困難なため、結晶成長をコントロールする必要がある。InGaAsPを遷移層に用いることで低温成長が必要なカーボンドープAlInAs緩和層との連続成長が可能になり、成長のコントロールがしやすい利点がある。40

## 【0029】

(ステップS110)

次に、窓層およびコンタクト層の成長を行う工程を実施する。

## 【0030】

(ステップS112)

次に、p型導電領域を形成する工程を実施する。SiO<sub>x</sub>膜を設けて直径25μmの円形をくり貫き、これをマスクとして、マスクのかかっていない円形部にp型導電領域50

をZn選択熱拡散手法で形成する。続いてp型InGaAsコンタクト層11が、p型導電領域14上で幅5μmの同心円状にだけ残るようにエッチング除去される。

#### 【0031】

(ステップS114)

さらにSiNx表面保護反射防止膜13を蒸着形成する。

#### 【0032】

(ステップS116)

次に、電極形成工程を実施する。p型InGaAsコンタクト層11の上部にあるSiNx表面保護反射防止膜13を取り除く。そして、p型InGaAsコンタクト層11の上にp電極12をAuZnで形成する。最後にn型InP基板2において、n型InPバッファ層3が積層されている面と逆の面を研磨し、n電極1をAuGeNiで形成する。  
10

#### 【0033】

以上説明した製造方法によれば、成長中の昇温での熱ダメージを抑制して良好な結晶成長界面を有するアバランシェフォトダイオード20を製造することができる。

#### 【0034】

ここで、図4の比較例の図を用いて、本実施の形態の効果を説明する。図4は比較例として示すカーボンドープAlInAs電界緩和層を用いたアバランシェフォトダイオード成長シーケンスである。従来のように低温で成長したAlInAs電界緩和層をむき出しにしたまま昇温を行うと、AlInAsの最表面付近に熱ダメージによる欠陥が発生し、直後に成長するInGaAs光吸收層と良好な界面を形成することが困難となる。この界面が良好で無い場合、暗電流をはじめとしたデバイス特性への影響が懸念される。本実施の形態によれば、図5に示すように、p型AlInAs電界緩和層5がむきだしとはなっていないので熱ダメージを抑制することができる。  
20

#### 【0035】

AlInAsを電子増倍層に用いるアバランシェフォトダイオード20では電界緩和層にZnやMg、Beなどでp型にドーピングしたInPやAlInAs層などを適用することが一般的である。さらに電界緩和層から増倍層や光吸收層へのp型ドーパントの拡散を抑えるために、低拡散であるカーボンをドーピングしたAlInAsを用いる技術がある。電界緩和層にカーボンをドープしたAlInAsを用いる場合は必要なp型キャリア濃度を得るため、低温で結晶成長を行う。これに対して光吸收層InGaAsは良好な結晶性を得るために比較的高温で成長する必要がある。そのため電界緩和層を成長後に光吸收層を成長する場合は、光吸收層と電界緩和層の成長温度が異なるため成長中に昇温する必要があり、この成長中の昇温によって電界緩和層の最表面が熱ダメージを受けてその後成長する光吸收層との界面に欠陥が発生する問題があった。  
30

さらに、図2、3を用いて説明したように、InGaAs光吸收層とカーボンドープAlInAs電界緩和層のバンドギャップ差が大きく、アバランシェフォトダイオード20としての動作時に入射光で発生したキャリアの移動が阻害される問題もあった。

#### 【0036】

この点、本実施の形態によれば、ドーパントとしてカーボンを用いることによる拡散抑制効果を良好に得つつ、成長中の昇温でダメージを受けずに良好な結晶成長界面を実現することができるとともに、高速応答を可能とする効果も同時に得ることができる。  
40

#### 【0037】

実施の形態の変形例。

本実施の形態では、電界緩和層にカーボンドープを行ったAlInAsについて説明したが、カーボン以外にZnやMg、BeといったAlInAsにドーピングすることでp型となる材料を用いてもよい。また電界緩和層の材料はInPに格子整合しておりバンドギャップの似通った材料であればInGaAsPでもAlGaNAsでもよい。

#### 【0038】

本実施の形態では、n-型InGaAsP遷移層は3層とした場合について説明したが  
50

、さらに数を増やして階段状に段階的にバンドギャップを変化させてもよい。これにより価電子帯の不連続量はより小さくなり、さらなる高速な光応答を実現できる。また、階段状に段階的にバンドギャップを変化させるのではなく、連続的にバンドギャップを変化させた層としてもよい。また遷移層は InGaAsP に限定する必要は無く、バンドギャップが AlInAs と InGaAs との中間付近に位置すれば、例えば Al、Ga、In、As、P などの組成により構成される遷移層でもよい。

#### 【0039】

本実施の形態では、Zn 選択熱拡散手法によって p 型導電領域 14 を形成した場合について説明したが、本発明はこれに限られるものではなく、p 導電型を付与する原子であればよい。

10

#### 【0040】

また、本実施の形態では、p 電極 12 側から p 型導電領域 14 に検出しようとする光を入射させる表面入射型構造について説明したが、逆に n 型 InP 基板 2 側から光を入射させる裏面入射型構造であってもよい。

#### 【0041】

本実施の形態では増倍層を i 型 AlInAs アバランシェ増倍層 4 としたが、本発明はこれに限られるものではない。InP に格子整合し電子のイオン化率がホールのイオン化率より大きい半導体であればよく、InGaAsP や、AlInAs / AlGaInAs 超格子や AlInAs / InGaAsP 超格子構造としてもよい。さらに、本実施の形態は電子のイオン化率が高い増倍層について説明したが、ホールのイオン化率が高い増倍層であっても第 1 導電型を n 型から p 型、第 2 導電型を p 型から n 型に入れ替えることにより、実施の形態と同様の効果がある。

20

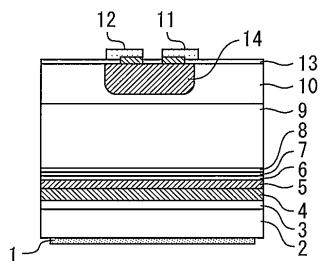
#### 【符号の説明】

#### 【0042】

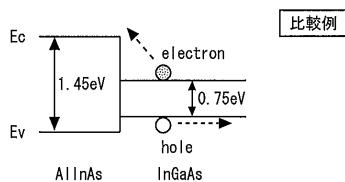
1 n 電極、2 n 型 InP 基板、3 n 型 InP バッファ層、4 i 型 AlInAs アバランシェ増倍層、5 p 型 AlInAs 電界緩和層、6 n - 型 InGaAsP 第 1 遷移層、7 n - 型 InGaAsP 第 2 遷移層、8 n - 型 InGaAsP 第 3 遷移層、9 n - 型 InGaAs 光吸收層、10 n - 型 InP 窓層、11 p 型 InGaAs コンタクト層、12 p 電極、13 SiNx 表面保護反射防止膜、14 p 型導電領域、20 アバランシェフォトダイオード

30

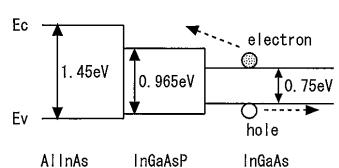
【図1】



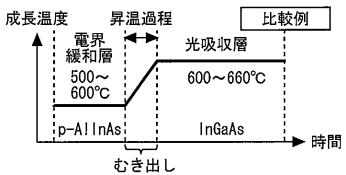
【図2】



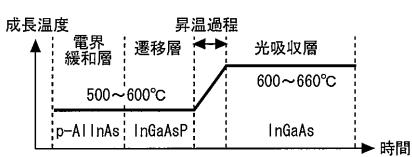
【図3】



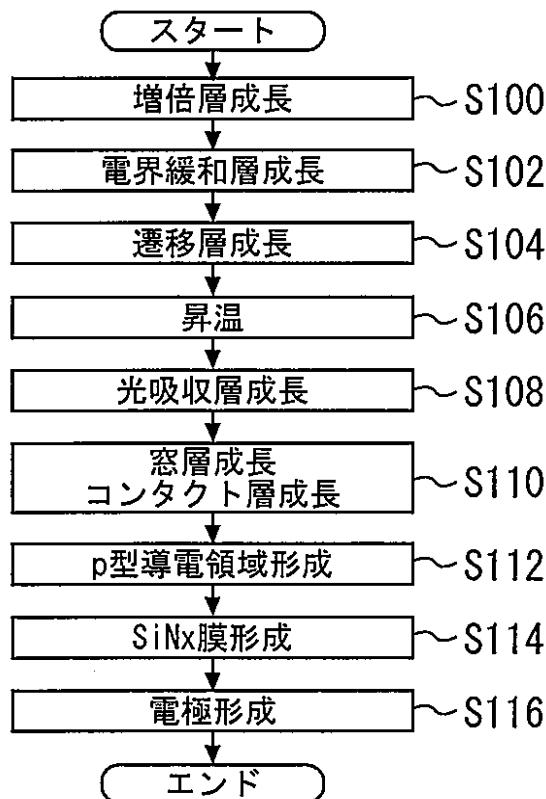
【図4】



【図5】



【図6】



---

フロントページの続き

審査官 森江 健蔵

(56)参考文献 特開2011-119595(JP,A)

特開2011-243675(JP,A)

特表2005-516414(JP,A)

特開2006-237186(JP,A)

特開2004-031707(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 31/107