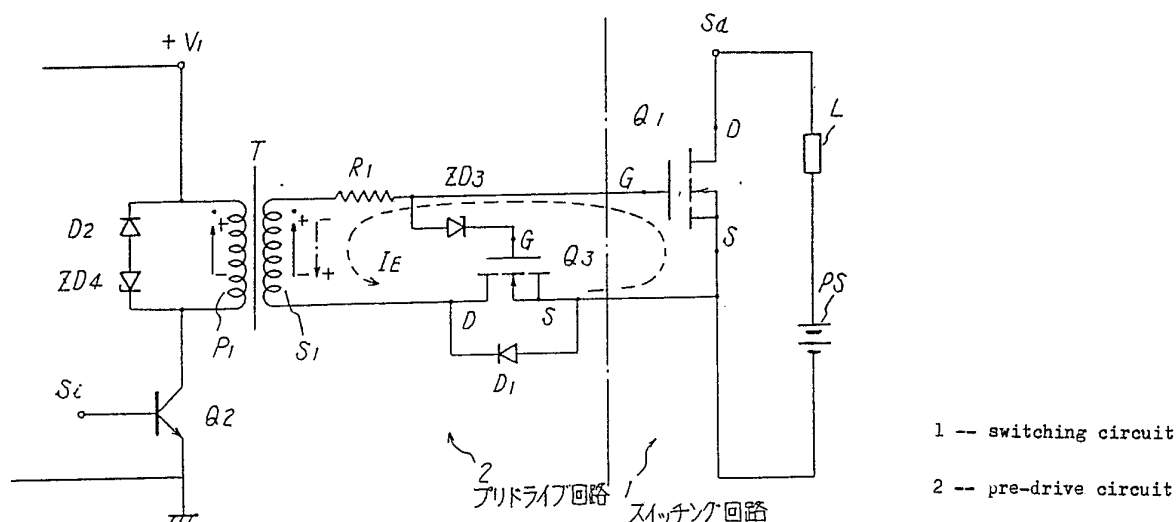


特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 ⁴ H03K 17/687, 17/04	A1	(11) 国際公開番号 WO 88/ 05978 (43) 国際公開日 1988年8月11日 (11.08.88)
(21) 国際出願番号 PCT/JP88/00081 (22) 国際出願日 1988年1月29日 (29. 01. 88) (31) 優先権主張番号 特願昭 62-19386 (32) 優先日 1987年1月29日 (29. 01. 87) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) ファナック株式会社 (FANUC LTD) (JP/JP) 〒401-05 山梨県南都留郡忍野村忍草字古馬場3580番地 Yamanashi, (JP) (72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 中村茂雄 (NAKAMURA, Shigeo) (JP/JP) 〒193 東京都八王子市門田町1214の1 めじろ台ハイム1011 Tokyo, (JP) 八色 修 (YAIRO, Osamu) (JP/JP) 〒191 東京都日野市旭が丘2-36-11 睦コーポ303号 Tokyo, (JP) (74) 代理人 弁理士 辻 實 (TSUJI, Minoru) 〒101 東京都千代田区神田小川町3丁目14番地 第一万水ビル 辻特許事務所 Tokyo, (JP)		(81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), US . 添付 公開書類 国際調査報告書

(54) Title: PRE-DRIVE CIRCUIT

(54) 発明の名称 プリドライブ回路



(57) Abstract

A pre-drive circuit for controlling the turn on/turn off of a MOS FET via a pulse transformer. Between the secondary side of the pulse transformer and the MOS FET, there is provided an element which electrically shuts off the pulse transformer from the MOS FET when a voltage across the gate and the drain of the MOS FET has dropped to some extent toward the negative side, such that the gate - drain voltage of the MOS FET will not excessively plunge into a negative value.

(57) 要約

パルストランスを介してMOS型電界効果トランジスタのターン・オン／ターン・オフを制御するブリドライブ回路は、パルストランスの二次側とMOS型電界効果トランジスタとの間に、MOS型電界効果トランジスタのゲート・ドレイン間の電圧がある程度マイナスに低下した時パルストランスとMOS型電界効果トランジスタ間を電氣的に遮断する素子を設け、MOS型電界効果トランジスタのゲート・ドレイン間の電圧がマイナスに行き過ぎないようにしている。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

- 1 -

明 細 書

ブリドライブ回路

技 術 分 野

本発明は、スイッチングレギュレータやDC-DCコンバータ等において使用されるブリドライブ回路に関する。

背 景 技 術

パルストランスの一次側を流れる電流を断続せしめ、その二次側に発生するパルスをパワー用のMOS型電界効果トランジスタ（以下FETと称する）に印加し、負荷電流を該パワーFETにて断続制御するブリドライブ回路は周知であり、その一例を第3図に示す。

第3図に示す従来の回路によれば、パルストランスTの二次側は直接パワーFET Q_1 のゲート、ソースに接続されており、パルストランスTの一次側に接続されているドライブトランジスタ Q_2 を使ってパワーFET Q_1 をターン・オン／ターン・オフ制御するものである。このようなブリドライブ回路に使用されるパワーFETは、制御する電流も大きく従ってゲートから見た静電容量（入力容量）も当然大きいものとなる。

第3図において、スイッチング回路1は、電源PSから負荷Lに供給される電流をパワーFET Q_1 によりターン・オン／ターン・オフ制御するものであり、ブリドライブ回路2と接続される。スイッチング用のトランジスタ Q_2 をターン・オンすると、実線で示す極性の電

圧によりパワー FET Q_1 のゲートが正側に充電され、
該パワー FET Q_1 はターン・オンの状態となる。また
パワー FET Q_1 をターン・オフさせるためにスイッチ
ング用のトランジスタ Q_2 をターン・オフすると、パ
ワー FET Q_1 のゲートに充電されている電荷はパルス
トランス T の二次コイルに破線で示す電流 I_E となって
放電され、さらに負側に充電されてパワー FET Q_1 は
ターン・オフ状態となる。なお、ZD1 及び ZD2 はパ
ワー FET Q_1 のゲートに印加される電圧が過大となら
ないように制限し、保護するためのツェナーダイオード
である。

上述のような従来のブリドライブ回路では、パワー FET Q_1 をターン・オンした後、ターン・オフするときは、パルストランス T の磁束を初期値にリセットしさらに前記パワー FET Q_1 をターン・オフするのに必要な負側の電圧までゲートを充電する必要がある。このため、パルストランス T の 2 次コイル s_1 ・パワー FET Q_1 のソース・ゲートの経路を流れる電流 I_E は、パワー FET Q_1 の入力容量が大きく、パワー FET Q_1 がターン・オンの状態からターン・オフとなるときの経過時間が短く、ゲート電圧の時間当りの変化が大きい程、大きくなってはならない。従ってパルストランス T の磁芯はそれだけ大型のものが必要となる。

パワー FET Q_1 のゲートに充電されたエネルギーは結局損失となるため、前記ゲートをパワー FET Q_1 を

- 3 -

ターン・オフとする負電圧を超えて不必要な電圧領域まで充電することは意味がなく駆動電力を増加させるのみで駆動電力効率を低下させる。

5 上述のように、次の駆動サイクルのためには急速にバルストランスTの磁束を初期値へリセットする必要があるが、パワーFET Q_1 のゲートは前述のように充電されて、かつバルストランスTの二次側に直結されているため、この充電による電荷を放電する時間が必要であり、該バルストランスTの磁束は急速に初期値へリセットすることができない。このため高速スイッチングを行
10 わせる場合は、上述の電荷を放電させる時間遅れがあり、このため正常な動作ができない。

本発明は、以上のような点に鑑みてなされたもので、バルストランスを介してパワーFETのターン・オン/
15 ターン・オフ制御をするブリドライブ回路において、パワーFETのゲート入力容量に充電される電荷の影響を軽減することにより低い駆動電力で動作し、高速スイッチング時の性能の低下を防止したブリドライブ回路を提供することを目的としている。

20 発 明 の 開 示

上述の如き従来の欠点を改善するため、本発明は、バルストランスの一次側を流れる電流を断続する第1のスイッチング素子への信号を、バルストランスの二次側に発生したパルスによりターン・オン/ターン・オフ制御
25 され負荷電流を断続せしめる第1のMOS型電界効果ト

ランジスタに伝達するブリドライブ回路において、一次側を流れる電流を前記スイッチング素子により断続制御されるパルストランスと、該パルストランスの二次側に接続され、前記 MOS 型電界効果トランジスタのゲート
5 電圧が正方向から負の領域に変化したとき所定の負電圧を検出する検出手段と、該検出手段が所定の負電圧を検出したとき該 MOS 型電界効果トランジスタのゲートに
入力されるパルストランスの二次側出力を遮断する遮断手段を具備したブリドライブ回路を提供する。

10 本発明では、該 MOS 型電界効果トランジスタをターン・オン状態からターン・オフ状態とするとき、前記 MOS 型電界効果トランジスタのゲート、ソース間の電圧が設定値を超えて負側に移行したときは、前記遮断手段により前記 MOS 型電界効果トランジスタとパルストラ
15 ンスの二次側とを切離してゲートを不必要な負電圧の領域にまで充電することを防止する。

図面の簡単な説明

第 1 図は本発明の一実施例示すブリドライブ回路及びその周辺回路を示す回路図、第 2 図は本発明の第 2 の実施例を示す回路図、第 3 図は従来のブリドライブ回路の回路図である。
20

発明を実施するための最良の形態

次に本発明の一実施例について図面を参照して説明する。

25 第 1 図は、本発明の第 1 の実施例を示すブリドライブ

回路である。このブリドドライブ回路 2 によって駆動されるべきスイッチング回路 1 は、図では簡略化して示しているが、パワー F E T Q_1 等を備え、このパワー F E T Q_1 がブリドドライブ回路からの制御信号によってターン・オンまたはターン・オフされる。このパワー F E T Q_1 のソース端子は、第 1 の制御回路を構成しているパワー F E T Q_3 のソース端子に接続される。この F E T Q_3 のドレイン端子はパルストランス T の 2 次コイル S_1 の一端に接続され、他端は電流制限用の抵抗 R_1 を介してパワー F E T Q_1 のゲート端子に接続されるとともに、ツェナーダイオード Z D 3 を介して前記 F E T Q_3 のゲート端子に接続されている。また、F E T Q_3 のソース、ドレイン端子間にはソースからドレインに向って導通方向となるようにダイオード D_1 が接続されている。パルストランス T の 1 次側には、ダイオード D_2 とツェナーダイオード Z D 4 との直列回路が並列に接続されている。そして電源 V_1 からパルストランス T の 1 次コイル P_1 を介してドライブトランジスタ Q_2 のコレクタに接続されており、そのエミッタは接地されている。ドライブトランジスタ Q_2 のベースには制御信号 S_i が入力されるように回路構成されている。

パワー F E T Q_1 をターン・オンさせるためドライブトランジスタ Q_2 をターン・オンさせると、パルストランス T の二次コイル S_1 には第 1 図に実線で示す矢印方向の極性の電圧が生じ、この電圧により電流制限用抵抗

R₁ 及び第 1 の制御回路の FET Q₃ のドレイン・ソース間に設けたダイオード D₁ を介してパワー FET Q₁ のゲートが充電され、パワー FET Q₁ はターン・オンの状態となる。次にパワー FET Q₁ をこのターン・オン状態からターン・オフの状態とするためトランジスタ Q₂ をターン・オフすると、パワー FET Q₁ のゲートに充電されている電荷は、電流制限用抵抗 R₁ ・パルストランス T の二次コイル S₁ ・ FET Q₃ ・パワー FET Q₁ の経路で流れ、パワー FET Q₁ のゲートに充電された電荷は引抜かれてゲート電圧は低下する。このゲート電圧が 0 ボルトに近い値になると、パワー FET Q₁ はターン・オフ状態となる。さらにゲート電圧が低下し負側となりツェナーダイオード ZD3 のツェナー電圧で定まる設定電圧を超えて負側になるとツェナーダイオード ZD3 を介して制御用の FET Q₃ のゲートの電荷が引き抜かれて FET Q₃ のゲート・ソース間の電圧が約 0 ボルトとなって FET Q₃ が遮断状態となり、電流 I_E の経路は遮断される。従ってパワー FET Q₁ のゲート電圧はこれ以上負側に増大することはない。さらに負側に増大するパルストランス T の出力電圧はパルストランス T の一次側に並列に接続されたダイオード D₂ とツェナーダイオード ZD4 との回路に印加されて、パルストランス T のコアに残留している磁気エネルギーを放出する。磁気エネルギーを放出しおわるとパルストランス T の磁束は初期値にリセットされ、端子電圧は急速

に 0 ボルトとなる。電流制限用抵抗 R_1 は、パワー FET Q_1 のゲートへ流入あるいは流出する電流を制限することにより、不必要な程高速のスイッチング動作を制限してノイズあるいはサージ電圧の発生をおさえる役目をはたすものである。

以上説明したように上述の実施例では、スイッチング素子として使用するパワー FET Q_1 をターン・オンさせた後にターン・オフさせようとして、ドライブトランジスタ Q_2 をターン・オンの後ターン・オフさせるとき、パワー FET Q_1 のゲートが不必要な電圧領域まで充電されないように第 1 の制御回路を作動させる。さらにバルストランス T の一次側に設けたダイオード D_2 、ツェナーダイオード ZD_4 の回路により、次の駆動サイクルに対してバルストランス T の磁束が急速に初期値にリセットされる。

次に、第 2 図を用いて第 2 の実施例を説明すると、ここではバルストランス T が第 2 の一次コイル P_2 を有し、さらにこれを制御する制御回路を備えている点が異なっており、他の回路は第 1 の実施例と同一である。これらの部分は第 1 図、第 2 図において同符号をもって表示してあり、説明を省略する。

第 2 図において、バルストランス T には第 2 の一次コイル P_2 が設けてあり、該コイル P_2 の一端は制御用の FET Q_4 のドレイン端子に接続され、FET Q_4 のソースは接地されており、ゲートは後述する入力信号-

S_iが入力されている。前記第2の一次コイルP₂の他
端はダイオードD₃を介して前記FETQ₄のソースに
接続されると同時に接地されている。また前記パルス
5 トランスTの第2の一次コイルP₂の他端はダイオード
D₂を介して電源V₁に接続されている。ドライブトラ
ンジスタQ₂のベースと、前記制御用のFETQ₄の
ゲートには互いに逆相の信号S_iと-S_iとを供給する
制御回路3の信号出力トランジスタQ₅が接続されると
10 ともに、ドライブトランジスタQ₂のベースにはベース
抵抗R₂が接続され、FETQ₄のゲートには抵抗R₃
が接続されている。

以上のような第2の実施例の回路では、スイッチング
素子用のパワーFETQ₁をドライブトランジスタQ₂
によりターン・オンさせた後ターン・オフさせるとき、
15 ドライブトランジスタQ₂がターン・オフとなると同時
に制御用のFETQ₄がターン・オンする。このFET
Q₄がターン・オン状態となると、パルストランスTの
第2の一次コイルP₂は、ダイオードD₃・制御用のF
ETQ₄の経路に電流を流すことにより、パルストラン
20 スTの端子電圧を急速に0ボルトとする。以上の動作に
よりパワーFETQ₁のゲートに充電されている電荷は
引抜かれてゲート電圧は急速に0ボルトとなり、パワー
FETQ₁はターン・オフ状態となる。これ以後、FET
TQ₃が遮断状態となるまでの動作は、第1の実施例の
25 場合と同じである。FETQ₃が遮断状態となった後、

さらに負側に増大するパルストランス T の出力電圧は、ダイオード $D_2 \cdot D_4$ を介して電源 V_1 にクランプされる。これ以後、第 1 の実施例の場合と同様に、磁気エネルギーを放出しおわるとパルストランス T の磁束は初期
5 値にリセットされ次の駆動サイクルに備えることができる。

以上本発明による 2 つの実施例について説明したが、本発明の精神から逸れないかぎりにおいて、種々の異なる実施例は容易に構成できるから、本発明は請求の範囲
10 において記載した限定以外、特定の実施例に制約されるものではない。

発明の利用可能性

本発明によれば、パルストランスを介してパワー FET のターン・オン／ターン・オフ制御をするブリドライブ回路において、パワー FET の入力容量の影響を減少
15 させて、駆動電力を減少させパルストランスを小形とし、高速スイッチング時の前記入力容量による性能低下を防止できるブリドライブ回路を提供することができる。

20

25

- 1 0 -

請 求 の 範 囲

(1) パルストランスの一次側を流れる電流を断続する
第 1 のスイッチング素子への信号を、パルストランスの
二次側に発生したパルスによりターン・オン／ターン・
5 オフ制御され負荷電流を断続せしめる第 1 の M O S 型電
界効果トランジスタに伝達する、ブリドライブ回路は次
を含む：

一次側を流れる電流を前記スイッチング素子により断
続制御されるパルストランスと；

10 該パルストランスの二次側に接続され、前記 M O S 型
電界効果トランジスタのゲート電圧が正方向から負の領
域に変化したとき所定の負電圧を検出する検出手段と；

該検出手段が所定の負電圧を検出したとき該 M O S 型
電界効果トランジスタのゲートに入力されるパルストラ
15 ンスの二次側出力を遮断する遮断手段。

(2) 上記検出手段が所定の負電圧を検出したとき該 M
O S 型電界効果トランジスタのゲートに入力されるパル
ストランスの二次側出力を遮断する遮断手段は第 2 の M
20 O S 型電界効果トランジスタであることを特徴とする請
求の範囲第 (1) 項記載のブリドライブ回路。

(3) 前記第 2 の M O S 型電界効果トランジスタのドレ
イン・ソースと並列に、第 1 の M O S 型電界効果ラン
ジスタをターン・オフ状態からターン・オン状態にドラ
25

- 1 1 -

イブする時の電流の通路として動作するためのダイオードを接続することを特徴とする請求の範囲第(2)項記載のブリドライブ回路。

5 (4) 前記第2のMOS型電界効果トランジスタのゲートとパルストランスの二次側との間にツェナーダイオードを接続することを特徴とする請求の範囲第(2)項又は第(3)項記載のブリドライブ回路。

10 (5) パルストランスの二次側と第1のMOS型電界効果トランジスタとの間に、電流制限用の抵抗を設けたことを特徴とする請求の範囲第(2)項又は第(3)項又は第(4)記載のブリドライブ回路。

15 (6) パルストランスの一次側に第2の一次コイルを設けるとともに該第2の一次コイルと並列に接続された第2のスイッチング素子と第1のMOS型電界効果トランジスタをターン・オンの状態からターン・オフの状態に動作させる時該第2のスイッチング素子をターン・オン
20 して第2の一次コイルを短絡せしめることを特徴とする請求の範囲第(1)項又は第(2)項又は第(3)項又は第(4)又は第(5)項記載のブリドライブ回路。

25

Fig. 1

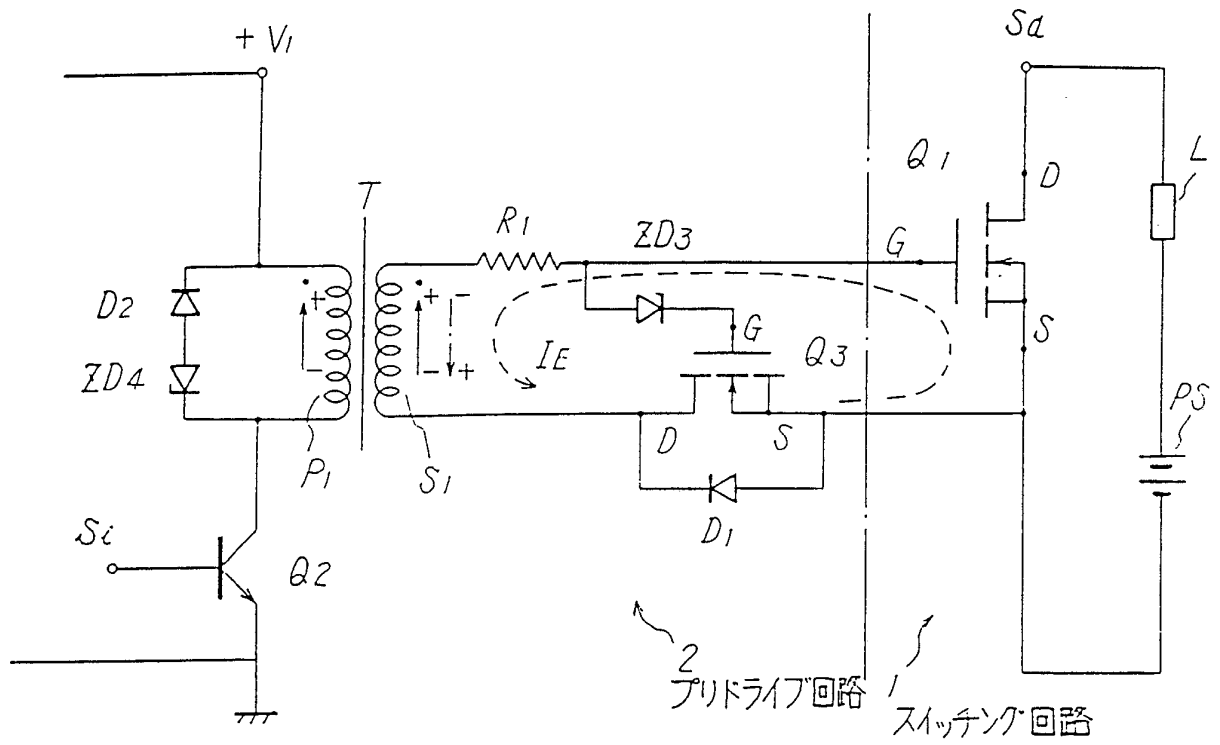


Fig. 3

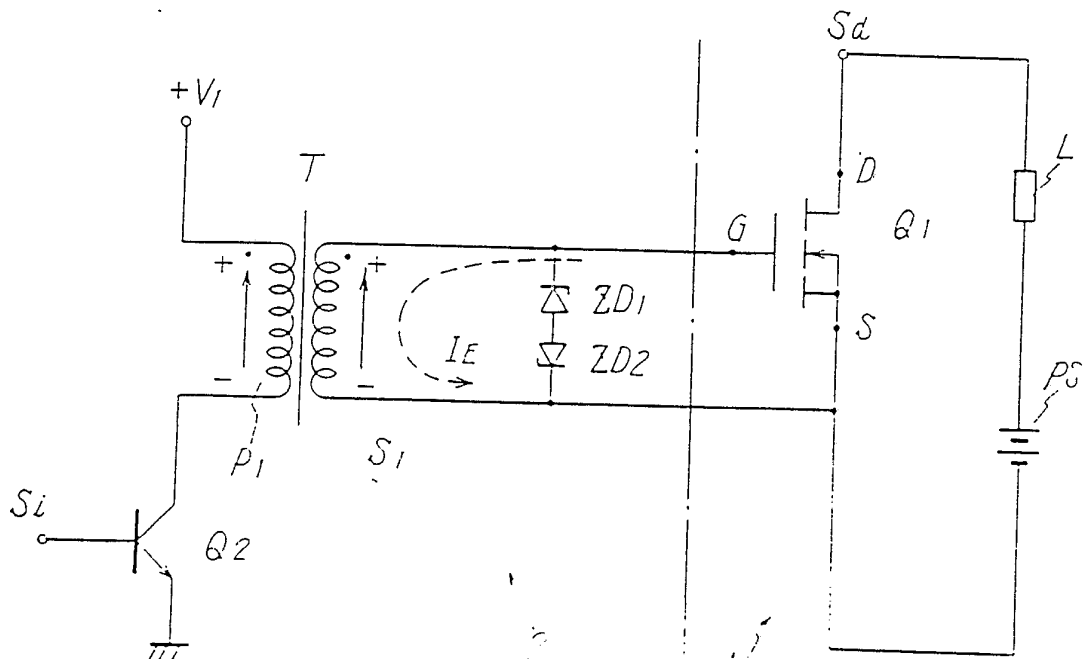
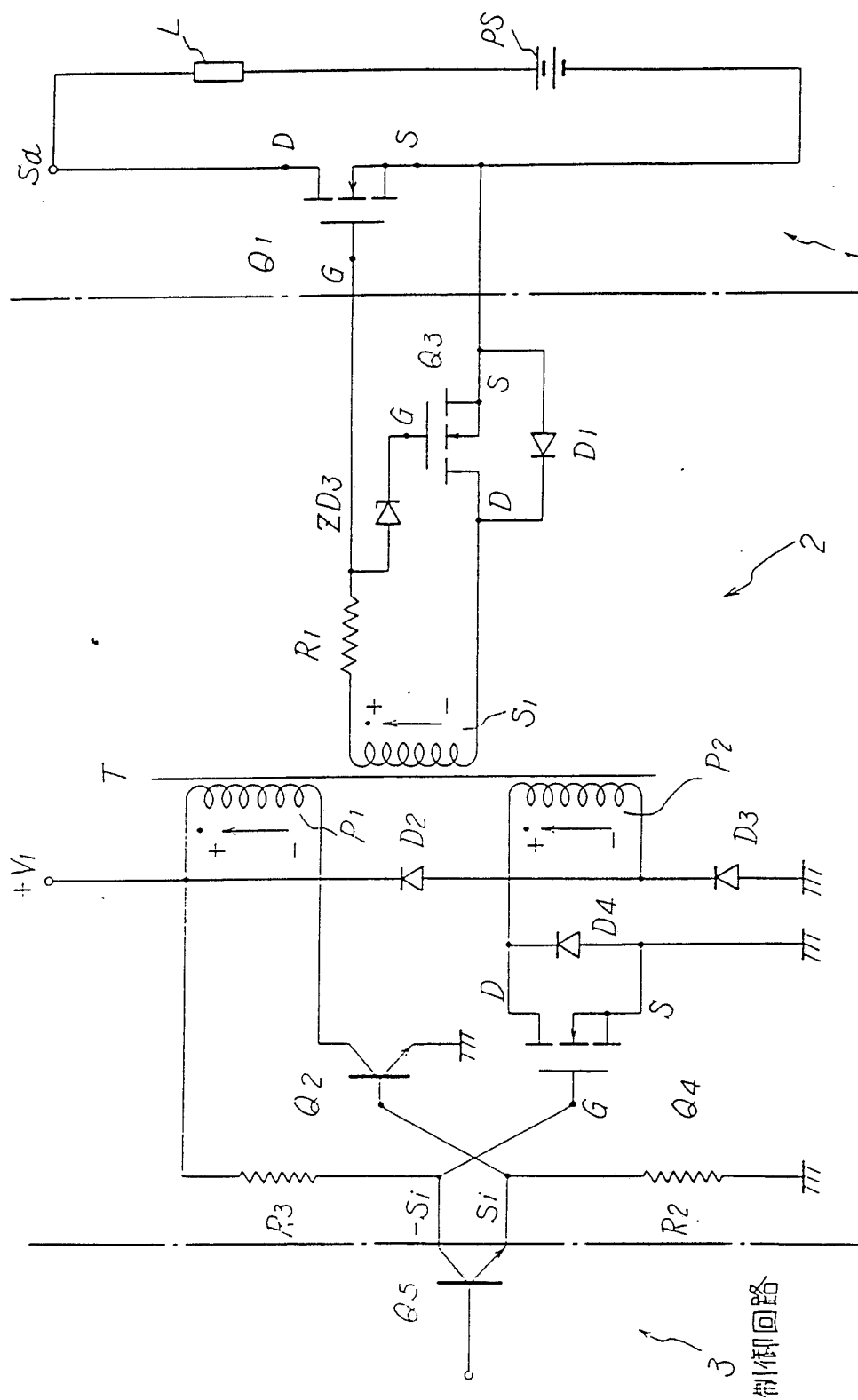


Fig. 2



INTERNATIONAL SEARCH REPORT

International Application No PCT/JP88/00081

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³ According to International Patent Classification (IPC) or to both National Classification and IPC Int.Cl⁴ H03K17/687, H03K17/04														
II. FIELDS SEARCHED Minimum Documentation Searched ⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%; padding: 5px;">Classification System</td> <td style="padding: 5px;">Classification Symbols</td> </tr> <tr> <td style="text-align: center; padding: 10px;">IPC</td> <td style="padding: 10px;">H03K17/687, H03K17/04, H03K17/56</td> </tr> </table> Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵ Jitsuyo Shinan Koho 1926 - 1988 Kokai Jitsuyo Shinan Koho 1971 - 1988			Classification System	Classification Symbols	IPC	H03K17/687, H03K17/04, H03K17/56								
Classification System	Classification Symbols													
IPC	H03K17/687, H03K17/04, H03K17/56													
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴ <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <th style="width: 10%; padding: 5px;">Category *</th> <th style="width: 70%; padding: 5px;">Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷</th> <th style="width: 20%; padding: 5px;">Relevant to Claim No. ¹⁸</th> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 10px;">X</td> <td style="padding: 10px;">JP, A, 61-16620 (Nippon Telegraph & Telephone Public Corporation) 24 January 1986 (24. 01. 86) (Family: none)</td> <td style="text-align: center; vertical-align: top; padding: 10px;">1-3, 6</td> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 10px;">Y</td> <td style="padding: 10px;">JP, A, 61-177815 (Fuji Electric Co., Ltd.) 9 August 1986 (09. 08. 86) (Family: none)</td> <td style="text-align: center; vertical-align: top; padding: 10px;">4</td> </tr> <tr> <td style="text-align: center; vertical-align: top; padding: 10px;">Y</td> <td style="padding: 10px;">JP, Y, 61-18636 (Fuji Electrochemical Co., Ltd.) 3 February 1986 (03. 02. 86) (Family: none) or JP, Y, 58-6440 (Boltic Kabushiki Kaisha) 17 January 1983 (17. 01. 83) (Family: none)</td> <td style="text-align: center; vertical-align: top; padding: 10px;">5</td> </tr> </table>			Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸	X	JP, A, 61-16620 (Nippon Telegraph & Telephone Public Corporation) 24 January 1986 (24. 01. 86) (Family: none)	1-3, 6	Y	JP, A, 61-177815 (Fuji Electric Co., Ltd.) 9 August 1986 (09. 08. 86) (Family: none)	4	Y	JP, Y, 61-18636 (Fuji Electrochemical Co., Ltd.) 3 February 1986 (03. 02. 86) (Family: none) or JP, Y, 58-6440 (Boltic Kabushiki Kaisha) 17 January 1983 (17. 01. 83) (Family: none)	5
Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸												
X	JP, A, 61-16620 (Nippon Telegraph & Telephone Public Corporation) 24 January 1986 (24. 01. 86) (Family: none)	1-3, 6												
Y	JP, A, 61-177815 (Fuji Electric Co., Ltd.) 9 August 1986 (09. 08. 86) (Family: none)	4												
Y	JP, Y, 61-18636 (Fuji Electrochemical Co., Ltd.) 3 February 1986 (03. 02. 86) (Family: none) or JP, Y, 58-6440 (Boltic Kabushiki Kaisha) 17 January 1983 (17. 01. 83) (Family: none)	5												
* Special categories of cited documents: ¹⁵ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family														
IV. CERTIFICATION <table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 50%; padding: 5px;">Date of the Actual Completion of the International Search ²</td> <td style="width: 50%; padding: 5px;">Date of Mailing of this International Search Report ²</td> </tr> <tr> <td style="text-align: center; padding: 10px;">March 1, 1988 (01. 03. 88)</td> <td style="text-align: center; padding: 10px;">March 28, 1988 (28. 03. 88)</td> </tr> <tr> <td style="width: 50%; padding: 5px;">International Searching Authority ¹</td> <td style="width: 50%; padding: 5px;">Signature of Authorized Officer ²⁰</td> </tr> <tr> <td style="text-align: center; padding: 10px;">Japanese Patent Office</td> <td style="padding: 10px;"></td> </tr> </table>			Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ²	March 1, 1988 (01. 03. 88)	March 28, 1988 (28. 03. 88)	International Searching Authority ¹	Signature of Authorized Officer ²⁰	Japanese Patent Office					
Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ²													
March 1, 1988 (01. 03. 88)	March 28, 1988 (28. 03. 88)													
International Searching Authority ¹	Signature of Authorized Officer ²⁰													
Japanese Patent Office														

I. 発明の属する分野の分類			
国際特許分類 (IPC) Int. Cl. H03K17/687, H03K17/04			
II. 国際調査を行った分野			
調 査 を 行 っ た 最 小 限 資 料			
分 類 体 系	分 類 記 号		
IPC	H03K17/687, H03K17/04, H03K17/56		
最小限資料以外の資料で調査を行ったもの			
日本国実用新案公報		1926-1988年	
日本国公開実用新案公報		1971-1988年	
III. 関連する技術に関する文献			
引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		請求の範囲の番号
X	JP. A. 61-16620 (日本電信電話公社) 24. 1月. 1986 (24. 01. 86) (ファミリーなし)		1-3, 6
Y	JP. A. 61-177815 (富士電機株式会社) 9. 8月. 1986 (09. 08. 86) (ファミリーなし)		4
Y	JP. Y. 61-18636 (富士電気化学株式会社) 3. 2月. 1986 (03. 02. 86) (ファミリーなし) 又は JP. Y. 58-6440 (ボルテック株式会社) 17. 1月. 1983 (17. 01. 83) (ファミリーなし)		5
引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技术水準を示すもの 「E」先行文献ではあるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリーの文献			
IV. 認 証			
国際調査を完了した日 01. 03. 88		国際調査報告の発送日 28. 03. 88	
国際調査機関 日本国特許庁 (ISA/JP)		権限のある職員 特許庁審査官 浜 野 友 茂	