(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月16日(16.11.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/218279 A1

(51) 国際特許分類:
G11C 5/06 (2006.01)
G06F 12/00 (2006.01)
G06F 12/06 (2006.01)
G11C 5/04 (2006.01)
G11C 7/12 (2006.01)
G11C 7/22 (2006.01)
H01L 21/336 (2006.01)
H01L 21/8234 (2006.01)
H01L 27/06 (2006.01)
H01L 27/088 (2006.01)
H01L 29/786 (2006.01)
H01L 29/788 (2006.01)
H01L 29/792 (2006.01)
H10B 12/00 (2023.01)
H10B 41/70 (2023.01)

(21) 国際出願番号： PCT/IB2023/054418

(22) 国際出願日： 2023年4月28日(28.04.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-079149 2022年5月13日(13.05.2022) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (**SEMICONDUCTOR ENERGY LABORATORY CO., LTD.**) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

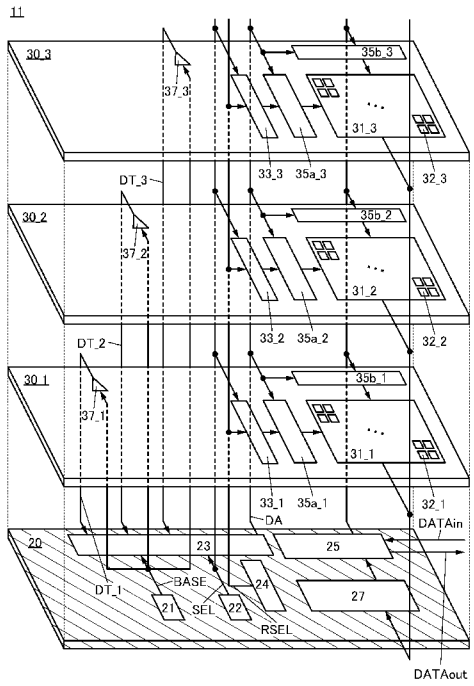
(72) 発明者: 古谷一馬 (**FURUTANI, Kazuma**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 郷戸宏充 (**GODO, Hiromichi**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP). 黒川義元 (**KUROKAWA, Yoshiyuki**); 〒2430036 神奈川県厚木市長谷398 株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,

(54) **Title:** SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置

図2



(57) **Abstract:** Provided is a semiconductor device that has a high storage density and is highly reliable. The semiconductor device comprises first to third layers that are laminated. The first layer includes a delay signal generation circuit and a row circuit. The second layer includes a first delay addition circuit and a first memory cell, and the third layer includes a second delay addition circuit and a second memory cell. The delay signal generation circuit has a function for generating first and second delay signals representing first and second delay times, and supplying said delay signals to the first and second delay addition circuits, respectively. The row circuit has a function for generating a row selection signal for selecting the first or second memory cell to be subjected to a reading operation, and supplying said row selection signal to the first or second delay addition circuit. The first delay addition circuit has a function for supplying the row selection signal to the first memory cell after the first delay time has elapsed. The second delay addition circuit has a function for supplying the row selection signal to the second memory cell after the second delay time has elapsed. The first delay time is longer than the second delay time.

WO 2023/218279 A1

[続葉有]

MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告(条約第21条(3))

— 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約:記憶密度が高く、且つ信頼性が高い半導体装置を提供する。第1乃至第3の層が積層された半導体装置。第1の層は、遅延信号生成回路、及び行回路を有する。第2の層は、第1の遅延付加回路、及び第1のメモリセルを有し、第3の層は、第2の遅延付加回路、及び第2のメモリセルを有する。遅延信号生成回路は、第1及び第2の遅延時間を表す第1及び第2の遅延信号を生成し、それぞれ第1及び第2の遅延付加回路に供給する機能を有する。行回路は、読み出し動作を行う第1又は第2のメモリセルを選択する、行選択信号を生成し、第1又は第2の遅延付加回路に供給する機能を有する。第1の遅延付加回路は、行選択信号を、第1の遅延時間の経過後に第1のメモリセルに供給する機能を有する。第2の遅延付加回路は、行選択信号を、第2の遅延時間の経過後に第2のメモリセルに供給する機能を有する。第1の遅延時間は、第2の遅延時間より長い。

明細書

発明の名称

半導体装置

技術分野

［０００１］

本発明の一態様は、半導体装置に関する。本発明の一態様は、半導体装置の駆動方法に関する。本発明の一態様は、記憶装置に関する。本発明の一態様は、記憶装置の駆動方法に関する。本発明の一態様は、電子機器に関する。

［０００２］

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、又は、製造方法に関するものである。又は、本発明の一態様は、プロセス、マシン、マニュファクチャ、又は、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、又は、それらの製造方法、を一例として挙げることができる。

背景技術

［０００３］

近年、扱われるデータ量の増大に伴って、より大きな記憶容量を有する記憶装置が求められている。単位面積あたりの記憶容量を増加させるためには、３Ｄ　ＮＡＮＤ型の記憶装置等のように、メモリセルを積層して設けることが有効である（特許文献１乃至特許文献３参照）。メモリセルを積層して設けることにより、単位面積当たりの記憶容量をメモリセルの積層数に応じて増加させることができる。

［先行技術文献］

［特許文献］

［０００４］

［特許文献１］米国特許出願公開２０１１／００６５２７０号明細書

［特許文献２］米国特許出願公開２０１６／０１４９００４号明細書

［特許文献３］米国特許出願公開２０１３／００６９０５２号明細書

発明の概要

発明が解決しようとする課題

［０００５］

記憶装置において、例えば、メモリセルへのデータの書き込み、及び読み出しを制御する駆動回路が設けられたシリコンダイの上に、複数のメモリセルアレイが積層して設けられる場合、駆動回路からメモリセルアレイまでの配線距離は、メモリセルアレイの階層ごとに異なる。具体的には、上の階層に設けられるメモリセルアレイほど、駆動回路からメモリセルアレイまでの配線距離が長くなる。配線距離が長くなるほど、配線抵抗が大きくなるため、駆動回路が信号を生成してから当該信号がメモリセルアレイに供給されるまでの時間、及びメモリセルアレイからデータを読み出す際に当該データが駆動回路に供給されるまでの時間が長くなる場合がある。このため、例えば異なる階層に設けられた二つのメモリセルアレイから同時にデータを読み出す必要がある場合でも、データが同時に読み出されない場合がある。具体的には、上の階層のメモリセルに保持されたデータの

読み出しが、下の階層のメモリセルに保持されたデータの読み出しより遅くなる場合がある。これにより、半導体装置が誤動作を起こす場合がある。

［０００６］

本発明の一態様は、信頼性が高い半導体装置を提供することを課題の１つとする。又は、本発明の一態様は、記憶容量が大きい半導体装置を提供することを課題の１つとする。又は、本発明の一態様は、記憶密度が高い半導体装置を提供することを課題の１つとする。又は、本発明の一態様は、小型の半導体装置を提供することを課題の１つとする。又は、本発明の一態様は、低消費電力の半導体装置を提供することを課題の１つとする。又は、本発明の一態様は、新規な半導体装置を提供することを課題の１つとする。

［０００７］

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出できる。なお、本発明の一態様は、上記列挙した課題、及び／又は他の課題のうち、少なくとも１つの課題を解決するものである。

課題を解決するための手段

［０００８］

本発明の一態様は、第１の層と、第１の層上の第２の層と、第２の層上の第３の層と、を有し、第１の層は、遅延信号生成回路と、行回路と、を有し、第２の層は、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、第３の層は、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成し、第１の遅延付加回路に供給する機能、及び第２の遅延時間を表す第２の遅延信号を生成し、第２の遅延付加回路に供給する機能を有し、行回路は、読み出し動作を行う第１又は第２のメモリセルを選択する、行選択信号を生成し、第１又は第２の遅延付加回路に供給する機能を有し、第１の遅延付加回路は、第１の遅延付加回路に供給された行選択信号を、第１の遅延時間の経過後に第１の記憶部に供給する機能を有し、第２の遅延付加回路は、第２の遅延付加回路に供給された行選択信号を、第２の遅延時間の経過後に第２の記憶部に供給する機能を有し、第１の遅延時間は、第２の遅延時間より長い半導体装置である。

［０００９］

又は、本発明の一態様は、第１の層と、第１の層上の第２の層と、第２の層上の第３の層と、を有し、第１の層は、選択信号生成回路と、遅延信号生成回路と、行回路と、を有し、第２の層は、第１の選択回路と、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、第３の層は、第２の選択回路と、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、選択信号生成回路は、選択信号を生成し、遅延信号生成回路、第１の選択回路、及び第２の選択回路に供給する機能を有し、遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成する機能、及び第２の遅延時間を表す第２の遅延信号を生成する機能を有し、遅延信号生成回路は、選択信号に基づき、第１の遅延信号、又は第２の遅延信号の一方を出力して、第１の遅延付加回路、及び第２の遅延付加回路に供給する機能を有し、行回路は、読み出し動作を行う第１又は第２のメモリセルを選択する、行選択信号を生成する機能を有し、行回路は、行選択信号を、第１の選択回路、及び第２の選択回路に供給する機能を有し、

第１の選択回路は、遅延信号生成回路が第１の遅延信号を出力する場合に、行選択信号を第１の遅延付加回路に供給する機能を有し、第２の選択回路は、遅延信号生成回路が第２の遅延信号を出力する場合に、行選択信号を第２の遅延付加回路に供給する機能を有し、第１の遅延付加回路は、第１の遅延付加回路に供給された行選択信号を、第１の遅延時間の経過後に第１の記憶部に供給する機能を有し、第２の遅延付加回路は、第２の遅延付加回路に供給された行選択信号を、第２の遅延時間の経過後に第２の記憶部に供給する機能を有し、第１の遅延時間は、第２の遅延時間より長い半導体装置である。

［００１０］

又は、上記態様において、第１の層は、基準信号生成回路を有し、第２の層は、第１のバッファ回路を有し、第３の層は、第２のバッファ回路を有し、基準信号生成回路は、基準信号を生成し、遅延信号生成回路、第１のバッファ回路、及び第２のバッファ回路に供給する機能を有し、第１のバッファ回路は、第１のバッファ回路に供給された基準信号を、第１の遅延時間検出信号として遅延信号生成回路に供給する機能を有し、第２のバッファ回路は、第２のバッファ回路に供給された基準信号を、第２の遅延時間検出信号として遅延信号生成回路に供給する機能を有し、遅延信号生成回路は、基準信号が入力された第１の時刻と、第１の遅延時間検出信号が入力された第２の時刻と、の差を表す第１のデジタル信号を生成し、第１のデジタル信号に基づき第１の遅延信号を生成する機能を有し、遅延信号生成回路は、第１の時刻と、第２の遅延時間検出信号が入力された第３の時刻と、の差を表す第２のデジタル信号を生成し、第２のデジタル信号に基づき第２の遅延信号を生成する機能を有してもよい。

［００１１］

又は、上記態様において、遅延信号生成回路は、第１のインバータ回路と、第２のインバータ回路と、を有し、第１のインバータ回路は、第１のデジタル信号が第１のインバータ回路に供給された場合に、第１の遅延信号を生成する機能を有し、第２のインバータ回路は、第２のデジタル信号が第２のインバータ回路に供給された場合に、第２の遅延信号を生成する機能を有してもよい。

［００１２］

又は、上記態様において、遅延信号生成回路は、第１のトランジスタを有し、第１のメモリセルは、第２のトランジスタを有し、第２のメモリセルは、第３のトランジスタを有し、第１のトランジスタは、チャネル形成領域にシリコンを有し、第２のトランジスタ、及び第３のトランジスタは、チャネル形成領域に金属酸化物を有してもよい。

［００１３］

又は、本発明の一態様は、第１のブロックと、第２のブロックと、を有し、第１のブロックは、第１の層と、第１の層上の第２の層と、第２の層上の第３の層と、を有し、第２のブロックは、第４の層と、第４の層上の第５の層と、第５の層上の第６の層と、を有し、第１の層は、第１の遅延信号生成回路と、第１の行回路と、を有し、第２の層は、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、第３の層は、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、第４の層は、第２の遅延信号生成回路と、第２の行回路と、を有し、第５の層は、第３の遅延付加回路と、第３のメモリセルがマトリクス状に配列された第３の記憶部と、を有し、第６の層は、第４の遅延付加回路と、第４のメモリセルがマトリクス状に配列された第４の記憶部と、を有し、第１の遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成し、第１の遅延付加回路に供給する機能、及び第２の遅

延時間を表す第２の遅延信号を生成し、第２の遅延付加回路に供給する機能を有し、第２の遅延信号生成回路は、第３の遅延時間を表す第３の遅延信号を生成し、第３の遅延付加回路に供給する機能、及び第４の遅延時間を表す第４の遅延信号を生成し、第４の遅延付加回路に供給する機能を有し、第１の行回路は、読み出し動作を行う第１又は第２のメモリセルを選択する、第１の行選択信号を生成し、第１又は第２の遅延付加回路に供給する機能を有し、第２の行回路は、読み出し動作を行う第３又は第４のメモリセルを選択する、第２の行選択信号を生成し、第３又は第４の遅延付加回路に供給する機能を有し、第１の遅延付加回路は、第１の遅延付加回路に供給された第１の行選択信号を、第１の遅延時間の経過後に第１の記憶部に供給する機能を有し、第２の遅延付加回路は、第２の遅延付加回路に供給された第１の行選択信号を、第２の遅延時間の経過後に第２の記憶部に供給する機能を有し、第３の遅延付加回路は、第３の遅延付加回路に供給された第２の行選択信号を、第３の遅延時間の経過後に第３の記憶部に供給する機能を有し、第４の遅延付加回路は、第４の遅延付加回路に供給された第２の行選択信号を、第４の遅延時間の経過後に第４の記憶部に供給する機能を有し、第１の遅延時間は、第２の遅延時間より長く、第３の遅延時間は、第４の遅延時間より長い半導体装置である。

［００１４］

又は、本発明の一態様は、第１のブロックと、第２のブロックと、を有し、第１のブロックは、第１の層と、第１の層上の第２の層と、第２の層上の第３の層と、を有し、第２のブロックは、第４の層と、第４の層上の第５の層と、第５の層上の第６の層と、を有し、第１の層は、第１の選択信号生成回路と、第１の遅延信号生成回路と、第１の行回路と、を有し、第２の層は、第１の選択回路と、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、第３の層は、第２の選択回路と、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、第４の層は、第２の選択信号生成回路と、第２の遅延信号生成回路と、第２の行回路と、を有し、第５の層は、第３の選択回路と、第３の遅延付加回路と、第３のメモリセルがマトリクス状に配列された第３の記憶部と、を有し、第６の層は、第４の選択回路と、第４の遅延付加回路と、第４のメモリセルがマトリクス状に配列された第４の記憶部と、を有し、第１の選択信号生成回路は、第１の選択信号を生成し、第１の遅延信号生成回路、第１の選択回路、及び第２の選択回路に供給する機能を有し、第２の選択信号生成回路は、第２の選択信号を生成し、第２の遅延信号生成回路、第３の選択回路、及び第４の選択回路に供給する機能を有し、第１の遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成する機能、及び第２の遅延時間を表す第２の遅延信号を生成する機能を有し、第１の遅延信号生成回路は、第１の選択信号に基づき、第１の遅延信号、又は第２の遅延信号の一方を出力して、第１の遅延付加回路、及び第２の遅延付加回路に供給する機能を有し、第２の遅延信号生成回路は、第３の遅延時間を表す第３の遅延信号を生成する機能、及び第４の遅延時間を表す第４の遅延信号を生成する機能を有し、第２の遅延信号生成回路は、第２の選択信号に基づき、第３の遅延信号、又は第４の遅延信号の一方を出力して、第３の遅延付加回路、及び第４の遅延付加回路に供給する機能を有し、第１の行回路は、読み出し動作を行う第１又は第２のメモリセルを選択する、第１の行選択信号を生成する機能を有し、第１の行回路は、第１の行選択信号を、第１の選択回路、及び第２の選択回路に供給する機能を有し、第２の行回路は、読み出し動作を行う第３又は第４のメモリセルを選択する、第２の行選択信号を生成する機能を有し、第２の行回路は、第２の行選択信号を、第３の選択回路、及び第４の選択回路に供給する機能を有し、第１の選択回路は、第１の遅延信号生成回路が第１の遅

延信号を出力する場合に、第１の行選択信号を第１の遅延付加回路に供給する機能を有し、第２の選択回路は、第１の遅延信号生成回路が第２の遅延信号を出力する場合に、第１の行選択信号を第２の遅延付加回路に供給する機能を有し、第３の選択回路は、第２の遅延信号生成回路が第３の遅延信号を出力する場合に、第２の行選択信号を第３の遅延付加回路に供給する機能を有し、第４の選択回路は、第２の遅延信号生成回路が第４の遅延信号を出力する場合に、第２の行選択信号を第４の遅延付加回路に供給する機能を有し、第１の遅延付加回路は、第１の遅延付加回路に供給された第１の行選択信号を、第１の遅延時間の経過後に第１の記憶部に供給する機能を有し、第２の遅延付加回路は、第２の遅延付加回路に供給された第１の行選択信号を、第２の遅延時間の経過後に第２の記憶部に供給する機能を有し、第３の遅延付加回路は、第３の遅延付加回路に供給された第２の行選択信号を、第３の遅延時間の経過後に第３の記憶部に供給する機能を有し、第４の遅延付加回路は、第４の遅延付加回路に供給された第２の行選択信号を、第４の遅延時間の経過後に第４の記憶部に供給する機能を有し、第１の遅延時間は、第２の遅延時間より長く、第３の遅延時間は、第４の遅延時間より長い半導体装置である。

［００１５］

又は、上記態様において、第１の層は、第１の基準信号生成回路を有し、第２の層は、第１のバッファ回路を有し、第３の層は、第２のバッファ回路を有し、第４の層は、第２の基準信号生成回路を有し、第５の層は、第３のバッファ回路を有し、第６の層は、第４のバッファ回路を有し、第１の基準信号生成回路は、第１の基準信号を生成し、第１の遅延信号生成回路、第１のバッファ回路、及び第２のバッファ回路に供給する機能を有し、第２の基準信号生成回路は、第２の基準信号を生成し、第２の遅延信号生成回路、第３のバッファ回路、及び第４のバッファ回路に供給する機能を有し、第１のバッファ回路は、第１のバッファ回路に供給された第１の基準信号を、第１の遅延時間検出信号として第１の遅延信号生成回路に供給する機能を有し、第２のバッファ回路は、第２のバッファ回路に供給された第１の基準信号を、第２の遅延時間検出信号として第１の遅延信号生成回路に供給する機能を有し、第３のバッファ回路は、第３のバッファ回路に供給された第２の基準信号を、第３の遅延時間検出信号として第２の遅延信号生成回路に供給する機能を有し、第４のバッファ回路は、第４のバッファ回路に供給された第２の基準信号を、第４の遅延時間検出信号として第２の遅延信号生成回路に供給する機能を有し、第１の遅延信号生成回路は、第１の基準信号が入力された第１の時刻と、第１の遅延時間検出信号が入力された第２の時刻と、の差を表す第１のデジタル信号を生成し、第１のデジタル信号に基づき第１の遅延信号を生成する機能を有し、第１の遅延信号生成回路は、第１の時刻と、第２の遅延時間検出信号が入力された第３の時刻と、の差を表す第２のデジタル信号を生成し、第２のデジタル信号に基づき第２の遅延信号を生成する機能を有し、第２の遅延信号生成回路は、第２の基準信号が入力された第３の時刻と、第３の遅延時間検出信号が入力された第４の時刻と、の差を表す第３のデジタル信号を生成し、第３のデジタル信号に基づき第３の遅延信号を生成する機能を有し、第２の遅延信号生成回路は、第３の時刻と、第４の遅延時間検出信号が入力された第４の時刻と、の差を表す第４のデジタル信号を生成し、第４のデジタル信号に基づき第４の遅延信号を生成する機能を有してもよい。

［００１６］

又は、上記態様において、第１の遅延信号生成回路は、第１のインバータ回路と、第２のインバータ回路と、を有し、第２の遅延信号生成回路は、第３のインバータ回路と、第４のインバータ回路と、を有し、第１のインバータ回路は、第１のデジタル信号が第１のインバータ回路に供給された

場合に、第１の遅延信号を生成する機能を有し、第２のインバータ回路は、第２のデジタル信号が第２のインバータ回路に供給された場合に、第２の遅延信号を生成する機能を有し、第３のインバータ回路は、第３のデジタル信号が第３のインバータ回路に供給された場合に、第３の遅延信号を生成する機能を有し、第４のインバータ回路は、第４のデジタル信号が第４のインバータ回路に供給された場合に、第４の遅延信号を生成する機能を有してもよい。

［００１７］

又は、上記態様において、第１の遅延信号生成回路は、第１のトランジスタを有し、第１のメモリセルは、第２のトランジスタを有し、第２のメモリセルは、第３のトランジスタを有し、第２の遅延信号生成回路は、第４のトランジスタを有し、第３のメモリセルは、第５のトランジスタを有し、第４のメモリセルは、第６のトランジスタを有し、第１のトランジスタ、及び第４のトランジスタは、チャネル形成領域にシリコンを有し、第２のトランジスタ、第３のトランジスタ、第５のトランジスタ、及び第６のトランジスタは、チャネル形成領域に金属酸化物を有してもよい。

［００１８］

又は、上記態様において、第１の行回路が第１の行選択信号を出力するタイミングと、第２の行回路が第２の行選択信号を出力するタイミングと、が同期されていてもよい。

発明の効果

［００１９］

本発明の一態様により、信頼性が高い半導体装置を提供できる。又は、本発明の一態様により、記憶容量が大きい半導体装置を提供できる。又は、本発明の一態様により、記憶密度が高い半導体装置を提供できる。又は、本発明の一態様により、小型の半導体装置を提供できる。又は、本発明の一態様により、低消費電力の半導体装置を提供できる。又は、本発明の一態様により、新規な半導体装置を提供できる。

［００２０］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、又は請求項等の記載から、自ずと明らかとなるものであり、明細書、図面、又は請求項等の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２１］

図１は、半導体装置の構成例を示す斜視図である。

図２は、半導体装置の構成例を示す斜視図である。

図３は、半導体装置の構成例を示す断面図である。

図４は、半導体装置の構成例を示すブロック図である。

図５Ａは、半導体装置の構成例を示すブロック図である。図５Ｂは、半導体装置の駆動方法の一例を示すタイミングチャートである。

図６は、半導体装置の構成例を示すブロック図である。

図７は、半導体装置の構成例を示す回路図である。

図８Ａは、インバータ回路の構成例を示す回路図である。図８Ｂは、遅延回路の構成例を示す回路図である。

図９は、半導体装置の構成例を示す斜視図である。

図１０は、半導体装置の構成例を示す斜視図である。

図１１は、半導体装置の構成例を示す断面図である。

図１２Ａは、半導体装置の構成例を示すブロック図である。図１２Ｂは、メモリセルの構成例を示す回路図である。

図１３Ａ乃至図１３Ｄは、メモリセルの構成例を示す回路図である。

図１４は、半導体装置の構成例を示す断面図である。

図１５Ａ乃至図１５Ｃは、トランジスタの構成例を示す断面図である。

図１６は、半導体装置の構成例を示す断面図である。

図１７Ａは、半導体装置の構成例を示す断面図である。図１７Ｂは、メモリセルの構成例を示す回路図である。

図１８は、半導体装置の構成例を示す断面図である。

図１９Ａは、半導体装置の構成例を示す断面図である。図１９Ｂは、メモリセルの構成例を示す回路図である。

図２０Ａ、及び図２０Ｂは、電子部品の一例を示す図である。

図２１Ａ、及び図２１Ｂは、電子機器の一例を示す図である。図２１Ｃ乃至図２１Ｅは、大型計算機の一例を示す図である。

図２２は、宇宙用機器の一例を示す図である。

図２３は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

［００２２］

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

［００２３］

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値等に限定されない。

［００２４］

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、ｎチャネル型トランジスタでは、ゲートとソースの間の電圧V_{gs}がしきい値電圧V_{th}よりも低い（ｐチャネル型トランジスタでは、V_{th}よりも高い）状態をいう。

［００２５］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、及び酸化物導電体（透明酸化物導電体を含む）、酸化物半導体（Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ又は単にＯＳともいう）等に分類される。例えば、トランジスタの活性層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、ＯＳトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと換言できる。

［００２６］

（実施の形態１）

本実施の形態では、半導体装置の構成例について説明する。本発明の一態様で説明する半導体装置は、例えば記憶装置とすることができる。

［００２７］

本発明の一態様は、複数のブロックを有する半導体装置に関する。各ブロックには、駆動回路を有する層の上に、メモリセルがマトリクス状に配列される記憶部を有する層が複数積層して設けられる。記憶部を複数積層して設けることにより、例えば半導体装置を上面から見た場合において、単位面積当たりの記憶容量を大きくできる。よって、記憶部を１層だけ設ける場合より、半導体装置の記憶密度を高くできる。また、記憶容量を確保しつつ、半導体装置を小型化できる。なお、記憶部にはメモリセルがマトリクス状に配列されることから、記憶部はメモリセルアレイともいう。

［００２８］

駆動回路は、メモリセルへのデータの書き込み、及び読み出しを制御する機能を有する。ここで、駆動回路からメモリセルまでの配線距離は、同一行且つ同一列のメモリセルであっても、メモリセルを有する層の階層ごとに異なる。具体的には、上の階層に設けられるメモリセルほど、駆動回路からメモリセルまでの配線距離が長くなる。配線距離が長くなるほど、配線抵抗が大きくなるため、駆動回路が信号を生成してから当該信号がメモリセルに供給されるまでの時間、及びメモリセルからデータを読み出す際に当該データが駆動回路に供給されるまでの時間が長くなる場合がある。よって、例えば互いに異なるブロックの異なる階層に設けられる複数のメモリセルから同時にデータを読み出す必要がある場合でも、データが同時に読み出されない場合がある。具体的には、上の階層のメモリセルに保持されたデータの読み出しが、下の階層のメモリセルに保持されたデータの読み出しより遅くなる場合がある。これにより、半導体装置が誤動作を起こす場合がある。

［００２９］

そこで、本発明の一態様の半導体装置では、メモリセルを有する層ごとに、遅延付加回路を設ける。駆動回路が生成した信号は、遅延付加回路に供給される。遅延付加回路に供給された信号は、所定の時間の後、メモリセルに供給される。よって、遅延付加回路は、駆動回路が生成した信号に対して、所定の遅延時間を付加する機能を有するといえる。ここで、下の階層に設けられる遅延付加回路ほど、駆動回路が生成した信号に対して長い遅延時間を付加する。半導体装置に遅延付加回路が設けられない場合、前述のように、駆動回路が信号を生成してから当該信号がメモリセルに供給されるまでの時間は、上の階層のメモリセルほど長くなる。以上により、本発明の一態様の半導体装置では、遅延付加回路を設けることにより、例えば駆動回路が信号を生成してから当該信号がメモリセルに供給され、当該信号に応じてメモリセルからデータが読み出されるまでの時間を、メモリセルを有する層間で等しく、又は概略等しくできる。よって、例えば互いに異なるブロックの異なる階層に設けられる複数のメモリセルから同時に、又は概略同時にデータを読み出すことができる。以上より、半導体装置の誤動作を抑制し、信頼性が高い半導体装置を提供できる。

［００３０］

以上より、本発明の一態様の半導体装置は、記憶密度が高く、且つ信頼性が高い半導体装置とできる。

［００３１］

＜半導体装置の構成例＿１＞

図１は、本発明の一態様の半導体装置である、半導体装置１０の構成例を示す斜視図である。半導体装置１０は、例えば記憶装置とすることができる。

［００３２］

半導体装置１０は、ブロック１１＜１＞と、ブロック１１＜２＞と、を有する。ブロック１１＜１＞及びブロック１１＜２＞はそれぞれ、層２０と、層３０＿１乃至層３０＿ｎ（ｎは２以上の整数）と、を有する。層３０＿１乃至層３０＿ｎは、層２０上に順に積層して設けられる。図１では、層３０として、層３０＿１、層３０＿２、層３０＿３、及び層３０＿ｎを示している。なお、半導体装置１０は、ブロック１１を３つ以上有してもよい。また、半導体装置１０は、ブロック１１を１つだけ有してもよい。

［００３３］

本明細書等において、複数の要素に同じ符号を用いる場合、特に、それらを区別する必要があるときには、符号に“＜　＞”、“＿”、又は“（　）”等の識別用の符号を付記する場合がある。例えば、２つのブロック１１を、ブロック１１＜１＞及びブロック１１＜２＞と記載して区別する。また、ｎ個の層３０を、層３０＿１乃至層３０＿ｎと記載して区別する。

［００３４］

異なるブロック１１において、同じ符号を付している層は同じ階層に設けられる。例えば、ブロック１１＜１＞の層２０と、ブロック１１＜２＞の層２０と、は同じ階層に設けられる。また、ブロック１１＜１＞の層３０＿１と、ブロック１１＜２＞の層３０＿１と、は同じ階層に設けられる。一方、ブロック１１＜１＞の層３０＿１と、ブロック１１＜１＞の層３０＿ｎと、は異なる階層に設けられる。

［００３５］

層３０＿１乃至層３０＿ｎにはそれぞれ、メモリセル（図示せず）がマトリクス状に配列される。層２０には、メモリセルへのデータの書き込み、及び読み出しを制御する機能を有する駆動回路（図示せず）が設けられる。

［００３６］

図１に示す半導体装置１０では、ブロック１１＜１＞のメモリセルに保持されているデータと、ブロック１１＜２＞のメモリセルに保持されているデータと、を並行して読み出すことができる。つまり、互いに異なるブロック１１に設けられる複数のメモリセルに保持されているデータを、並行して読み出すことができる。ここで、異なるブロック１１間であれば、互いに異なる階層の層３０に設けられる複数のメモリセルから、データを並行して読み出すことができる。例えば、ブロック１１＜１＞の層３０＿１に設けられるメモリセルに保持されているデータと、ブロック１１＜２＞の層３０＿３に設けられるメモリセルに保持されているデータと、を並行して読み出すことができる。

［００３７］

図２は、ブロック１１の構成例を示す斜視図である。図２には、具体的には、層２０、層３０＿１、層３０＿２、及び層３０＿３の構成例を示している。図２に示すように、層３０＿１は層２０上に設けられ、層３０＿２は層３０＿１上に設けられ、層３０＿３は層３０＿２上に設けられる。

［００３８］

層２０は、基準信号生成回路２１と、選択信号生成回路２２と、遅延信号生成回路２３と、行回路２４と、列回路２５と、センスアンプ回路２７と、を有する。層３０＿１は、記憶部３１＿１と、

選択回路３３＿１と、遅延付加回路３５ａ＿１と、遅延付加回路３５ｂ＿１と、バッファ回路３７＿１と、を有し、記憶部３１＿１にはメモリセル３２＿１がマトリクス状に配列される。層３０＿２は、記憶部３１＿２と、選択回路３３＿２と、遅延付加回路３５ａ＿２と、遅延付加回路３５ｂ＿２と、バッファ回路３７＿２と、を有し、記憶部３１＿２にはメモリセル３２＿２がマトリクス状に配列される。層３０＿３は、記憶部３１＿３と、選択回路３３＿３と、遅延付加回路３５ａ＿３と、遅延付加回路３５ｂ＿３と、バッファ回路３７＿３と、を有し、記憶部３１＿３にはメモリセル３２＿３がマトリクス状に配列される。図２には示していないが、メモリセル３２は、ワード線を介して行ごとに遅延付加回路３５ａと電気的に接続され、ビット線を介して列ごとに遅延付加回路３５ｂ、及びセンスアンプ回路２７と電気的に接続される。

［００３９］

層２０に設けられる回路、及び層３０に設けられる回路は、半導体装置１０の駆動を制御するための回路である。よって、層２０に設けられる回路、及び層３０に設けられる回路は、駆動回路といえる。又は、層２０に設けられる回路、及び層３０に設けられる回路のうち、メモリセル３２を除いた回路を、駆動回路といってもよい。

［００４０］

図２では、ブロック１１の構成要素間の信号、又はデータの流れを矢印で示している。ここで、矢印で表される信号、又はデータは、１ビットのデジタル信号、又はデジタルデータに限られず、例えば２ビット以上のデジタル信号、又はデジタルデータである場合もある。また、図２に示す信号、又はデータのやり取りは一例であり、例えば矢印によって結合されていない構成要素間で信号、又はデータのやり取りを行うことができる場合がある。また、矢印によって結合されている構成要素間で、矢印とは反対の方向に信号、又はデータのやり取りを行うことができる場合がある。図２以外でも同様である。

［００４１］

基準信号生成回路２１は、基準信号ＢＡＳＥを生成し、遅延信号生成回路２３、及びバッファ回路３７に供給する機能を有する。基準信号ＢＡＳＥは、例えば１ビットのデジタル信号とすることができる。

［００４２］

バッファ回路３７は、入力端子と、出力端子と、を有し、入力端子に供給された基準信号ＢＡＳＥを、遅延時間検出信号ＤＴとして遅延信号生成回路２３に供給する機能を有する。例えば、バッファ回路３７＿１の入力端子に供給された基準信号ＢＡＳＥは、バッファ回路３７＿１の出力端子から遅延時間検出信号ＤＴ＿１として出力され、遅延信号生成回路２３に供給される。また、バッファ回路３７＿２の入力端子に供給された基準信号ＢＡＳＥは、バッファ回路３７＿２の出力端子から遅延時間検出信号ＤＴ＿２として出力され、遅延信号生成回路２３に供給される。さらに、バッファ回路３７＿３の入力端子に供給された基準信号ＢＡＳＥは、バッファ回路３７＿３の出力端子から遅延時間検出信号ＤＴ＿３として出力され、遅延信号生成回路２３に供給される。なお、層３０にバッファ回路３７を設けなくてもよい。

［００４３］

選択信号生成回路２２は、選択信号ＳＥＬを生成し、遅延信号生成回路２３、及び選択回路３３に供給する機能を有する。遅延信号生成回路２３は、基準信号ＢＡＳＥと、遅延時間検出信号ＤＴと、に基づき遅延信号ＤＡを生成し、遅延付加回路３５ａ、及び遅延付加回路３５ｂに供給する機能を

有する。具体的には、遅延信号生成回路２３は、基準信号ＢＡＳＥと、複数の遅延時間検出信号ＤＴのうちいずれか１つと、に基づき遅延信号ＤＡを生成し、例えばブロック１１が有する全ての遅延付加回路３５ａ、及び遅延付加回路３５ｂに供給する機能を有する。遅延信号ＤＡは、時間を決定するための信号であり、基準信号ＢＡＳＥが遅延信号生成回路２３に供給される第１の時刻と、遅延時間検出信号ＤＴが遅延信号生成回路２３に供給される第２の時刻と、の差に基づき生成される。詳細は後述するが、当該時刻の差が大きいほど、遅延信号ＤＡにより決定される時間は短くなる。

［００４４］

本明細書等において、時刻の差とは、時刻の差の絶対値を示す。

［００４５］

遅延信号ＤＡの生成に用いる遅延時間検出信号ＤＴは、選択信号ＳＥＬによって選択される。例えば、遅延信号生成回路２３は基準信号ＢＡＳＥ及び選択信号ＳＥＬと、選択信号ＳＥＬによって選ばれた遅延時間検出信号ＤＴ＿１乃至遅延時間検出信号ＤＴ＿３のいずれか一つと、を用いて、遅延信号ＤＡを生成する。

［００４６］

行回路２４は、行選択信号ＲＳＥＬを生成し、選択回路３３に供給する機能を有する。行選択信号ＲＳＥＬは、マトリクス状に配列されたメモリセル３２のうち、データを書き込むメモリセル３２、又はデータを読み出すメモリセル３２を選択するための信号である。具体的には、行選択信号ＲＳＥＬは、データを書き込むメモリセル３２の行、又はデータを読み出すメモリセル３２の行を選択するための信号である。行選択信号ＲＳＥＬは、例えばブロック１１が有する全ての選択回路３３に供給される。ここで、行選択信号ＲＳＥＬは、前述のワード線を介してメモリセル３２に供給される。よって、行回路２４は、ワード線駆動回路といえる。

［００４７］

列回路２５は、データＤＡＴＡｉｎを、遅延付加回路３５ｂを介してメモリセル３２に書き込む機能を有する。また、列回路２５は、メモリセル３２から読み出されたデータを、データＤＡＴＡｏｕｔとして出力する機能を有する。さらに、列回路２５は、メモリセル３２からのデータの読み出しの前に、前述のビット線をプリチャージするプリチャージ信号を生成し、遅延付加回路３５ｂに供給する機能を有する。

［００４８］

以上より、行回路２４、及び列回路２５は、メモリセル３２へのデータの書き込み、及び読み出しを制御する機能を有する。

［００４９］

センスアンプ回路２７は、メモリセル３２から読み出されたデータを増幅する機能を有する。メモリセル３２からデータを読み出す場合は、まず、前述のように列回路２５がプリチャージ信号を生成することにより、ビット線の電位をプリチャージ電位とする。次に、ビット線の電位を、読み出すデータに対応する電位とする。例えば、メモリセル３２に１ビットのデジタルデータが保持されている場合、デジタル値が“１”のデータを読み出す場合はビット線の電位をプリチャージ電位より高いデータ電位とし、デジタル値が“０”のデータを読み出す場合はビット線の電位をプリチャージ電位より低いデータ電位とする。その後、センスアンプ回路２７により、データ電位と、プリチャージ電位と、の差を増幅する。増幅されたデータは、データＤＡＴＡｏｕｔとして列回路２５

から出力される。例えば、データＤＡＴＡｏｕｔを１ビットのデジタルデータとする場合、データＤＡＴＡｏｕｔのデジタル値が“１”である場合は、データＤＡＴＡｏｕｔを表す信号の電位は高電位となり、データＤＡＴＡｏｕｔのデジタル値が“０”である場合は、データＤＡＴＡｏｕｔを表す信号の電位は低電位となる。

［００５０］

本明細書等において、高電位と記載される電位の全てが同一の電位とは限らず、低電位と記載される電位の全てが同一の電位とは限らない。例えば、オン状態のトランジスタのソース又はドレインの一方に高電源電位を供給する場合、トランジスタのソース又はドレインの他方の電位は、例えば当該トランジスタのドレイン－ソース間の抵抗に起因して、高電源電位より低くなる場合がある。この場合であっても、当該トランジスタのソース又はドレインの一方の電位、及びソース又はドレインの他方の電位の両方を、高電位ということができる場合がある。

［００５１］

以上のように、データのメモリセル３２への書き込み、及びメモリセル３２からのデータの読み出しは、列回路２５を用いてビット線を介して行われる。よって、列回路２５は、ビット線駆動回路といえる。

［００５２］

本明細書等において、行回路による行選択信号の生成、及び列回路によるプリチャージ信号の生成から、列回路によるデータの出力までの動作を、読み出し動作という。

［００５３］

選択回路３３は、選択信号ＳＥＬに基づき、行選択信号ＲＳＥＬを遅延付加回路３５ａに供給するか否かを選択する機能を有する。具体的には、行選択信号ＲＳＥＬは、ブロック１１が有するｎ個の選択回路３３のうち、１個の選択回路３３から遅延付加回路３５ａに供給される。例えば、選択回路３３＿１が行選択信号ＲＳＥＬを出力して遅延付加回路３５ａ＿１に供給する場合、ブロック１１が有する他の選択回路３３は行選択信号ＲＳＥＬを出力しない。よって、遅延付加回路３５ａ＿１以外の遅延付加回路３５ａには行選択信号ＲＳＥＬが供給されない。例えば、遅延付加回路３５ａ＿２、及び遅延付加回路３５ａ＿３等には行選択信号ＲＳＥＬが供給されない。

［００５４］

以上より、行回路２４が生成した行選択信号ＲＳＥＬは、選択回路３３を介して遅延付加回路３５ａに供給される。ここで、本明細書等において、行回路２４が行選択信号ＲＳＥＬを遅延付加回路３５ａに供給する機能を有するという場合、行回路２４が行選択信号ＲＳＥＬを、選択回路３３を介して遅延付加回路３５ａに供給する場合を含む。

［００５５］

ここで、遅延信号生成回路２３が、遅延信号ＤＡの生成に用いる遅延時間検出信号ＤＴを選択するために用いる信号と、選択回路３３が、行選択信号ＲＳＥＬを出力して遅延付加回路３５ａに供給するか否かを選択するために用いる信号と、は共に選択信号ＳＥＬであり同一の信号である。よって、遅延信号ＤＡの生成に用いる遅延時間検出信号ＤＴと、行選択信号ＲＳＥＬを出力する選択回路３３と、を対応させることができる。例えば、遅延信号生成回路２３が、遅延時間検出信号ＤＴ＿１を用いて遅延信号ＤＡを生成する場合は、選択回路３３＿１が行選択信号ＲＳＥＬを出力して遅延付加回路３５ａ＿１に供給する。また、遅延信号生成回路２３が、遅延時間検出信号ＤＴ＿２を用いて遅延信号ＤＡを生成する場合は、選択回路３３＿２が行選択信号ＲＳＥＬを出力して遅延

付加回路３５ａ＿２に供給する。さらに、遅延信号生成回路２３が、遅延時間検出信号ＤＴ＿３を用いて遅延信号ＤＡを生成する場合は、選択回路３３＿３が行選択信号ＲＳＥＬを出力して遅延付加回路３５ａ＿３に供給する。

［００５６］

遅延付加回路３５ａは、行選択信号ＲＳＥＬを、記憶部３１、具体的にはメモリセル３２に供給する機能を有する。なお、行選択信号ＲＳＥＬは、遅延付加回路３５ａに供給されてから特定時間が経過した後に、遅延付加回路３５ａから出力される。当該特定時間は、遅延信号ＤＡによって決定される。例えば、遅延付加回路３５ａ＿１は、行選択信号ＲＳＥＬを記憶部３１＿１、具体的にはメモリセル３２＿１に供給する機能を有する。行選択信号ＲＳＥＬは遅延付加回路３５ａ＿１に供給されてから上記特定時間が経過した後に、遅延付加回路３５ａ＿１から出力される。

［００５７］

遅延付加回路３５ｂは、例えばプリチャージ信号を、遅延付加回路３５ｂに供給されてから、遅延信号ＤＡによって決定される上記特定時間の経過後に出力する機能を有する。遅延付加回路３５ｂが出力したプリチャージ信号は、メモリセル３２と電気的に接続されるビット線に供給される。例えば、遅延付加回路３５ｂ＿１は、遅延付加回路３５ｂ＿１に供給されたプリチャージ信号を、上記特定時間の経過後に出力し、メモリセル３２＿１と電気的に接続されるビット線に供給する機能を有する。

［００５８］

以上より、遅延付加回路３５ａ、及び遅延付加回路３５ｂは、入力される信号に対して、遅延信号ＤＡによって決定される特定時間分の遅延を付加して出力する機能を有する。よって、遅延信号ＤＡは、遅延付加信号ともいう。また、当該特定時間は、遅延時間といえる。

［００５９］

図１、及び図２に示す半導体装置１０では、ブロック１１を複数有し、ブロック１１にはそれぞれ、駆動回路を有する層２０の上に、記憶部３１を有する層３０が複数積層して設けられる。記憶部３１を複数積層して設けることにより、例えば半導体装置１０を上面から見た場合において、単位面積当たりの記憶容量を大きくできる。よって、記憶部３１を有する層３０を１層だけ設ける場合より、半導体装置の記憶密度を高くできる。また、記憶容量を確保しつつ、半導体装置を小型化できる。

［００６０］

ここで、層２０に設けられる回路から、メモリセル３２までの配線距離は、同一行且つ同一列のメモリセル３２であっても、層３０の階層ごとに異なる。例えば、行回路２４からメモリセル３２までの配線距離、及び列回路２５からメモリセル３２までの配線距離は、層３０の階層ごとに異なる。具体的には、上の階層の層３０に設けられるメモリセル３２ほど、行回路２４からメモリセル３２までの配線距離、及び列回路２５からメモリセル３２までの配線距離が長くなる。配線距離が長くなるほど、配線抵抗が大きくなるため、行回路２４、及び列回路２５が信号を生成してから当該信号がメモリセル３２に供給されるまでの時間、並びにメモリセル３２からデータを読み出す際に当該データが層２０に設けられるセンスアンプ回路２７に供給されるまでの時間が長くなる場合がある。よって、例えば互いに異なるブロック１１の異なる階層の層３０に設けられる複数のメモリセル３２から同時にデータを読み出す必要がある場合でも、データが同時に読み出されない場合がある。具体的には、上の階層の層３０に設けられるメモリセル３２に保持されたデータの読み出しが、

下の階層の層３０に設けられるメモリセル３２に保持されたデータの読み出しより遅くなる場合がある。これにより、半導体装置が誤動作を起こす場合がある。

［００６１］

そこで、半導体装置１０では、層３０に遅延付加回路３５ａ、及び遅延付加回路３５ｂを設ける。前述のように、層２０に設けられる行回路２４が生成する行選択信号ＲＳＥＬは、遅延付加回路３５ａに供給され、列回路２５が生成するプリチャージ信号は、遅延付加回路３５ｂに供給される。遅延付加回路３５ａに供給された行選択信号ＲＳＥＬ、及び遅延付加回路３５ｂに供給されたプリチャージ信号等は、遅延信号ＤＡにより決定される時間の経過後に、それぞれ遅延付加回路３５ａ及び遅延付加回路３５ｂから出力される。前述のように、遅延信号ＤＡは、層２０が有する基準信号生成回路２１が生成する基準信号ＢＡＳＥと、層３０が有するバッファ回路３７から出力される遅延時間検出信号ＤＴと、に基づき、遅延信号生成回路２３が生成する。具体的には、基準信号ＢＡＳＥが遅延信号生成回路２３に供給される第１の時刻と、遅延時間検出信号ＤＴが遅延信号生成回路２３に供給される第２の時刻と、の差に基づき生成される。ここで、基準信号ＢＡＳＥをバッファ回路３７に入力することにより遅延時間検出信号ＤＴが生成されることから、上の階層の層３０に設けられるバッファ回路３７が出力する遅延時間検出信号ＤＴほど、第１の時刻と、第２の時刻と、の差が大きくなる。例えば、遅延時間検出信号ＤＴ＿３における、第１の時刻と第２の時刻の差は、遅延時間検出信号ＤＴ＿１における、第１の時刻と第２の時刻の差より長くなる。

［００６２］

半導体装置１０では、下の階層の層３０に設けられるメモリセル３２からデータを読み出す場合は、上の階層の層３０に設けられるメモリセル３２からデータを読み出す場合より、遅延信号ＤＡにより決定される時間を長くする。例えば、メモリセル３２＿１からデータを読み出す場合は、メモリセル３２＿３からデータを読み出す場合より、遅延信号ＤＡにより決定される時間を長くする。これにより、下の階層の層３０に設けられる遅延付加回路３５ａほど、行選択信号ＲＳＥＬに対して長い遅延時間を付加でき、下の階層の層３０に設けられる遅延付加回路３５ｂほど、プリチャージ信号に対して長い遅延時間を付加できる。例えば、遅延付加回路３５ａ＿１は、遅延付加回路３５ａ＿３より、行選択信号ＲＳＥＬに対して長い遅延時間を付加できる。また、遅延付加回路３５ｂ＿１は、遅延付加回路３５ｂ＿３より、プリチャージ信号に対して長い遅延時間を付加できる。

［００６３］

半導体装置１０に遅延付加回路３５ａが設けられない場合、行回路２４が行選択信号ＲＳＥＬを生成してからメモリセル３２に供給されるまでの時間は、上の階層の層３０に設けられるメモリセル３２ほど長くなる。また、半導体装置１０に遅延付加回路３５ｂが設けられない場合、列回路２５がプリチャージ信号を生成してからメモリセル３２と電気的に接続されるビット線に供給されるまでの時間は、上の階層の層３０に設けられるメモリセル３２と電気的に接続されるビット線ほど長くなる。以上により、半導体装置１０では、遅延付加回路３５ａ、及び遅延付加回路３５ｂを設けることにより、例えば行回路２４、又は列回路２５が信号を生成してから当該信号がメモリセル３２に供給され、メモリセル３２からデータが読み出されてデータＤＡＴＡｏｕｔとして列回路２５から出力されるまでの時間を、層３０間で等しく、又は概略等しくできる。よって、例えば互いに異なるブロック１１の異なる階層の層３０に設けられる複数のメモリセル３２から同時に、又は概略同時にデータを読み出すことができる。具体的には、例えばブロック１１＜１＞のメモリセル３２＿１に保持されているデータと、ブロック１１＜２＞のメモリセル３２＿３に保持されているデ

ータと、を同時に、又は概略同時に読み出すことができる。以上より、半導体装置１０は、誤動作が抑制され、信頼性が高い半導体装置とできる。

［００６４］

以上より、半導体装置１０は、記憶密度が高く、且つ信頼性が高い半導体装置とできる。また、半導体装置１０は、例えばメモリセル３２に保持されているデータの読み出し時間を最適化できる。具体的には、半導体装置１０は、例えば行回路２４、又は列回路２５が信号を生成してから当該信号がメモリセル３２に供給され、メモリセル３２からデータが読み出されてデータＤＡＴＡｏｕｔとして列回路２５から出力されるまでの時間を最適化できる。以上の効果は、半導体装置１０がブロック１１を１つだけ有する場合であっても奏する。よって、半導体装置１０は、ブロック１１を１つだけ有する構成であっても、記憶密度が高く、且つ信頼性が高い半導体装置とできる。

［００６５］

なお、本明細書において、層２０に設けられた回路の動作は、異なるブロック１１において同期されていると考えて良い。例えば、ブロック１１＜１＞における基準信号生成回路２１と、ブロック１１＜２＞における基準信号生成回路２１は、同じタイミングで、それぞれ基準信号ＢＡＳＥを生成すると考えて良い。

［００６６］

図３は、図１、及び図２に示す半導体装置１０を有する集積回路（ＩＣチップともいう）の一例を示す断面図である。半導体装置１０は、複数のダイをパッケージ用の基板上に実装することで、１つのＩＣチップ１００とすることができる。

［００６７］

本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）に回路パターンを形成し、さいの目状に切り分けて得られたチップ片を示す。

［００６８］

ＩＣチップ１００は、パッケージ基板１０１上にブロック１１を有する。図３では、パッケージ基板１０１上にブロック１１＜１＞、及びブロック１１＜２＞が設けられ、ブロック１１が層２０と、層２０上の層３０＿１乃至層３０＿３と、を有する例を示している。

［００６９］

パッケージ基板１０１には、ＩＣチップ１００を例えばプリント基板と接続するためのソルダーボール１０２が設けられている。また、層２０は、トランジスタ４９を有し、層３０は、トランジスタ４７を有する。トランジスタ４９は、図２に示す基準信号生成回路２１、選択信号生成回路２２、遅延信号生成回路２３、行回路２４、列回路２５、及びセンスアンプ回路２７に設けることができる。トランジスタ４７は、図２に示すメモリセル３２、選択回路３３、遅延付加回路３５ａ、遅延付加回路３５ｂ、及びバッファ回路３７に設けることができる。

［００７０］

層３０には、電極４８が設けられ、電極４８により例えば異なる層に設けられるトランジスタ同士を電気的に接続できる。電極４８は、トランジスタ４９又はトランジスタ４７を作製する工程と並行して形成できる。ここで、トランジスタ４９を有する層２０と、トランジスタ４７を有する層３０と、の間の電気的な接続は、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）等の貫通電極を用いる技術、及びＣｕ－Ｃｕ（カッパー・カッパー）直接接合技術（Ｃｕ（銅）のパッド同士を接続することで電気的導通を図る技術）を用いずに行うことができる。よって、ＩＣチップ１００

は、モノリシックな構成とできる。

［００７１］

層２０に設けられるトランジスタ４９は、チャネル形成領域にシリコンを有するトランジスタ（Ｓｉトランジスタ）とすることができる。よって、基準信号生成回路２１、選択信号生成回路２２、遅延信号生成回路２３、行回路２４、列回路２５、及びセンスアンプ回路２７は、Ｓｉトランジスタを有することができる。一方、層３０には、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）を設けることができる。よって、メモリセル３２、選択回路３３、遅延付加回路３５ａ、遅延付加回路３５ｂ、及びバッファ回路３７は、ＯＳトランジスタを有することができる。

［００７２］

ＯＳトランジスタはオフ電流が極めて小さい。よって、メモリセル３２がＯＳトランジスタを有することにより、メモリセル３２は、データに応じた電荷を長時間保持できる。これにより、メモリセル３２を、不揮発性メモリとして用いることができる。

［００７３］

また、ＯＳトランジスタは高温環境下においても動作が安定し、特性変動が少ない。例えば、高温環境下でもオフ電流がほとんど増加しない。具体的には、室温以上２００℃以下の環境温度下でもオフ電流がほとんど増加しない。また、高温環境下でもオン電流が低下しにくい。よって、ＯＳトランジスタを有するメモリセル３２は、高温環境下においても動作が安定する。よって、半導体装置１０を、信頼性が高い半導体装置とできる。

［００７４］

一方、Ｓｉトランジスタ、具体的には例えばチャネル形成領域に単結晶シリコンを有するトランジスタは、ＯＳトランジスタよりオン電流が大きい。よって、基準信号生成回路２１、選択信号生成回路２２、遅延信号生成回路２３、行回路２４、列回路２５、及びセンスアンプ回路２７がＳｉトランジスタを有することにより、これらの回路を高速に駆動させることができる。また、Ｓｉトランジスタを有する回路は、ＣＭＯＳ（Ｃｏｍｐｌｅｍｅｎｔａｒｙ Ｍｅｔａｌ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）回路とすることができる。よって、基準信号生成回路２１、選択信号生成回路２２、遅延信号生成回路２３、行回路２４、列回路２５、及びセンスアンプ回路２７は、ＣＭＯＳ回路を用いて形成できる。

［００７５］

ＯＳトランジスタに適用される金属酸化物は、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる２つ又は３つを有することが好ましい。なお、元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。特に、元素Mは、アルミニウム、ガリウム、イットリウム、及びスズから選ばれた一種又は複数種であることが好ましい。

［００７６］

特に、金属酸化物として、インジウム（Ｉｎ）、ガリウム（Ｇａ）、及び亜鉛（Ｚｎ）を含む酸化物（ＩＧＺＯとも記す）を用いることが好ましい。又は、インジウム、スズ（Ｓｎ）、及び亜鉛を

含む酸化物（ＩＴＺＯ（登録商標）とも記す）を用いることが好ましい。又は、インジウム、ガリウム、スズ、及び亜鉛を含む酸化物を用いることが好ましい。又は、インジウム、アルミニウム（Ａｌ）、及び亜鉛を含む酸化物（ＩＡＺＯとも記す）を用いることが好ましい。又は、インジウム、アルミニウム、ガリウム、及び亜鉛を含む酸化物（ＩＡＧＺＯとも記す）を用いることが好ましい。又は、インジウム、ガリウム、亜鉛、及びスズを含む酸化物（ＩＧＺＴＯとも記す）を用いることが好ましい。

［００７７］

また、ＯＳトランジスタに適用される金属酸化物は、組成が異なる２層以上の金属酸化物層を有していてもよい。例えば、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］若しくはその近傍の組成の第１の金属酸化物層と、当該第１の金属酸化物層上に設けられるＩｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］若しくはその近傍の組成の第２の金属酸化物層と、の積層構造を好適に用いることができる。

［００７８］

また、例えば、インジウム酸化物、インジウムガリウム酸化物、及びＩＧＺＯの中から選ばれるいずれか１つと、ＩＡＺＯ、ＩＡＧＺＯ、及びＩＴＺＯの中から選ばれるいずれか１つと、の積層構造を用いてもよい。

［００７９］

なお、ＯＳトランジスタに適用される金属酸化物は、結晶性を有すると好ましい。結晶性を有する酸化物半導体としては、ＣＡＡＣ（ｃ－ａｘｉｓ－ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）－ＯＳ、及びｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）－ＯＳ等が挙げられる。結晶性を有する酸化物半導体を用いると、半導体装置１０を信頼性が高い半導体装置とできる。

［００８０］

Ｓｉトランジスタが有する半導体は、単結晶半導体、多結晶半導体、微結晶半導体、及び非晶質半導体等を、単体で又は組み合わせて用いることができる。なお、Ｓｉトランジスタとすることができるトランジスタ４９が有する半導体材料は、シリコンに限らず、例えばゲルマニウムを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ヒ化ガリウム、又は窒化物半導体等の化合物半導体を用いてもよい。

［００８１］

＜遅延信号生成回路の構成例＞

図４は、遅延信号生成回路２３の構成例を示すブロック図である。図４では、ブロック１１が、層３０として層３０＿１、層３０＿２、及び層３０＿３を有する場合の、遅延信号生成回路２３の構成例を示している。

［００８２］

遅延信号生成回路２３は、回路４１＿１と、回路４１＿２と、回路４１＿３と、フリップフロップ回路４３＿１と、フリップフロップ回路４３＿２と、フリップフロップ回路４３＿３と、マルチプレクサ回路４２と、を有する。つまり、遅延信号生成回路２３は、回路４１とフリップフロップ回路４３をそれぞれ３個ずつ有し、マルチプレクサ回路４２を１個有する。なお、ブロック１１が層３０＿１乃至層３０＿ｎを有する場合、遅延信号生成回路２３は、回路４１とフリップフロップ回路４３をそれぞれｎ個ずつ有し、マルチプレクサ回路４２を１個有する。また、図４に示すフリップフロップ回路４３＿１乃至フリップフロップ回路４３＿３として、例えば、ポジティブエッジトリガ型のＤフリップフロップを用いることができる。

［００８３］

回路４１には、基準信号ＢＡＳＥ、及び遅延時間検出信号ＤＴが入力される。例えば、回路４１＿１には、基準信号ＢＡＳＥ、及び遅延時間検出信号ＤＴ＿１が入力される。また、回路４１＿２には、基準信号ＢＡＳＥ、及び遅延時間検出信号ＤＴ＿２が入力される。さらに、回路４１＿３には、基準信号ＢＡＳＥ、及び遅延時間検出信号ＤＴ＿３が入力される。ここで、回路４１＿１、回路４１＿２、及び回路４１＿３には、同一の基準信号ＢＡＳＥが入力される。遅延信号生成回路２３が回路４１をｎ個有する場合は、ｎ個の回路４１に同一の基準信号ＢＡＳＥが入力される。

［００８４］

回路４１は、遅延信号ＤＡＩを出力する。例えば、回路４１＿１は、遅延信号ＤＡＩ＿１を出力する。また、回路４１＿２は、遅延信号ＤＡＩ＿２を出力する。さらに、回路４１＿３は、遅延信号ＤＡＩ＿３を出力する。

［００８５］

フリップフロップ回路４３の入力端子には、遅延信号ＤＡＩが入力される。例えば、フリップフロップ回路４３＿１の入力端子には、遅延信号ＤＡＩ＿１が入力される。また、フリップフロップ回路４３＿２の入力端子には、遅延信号ＤＡＩ＿２が入力される。さらに、フリップフロップ回路４３＿３の入力端子には、遅延信号ＤＡＩ＿３が入力される。

［００８６］

フリップフロップ回路４３のクロック入力端子には、スタートパルス信号ＳＰが入力される。ここで、フリップフロップ回路４３＿１、フリップフロップ回路４３＿２、及びフリップフロップ回路４３＿３には、同一のスタートパルス信号ＳＰが入力される。遅延信号生成回路２３がフリップフロップ回路４３をｎ個有する場合は、ｎ個のフリップフロップ回路４３に同一のスタートパルス信号ＳＰが入力される。なお、スタートパルス信号ＳＰは、層２０に設けられる、遅延信号生成回路２３以外の回路にも供給できる。例えば、行回路２４、及び列回路２５に、スタートパルス信号ＳＰを供給できる。

［００８７］

フリップフロップ回路４３は、遅延信号ＤＡＯを出力する。例えば、フリップフロップ回路４３＿１は、遅延信号ＤＡＯ＿１を出力する。また、フリップフロップ回路４３＿２は、遅延信号ＤＡＯ＿２を出力する。さらに、フリップフロップ回路４３＿３は、遅延信号ＤＡＯ＿３を出力する。

［００８８］

マルチプレクサ回路４２の入力端子には、遅延信号ＤＡＯが入力される。図４に示す例では、遅延信号ＤＡＯ＿１、遅延信号ＤＡＯ＿２、及び遅延信号ＤＡＯ＿３が、マルチプレクサ回路４２の入力端子に入力される。なお、遅延信号生成回路２３が回路４１、及びフリップフロップ回路４３をそれぞれｎ個ずつ有する場合、マルチプレクサ回路４２の入力端子にはｎ種類の遅延信号ＤＡＯが入力される。

［００８９］

マルチプレクサ回路４２の選択信号入力端子には、選択信号ＳＥＬが入力される。マルチプレクサ回路４２の出力端子は、遅延信号ＤＡを出力する。

［００９０］

図４に示す構成の遅延信号生成回路２３では、回路４１＿１が、基準信号ＢＡＳＥと、遅延時間検出信号ＤＴ＿１と、に基づき遅延信号ＤＡＩ＿１を生成する。フリップフロップ回路４３＿１は、

スタートパルス信号ＳＰが入力された場合に、遅延信号ＤＡＩ＿１を遅延信号ＤＡＯ＿１として出力する。また、回路４１＿２が、基準信号ＢＡＳＥと、遅延時間検出信号ＤＴ＿２と、に基づき遅延信号ＤＡＩ＿２を生成する。フリップフロップ回路４３＿２は、スタートパルス信号ＳＰが入力された場合に、遅延信号ＤＡＩ＿２を遅延信号ＤＡＯ＿２として出力する。さらに、回路４１＿３が、基準信号ＢＡＳＥと、遅延時間検出信号ＤＴ＿３と、に基づき遅延信号ＤＡＩ＿３を生成する。フリップフロップ回路４３＿３は、スタートパルス信号ＳＰが入力された場合に、遅延信号ＤＡＩ＿３を遅延信号ＤＡＯ＿３として出力する。

［００９１］

マルチプレクサ回路４２は、選択信号ＳＥＬに基づき、遅延信号ＤＡＯ＿１、遅延信号ＤＡＯ＿２、及び遅延信号ＤＡＯ＿３のうちいずれか１つを、遅延信号ＤＡとして出力する。なお、遅延信号生成回路２３がフリップフロップ回路４３をｎ個有する場合は、マルチプレクサ回路４２は、ｎ種類の遅延信号ＤＡＯのうちいずれか１つを、遅延信号ＤＡとして出力する。

［００９２］

以上より、遅延信号生成回路２３は、回路４１により遅延信号ＤＡＩを生成してフリップフロップ回路４３に保持し、所望の遅延信号をマルチプレクサ回路４２により遅延信号ＤＡとして出力する機能を有する。前述のように、遅延信号ＤＡは遅延付加信号ともいえることから、遅延信号ＤＡＩ、及び遅延信号ＤＡＯも遅延付加信号といえる。

［００９３］

ここで、マルチプレクサ回路４２に供給される選択信号ＳＥＬは、図２に示す選択回路３３＿１、選択回路３３＿２、及び選択回路３３＿３にも供給される。これにより、遅延信号ＤＡとする遅延信号ＤＡＯと、行選択信号ＲＳＥＬを出力する選択回路３３と、を対応させることができる。例えば、遅延信号ＤＡＯ＿１を遅延信号ＤＡとする場合は、選択回路３３＿１が行選択信号ＲＳＥＬを出力して遅延付加回路３５ａ＿１に供給できる。また、遅延信号ＤＡＯ＿２を遅延信号ＤＡとする場合は、選択回路３３＿２が行選択信号ＲＳＥＬを出力して遅延付加回路３５ａ＿２に供給できる。さらに、遅延信号ＤＡＯ＿３を遅延信号ＤＡとする場合は、選択回路３３＿３が行選択信号ＲＳＥＬを出力して遅延付加回路３５ａ＿３に供給できる。

［００９４］

図５Ａは、回路４１の構成例を示すブロック図である。図５Ａでは、回路４１が、遅延信号ＤＡＩとして２ビットのデジタル信号を生成する機能を有する例を示している。

［００９５］

回路４１は、遅延回路５１（１）と、遅延回路５１（２）と、遅延回路５１（３）と、遅延回路５１（４）と、フリップフロップ回路５３（１）と、フリップフロップ回路５３（２）と、フリップフロップ回路５３（３）と、フリップフロップ回路５３（４）と、エンコーダ回路５５と、インバータ回路５７と、を有する。なお、エンコーダ回路５５を設けなくてもよい。また、フリップフロップ回路５３（１）乃至フリップフロップ回路５３（４）として、例えば、ポジティブエッジトリガ型のＤフリップフロップを用いることができる。

［００９６］

遅延回路５１（１）には、基準信号ＢＡＳＥが入力される。遅延回路５１（１）に入力された基準信号ＢＡＳＥは、所定の時間経過後に、信号Ｓ（１）として出力される。

［００９７］

遅延回路５１（２）には、信号Ｓ（１）が入力される。遅延回路５１（２）に入力された信号Ｓ（１）は、所定の時間経過後に、信号Ｓ（２）として出力される。

［００９８］

遅延回路５１（３）には、信号Ｓ（２）が入力される。遅延回路５１（３）に入力された信号Ｓ（２）は、所定の時間経過後に、信号Ｓ（３）として出力される。

［００９９］

遅延回路５１（４）には、信号Ｓ（３）が入力される。遅延回路５１（４）に入力された信号Ｓ（３）は、所定の時間経過後に、信号Ｓ（４）として出力される。

［０１００］

フリップフロップ回路５３（１）の入力端子には、信号Ｓ（１）が入力される。フリップフロップ回路５３（２）の入力端子には、信号Ｓ（２）が入力される。フリップフロップ回路５３（３）の入力端子には、信号Ｓ（３）が入力される。フリップフロップ回路５３（４）の入力端子には、信号Ｓ（４）が入力される。フリップフロップ回路５３（１）乃至フリップフロップ回路５３（４）のクロック入力端子には、遅延時間検出信号ＤＴが入力される。

［０１０１］

フリップフロップ回路５３（１）の出力端子からは、デジタル信号Ｄ（１）が出力される。フリップフロップ回路５３（２）の出力端子からは、デジタル信号Ｄ（２）が出力される。フリップフロップ回路５３（３）の出力端子からは、デジタル信号Ｄ（３）が出力される。フリップフロップ回路５３（４）の出力端子からは、デジタル信号Ｄ（４）が出力される。デジタル信号Ｄ（１）乃至デジタル信号Ｄ（４）は、それぞれ１ビットのデジタル信号とすることができる。

［０１０２］

エンコーダ回路５５は、デジタル信号Ｄ（１）乃至デジタル信号Ｄ（４）に対してエンコードを行い、２ビットのデジタル信号Ｄ［１：０］を生成する機能を有する。インバータ回路５７は、デジタル信号Ｄ［１：０］の反転信号を生成し、遅延信号ＤＡＩとして出力する機能を有する。具体的には、デジタル信号Ｄ［１：０］のデジタル値が“００”である場合は、遅延信号ＤＡＩのデジタル値は“１１”となり、デジタル信号Ｄ［１：０］のデジタル値が“０１”である場合は、遅延信号ＤＡＩのデジタル値は“１０”となり、デジタル信号Ｄ［１：０］のデジタル値が“１０”である場合は、遅延信号ＤＡＩのデジタル値は“０１”となり、デジタル信号Ｄ［１：０］のデジタル値が“１１”である場合は、遅延信号ＤＡＩのデジタル値は“００”となる。なお、図５Ａでは、遅延信号ＤＡＩが２ビットのデジタル信号であることを、遅延信号ＤＡＩ［１：０］と記載して示している。

［０１０３］

図５Ｂは、図５Ａに示す回路４１の駆動方法の一例を示すタイミングチャートである。図５Ｂにおいて、高電位を“Ｈ”で表し、低電位を“Ｌ”で表す。

［０１０４］

時刻Ｔ１以前において、基準信号ＢＡＳＥ、信号Ｓ（１）乃至信号Ｓ（４）、遅延時間検出信号ＤＴ、及びデジタル信号Ｄ（１）乃至デジタル信号Ｄ（４）は全て低電位であるとする。

［０１０５］

時刻Ｔ１において、基準信号ＢＡＳＥの電位を高電位とする。これにより、基準信号ＢＡＳＥが、遅延信号生成回路２３が有する回路４１に入力されたといえる。基準信号ＢＡＳＥは、所定の時間

を経て、遅延回路５１（１）乃至遅延回路５１（４）から信号Ｓ（１）乃至信号Ｓ（４）として順次出力される。具体的には、遅延回路５１（１）に入力された基準信号ＢＡＳＥは、第１の時間が経過した後に信号Ｓ（１）として遅延回路５１（１）から出力される。また、遅延回路５１（２）に入力された信号Ｓ（１）は、第２の時間が経過した後に信号Ｓ（２）として遅延回路５１（２）から出力される。また、遅延回路５１（３）に入力された信号Ｓ（２）は、第３の時間が経過した後に信号Ｓ（３）として遅延回路５１（３）から出力される。さらに、遅延回路５１（４）に入力された信号Ｓ（３）は、第４の時間が経過した後に信号Ｓ（４）として遅延回路５１（４）から出力される。ここで、第１乃至第４の時間は、互いに等しくすることが好ましいが、例えば遅延回路５１（１）乃至遅延回路５１（４）が有するトランジスタの特性ばらつきに起因して、第１乃至第４の時間が異なる場合もある。

［０１０６］

時刻Ｔ２において、遅延時間検出信号ＤＴの電位が高電位になるとする。これにより、遅延時間検出信号ＤＴが、遅延信号生成回路２３が有するフリップフロップ回路５３（１）乃至フリップフロップ回路５３（４）の、クロック入力端子に供給されたといえる。図５Ｂでは、信号Ｓ（２）が高電位となった後、且つ信号Ｓ（３）が高電位となる前に、遅延時間検出信号ＤＴが高電位になったものとする。ここで、時刻Ｔ１と時刻Ｔ２の差を時間ΔＴとすると、図２に示す層２０に設けられる基準信号生成回路２１が基準信号を生成してから、層３０に設けられるバッファ回路３７を通って遅延時間検出信号ＤＴとして層２０に設けられる遅延信号生成回路２３に供給されるまでの時間が、時間ΔＴである。

［０１０７］

前述のように、遅延時間検出信号ＤＴは、遅延信号生成回路２３に設けられるフリップフロップ回路５３（１）乃至フリップフロップ回路５３（４）が有するクロック入力端子に供給される。よって、遅延信号生成回路２３が有する回路４１に遅延時間検出信号ＤＴが供給されることにより、フリップフロップ回路５３（１）乃至フリップフロップ回路５３（４）はそれぞれ、信号Ｓ（１）乃至信号Ｓ（４）をデジタル信号Ｄ（１）乃至デジタル信号Ｄ（４）として出力する。図５Ｂに示す例では、遅延時間検出信号ＤＴが高電位となった時刻Ｔ２において、信号Ｓ（１）、及び信号Ｓ（２）が高電位であり、信号Ｓ（３）及び信号Ｓ（４）が低電位である。よって、デジタル信号Ｄ（１）、及びデジタル信号Ｄ（２）は高電位となり、デジタル信号Ｄ（３）、及びデジタル信号Ｄ（４）は低電位となる。

［０１０８］

その後、エンコーダ回路５５により、デジタル信号Ｄ（１）乃至デジタル信号Ｄ（４）に対してエンコードを行い、２ビットのデジタル信号Ｄ［１：０］を生成する。図５Ｂに示す例では、デジタル信号Ｄ（１）、及びデジタル信号Ｄ（２）が高電位であり、デジタル信号Ｄ（３）、及びデジタル信号Ｄ（４）が低電位であることから、デジタル信号Ｄ［１：０］が表すデジタル値は“０１”となる。なお、デジタル信号Ｄ（１）が高電位、デジタル信号Ｄ（２）乃至デジタル信号Ｄ（４）が低電位である場合は、デジタル信号Ｄ［１：０］が表すデジタル値は“００”となる。また、デジタル信号Ｄ（１）乃至デジタル信号Ｄ（３）が高電位、デジタル信号Ｄ（４）が低電位である場合は、デジタル信号Ｄ［１：０］が表すデジタル値は“１０”となる。さらに、デジタル信号Ｄ（１）乃至デジタル信号Ｄ（４）が全て高電位である場合は、デジタル信号Ｄ［１：０］が表すデジタル値は“１１”となる。

［０１０９］

以上により、デジタル信号Ｄ［１：０］を、遅延信号生成回路２３が有する回路４１に基準信号ＢＡＳＥが供給されてから、遅延時間検出信号ＤＴが供給されるまでの時間である時間 ΔＴを表す信号とすることができる。具体的には、時間 ΔＴが長いほど、デジタル信号Ｄ［１：０］のデジタル値が大きくなる。

［０１１０］

エンコーダ回路５５がデジタル信号Ｄ［１：０］を生成した後、インバータ回路５７がデジタル信号Ｄ［１：０］に基づき遅延信号ＤＡＩ［１：０］を生成する。前述のように、時間 ΔＴが長いほど、デジタル信号Ｄ［１：０］のデジタル値が大きくなり、またインバータ回路５７は、デジタル信号Ｄ［１：０］の反転信号を生成し、遅延信号ＤＡＩ［１：０］として出力する機能を有する。以上より、時間 ΔＴが長いほど、遅延信号ＤＡＩ［１：０］のデジタル値は小さくなる。

［０１１１］

前述のように、遅延信号ＤＡＩはフリップフロップ回路４３の入力端子に供給され、続いて遅延信号ＤＡＯとしてマルチプレクサ回路４２の入力端子に供給される。その後、複数の遅延信号ＤＡＯのうち、選択信号ＳＥＬによって選択された１つの遅延信号ＤＡＯが、マルチプレクサ回路４２の出力端子から遅延信号ＤＡとして出力される。そして、遅延付加回路３５ａに供給された行選択信号ＲＳＥＬ、及び遅延付加回路３５ｂに供給されたプリチャージ信号等は、遅延信号ＤＡにより決定される時間の経過後に、それぞれ遅延付加回路３５ａ及び遅延付加回路３５ｂから出力される。ここで、遅延信号ＤＡのデジタル値が小さいほど、遅延信号ＤＡにより決定される時間が短くなる。以上より、時間 ΔＴが長くなって遅延信号ＤＡＩのデジタル値が小さくなり、複数の遅延信号ＤＡＩから選択された信号である遅延信号ＤＡのデジタル値が小さくなるほど、遅延信号ＤＡにより決定される時間が短くなる。よって、時間 ΔＴが長いほど、遅延付加回路３５ａが行選択信号ＲＳＥＬに対して付加する遅延時間、及び遅延付加回路３５ｂがプリチャージ信号に対して付加する遅延時間が短くなる。なお、遅延信号のデジタル値が大きいほど、遅延信号により決定される時間を短くしてもよい。この場合、回路４１は、インバータ回路５７を有さなくてもよい。

［０１１２］

以上の方法により、回路４１は、遅延信号ＤＡＩを生成できる。なお、回路４１が2^k個（ｋは２以上の整数）の遅延回路５１、及び2^k個のフリップフロップ回路５３を有することにより、回路４１はｋビットの遅延信号ＤＡＩを生成できる。

［０１１３］

＜遅延付加回路の構成例＞

図６は、遅延付加回路３５（遅延付加回路３５ａ、及び遅延付加回路３５ｂ）の構成例を示すブロック図である。図６では、１２８ビットの信号ＩＮ（信号ＩＮ［０］乃至信号ＩＮ［１２７］）が入力され、２ビットの遅延信号ＤＡ［１：０］で表される時間の経過後に、信号ＩＮを１２８ビットの信号ＯＵＴ（信号ＯＵＴ［０］乃至信号ＯＵＴ［１２７］）として出力する機能を有する遅延付加回路３５の構成例を示している。信号ＩＮは、遅延付加回路３５ａでは行選択信号ＲＳＥＬとすることができ、遅延付加回路３５ｂではプリチャージ信号とすることができる。

［０１１４］

遅延付加回路３５は、回路６０［０］乃至回路６０［１２７］を有する。回路６０は、一例として、遅延回路６１（１）と、遅延回路６１（２）と、遅延回路６１（３）と、遅延回路６１（４）と、

選択回路６３と、を有する。ここで、回路６０［０］乃至回路６０［１２７］が有する選択回路６３を、それぞれ選択回路６３［０］乃至選択回路６３［１２７］と記載して区別する。なお、遅延信号ＤＡがｋビットのデジタル信号である場合は、回路６０は遅延回路６１を2^k個有する。つまり、回路６０は、回路４１が有する遅延回路５１と同数の遅延回路６１を有することができる。

［０１１５］

遅延回路６１（１）には、信号ＩＮが入力される。遅延回路６１（１）に入力された信号ＩＮは、所定の時間経過後に出力される。出力された信号は、遅延回路６１（２）、及び選択回路６３に供給される。

［０１１６］

遅延回路６１（２）には、遅延回路６１（１）が出力した信号が入力される。遅延回路６１（２）に入力された信号は、所定の時間経過後に出力される。出力された信号は、遅延回路６１（３）、及び選択回路６３に供給される。

［０１１７］

遅延回路６１（３）には、遅延回路６１（２）が出力した信号が入力される。遅延回路６１（３）に入力された信号は、所定の時間経過後に出力される。出力された信号は、遅延回路６１（４）、及び選択回路６３に供給される。

［０１１８］

遅延回路６１（４）には、遅延回路６１（３）が出力した信号が入力される。遅延回路６１（４）に入力された信号は、所定の時間経過後に出力される。出力された信号は、選択回路６３に供給される。

［０１１９］

選択回路６３には、遅延信号ＤＡ［１：０］が供給される。選択回路６３は、遅延信号ＤＡ［１：０］に基づき、遅延回路６１（１）乃至遅延回路６１（４）から供給される信号のうち、いずれか１つを信号ＯＵＴとして出力する機能を有する。具体的には、選択回路６３は、遅延信号ＤＡ［１：０］のデジタル値が“００”である場合は遅延回路６１（１）から供給される信号を信号ＯＵＴとして出力し、遅延信号ＤＡ［１：０］のデジタル値が“０１”である場合は遅延回路６１（２）から供給される信号を信号ＯＵＴとして出力し、遅延信号ＤＡ［１：０］のデジタル値が“１０”である場合は遅延回路６１（３）から供給される信号を信号ＯＵＴとして出力し、遅延信号ＤＡ［１：０］のデジタル値が“１１”である場合は遅延回路６１（４）から供給される信号を信号ＯＵＴとして出力する機能を有する。ここで、信号ＩＮは、遅延回路６１（１）、遅延回路６１（２）、遅延回路６１（３）、及び遅延回路６１（４）の順に供給されることから、遅延信号ＤＡ［１：０］のデジタル値が大きいほど、回路６０に信号ＩＮが入力されてから、信号ＯＵＴとして回路６０から出力されるまでの時間が長くなる。以上により、遅延信号ＤＡ［１：０］のデジタル値が大きいほど、信号ＩＮに対して長い遅延時間を付加できる。

［０１２０］

図７は、回路６０の構成例を示す回路図である。図７では、選択回路６３の具体的な構成例を示している。

［０１２１］

選択回路６３は、回路７１（１）と、回路７１（２）と、回路７１（３）と、インバータ回路７３［０］と、インバータ回路７３［１］と、を有する。回路７１（１）は、トランジスタ７５ａ（１）

と、トランジスタ７５ｂ（１）と、を有する。回路７１（２）は、トランジスタ７５ａ（２）と、トランジスタ７５ｂ（２）と、を有する。回路７１（３）は、トランジスタ７５ａ（３）と、トランジスタ７５ｂ（３）と、を有する。

［０１２２］

遅延信号ＤＡは、トランジスタ７５ｂのゲート、及びインバータ回路７３の入力端子に供給される。具体的には、遅延信号ＤＡ［０］は、トランジスタ７５ｂ（１）のゲート、トランジスタ７５ｂ（２）のゲート、及びインバータ回路７３［０］の入力端子に供給され、遅延信号ＤＡ［１］は、トランジスタ７５ｂ（３）のゲート、及びインバータ回路７３［１］の入力端子に供給される。インバータ回路７３から出力された信号は、トランジスタ７５ａのゲートに供給される。具体的には、インバータ回路７３［０］から出力された信号は、トランジスタ７５ａ（１）のゲート、及びトランジスタ７５ａ（２）のゲートに供給され、インバータ回路７３［１］から出力された信号は、トランジスタ７５ａ（３）のゲートに供給される。以上より、トランジスタ７５ａのゲートに入力される信号は、トランジスタ７５ｂのゲートに入力される信号の反転信号となる。

［０１２３］

選択回路６３は、１ビットの遅延信号ＤＡにつき、２つの回路７１に枝分かれする構成となっており、信号ＩＮから信号ＯＵＴまでの経路を４本有する。つまり、回路７１は、トーナメント方式で接続される。図７に示す例では、１段目の回路７１である回路７１（１）、及び回路７１（２）は、遅延回路６１と電気的に接続される。具体的には、遅延回路６１（１）の出力端子は、トランジスタ７５ａ（１）のソース又はドレインの一方と電気的に接続され、遅延回路６１（２）の出力端子は、トランジスタ７５ｂ（１）のソース又はドレインの一方と電気的に接続され、遅延回路６１（３）の出力端子は、トランジスタ７５ａ（２）のソース又はドレインの一方と電気的に接続され、遅延回路６１（４）の出力端子は、トランジスタ７５ｂ（２）のソース又はドレインの一方と電気的に接続される。

［０１２４］

また、トランジスタ７５ａ（１）のソース又はドレインの他方、及びトランジスタ７５ｂ（１）のソース又はドレインの他方は、トランジスタ７５ａ（３）のソース又はドレインの一方と電気的に接続され、トランジスタ７５ａ（２）のソース又はドレインの他方、及びトランジスタ７５ｂ（２）のソース又はドレインの他方は、トランジスタ７５ｂ（３）のソース又はドレインの一方と電気的に接続される。さらに、最終段の回路７１である回路７１（３）からは、信号ＯＵＴが出力される。具体的には、トランジスタ７５ａ（３）のソース若しくはドレインの他方、又はトランジスタ７５ｂ（３）のソース若しくはドレインの他方から、信号ＯＵＴが出力される。

［０１２５］

以上が選択回路６３の構成例である。なお、遅延信号ＤＡをｋビットのデジタル信号とする場合、選択回路６３は$2^{k}-1$個の回路７１と、ｋ個のインバータ回路７３と、を有することができる。また、図７に示す構成の選択回路６３では、遅延信号ＤＡ［１：０］のデジタル値が大きいほど、信号ＩＮに対して長い遅延時間を付加した信号を信号ＯＵＴとして出力するが、本発明の一態様はこれに限らない。選択回路６３を、遅延信号ＤＡ［１：０］のデジタル値が大きいほど、信号ＩＮに対して短い遅延時間を付加した信号を信号ＯＵＴとして出力する構成としてもよい。

［０１２６］

図８Ａは、半導体装置１０に適用できる、インバータ回路ＩＮＶの構成例を示す回路図である。イ

ンバータ回路ＩＮＶは、トランジスタ８１と、トランジスタ８２と、を有する。

［０１２７］

トランジスタ８１のソース又はドレインの一方、及びトランジスタ８１のゲートには、高電位である電位ＶＤＤが供給される。トランジスタ８２のソース又はドレインの一方、及びトランジスタ８２のバックゲートには、低電位である電位ＶＳＳが供給される。トランジスタ８２のゲートには、信号ＩＮ１が供給される。トランジスタ８１のソース又はドレインの他方、トランジスタ８１のバックゲート、及びトランジスタ８２のソース又はドレインの他方からは、信号ＩＮ１の反転信号である信号ＯＵＴ１が出力される。

［０１２８］

トランジスタ８１及びトランジスタ８２は、ｎチャネル型トランジスタとすることができる。よって、インバータ回路ＩＮＶは、ｐチャネル型トランジスタを有さない構成とすることができる。したがって、トランジスタ８１及びトランジスタ８２は、例えばＯＳトランジスタとすることができる。前述のように、ＯＳトランジスタは、層３０に設けることができる。以上より、インバータ回路ＩＮＶは、層３０に設けられるインバータ回路に適用できる。例えば、遅延付加回路３５に設けられる選択回路６３が有するインバータ回路７３に、図８Ａに示すインバータ回路ＩＮＶを適用できる。

［０１２９］

図８Ｂは、遅延回路ＤＣの構成例を示す回路図である。遅延回路ＤＣは、トランジスタ８４と、トランジスタ８５と、トランジスタ８６と、トランジスタ８７と、を有する。

［０１３０］

トランジスタ８４のソース又はドレインの一方、トランジスタ８４のゲート、トランジスタ８６のソース又はドレインの一方、及びトランジスタ８６のゲートには、高電位である電位ＶＤＤが供給される。トランジスタ８５のソース又はドレインの一方、トランジスタ８５のバックゲート、トランジスタ８７のソース又はドレインの一方、及びトランジスタ８７のバックゲートには、低電位である電位ＶＳＳが供給される。トランジスタ８５のゲートには、信号ＩＮ２が供給される。トランジスタ８４のソース又はドレインの他方、トランジスタ８４のバックゲート、及びトランジスタ８５のソース又はドレインの他方は、トランジスタ８７のゲートと電気的に接続される。トランジスタ８６のソース又はドレインの他方、トランジスタ８６のバックゲート、及びトランジスタ８７のソース又はドレインの他方からは、信号ＯＵＴ２が出力される。ここで、信号ＩＮ２が高電位である場合は、信号ＯＵＴ２が高電位となり、信号ＩＮ２が低電位である場合は、信号ＯＵＴ２が低電位となる。つまり、信号ＩＮ２を１ビットのデジタル信号とする場合、遅延回路ＤＣは、信号ＩＮ２と同じデジタル値の信号を信号ＯＵＴ２として出力する。以上より、遅延回路ＤＣは、信号ＩＮ２を、トランジスタ８４乃至トランジスタ８７の特性、電位ＶＤＤの大きさ、及び電位ＶＳＳの大きさ等により定まる遅延時間の後に信号ＯＵＴ２として出力する機能を有する。

［０１３１］

遅延回路ＤＣは、遅延信号生成回路２３に設けられる回路４１が有する遅延回路５１、及び遅延付加回路３５に設けられる回路６０が有する遅延回路６１に適用できる。ここで、遅延回路５１、及び遅延回路６１は、図８Ｂに示す構成を複数有してもよい。例えば、遅延回路５１が、図８Ｂに示す遅延回路ＤＣを２つ有する場合、一方の遅延回路ＤＣの信号ＯＵＴ２を、他方の遅延回路ＤＣの信号ＩＮ２とできる。遅延回路５１、及び遅延回路６１が有する遅延回路ＤＣの個数が多いほど、

遅延時間を長くできる。また、例えばトランジスタ８４乃至トランジスタ８７のチャネル長を長くする、又はチャネル幅を短くすることによっても、遅延時間を長くできる。

［０１３２］

また、遅延回路ＤＣは、バッファ回路として機能させることもできる。さらに、トランジスタ８４乃至トランジスタ８７は、ｎチャネル型トランジスタとすることができるため、遅延回路ＤＣは、ｐチャネル型トランジスタを有さない構成とすることができる。したがって、トランジスタ８４乃至トランジスタ８７は、例えばＯＳトランジスタとすることができる。前述のように、ＯＳトランジスタは、層３０に設けることができる。以上より、遅延回路ＤＣは、層３０に設けられるバッファ回路、例えばバッファ回路３７に適用できる。

［０１３３］

＜半導体装置の構成例＿２＞

図９は、半導体装置１０の構成例を示す斜視図であり、図１に示す半導体装置１０の変形例である。図１に示す半導体装置１０は、ブロック１１＜１＞、及びブロック１１＜２＞がそれぞれ、層２０を２層有する点が、図１に示す半導体装置１０と異なる。

［０１３４］

図９に示す半導体装置１０において、ブロック１１＜１＞及びブロック１１＜２＞はそれぞれ、層２０＿１と、層２０＿１上の層３０＿１乃至層３０＿ｍ（ｍは２以上の整数）と、層３０＿ｍ上の層２０＿２と、層２０＿２上の層３０＿ｍ＋１乃至層３０＿２ｍと、を有する。図９では、層３０として、層３０＿１、層３０＿２、層３０＿３、層３０＿ｍ、層３０＿ｍ＋１、層３０＿ｍ＋２、層３０＿ｍ＋３、及び層３０＿２ｍを示している。なお、半導体装置１０は、層２０を３層以上有してもよい。

［０１３５］

図１０は、図９に示すブロック１１の構成例を示す斜視図である。図１０には、具体的には、層２０＿１、層２０＿２、層３０＿１、及び層３０＿ｍ＋１の構成例を示している。

［０１３６］

層２０＿１は、基準信号生成回路２１と、選択信号生成回路２２と、遅延信号生成回路２３と、行回路２４＿１と、列回路２５＿１と、センスアンプ回路２７＿１と、を有する。層２０＿２は、行回路２４＿２と、列回路２５＿２と、センスアンプ回路２７＿２と、を有する。つまり、基準信号生成回路２１、選択信号生成回路２２、及び遅延信号生成回路２３は、層２０＿１にのみ設けることができる。ブロック１１が層２０を３つ以上有する場合であっても、基準信号生成回路２１、選択信号生成回路２２、及び遅延信号生成回路２３は、最下層の層２０＿１にのみ設けることができる。なお、基準信号生成回路２１、選択信号生成回路２２、及び遅延信号生成回路２３を複数の層２０に設けてもよい。

［０１３７］

層３０＿１は、記憶部３１＿１と、選択回路３３＿１と、遅延付加回路３５ａ＿１と、遅延付加回路３５ｂ＿１と、バッファ回路３７＿１と、を有し、記憶部３１＿１にはメモリセル３２＿１がマトリクス状に配列される。層３０＿ｍ＋１は、記憶部３１＿ｍ＋１と、選択回路３３＿ｍ＋１と、遅延付加回路３５ａ＿ｍ＋１と、遅延付加回路３５ｂ＿ｍ＋１と、バッファ回路３７＿ｍ＋１と、を有し、記憶部３１＿ｍ＋１にはメモリセル３２＿ｍ＋１がマトリクス状に配列される。

［０１３８］

図１０に示す例において、バッファ回路３７＿ｍ＋１の入力端子に供給された基準信号ＢＡＳＥは、バッファ回路３７＿ｍ＋１の出力端子から遅延時間検出信号ＤＴ＿ｍ＋１として出力され、遅延信号生成回路２３に供給される。図９に示すように、ブロック１１は層３０を２ｍ個有する。また、バッファ回路３７は、層３０毎に設けられる。以上より、遅延信号生成回路２３には、２ｍ種類の遅延時間検出信号ＤＴが供給される。

［０１３９］

行回路２４＿１は、行選択信号ＲＳＥＬ＿１を生成し、層３０＿１乃至層３０＿ｍに設けられる選択回路３３に供給する機能を有する。行回路２４＿２は、行選択信号ＲＳＥＬ＿２を生成し、層３０＿ｍ＋１乃至層３０＿２ｍに設けられる選択回路３３に供給する機能を有する。

［０１４０］

列回路２５＿１は、データＤＡＴＡｉｎ＿１を、層３０＿１乃至層３０＿ｍに設けられる遅延付加回路３５ｂを介してメモリセル３２に書き込む機能を有する。また、列回路２５＿１は、層３０＿１乃至層３０＿ｍに設けられるメモリセル３２から読み出されたデータを、データＤＡＴＡｏｕｔ＿１として出力する機能を有する。さらに、列回路２５＿１は、層３０＿１乃至層３０＿ｍに設けられるメモリセル３２からのデータの読み出しの前に、プリチャージ信号を生成し、層３０＿１乃至層３０＿ｍに設けられる遅延付加回路３５ｂに供給する機能を有する。

［０１４１］

列回路２５＿２は、データＤＡＴＡｉｎ＿２を、層３０＿ｍ＋１乃至層３０＿２ｍに設けられる遅延付加回路３５ｂを介してメモリセル３２に書き込む機能を有する。また、列回路２５＿２は、層３０＿ｍ＋１乃至層３０＿２ｍに設けられるメモリセル３２から読み出されたデータを、データＤＡＴＡｏｕｔ＿２として出力する機能を有する。さらに、列回路２５＿２は、層３０＿ｍ＋１乃至層３０＿２ｍに設けられるメモリセル３２からのデータの読み出しの前に、プリチャージ信号を生成し、層３０＿ｍ＋１乃至層３０＿２ｍに設けられる遅延付加回路３５ｂに供給する機能を有する。

［０１４２］

センスアンプ回路２７＿１は、層３０＿１乃至層３０＿ｍに設けられるメモリセル３２から読み出されたデータを増幅する機能を有する。センスアンプ回路２７＿２は、層３０＿ｍ＋１乃至層３０＿２ｍに設けられるメモリセル３２から読み出されたデータを増幅する機能を有する。

［０１４３］

図９、及び図１０に示す半導体装置１０において、層２０＿１より下の層に、例えばＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）を設けることができる。例えば、層２０＿１と、図３に示すパッケージ基板１０１と、の間に、ＣＰＵを設けることができる。この場合、層２０＿１に設けられる列回路２５＿１に供給されるデータＤＡＴＡｉｎ＿１、及び層２０＿２に設けられる列回路２５＿２に供給されるデータＤＡＴＡｉｎ＿２は、いずれも層２０＿１より下の層に設けられるＣＰＵにより生成できる。また、列回路２５＿１が出力するデータＤＡＴＡｏｕｔ＿１、及び列回路２５＿２が出力するデータＤＡＴＡｏｕｔ＿２は、いずれも層２０＿１より下の層に設けられるＣＰＵに供給される。よって、ブロック１１が層２０を複数有する場合であっても、基準信号生成回路２１、選択信号生成回路２２、及び遅延信号生成回路２３は、最下層の層２０である層２０＿１にのみ設け、それ以外の層２０には設けないことが好ましい。なお、層２０＿１より下の層には、ＣＰＵの他、ＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）、又はＦＰＧＡ（Ｆｉｅｌｄ　Ｐｒｏｇｒａｍｍａｂｌｅ　Ｇａｔｅ　Ａｒｒａｙ）等を設けてもよい。又は、

層２０＿１に、ＣＰＵ、ＧＰＵ、若しくはＦＰＧＡ等を設けてもよい。

［０１４４］

半導体装置１０を図９、及び図１０に示す構成とすることにより、ブロック１１が有する層３０の数が図１、及び図２に示す半導体装置１０と同じ場合、換言するとｎ＝２ｍである場合、行回路２４から層３０＿ｍ＋１（層３０＿ｎ／２＋１）乃至層３０＿２ｍ（層３０＿ｎ）までの配線距離を短くできる。また、列回路２５から層３０＿ｍ＋１（層３０＿ｎ／２＋１）乃至層３０＿２ｍ（層３０＿ｎ）までの配線距離、及びセンスアンプ回路２７から層３０＿ｍ＋１（層３０＿ｎ／２＋１）乃至層３０＿２ｍ（層３０＿ｎ）までの配線距離を短くできる。以上により、層３０＿ｍ＋１（層３０＿ｎ／２＋１）乃至層３０＿２ｍ（層３０＿ｎ）に設けられるメモリセル３２へのデータの書き込み、及び当該メモリセル３２からのデータの読み出しを、高速に行うことができる。また、１つの行回路２４と電気的に接続される選択回路３３の個数、１つの列回路２５と電気的に接続される遅延付加回路３５ｂの個数、及び１つのセンスアンプ回路２７と電気的に接続されるビット線の本数を少なくできる。よって、行回路２４、列回路２５、及びセンスアンプ回路２７の負荷を小さくできる。一方、図１、及び図２に示す半導体装置１０は、例えばＳｉトランジスタを有する層２０に、ＴＳＶ等により貫通電極を形成しなくてよい。よって、図１、及び図２に示す半導体装置１０は、図９、及び図１０に示す半導体装置１０より容易に作製できる。

［０１４５］

図１１は、図９、及び図１０に示す半導体装置１０を有する集積回路（ＩＣチップともいう）の一例を示す断面図であり、図３に示す構成の変形例である。なお、図１１では、トランジスタ４７、及びトランジスタ４９は省略している。

［０１４６］

図１１では、層２０＿２に貫通電極４４が設けられる例を示している。また、層２０と、層３０と、の間には、金属バンプ４５（マイクロバンプともいう）が設けられる。さらに、２つの層３０に設けられる２つの電極４８の間、及び貫通電極４４と金属バンプ４５の間には、電極４６が設けられる。貫通電極４４、金属バンプ４５、電極４６、及び電極４８により、図１１に示す例では、層２０＿１、層２０＿２、及び層３０＿１乃至層３０＿２ｍが互いに電気的に接続される。

［０１４７］

図１２Ａは、記憶部３１に設けられるメモリセル３２と電気的に接続される配線の一例を示すブロック図である。なお、図１２Ａには説明のため、行回路２４、列回路２５、センスアンプ回路２７、選択回路３３、遅延付加回路３５ａ、及び遅延付加回路３５ｂも示している。図１２Ａには、列回路２５とセンスアンプ回路２７の接続関係は示していない。

［０１４８］

メモリセル３２には、ワード線ＷＷＬ、ワード線ＲＷＬ、ビット線ＷＢＬ、ビット線ＲＢＬ、配線ＳＬ、及び配線ＢＧＬが電気的に接続される。ワード線ＷＷＬ、及びワード線ＲＷＬは、遅延付加回路３５ａと電気的に接続される。ビット線ＷＢＬは、遅延付加回路３５ｂと電気的に接続される。ビット線ＲＢＬは、遅延付加回路３５ｂ、及びセンスアンプ回路２７と電気的に接続される。

［０１４９］

＜メモリセルの構成例＞

図１２Ｂは、メモリセル３２の構成例を示す回路図である。図１２Ｂに示すメモリセル３２は、２トランジスタ型（２Ｔ）ゲインセルである。メモリセル３２は、トランジスタＭＷ１、トランジス

タＭＲ１、及び容量ＣＳ１を有する。

［０１５０］

トランジスタＭＷ１のソース又はドレインの一方は、容量ＣＳ１の一方の電極と電気的に接続される。容量ＣＳ１の一方の電極は、トランジスタＭＲ１のゲートと電気的に接続される。ここで、トランジスタＭＷ１のソース又はドレインの一方、容量ＣＳ１の一方の電極、及びトランジスタＭＲ１のゲートが電気的に接続されるノードを、ノードＮとする。

［０１５１］

トランジスタＭＷ１のソース又はドレインの他方は、ビット線ＷＢＬと電気的に接続される。トランジスタＭＷ１のゲートは、ワード線ＷＷＬと電気的に接続される。容量ＣＳ１の他方の電極は、ワード線ＲＷＬと電気的に接続される。トランジスタＭＲ１のソース又はドレインの一方は、ビット線ＲＢＬと電気的に接続される。トランジスタＭＲ１のソース又はドレインの他方は、配線ＳＬと電気的に接続される。トランジスタＭＷ１のバックゲート、及びトランジスタＭＲ１のバックゲートは、配線ＢＧＬと電気的に接続される。配線ＳＬには、例えば定電位が供給される。

［０１５２］

メモリセル３２にデータを書き込む場合、行回路２４が、トランジスタＭＷ１をオン状態とするような行選択信号ＲＳＥＬを生成し、ワード線ＷＷＬに供給する。これにより、ビット線ＷＢＬの電位に対応するデータが、メモリセル３２に書き込まれる。具体的には、ビット線ＷＢＬの電位に対応する電荷が、ノードＮに供給される。以上より、トランジスタＭＷ１は書き込みトランジスタといえ、ワード線ＷＷＬは書き込みワード線といえ、ビット線ＷＢＬは書き込みビット線といえる。

［０１５３］

その後、トランジスタＭＷ１をオフ状態とすることにより、メモリセル３２に書き込まれたデータが保持される。具体的には、メモリセル３２に書き込まれたデータに対応する、ノードＮの電荷が保持される。

［０１５４］

メモリセル３２からデータを読み出す場合、まず列回路２５がプリチャージ信号を生成してビット線ＲＢＬにプリチャージ信号を供給し、ビット線ＲＢＬをプリチャージする。次に、行回路２４が行選択信号ＲＳＥＬを生成してワード線ＲＷＬに供給し、容量ＣＳ１の他方の電極の電位を高める。これにより、ノードＮの電位が高くなり、メモリセル３２に保持されているデータに応じた大きさの電流が、トランジスタＭＲ１を介してビット線ＲＢＬと配線ＳＬの間に流れる。よって、ビット線ＲＢＬの電位が、メモリセル３２に保持されているデータに応じて変化する。具体的には、例えばメモリセル３２に１ビットのデジタルデータが保持されている場合、当該デジタルデータのデジタル値が“１”である場合は、ビット線ＲＢＬの電位がプリチャージ電位より高くなる。一方、デジタル値が“０”である場合は、ビット線ＲＢＬの電位がプリチャージ電位より低くなる。その後、センスアンプ回路２７が、プリチャージ電位とビット線ＲＢＬの電位の差を増幅する。以上により、メモリセル３２からデータが読み出される。ここで、トランジスタＭＲ１は読み出しトランジスタといえ、ワード線ＲＷＬは読み出しワード線といえ、ビット線ＲＢＬは読み出しビット線といえる。

［０１５５］

なお、メモリセル３２にデータを書き込む際にワード線ＷＷＬに供給する行選択信号ＲＳＥＬと、メモリセル３２からデータを読み出す際にワード線ＲＷＬに供給する行選択信号ＲＳＥＬと、は異なる信号とすることができ、例えば電位が異なる信号とすることができる。例えば、ワード線ＷＷ

Ｌに供給する行選択信号ＲＳＥＬと、ワード線ＲＷＬに供給する行選択信号ＲＳＥＬと、を両方とも高電位とする場合であっても、これら２つの高電位の電位を異ならせることができる。

［０１５６］

トランジスタMW１、及びトランジスタMＲ１は、ＯＳトランジスタとすることができる。トランジスタMW１をＯＳトランジスタとすることにより、トランジスタMW１のオフ電流を極めて低くできるため、ノードＮの電荷を長時間保持できる。よって、メモリセル３２は、データを長時間保持できる。また、トランジスタMW１をオフ状態にすることによりメモリセル３２にデータを保持できるため、データの保持に電力を消費しない。以上により、メモリセル３２は長時間データを保持可能な低消費電力なメモリセルであり、半導体装置１０を、不揮発性記憶装置として用いることができる。

［０１５７］

図１３Ａ乃至図１３Ｄを参照して、メモリセル３２の他の構成例を説明する。

［０１５８］

図１３Ａに示すメモリセル３２Ａは、３Ｔ型ゲインセルであり、トランジスタMW２、ＭＲ２、トランジスタＭＳ２、及び容量ＣＳ２を有する。トランジスタMW２、トランジスタMＲ２、及びトランジスタＭＳ２はそれぞれ、書き込みトランジスタ、読み出しトランジスタ、及び選択トランジスタである。トランジスタMW２、トランジスタMＲ２、及びトランジスタＭＳ２のバックゲートは配線ＢＧＬと電気的に接続される。メモリセル３２Ａは、ワード線ＲＷＬ、ワード線WWＬ、ビット線ＲＢＬ、ビット線ＷＢＬ、容量線ＣＤＬ、及び電源線ＰＬと電気的に接続される。容量線ＣＤＬ、及び電源線ＰＬには、低電位、具体的には例えば接地電位が供給される。

［０１５９］

図１３Ｂに２Ｔ型ゲインセルの他の構成例を示す。図１３Ｂに示すメモリセル３２Ｂでは、読み出しトランジスタがバックゲートを有しないＯＳトランジスタで構成される。

［０１６０］

図１３Ｃに３Ｔ型ゲインセルの他の構成例を示す。図１３Ｃに示すメモリセル３２Ｃでは、読み出しトランジスタ、及び選択トランジスタとしてバックゲートを有しないＯＳトランジスタで構成される。

［０１６１］

上述のゲインセルにおいて、ビット線ＲＢＬ、及びビット線ＷＢＬを兼ねるビット線を設けてもよい。

［０１６２］

図１２Ｂ、図１３Ａ、図１３Ｂ、又は図１３Ｃに示す回路構成を有し、且つＯＳトランジスタを有するメモリセルの構成を、ＮＯＳＲＡＭ（登録商標）という。ＮＯＳＲＡＭとは、“Ｎｏｎｖｏｌａｔｉｌｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ（ＲＡＭ）”の略称である。

［０１６３］

図１３Ｄに１Ｔ１Ｃ（容量）型メモリセルの例を示す。図１３Ｄに示すメモリセル３２Ｄは、ワード線ＷＬ、ビット線ＢＬ、容量線ＣＤＬ、及び配線ＢＧＬと電気的に接続される。メモリセル３２Ｄは、トランジスタMW３、及び容量ＣＳ３を有する。トランジスタMW３のバックゲートは配線ＢＧＬと電気的に接続される。

［０１６４］

図１３Ｄに示す回路構成を有し、且つＯＳトランジスタを有するメモリセルの構成を、ＤＯＳＲＡＭ（登録商標）という。ＤＯＳＲＡＭとは、“Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　ＲＡＭ”の略称である。

［０１６５］

本実施の形態に示す構成、構造、又は方法等は、他の実施の形態に示す構成、構造、又は方法等と適宜組み合わせて用いることができる。

［０１６６］

（実施の形態２）

本実施の形態では、上記実施の形態で説明した半導体装置に適用可能なトランジスタの構成について説明する。一例として、異なる電気特性を有するトランジスタを積層して設ける構成について説明する。当該構成とすることで、半導体装置の設計自由度を高めることができる。また、異なる電気特性を有するトランジスタを積層して設けることで、半導体装置の集積度を高めることができる。

［０１６７］

半導体装置の断面構造の一部を図１４に示す。図１４に示す半導体装置は、トランジスタ５５０と、トランジスタ５００と、容量６００と、を有している。図１５Ａはトランジスタ５００のチャネル長方向の断面図であり、図１５Ｂはトランジスタ５００のチャネル幅方向の断面図であり、図１５Ｃはトランジスタ５５０のチャネル幅方向の断面図である。例えば、トランジスタ５００は上記実施の形態に示したＳｉトランジスタに相当し、トランジスタ５５０はＯＳトランジスタに相当する。

［０１６８］

なお本明細書等においては、メモリセルが設けられる行方向又は列方向の一方をＸ方向とし、行方向又は列方向の他方をＹ方向とする。また、Ｘ方向、及びＹ方向の両方と垂直な方向を、Ｚ方向とする。Ｚ方向は、高さ方向ともいう。

［０１６９］

図１４では、トランジスタ５００はトランジスタ５５０の上方に設けられ、容量６００はトランジスタ５５０、及びトランジスタ５００の上方に設けられている。

［０１７０］

トランジスタ５５０は、基板３１１上に設けられ、導電体３１６、絶縁体３１５、基板３１１の一部からなる半導体領域３１３、ソース領域又はドレイン領域として機能する低抵抗領域３１４ａ、及び低抵抗領域３１４ｂを有する。

［０１７１］

図１５Ｃに示すように、トランジスタ５５０は、半導体領域３１３の上面及びチャネル幅方向の側面が絶縁体３１５を介して導電体３１６に覆われている。このように、トランジスタ５５０をＦｉｎ型とすることにより、実効上のチャネル幅が増大することによりトランジスタ５５０のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くできるため、トランジスタ５５０のオフ特性を向上させることができる。

［０１７２］

なお、トランジスタ５５０は、ｐチャネル型、あるいはｎチャネル型のいずれでもよい。

［０１７３］

半導体領域３１３のチャネルが形成される領域、その近傍の領域、ソース領域、又はドレイン領域

となる低抵抗領域３１４ａ、及び低抵抗領域３１４ｂ等において、シリコン系半導体等の半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。又は、Ｇｅ（ゲルマニウム）、ＳｉＧｅ（シリコンゲルマニウム）、ＧａＡｓ（ヒ化ガリウム）、若しくはＧａＡｌＡｓ（ガリウムアルミニウムヒ素）等を有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。又は例えばＧａＡｓとＧａＡｌＡｓを用いることで、トランジスタ５５０をＨＥＭＴ（Ｈｉｇｈ　Ｅｌｅｃｔｒｏｎ　Ｍｏｂｉｌｉｔｙ　Ｔｒａｎｓｉｓｔｏｒ）としてもよい。

［０１７４］

低抵抗領域３１４ａ、及び低抵抗領域３１４ｂは、半導体領域３１３に適用される半導体材料に加え、ヒ素若しくはリン等のｎ型の導電性を付与する元素、又はホウ素等のｐ型の導電性を付与する元素を含む。

［０１７５］

ゲート電極として機能する導電体３１６は、ヒ素若しくはリン等のｎ型の導電性を付与する元素、若しくはホウ素等のｐ型の導電性を付与する元素を含むシリコン等の半導体材料、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。

［０１７６］

なお、導電体の材料によって仕事関数が決まるため、当該導電体の材料を選択することで、トランジスタのしきい値電圧を調整できる。具体的には、導電体に窒化チタン、又は窒化タンタル等の材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステン、又はアルミニウム等の金属材料を積層として用いることが好ましく、特にタングステンを用いることが耐熱性の点で好ましい。

［０１７７］

トランジスタ５５０は、例えばＳＯＩ（Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板を用いて形成してもよい。

［０１７８］

また、ＳＯＩ基板としては、鏡面研磨ウエハに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて形成されたＳＩＭＯＸ（Ｓｅｐａｒａｔｉｏｎ　ｂｙ　Ｉｍｐｌａｎｔｅｄ　Ｏｘｙｇｅｎ）基板、又は水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法、若しくはＥＬＴＲＡＮ法（登録商標：Ｅｐｉｔａｘｉａｌ　Ｌａｙｅｒ　Ｔｒａｎｓｆｅｒ）等を用いて形成されたＳＯＩ基板を用いてもよい。単結晶基板を用いて形成されたトランジスタは、チャネル形成領域に単結晶半導体を有する。

［０１７９］

トランジスタ５５０を覆って、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６が順に積層して設けられている。

［０１８０］

絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６として、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、又は窒化アルミニウム等を用いればよい。

［０１８１］

なお、本明細書中において、酸化窒化シリコンとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。また、本明細書中において、酸化窒化アルミニウムとは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化アルミニウムとは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

［０１８２］

絶縁体３２２は、例えばその下方に設けられるトランジスタ５５０によって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体３２２の上面は、平坦性を高めるために化学機械研磨（ＣＭＰ）法を用いた平坦化処理により平坦化されていてもよい。

［０１８３］

また、絶縁体３２４には、基板３１１、又はトランジスタ５５０等から、トランジスタ５００が設けられる領域に、水素、及び不純物等が拡散しないようなバリア性を有する膜を用いることが好ましい。

［０１８４］

水素に対するバリア性を有する膜の一例として、例えば、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ５５０との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１８５］

水素の脱離量は、例えば、昇温脱離ガス分析法（ＴＤＳ）を用いて分析できる。例えば、絶縁体３２４の水素の脱離量は、ＴＤＳ分析において、膜の表面温度が５０℃から５００℃の範囲において、水素原子に換算した脱離量が、絶縁体３２４の面積当たりに換算して、1×10^{16}ａｔｏｍｓ／ｃｍ^{2}以下、好ましくは5×10^{15}ａｔｏｍｓ／ｃｍ^{2}以下であればよい。

［０１８６］

なお、絶縁体３２６は、絶縁体３２４よりも誘電率が低いことが好ましい。例えば、絶縁体３２６の比誘電率は４未満が好ましく、３未満がより好ましい。また例えば、絶縁体３２６の比誘電率は、絶縁体３２４の比誘電率の０．７倍以下が好ましく、０．６倍以下がより好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減できる。

［０１８７］

また、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６には容量６００、又はトランジスタ５００と接続する導電体３２８、及び導電体３３０等が埋め込まれている。なお、導電体３２８、及び導電体３３０は、プラグ又は配線としての機能を有する。また、プラグ又は配線としての機能を有する導電体は、複数の構成をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０１８８］

各プラグ、及び配線（導電体３２８、及び導電体３３０等）の材料としては、金属材料、合金材料、金属窒化物材料、又は金属酸化物材料等の導電性材料を、単層又は積層して用いることができる。耐熱性と導電性を両立する、タングステン又はモリブデン等の高融点材料を用いることが好ましく、

特にタングステンを用いることが好ましい。又は、アルミニウム若しくは銅等の、低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くできる。

［０１８９］

絶縁体３２６、及び導電体３３０上に、配線層を設けてもよい。例えば、図１４では、絶縁体３５０、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。また、絶縁体３５０、絶縁体３５２、及び絶縁体３５４には、導電体３５６が形成されている。導電体３５６は、トランジスタ５５０と接続するプラグ、又は配線としての機能を有する。なお導電体３５６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１９０］

絶縁体３５４、及び導電体３５６上に、配線層を設けてもよい。例えば、図１４では、絶縁体３６０、絶縁体３６２、及び絶縁体３６４が順に積層して設けられている。また、絶縁体３６０、絶縁体３６２、及び絶縁体３６４には、導電体３６６が形成されている。導電体３６６は、プラグ又は配線としての機能を有する。なお導電体３６６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１９１］

絶縁体３６４、及び導電体３６６上に、配線層を設けてもよい。例えば、図１４では、絶縁体３７０、絶縁体３７２、及び絶縁体３７４が順に積層して設けられている。また、絶縁体３７０、絶縁体３７２、及び絶縁体３７４には、導電体３７６が形成されている。導電体３７６は、プラグ又は配線としての機能を有する。なお導電体３７６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１９２］

絶縁体３７４、及び導電体３７６上に、配線層を設けてもよい。例えば、図１４では、絶縁体３８０、絶縁体３８２、及び絶縁体３８４が順に積層して設けられている。また、絶縁体３８０、絶縁体３８２、及び絶縁体３８４には、導電体３８６が形成されている。導電体３８６は、プラグ又は配線としての機能を有する。なお導電体３８６は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０１９３］

絶縁体３５０、絶縁体３６０、絶縁体３７０、及び絶縁体３８０等は、絶縁体３２４と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体３５６は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体３５０が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ５５０とトランジスタ５００とは、バリア層により分離でき、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制できる。

［０１９４］

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタルを用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ５５０からの水素の拡散を抑制できる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体３５０と接する構成であることが好ましい。

［０１９５］

上記において、導電体３５６を含む配線層、導電体３６６を含む配線層、導電体３７６を含む配線層、及び導電体３８６を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体３５６を含む配線層と同様の配線層を３層以下にしてもよいし、導電体３５６を含む配線層と同様の配線層を５層以上にしてもよい。

［０１９６］

絶縁体３８４上には絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６が、順に積層して設けられている。絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６のいずれかは、酸素、及び水素等に対してバリア性のある物質を用いることが好ましい。

［０１９７］

例えば、絶縁体５１０、及び絶縁体５１４には、例えば、基板３１１、又はトランジスタ５５０を設ける領域等から、トランジスタ５００を設ける領域に、水素、及び不純物等が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体３２４と同様の材料を用いることができる。

［０１９８］

水素に対するバリア性を有する膜の一例として、ＣＶＤ法で形成した窒化シリコンを用いることができる。ここで、トランジスタ５００等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ５００と、トランジスタ５５０との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

［０１９９］

また、水素に対するバリア性を有する膜として、例えば、絶縁体５１０、及び絶縁体５１４には、酸化アルミニウム、酸化ハフニウム、又は酸化タンタル等の金属酸化物を用いることが好ましい。

［０２００］

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる、水素及び水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素及び水分等の不純物の、トランジスタ５００への混入を抑制できる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制できる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０２０１］

また、例えば、絶縁体５１２、及び絶縁体５１６には、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減できる。例えば、絶縁体５１２、及び絶縁体５１６として、酸化シリコン膜又は酸化窒化シリコン膜等を用いることができる。

［０２０２］

また、絶縁体５１０、絶縁体５１２、絶縁体５１４、及び絶縁体５１６には、導電体５１８、及びトランジスタ５００を構成する導電体（例えば、導電体５０３）等が埋め込まれている。なお、導電体５１８は、容量６００、又はトランジスタ５５０と接続するプラグ、又は配線としての機能を有する。導電体５１８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０２０３］

特に、絶縁体５１０、及び絶縁体５１４と接する領域の導電体５１８は、酸素、水素、及び水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ５５０とトランジスタ５００とは、酸素、水素、及び水に対するバリア性を有する層で、分離でき、トランジスタ５５０からトランジスタ５００への水素の拡散を抑制できる。

［０２０４］

絶縁体５１６の上方には、トランジスタ５００が設けられている。

［０２０５］

図１５Ａ及び図１５Ｂに示すように、トランジスタ５００は、絶縁体５１４及び絶縁体５１６に埋め込まれるように配置された導電体５０３と、絶縁体５１６及び導電体５０３の上に配置された絶縁体５２０と、絶縁体５２０の上に配置された絶縁体５２２と、絶縁体５２２の上に配置された絶縁体５２４と、絶縁体５２４の上に配置された酸化物５３０ａと、酸化物５３０ａの上に配置された酸化物５３０ｂと、酸化物５３０ｂ上に互いに離れて配置された導電体５４２ａ及び導電体５４２ｂと、導電体５４２ａ及び導電体５４２ｂ上に配置され、導電体５４２ａと導電体５４２ｂの間に重畳して開口が形成された絶縁体５８０と、開口の底面及び側面に配置された絶縁体５４５と、絶縁体５４５の形成面に配置された導電体５６０と、を有する。

［０２０６］

また、図１５Ａ及び図１５Ｂに示すように、酸化物５３０ａ、酸化物５３０ｂ、導電体５４２ａ、及び導電体５４２ｂと、絶縁体５８０の間に絶縁体５４４が配置されることが好ましい。また、図１５Ａ及び図１５Ｂに示すように、導電体５６０は、絶縁体５４５の内側に設けられた導電体５６０ａと、導電体５６０ａの内側に埋め込まれるように設けられた導電体５６０ｂと、を有することが好ましい。また、図１５Ａ及び図１５Ｂに示すように、絶縁体５８０、導電体５６０、及び絶縁体５４５の上に絶縁体５７４が配置されることが好ましい。

［０２０７］

なお、本明細書等において、酸化物５３０ａ、及び酸化物５３０ｂをまとめて酸化物５３０という場合がある。

［０２０８］

なお、トランジスタ５００では、チャネルが形成される領域と、その近傍において、酸化物５３０ａ、及び酸化物５３０ｂの２層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物５３０ｂの単層、又は３層以上の積層構成を設ける構成にしてもよい。

［０２０９］

また、トランジスタ５００では、導電体５６０を２層の積層構成として示しているが、本発明はこれに限られるものではない。例えば、導電体５６０が、単層構成であってもよいし、３層以上の積層構成であってもよい。また、図１４、及び図１５Ａに示すトランジスタ５００は一例であり、その構成に限定されず、回路構成、又は駆動方法等に応じて適切なトランジスタを用いればよい。

［０２１０］

ここで、導電体５６０は、トランジスタのゲート電極として機能し、導電体５４２ａ及び導電体５４２ｂは、それぞれソース電極又はドレイン電極として機能する。上記のように、導電体５６０は、絶縁体５８０の開口、及び導電体５４２ａと導電体５４２ｂに挟まれた領域に埋め込まれるように形成される。導電体５６０、導電体５４２ａ及び導電体５４２ｂの配置は、絶縁体５８０の開口に対して、自己整合的に選択される。つまり、トランジスタ５００において、ゲート電極を、ソース

電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体５６０を位置合わせのマージンを設けることなく形成できるので、トランジスタ５００の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

［０２１１］

さらに、導電体５６０が、導電体５４２ａと導電体５４２ｂの間の領域に自己整合的に形成されるので、導電体５６０は、導電体５４２ａ又は導電体５４２ｂと重畳する領域を有さない。これにより、導電体５６０と導電体５４２ａ及び導電体５４２ｂとの間に形成される寄生容量を低減できる。よって、トランジスタ５００のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

［０２１２］

導電体５６０は、第１のゲート（トップゲートともいう）電極として機能する場合がある。また、導電体５０３は、第２のゲート（ボトムゲートともいう）電極として機能する場合がある。その場合、導電体５０３に印加する電位を、導電体５６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ５００のしきい値電圧を制御できる。特に、導電体５０３に負の電位を印加することにより、トランジスタ５００のしきい値電圧を０Ｖより大きくし、オフ電流を低減することが可能となる。したがって、導電体５０３に負の電位を印加したほうが、印加しない場合よりも、導電体５６０に印加する電位が０Ｖのときのドレイン電流を小さくできる。

［０２１３］

導電体５０３は、酸化物５３０、及び導電体５６０と、重なるように配置する。これにより、導電体５６０、及び導電体５０３に電位を印加した場合、導電体５６０から生じる電界と、導電体５０３から生じる電界と、がつながり、酸化物５３０に形成されるチャネル形成領域を覆うことができる。

［０２１４］

本明細書等において、第１のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。また、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造及びプレーナ型構造とは異なる構造を有する。一方で、本明細書等で開示するＳ－ｃｈａｎｎｅｌ構造は、Ｆｉｎ型構造の一種として捉えることも可能である。なお、本明細書等において、Ｆｉｎ型構造とは、ゲート電極が少なくともチャネルの２面以上（具体的には、２面、３面、又は４面等）を包むように配置される構造を示す。Ｆｉｎ型構造、及びＳ－ｃｈａｎｎｅｌ構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

［０２１５］

トランジスタを、上記のＳ－ｃｈａｎｎｅｌ構造とすることで、チャネル形成領域を電気的に取り囲むことができる。なお、Ｓ－ｃｈａｎｎｅｌ構造は、チャネル形成領域を電気的に取り囲んでいる構造であるため、実質的にＧＡＡ（Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造、又はＬＧＡＡ（Ｌａｔｅｒａｌ　Ｇａｔｅ　Ａｌｌ　Ａｒｏｕｎｄ）構造と、同等の構造であるともいえる。トランジスタをＳ－ｃｈａｎｎｅｌ構造、ＧＡＡ構造、又はＬＧＡＡ構造とすることで、酸化物５３０とゲート絶縁体との界面又は界面近傍に形成されるチャネル形成領域を、酸化物５３０のバルク全体とすることができる。したがって、トランジスタに流れる電流密度を向上させることが可能となるため、トランジスタのオン電流の向上、又はトランジスタの電界効果移動度を高めることが期待で

きる。

［０２１６］

また、導電体５０３は、導電体５１８と同様の構成であり、絶縁体５１４及び絶縁体５１６の開口の内壁に接して導電体５０３ａが形成され、さらに内側に導電体５０３ｂが形成されている。なお、トランジスタ５００では、導電体５０３ａ及び導電体５０３ｂを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体５０３は、単層、又は３層以上の積層構成として設ける構成にしてもよい。

［０２１７］

ここで、導電体５０３ａは、水素原子、水素分子、水分子、及び銅原子等の不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい。）導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等のうち少なくとも１つ）の拡散を抑制する機能を有する（上記酸素が透過しにくい。）導電性材料を用いることが好ましい。なお、本明細書等において、不純物、又は酸素の拡散を抑制する機能とは、上記不純物、又は上記酸素のいずれか１つ、又はすべての拡散を抑制する機能とする。

［０２１８］

例えば、導電体５０３ａが酸素の拡散を抑制する機能を持つことにより、導電体５０３ｂが酸化して導電率が低下することを抑制できる。

［０２１９］

また、導電体５０３が配線の機能を兼ねる場合、導電体５０３ｂは、タングステン、銅、又はアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。なお、本実施の形態では導電体５０３を導電体５０３ａと導電体５０３ｂの積層で図示したが、導電体５０３は単層構成であってもよい。

［０２２０］

絶縁体５２０、絶縁体５２２、及び絶縁体５２４は、第２のゲート絶縁膜としての機能を有する。

［０２２１］

ここで、酸化物５３０と接する絶縁体５２４は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。当該酸素は、加熱により膜中から放出されやすい。本明細書等では、加熱により放出される酸素を「過剰酸素」と呼ぶ場合がある。つまり、絶縁体５２４には、過剰酸素を含む領域（「過剰酸素領域」ともいう。）が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物５３０に接して設けることにより、酸化物５３０中の酸素欠損（V_O：ｏｘｙｇｅｎ　ｖａｃａｎｃｙともいう）を低減し、トランジスタ５００の信頼性を向上させることができる。なお、酸化物５３０中の酸素欠損に水素が入った場合、当該欠陥（以下、V_OHと呼ぶ場合がある。）はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる状態）となりやすい。また、酸化物半導体中の水素は、熱、又は電界等のストレスによって動きやすいため、酸化物半導体に多くの水素が含まれると、トランジスタの信頼性が悪化する恐れもある。本発明の一態様においては、酸化物５３０中のV_OHをできる限り低減し、高純度真性又は実質的に高純度真性にすることが好ましい。このように、V_OHが十分低減された酸化物半導体を得るには、酸化物半

導体中の水分、及び水素等の不純物を除去すること（「脱水」又は「脱水素化処理」ともいう。）と、酸化物半導体に酸素を供給して酸素欠損を補償すること（「加酸素化処理」ともいう。）が重要である。V_OH等の不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与できる。

［０２２２］

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、ＴＤＳ（Ｔｈｅｒｍａｌ　Ｄｅｓｏｒｐｔｉｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）分析にて、酸素原子に換算しての酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、好ましくは１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、さらに好ましくは２．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、又は３．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である酸化物膜である。なお、上記ＴＤＳ分析時における膜の表面温度としては１００℃以上７００℃以下、又は１００℃以上４００℃以下の範囲が好ましい。

［０２２３］

また、上記過剰酸素領域を有する絶縁体と、酸化物５３０と、を接して加熱処理、マイクロ波処理、又はＲＦ処理のいずれか１つ又は複数の処理を行っても良い。当該処理を行うことで、酸化物５３０中の水、又は水素を除去できる。例えば、酸化物５３０において、ＶｏＨの結合が切断される反応が起きる、別言すると「V_OH→Ｖｏ＋Ｈ」という反応が起きて、脱水素化できる。このとき発生した水素の一部は、酸素と結合してH_2Oとして、酸化物５３０、又は酸化物５３０近傍の絶縁体から除去される場合がある。また、水素の一部は、導電体５４２にゲッタリングされる場合がある。

［０２２４］

また、上記マイクロ波処理は、例えば、高密度プラズマを発生させる電源を有する装置、又は、基板側にＲＦを印加する電源を有する装置を用いると好適である。例えば、酸素を含むガスを用い、且つ高密度プラズマを用いることより、高密度の酸素ラジカルを生成でき、基板側にＲＦを印加することで、高密度プラズマによって生成された酸素ラジカルを、効率よく酸化物５３０、又は酸化物５３０近傍の絶縁体中に導入できる。また、上記マイクロ波処理は、圧力を１３３Ｐａ以上、好ましくは２００Ｐａ以上、さらに好ましくは４００Ｐａ以上とすればよい。また、マイクロ波処理を行う装置内に導入するガスとしては、例えば、酸素と、アルゴンとを用い、酸素流量比（O_2／（O_2＋Ａｒ））が５０％以下、好ましくは１０％以上３０％以下で行うとよい。

［０２２５］

また、トランジスタ５００の作製工程中において、酸化物５３０の表面が露出した状態で、加熱処理を行うと好適である。当該加熱処理は、例えば、１００℃以上４５０℃以下、より好ましくは３５０℃以上４００℃以下で行えばよい。なお、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は酸化性ガスを１０ｐｐｍ以上、１％以上、若しくは１０％以上含む雰囲気で行う。例えば、加熱処理は酸素雰囲気で行うことが好ましい。これにより、酸化物５３０に酸素を供給して、酸素欠損（V_O）の低減を図ることができる。また、加熱処理は減圧状態で行ってもよい。又は、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために、酸化性ガスを１０ｐｐｍ以上、１％以上、又は１０％以上含む雰囲気で行ってもよい。又は、酸化性ガスを１０ｐｐｍ以上、１％以上、又は１０％以上含む雰囲気で加熱処理した後に、連続して窒素ガス若しくは不活性ガスの雰囲気で加熱処理を行っても良い。

［０２２６］

なお、酸化物５３０に加酸素化処理を行うことで、酸化物５３０中の酸素欠損を、供給された酸素により修復させる、別言すると「Ｖｏ＋Ｏ→ｎｕｌｌ」という反応を促進させることができる。さらに、酸化物５３０中に残存した水素に供給された酸素が反応することで、当該水素をH_2Oとして除去する（脱水化する）ことができる。これにより、酸化物５３０中に残存していた水素が酸素欠損に再結合してV_OHが形成されるのを抑制できる。

［０２２７］

また、絶縁体５２４が、過剰酸素領域を有する場合、絶縁体５２２は、酸素（例えば、酸素原子、及び酸素分子等）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

［０２２８］

絶縁体５２２が、酸素、及び不純物等の拡散を抑制する機能を有することで、酸化物５３０が有する酸素は、絶縁体５２０側へ拡散することがなく、好ましい。また、導電体５０３が、絶縁体５２４、又は酸化物５３０等が有する酸素と反応することを抑制できる。

［０２２９］

絶縁体５２２は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）、又は（Ｂａ，Ｓｒ）TiO_3（ＢＳＴ）等のいわゆるｈｉｇｈ－ｋ材料を含む絶縁体を単層又は積層で用いることが好ましい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

［０２３０］

特に、不純物、及び酸素等の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウム及びハフニウムの、一方又は双方の酸化物を含む絶縁体を用いるとよい。アルミニウム、ハフニウムの一方又は双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、並びにアルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。このような材料を用いて絶縁体５２２を形成した場合、絶縁体５２２は、酸化物５３０からの酸素の放出、又はトランジスタ５００の周辺部から酸化物５３０への水素等の不純物の混入を抑制する層として機能する。

［０２３１］

又は、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。又はこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコン又は窒化シリコンを積層して用いてもよい。

［０２３２］

また、絶縁体５２０は、熱的に安定していることが好ましい。例えば、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため、好適である。また、ｈｉｇｈ－ｋ材料の絶縁体を酸化シリコン、又は酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構成の絶縁体５２０を得ることができる。

［０２３３］

なお、図１５Ａ及び図１５Ｂのトランジスタ５００では、３層の積層構成からなる第２のゲート絶縁膜として、絶縁体５２０、絶縁体５２２、及び絶縁体５２４が図示されているが、第２のゲート絶縁膜は、単層、２層、又は４層以上の積層構成を有していてもよい。その場合、同じ材料からなる積層構成に限定されず、異なる材料からなる積層構成でもよい。

［０２３４］

トランジスタ５００は、チャネル形成領域を含む酸化物５３０に、酸化物半導体として機能する金属酸化物を用いる。例えば、酸化物５３０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、又はマグネシウム等から選ばれた一種、又は複数種）等の金属酸化物を用いるとよい。

［０２３５］

酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行ってもよいし、ＡＬＤ（Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法で行ってもよい。なお、酸化物半導体として機能する金属酸化物については、他の実施の形態で詳細に説明する。

［０２３６］

また、酸化物５３０においてチャネル形成領域として機能する金属酸化物は、バンドギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。

［０２３７］

酸化物５３０は、酸化物５３０ｂ下に酸化物５３０ａを有することで、酸化物５３０ａよりも下方に形成された構成物から、酸化物５３０ｂへの不純物の拡散を抑制できる。

［０２３８］

なお、酸化物５３０は、各金属原子の原子数比が異なる複数の酸化物層の構成を有することが好ましい。具体的には、酸化物５３０ａに用いる金属酸化物において、構成元素中の元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、構成元素中の元素Ｍの原子数比より、大きいことが好ましい。また、酸化物５３０ａに用いる金属酸化物において、Ｉｎに対する元素Ｍの原子数比が、酸化物５３０ｂに用いる金属酸化物における、Ｉｎに対する元素Ｍの原子数比より大きいことが好ましい。また、酸化物５３０ｂに用いる金属酸化物において、元素Ｍに対するＩｎの原子数比が、酸化物５３０ａに用いる金属酸化物における、元素Ｍに対するＩｎの原子数比より大きいことが好ましい。

［０２３９］

また、酸化物５３０ａの伝導帯下端のエネルギーが、酸化物５３０ｂの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物５３０ａ電子親和力が、酸化物５３０ｂの電子親和力より小さいことが好ましい。

［０２４０］

ここで、酸化物５３０ａ及び酸化物５３０ｂの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物５３０ａ及び酸化物５３０ｂの接合部における伝導帯下端のエネルギー準位は、連続的に変化又は連続接合するともいえる。このようにするためには、酸化物５３０ａと酸化物５３０ｂとの界面において形成される混合層の欠陥準位密度を低くするとよい。

［０２４１］

具体的には、酸化物５３０ａと酸化物５３０ｂが、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成できる。例えば、酸化物５３０ｂがＩｎ－Ｇａ－Ｚｎ酸化物の場合、酸化物５３０ａとして、Ｉｎ－Ｇａ－Ｚｎ酸化物、Ｇａ－Ｚｎ酸化物、又は酸化ガリウム等を用いるとよい。

［０２４２］

このとき、キャリアの主たる経路は酸化物５３０ｂとなる。酸化物５３０ａを上述の構成とすることで、酸化物５３０ａと酸化物５３０ｂとの界面における欠陥準位密度を低くできる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ５００は高いオン電流を得られる。

［０２４３］

酸化物５３０ｂ上には、ソース電極、及びドレイン電極として機能する導電体５４２ａ、及び導電体５４２ｂが設けられる。導電体５４２ａ、及び導電体５４２ｂとしては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、及びランタンから選ばれた金属元素、又は上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又はランタンとニッケルを含む酸化物等を用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。更に、窒化タンタル等の金属窒化物膜は、水素又は酸素に対するバリア性があるため好ましい。

［０２４４］

また、図１５Ａでは、導電体５４２ａ、及び導電体５４２ｂを単層構成として示したが、２層以上の積層構成としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構成、銅－マグネシウム－アルミニウム合金膜上に銅膜を積層する二層構成、チタン膜上に銅膜を積層する二層構成、タングステン膜上に銅膜を積層する二層構成としてもよい。

［０２４５］

また、チタン膜又は窒化チタン膜と、そのチタン膜又は窒化チタン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にチタン膜又は窒化チタン膜を形成する三層構成、モリブデン膜又は窒化モリブデン膜と、そのモリブデン膜又は窒化モリブデン膜上に重ねてアルミニウム膜又は銅膜を積層し、さらにその上にモリブデン膜又は窒化モリブデン膜を形成する三層構成等がある。なお、酸化インジウム、酸化錫又は酸化亜鉛を含む透明導電材料を用いてもよい。

［０２４６］

また、図１５Ａに示すように、酸化物５３０の、導電体５４２ａ（導電体５４２ｂ）との界面とその近傍には、低抵抗領域として、領域５４３ａ、及び領域５４３ｂが形成される場合がある。このとき、領域５４３ａはソース領域又はドレイン領域の一方として機能し、領域５４３ｂはソース領

域又はドレイン領域の他方として機能する。また、領域５４３ａと領域５４３ｂに挟まれる領域にチャネル形成領域が形成される。

［０２４７］

酸化物５３０と接するように上記導電体５４２ａ（導電体５４２ｂ）を設けることで、領域５４３ａ（領域５４３ｂ）の酸素濃度が低減する場合がある。また、領域５４３ａ（領域５４３ｂ）に導電体５４２ａ（導電体５４２ｂ）に含まれる金属と、酸化物５３０の成分とを含む金属化合物層が形成される場合がある。このような場合、領域５４３ａ（領域５４３ｂ）のキャリア密度が増加し、領域５４３ａ（領域５４３ｂ）は、低抵抗領域となる。

［０２４８］

絶縁体５４４は、導電体５４２ａ、及び導電体５４２ｂを覆うように設けられ、導電体５４２ａ、及び導電体５４２ｂの酸化を抑制する。このとき、絶縁体５４４は、酸化物５３０の側面を覆い、絶縁体５２４と接するように設けられてもよい。

［０２４９］

絶縁体５４４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、ネオジム、ランタン又は、マグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。また、絶縁体５４４として、窒化酸化シリコン又は窒化シリコン等も用いることができる。

［０２５０］

特に、絶縁体５４４として、アルミニウム、又はハフニウムの一方又は双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウム、及びハフニウムを含む酸化物（ハフニウムアルミネート）等を用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいため好ましい。なお、導電体５４２ａ、及び導電体５４２ｂが耐酸化性を有する材料、又は、酸素を吸収しても著しく導電性が低下しない材料である場合、絶縁体５４４は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

［０２５１］

絶縁体５４４を有することで、絶縁体５８０に含まれる、水及び水素等の不純物が、酸化物５３０ｂに拡散することを抑制できる。また、絶縁体５８０が有する過剰酸素により、導電体５４２が酸化するのを抑制できる。

［０２５２］

絶縁体５４５は、第１のゲート絶縁膜として機能する。絶縁体５４５は、上述した絶縁体５２４と同様に、過剰に酸素を含み、かつ加熱により酸素が放出される絶縁体を用いて形成することが好ましい。

［０２５３］

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは熱に対し安定であるため好ましい。

［０２５４］

過剰酸素を含む絶縁体を絶縁体５４５として設けることにより、絶縁体５４５から、酸化物５３０

ｂのチャネル形成領域に効果的に酸素を供給できる。また、絶縁体５２４と同様に、絶縁体５４５中の水又は水素等の不純物濃度が低減されていることが好ましい。絶縁体５４５の膜厚は、１ｎｍ以上２０ｎｍ以下とするのが好ましい。

［０２５５］

また、絶縁体５４５が有する過剰酸素を、効率的に酸化物５３０へ供給するために、絶縁体５４５と導電体５６０との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体５４５から導電体５６０への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体５４５から導電体５６０への過剰酸素の拡散が抑制される。つまり、酸化物５３０へ供給する過剰酸素量の減少を抑制できる。また、過剰酸素による導電体５６０の酸化を抑制できる。当該金属酸化物としては、絶縁体５４４に用いることができる材料を用いればよい。

［０２５６］

なお、絶縁体５４５は、第２のゲート絶縁膜と同様に、積層構成としてもよい。トランジスタの微細化、及び高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流等の問題が生じる場合があるため、ゲート絶縁膜として機能する絶縁体を、ｈｉｇｈ－ｋ材料と、熱的に安定している材料との積層構成とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構成とすることができる。

［０２５７］

第１のゲート電極として機能する導電体５６０は、図１５Ａ及び図１５Ｂでは２層構成として示しているが、単層構成でもよいし、３層以上の積層構成であってもよい。

［０２５８］

導電体５６０ａは、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、ＮＯ、及びNO_2等）、及び銅原子等の不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。又は、酸素（例えば、酸素原子、及び酸素分子等のうち少なくとも１つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体５６０ａが酸素の拡散を抑制する機能を持つことにより、絶縁体５４５に含まれる酸素により、導電体５６０ｂが酸化して導電率が低下することを抑制できる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、又は酸化ルテニウム等を用いることが好ましい。また、導電体５６０ａとして、酸化物５３０に適用できる酸化物半導体を用いることができる。その場合、導電体５６０ｂをスパッタリング法で成膜することで、導電体５６０ａの電気抵抗値を低下させて導電体にすることができる。これをＯＣ（Ｏｘｉｄｅ　Ｃｏｎｄｕｃｔｏｒ）電極と呼ぶことができる。

［０２５９］

また、導電体５６０ｂは、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体５６０ｂは、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、又はアルミニウムを主成分とする導電性材料を用いることができる。また、導電体５６０ｂは積層構成としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構成としてもよい。

［０２６０］

絶縁体５８０は、絶縁体５４４を介して、導電体５４２ａ、及び導電体５４２ｂ上に設けられる。絶縁体５８０は、過剰酸素領域を有することが好ましい。例えば、絶縁体５８０として、酸化シリ

コン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素、及び窒素を添加した酸化シリコン、空孔を有する酸化シリコン、又は樹脂等を有することが好ましい。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成できるため好ましい。

［０２６１］

絶縁体５８０は、過剰酸素領域を有することが好ましい。加熱により酸素が放出される絶縁体５８０を設けることで、絶縁体５８０中の酸素を酸化物５３０へと効率良く供給できる。なお、絶縁体５８０中の水又は水素等の不純物濃度が低減されていることが好ましい。

［０２６２］

絶縁体５８０の開口は、導電体５４２ａと導電体５４２ｂの間の領域に重畳して形成される。これにより、導電体５６０は、絶縁体５８０の開口、及び導電体５４２ａと導電体５４２ｂに挟まれた領域に、埋め込まれるように形成される。

［０２６３］

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体５６０の導電性が下がらないようにする必要がある。そのために導電体５６０の膜厚を大きくすると、導電体５６０はアスペクト比が高い形状となりうる。本実施の形態では、導電体５６０を絶縁体５８０の開口に埋め込むように設けるため、導電体５６０をアスペクト比の高い形状にしても、工程中に導電体５６０を倒壊させることなく、形成できる。

［０２６４］

絶縁体５７４は、絶縁体５８０の上面、導電体５６０の上面、及び絶縁体５４５の上面に接して設けられることが好ましい。絶縁体５７４をスパッタリング法で成膜することで、絶縁体５４５、及び絶縁体５８０へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物５３０中に酸素を供給できる。

［０２６５］

例えば、絶縁体５７４として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、又はマグネシウム等から選ばれた一種、又は二種以上が含まれた金属酸化物を用いることができる。

［０２６６］

特に、酸化アルミニウムはバリア性が高く、０．５ｎｍ以上３．０ｎｍ以下の薄膜であっても、水素、及び窒素の拡散を抑制できる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素等の不純物のバリア膜としての機能も有することができる。

［０２６７］

また、絶縁体５７４の上に、層間膜として機能する絶縁体５８１を設けることが好ましい。絶縁体５８１は、例えば絶縁体５２４と同様に、膜中の水又は水素等の不純物濃度が低減されていることが好ましい。

［０２６８］

また、絶縁体５８１、絶縁体５７４、絶縁体５８０、及び絶縁体５４４に形成された開口に、導電体５４０ａ、及び導電体５４０ｂを配置する。導電体５４０ａ及び導電体５４０ｂは、導電体５６０を挟んで対向して設ける。導電体５４０ａ及び導電体５４０ｂは、後述する導電体５４６、及び

導電体５４８と同様の構成である。

［０２６９］

絶縁体５８１上には、絶縁体５８２が設けられている。絶縁体５８２は、酸素、及び水素等に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体５８２には、絶縁体５１４と同様の材料を用いることができる。例えば、絶縁体５８２には、酸化アルミニウム、酸化ハフニウム、又は酸化タンタル等の金属酸化物を用いることが好ましい。

［０２７０］

特に、酸化アルミニウムは、酸素と、トランジスタの電気特性の変動要因となる水素及び水分等の不純物と、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中及び作製後において、水素及び水分等の不純物のトランジスタ５００への混入を抑制できる。また、トランジスタ５００を構成する酸化物からの酸素の放出を抑制できる。そのため、トランジスタ５００に対する保護膜として用いることに適している。

［０２７１］

また、絶縁体５８２上には、絶縁体５８６が設けられている。絶縁体５８６は、絶縁体３２０と同様の材料を用いることができる。また、これらの絶縁体に、比較的誘電率が低い材料を適用することで、配線間に生じる寄生容量を低減できる。例えば、絶縁体５８６として、酸化シリコン膜、又は酸化窒化シリコン膜等を用いることができる。

［０２７２］

また、絶縁体５２０、絶縁体５２２、絶縁体５２４、絶縁体５４４、絶縁体５８０、絶縁体５７４、絶縁体５８１、絶縁体５８２、及び絶縁体５８６には、導電体５４６、及び導電体５４８等が埋め込まれている。

［０２７３］

導電体５４６、及び導電体５４８は、容量６００、トランジスタ５００、又はトランジスタ５５０と接続するプラグ、又は配線としての機能を有する。導電体５４６、及び導電体５４８は、導電体３２８、及び導電体３３０と同様の材料を用いて設けることができる。

［０２７４］

また、トランジスタ５００の形成後、トランジスタ５００を囲むように開口を形成し、当該開口を覆うように、水素、又は水に対するバリア性が高い絶縁体を形成してもよい。上述のバリア性の高い絶縁体でトランジスタ５００を包み込むことで、外部から水分、及び水素が侵入するのを抑制できる。又は、複数のトランジスタ５００をまとめて、水素、又は水に対するバリア性が高い絶縁体で包み込んでもよい。なお、トランジスタ５００を囲むように開口を形成する場合、例えば、絶縁体５２２又は絶縁体５１４に達する開口を形成し、絶縁体５２２又は絶縁体５１４に接するように上述のバリア性の高い絶縁体を形成すると、トランジスタ５００の作製工程の一部を兼ねられるため、好適である。なお、水素、又は水に対するバリア性が高い絶縁体としては、例えば、絶縁体５２２又は絶縁体５１４と同様の材料を用いればよい。

［０２７５］

続いて、トランジスタ５００の上方には、容量６００が設けられている。容量６００は、導電体６１０と、導電体６２０と、絶縁体６３０とを有する。

［０２７６］

また、導電体５４６、及び導電体５４８上に、導電体６１２を設けてもよい。導電体６１２は、ト

ランジスタ５００と接続するプラグ、又は配線としての機能を有する。導電体６１０は、容量６００の電極としての機能を有する。なお、導電体６１２、及び導電体６１０は、並行して形成できる。

［０２７７］

導電体６１２、及び導電体６１０には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウムから選ばれた元素を含む金属膜、又は上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、又は窒化タングステン膜）等を用いることができる。又は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、若しくは酸化ケイ素を添加したインジウム錫酸化物等の導電性材料を適用することもできる。

［０２７８］

本実施の形態では、導電体６１２、及び導電体６１０を単層構成で示したが、当該構成に限定されず、２層以上の積層構成でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、及び導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

［０２７９］

絶縁体６３０を介して、導電体６１０と重畳するように、導電体６２０を設ける。なお、導電体６２０は、金属材料、合金材料、又は金属酸化物材料等の導電性材料を用いることができる。耐熱性と導電性を両立する、タングステン又はモリブデン等の高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体等の他の構成と並行して形成する場合は、低抵抗金属材料である、Ｃｕ（銅）又はＡｌ（アルミニウム）等を用いればよい。

［０２８０］

導電体６２０、及び絶縁体６３０上には、絶縁体６４０が設けられている。絶縁体６４０は、絶縁体３２０と同様の材料を用いて設けることができる。また、絶縁体６４０は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

［０２８１］

本構成を用いることで、酸化物半導体を有するトランジスタを用いた半導体装置において、微細化又は高集積化を図ることができる。

［０２８２］

本発明の一態様の半導体装置に用いることができる基板としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板（例えば、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、及びタングステン・ホイルを有する基板等）、半導体基板（例えば、単結晶半導体基板、多結晶半導体基板、及び化合物半導体基板等）、及びＳＯＩ（ＳＯＩ：Ｓｉｌｉｃｏｎ　ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板等が挙げられる。また、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノシリケートガラス、アルミノホウケイ酸ガラス、及びソーダライムガラス等が挙げられる。他にも、例えば結晶化ガラスを用いることができる。

［０２８３］

又は、基板として、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム等を用いることができる。可撓性基板、貼り合わせフィルム、及び基材フィルム等の一例としては、

以下のものが挙げられる。例えば、ポリエチレンテレフタレート（ＰＥＴ）、ポリエチレンナフタレート（ＰＥＮ）、ポリエーテルサルフォン（ＰＥＳ）、及びポリテトラフルオロエチレン（ＰＴＦＥ）に代表されるプラスチックがある。又は、一例としては、アクリル等の合成樹脂がある。又は、一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、及びポリ塩化ビニル等がある。又は、一例としては、ポリアミド、ポリイミド、アラミド樹脂、エポキシ樹脂、無機蒸着フィルム、及び紙類等がある。特に、半導体基板、単結晶基板、又はＳＯＩ基板等を用いてトランジスタを製造することによって、特性、サイズ、及び形状等のばらつきが少なく、電流能力が高く、且つサイズの小さいトランジスタを製造できる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、又は回路の高集積化を図ることができる。

［０２８４］

また、基板として、可撓性基板を用い、可撓性基板上に直接、トランジスタ、抵抗、及び／又は容量等を形成してもよい。又は、基板と、トランジスタ、抵抗、及び／又は容量等の間に剥離層を設けてもよい。剥離層は、その上に半導体装置を一部あるいは全部完成させた後、基板より分離し、他の基板に転載するために用いることができる。その際、トランジスタ、抵抗、及び／又は容量等は耐熱性の劣る基板、又は可撓性の基板等にも転載できる。なお、上述の剥離層には、例えば、タングステン膜と酸化シリコン膜との無機膜の積層構成の構成、基板上にポリイミド等の有機樹脂膜が形成された構成、又は水素を含むシリコン膜等を用いることができる。

［０２８５］

つまり、ある基板上に半導体装置を形成し、その後、別の基板に半導体装置を転置してもよい。半導体装置が転置される基板の一例としては、上述したトランジスタを形成することが可能な基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュプラ、レーヨン、再生ポリエステル）等を含む）、皮革基板、又はゴム基板等がある。これらの基板を用いることにより、可撓性を有する半導体装置の製造、壊れにくい半導体装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

［０２８６］

可撓性を有する基板上に半導体装置を設けることで、重量の増加を抑え、且つ破損しにくい半導体装置を提供できる。

［０２８７］

なお、図１４に示すトランジスタ５５０は一例であり、その構成に限定されず、回路構成、又は駆動方法等に応じて適切なトランジスタを用いればよい。例えば、半導体装置をＯＳトランジスタのみの単極性回路（ｎチャネル型トランジスタのみ、等のように、同極性のトランジスタを意味する）とする場合、トランジスタ５５０の構成を、トランジスタ５００と同様の構成にすればよい。

［０２８８］

本実施の形態に示す構成、構造、又は方法等は、他の実施の形態に示す構成、構造、又は方法等と適宜組み合わせて用いることができる。

［０２８９］

（実施の形態３）

本実施の形態では、ＤＯＳＲＡＭ及びＮＯＳＲＡＭといった、上記実施の形態で説明したＯＳトランジスタを有する半導体装置の断面構成例について説明する。

［０２９０］

図１６に、ＤＯＳＲＡＭの回路構成を用いた場合の断面構成例を示す。図１６では、駆動回路層４０１の上に記憶層４００＿１乃至記憶層４００＿４が積層される場合を例示している。

［０２９１］

また、図１６では、駆動回路層４０１が有するトランジスタ５５０を例示している。トランジスタ５５０は、上記実施の形態で説明したトランジスタ５５０を適用できる。

［０２９２］

なお、図１６に示すトランジスタ５５０は一例であり、その構造に限定されず、回路構成又は駆動方法に応じて適切なトランジスタを用いればよい。

［０２９３］

駆動回路層４０１と記憶層４００の間、又は、ｈ層目の記憶層４００とｈ＋１層目の記憶層４００の間には、層間膜、配線、及びプラグ等が設けられた配線層が設けられていてもよい。なお、例えば本実施の形態では、ｈ層目の記憶層４００を記憶層４００＿ｈと示し、ｈ＋１層目の記憶層４００を記憶層４００＿ｈ＋１と示す場合がある。ここで、図１６に示す例では、ｈは１以上３以下の整数である。また、例えば本実施の形態において「ｈ＋α（α は１以上の整数）」又は「ｈ－α」と示した場合、「ｈ＋α」及び「ｈ－α」それぞれの解は１以上４以下の整数とする。

［０２９４］

また、配線層は、設計に応じて複数層設けることができる。また、本明細書等において、配線と、配線と電気的に接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、及び導電体の一部がプラグとして機能する場合もある。

［０２９５］

例えば、トランジスタ５５０上には、層間膜として、絶縁体３２０、絶縁体３２２、絶縁体３２４、及び絶縁体３２６が順に積層して設けられている。また、絶縁体３２０及び絶縁体３２２には、例えば導電体３２８が埋め込まれている。また、絶縁体３２４及び絶縁体３２６には、例えば導電体３３０が埋め込まれている。なお、導電体３２８及び導電体３３０はコンタクトプラグ又は配線として機能する。

［０２９６］

また、層間膜として機能する絶縁体は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。例えば、絶縁体３２０の上面は、平坦性を高めるために例えば化学機械研磨（ＣＭＰ：Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）法を用いた平坦化処理により平坦化されていてもよい。

［０２９７］

絶縁体３２６及び導電体３３０上に、配線層を設けてもよい。例えば、図１６において、絶縁体３２６及び導電体３３０上に、絶縁体３５０、絶縁体３５７、絶縁体３５２、及び絶縁体３５４が順に積層して設けられている。絶縁体３５０、絶縁体３５７、及び絶縁体３５２には、導電体３５６が形成されている。導電体３５６は、コンタクトプラグ又は配線として機能する。

［０２９８］

絶縁体３５４の上には記憶層４００＿１が有する絶縁体５１４が設けられている。また、絶縁体５１４及び絶縁体３５４には導電体３５８が埋め込まれている。導電体３５８は、コンタクトプラグ又は配線として機能する。例えば、ビット線ＢＬとトランジスタ５５０は、導電体３５８、導電体

３５６、及び導電体３３０等を介して電気的に接続される。

［０２９９］

図１７Ａに記憶層４００＿ｈの断面構造例を示す。また、図１７Ｂに、図１７Ａの等価回路図を示す。図１７Ａでは、１つのビット線ＢＬに２つのメモリセルＭＣが電気的に接続する例を示している。

［０３００］

図１６及び図１７Ａに示すメモリセルＭＣは、トランジスタＭ１及び容量Ｃを有する。トランジスタＭ１として、例えば、上記実施の形態に示したトランジスタ５００を用いることができる。

［０３０１］

なお、本実施の形態では、トランジスタＭ１としてトランジスタ５００の変形例を示している。具体的には、トランジスタＭ１では、導電体５４２ａ及び導電体５４２ｂが、酸化物５３０の端部を越えて延在している点が、トランジスタ５００と異なる。

［０３０２］

また、図１６及び図１７Ａに示すメモリセルＭＣは、容量Ｃの一方の端子として機能する導電体１５６と、誘電体として機能する絶縁体１５３と、容量Ｃの他方の端子として機能する導電体１６０（導電体１６０ａ及び導電体１６０ｂ）と、を有する。導電体１５６は導電体５４２ｂの一部と電気的に接続される。また、導電体１６０は配線ＰＬ（図１７Ａに図示せず。）と電気的に接続される。

［０３０３］

容量Ｃは、絶縁体５７４、絶縁体５８０、及び絶縁体５５４の一部を除去して設けられた開口部に形成されている。導電体１５６、絶縁体５８０、及び絶縁体５５４は、該開口部の側面に沿って形成されるため、ＡＬＤ法又はＣＶＤ法等を用いて成膜することが好ましい。

［０３０４］

また、導電体１５６及び導電体１６０は、導電体５０５又は導電体５６０に用いることができる導電体を用いればよい。例えば、導電体１５６として、ＡＬＤ法を用いて形成した窒化チタンを用いればよい。また、導電体１６０ａとして、ＡＬＤ法を用いて形成した窒化チタンを用い、導電体１６０ｂとして、ＣＶＤ法を用いて形成したタングステンを用いればよい。なお、絶縁体１５３に対するタングステンの密着性が十分高い場合は、導電体１６０として、ＣＶＤ法を用いて形成したタングステンの単層膜を用いてもよい。

［０３０５］

絶縁体１５３には、高誘電率（ｈｉｇｈ－ｋ）材料（高い比誘電率の材料）の絶縁体を用いることが好ましい。例えば、高誘電率材料の絶縁体として、アルミニウム、ハフニウム、ジルコニウム、及びガリウム等から選ばれた金属元素を一種以上含む、酸化物、酸化窒化物、窒化酸化物、又は窒化物を用いることができる。また、上記酸化物、酸化窒化物、窒化酸化物、又は窒化物に、シリコンを含有させてもよい。また、上記の材料からなる絶縁体を積層して用いることもできる。

［０３０６］

例えば、高誘電率材料の絶縁体として、酸化アルミニウム、酸化ハフニウム、酸化ジルコニウム、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、シリコン及びジルコニウムを有する酸化物、シリコン及びジルコニウムを有する酸化窒化物、ハフニウム及

びジルコニウムを有する酸化物、又はハフニウム及びジルコニウムを有する酸化窒化物、等を用いることができる。このような高誘電率材料を用いることで、リーク電流を抑制できる程度に絶縁体１５３を厚くし、かつ、容量Ｃの静電容量を十分確保できる。

［０３０７］

また、上記の材料からなる絶縁体を積層して用いることが好ましく、高誘電率材料と、当該高誘電率材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁体１５３として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量Ｃの静電破壊を抑制できる。

［０３０８］

図１８に、ＮＯＳＲＡＭのメモリセルの回路構成を用いた場合の断面構成例を示す。なお、図１８は、図１６の変形例でもある。また、図１９Ａに記憶層４００＿ｈの断面構造例を示す。また、図１９Ｂに、図１９Ａの等価回路図を示す。

［０３０９］

図１８及び図１９Ａに示すメモリセルＭＣは、絶縁体５１４の上にトランジスタＭ１、トランジスタＭ２、及びトランジスタＭ３を有する。また、絶縁体５１４の上に導電体２１５が設けられている。導電体２１５は導電体５０５と同じ材料かつ同じ工程で形成できる。

［０３１０］

また、図１８及び図１９Ａに示すトランジスタＭ２及びトランジスタＭ３は、１つの島状の酸化物５３０を両者が共用している。言い換えると、１つの島状の酸化物５３０の一部がトランジスタＭ２のチャネル形成領域として機能し、他の一部がトランジスタＭ３のチャネル形成領域として機能する。また、トランジスタＭ２のソースとトランジスタＭ３のドレイン、若しくは、トランジスタＭ２のドレインとトランジスタＭ３のソースが共用される。よって、トランジスタＭ２とトランジスタＭ３をそれぞれ独立して設ける場合よりも、トランジスタの占有面積が少ない。

［０３１１］

また、図１８及び図１９Ａに示すメモリセルＭＣは、絶縁体５８１の上に絶縁体２８７が設けられ、絶縁体２８７に導電体１６１が埋め込まれている。また、絶縁体２８７及び導電体１６１の上に記憶層４００＿ｈ＋１の絶縁体５１４が設けられている。

［０３１２］

図１８及び図１９Ａにおいて、記憶層４００＿ｈ＋１の導電体２１５が容量Ｃの一方の端子として機能し、記憶層４００＿ｈ＋１の絶縁体５１４が容量Ｃの誘電体として機能し、導電体１６１が容量Ｃの他方の端子として機能する。また、トランジスタＭ１のソース又はドレインの他方はコンタクトプラグを介して導電体１６１と電気的に接続され、トランジスタＭ２のゲートは他のコンタクトプラグを介して導電体１６１と電気的に接続される。

［０３１３］

本実施の形態に示す構成、構造、又は方法等は、他の実施の形態に示す構成、構造、又は方法等と適宜組み合わせて用いることができる。

［０３１４］

（実施の形態４）

本実施の形態では、ＯＳトランジスタについて説明する。なお、ＯＳトランジスタの説明において、Ｓｉトランジスタとの比較についても簡単に説明する。

［０３１５］

［ＯＳトランジスタ］

ＯＳトランジスタには、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は$１\times１０^{18}ｃｍ^{-3}$以下、好ましくは$１\times１０^{17}ｃｍ^{-3}$未満、より好ましくは$１\times１０^{16}ｃｍ^{-3}$未満、さらに好ましくは$１\times１０^{13}ｃｍ^{-3}$未満、さらに好ましくは$１\times１０^{10}ｃｍ^{-3}$未満であり、$１\times１０^{-9}ｃｍ^{-3}$以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０３１６］

また、高純度真性又は実質的に高純度真性である酸化物半導体は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０３１７］

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、及び窒素等が挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が０．１原子％未満の元素は不純物と言える。

［０３１８］

また、ＯＳトランジスタは、酸化物半導体中のチャネル形成領域に不純物及び酸素欠損が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、ＯＳトランジスタは、酸化物半導体中の酸素欠損に水素が入った欠陥（以下、$Ｖ_{Ｏ}Ｈ$と呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。また、チャネル形成領域に$Ｖ_{Ｏ}Ｈ$が形成されると、チャネル形成領域中のドナー濃度が増加する場合がある。チャネル形成領域中のドナー濃度が増加するにつれ、しきい値電圧がばらつくことがある。このため、酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、酸化物半導体中のチャネル形成領域では、不純物、酸素欠損、及び$Ｖ_{Ｏ}Ｈ$はできる限り低減されていることが好ましい。

［０３１９］

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には１．１ｅＶ）よりも大きいことが好ましく、好ましくは２ｅＶ以上、より好ましくは２．５ｅＶ以上、さらに好ましくは３．０ｅＶ以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いるこ

とで、トランジスタのオフ電流（Ｉｏｆｆとも呼称する）を低減できる。

［０３２０］

また、Ｓｉトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショートチャネル効果：Ｓｈｏｒｔ　Ｃｈａｎｎｅｌ　Ｅｆｆｅｃｔ：ＳＣＥともいう）が発現する。そのため、Ｓｉトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、ＯＳトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、ＯＳトランジスタは、短チャネル効果がない、又は短チャネル効果が極めて少ないトランジスタである。

［０３２１］

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（Ｓ値と表記することがある）の増大、及び漏れ電流の増大等がある。ここで、Ｓ値とは、ドレイン電圧一定にてドレイン電流を１桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

［０３２２］

また、短チャネル効果に対する耐性の指標として、特性長（Ｃｈａｒａｃｔｅｒｉｓｔｉｃ　Ｌｅｎｇｔｈ）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

［０３２３］

ＯＳトランジスタは蓄積型のトランジスタであり、Ｓｉトランジスタは反転型のトランジスタである。したがって、Ｓｉトランジスタと比較して、ＯＳトランジスタは、ソース領域－チャネル形成領域間の特性長、及びドレイン領域－チャネル形成領域間の特性長が小さい。したがって、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、ＯＳトランジスタは、Ｓｉトランジスタよりも好適である。

［０３２４］

チャネル形成領域がｉ型又は実質的にｉ型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではＣｏｎｄｕｃｔｉｏｎ－Ｂａｎｄ－Ｌｏｗｅｒｉｎｇ（ＣＢＬ）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域又はドレイン領域と、チャネル形成領域との間の伝導帯下端のエネルギー差は、０．１ｅＶ以上０．２ｅＶ以下まで小さくなる可能性がある。これにより、ＯＳトランジスタは、チャネル形成領域がn^-型の領域となり、ソース領域及びドレイン領域がn^+型の領域となる、$n^+/n^-/n^+$の蓄積型ｊｕｎｃｔｉｏｎ－ｌｅｓｓトランジスタ構造、又は、$n^+/n^-/n^+$の蓄積型ｎｏｎ－ｊｕｎｃｔｉｏｎトランジスタ構造と、捉えることもできる。

［０３２５］

ＯＳトランジスタを、上記の構造とすることで、半導体装置を微細化又は高集積化しても良好な電気特性を有することができる。例えば、ＯＳトランジスタのゲート長が、２０ｎｍ以下、１５ｎｍ以下、１０ｎｍ以下、７ｎｍ以下、又は６ｎｍ以下であって、１ｎｍ以上、３ｎｍ以上、又は５ｎｍ以上であっても、良好な電気特性を得ることができる。一方で、Ｓｉトランジスタは、短チャネ

ル効果が発現するため、２０ｎｍ以下、又は１５ｎｍ以下のゲート長とすることが困難な場合がある。したがって、ＯＳトランジスタは、Ｓｉトランジスタと比較してチャネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さであり、トランジスタの平面視における、ゲート電極の底面の幅をいう。

［０３２６］

また、ＯＳトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。ＯＳトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、５０ＧＨｚ以上、好ましくは１００ＧＨｚ以上、さらに好ましくは１５０ＧＨｚ以上とすることができる。

［０３２７］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、オフ電流が小さいこと、チャネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

［０３２８］

本実施の形態に示す構成、構造、又は方法等は、他の実施の形態に示す構成、構造、又は方法等と適宜組み合わせて用いることができる。

［０３２９］

（実施の形態５）

本実施の形態では、上記実施の形態で説明した半導体装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）について説明する。本発明の一態様の半導体装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターは、低消費電力化といった高性能化に有効である。

［０３３０］

［電子部品］

電子部品７００が実装された基板（実装基板７０４）の斜視図を、図２０Ａに示す。図２０Ａに示す電子部品７００は、モールド７１１内に半導体装置７１０を有している。図２０Ａは、電子部品７００の内部を示すために、一部の記載を省略している。電子部品７００は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は半導体装置７１０とワイヤ７１４を介して電気的に接続される。電子部品７００は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０３３１］

また、半導体装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）等の貫通電極技術、及び、Ｃｕ－Ｃｕ直接接合等の接合技術、を用いることなく、各層間を接続できる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセ

ッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０３３２］

また、オンチップメモリの構成とすることで、ＴＳＶ等の貫通電極を用いる技術と比較し、例えば接続配線のサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０３３３］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方又は双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０３３４］

また、半導体装置７１０を、ダイと呼称してもよい。ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、及び窒化ガリウム（ＧａＮ）等が挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０３３５］

次に、電子部品７３０の斜視図を図２０Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ Ｐａｃｋａｇｅ）又はMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、及び複数の半導体装置７１０が設けられている。

［０３３６］

電子部品７３０では、半導体装置７１０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、又はＦＰＧＡ等の集積回路に用いることができる。

［０３３７］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

［０３３８］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、

貫通電極として、ＴＳＶを用いることもできる。

［０３３９］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０３４０］

また、シリコンインターポーザを用いた、ＳｉＰ及びＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０３４１］

一方で、シリコンインターポーザ、及びＴＳＶ等を用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅等のスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０３４２］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、半導体装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０３４３］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図２０Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０３４４］

電子部品７３０は、ＢＧＡ及びＰＧＡに限らず様々な実装方法を用いて他の基板に実装できる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、及び、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。

［０３４５］

［電子機器］

次に、電子機器６５００の斜視図を図２１Ａに示す。図２１Ａに示す電子機器６５００は、スマー

トフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、及び制御装置６５０９等を有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか１つ又は複数を有する。本発明の一態様の半導体装置は、表示部６５０２、及び制御装置６５０９等に適用できる。

［０３４６］

図２１Ｂに示す電子機器６６００は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器６６００は、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、及び制御装置６６１６等を有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか１つ又は複数を有する。本発明の一態様の半導体装置は、制御装置６５０９、及び制御装置６６１６等に適用できる。なお、本発明の一態様の半導体装置を、上述の制御装置６５０９、及び制御装置６６１６に用いることで、消費電力を低減させることができるため好適である。

［０３４７］

［大型計算機］

次に、大型計算機５６００の斜視図を図２１Ｃに示す。図２１Ｃに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０３４８］

計算機５６２０は、例えば、図２１Ｄに示す斜視図の構成とすることができる。図２１Ｄにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続される。

［０３４９］

図２１Ｅに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、及び記憶装置等を備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図２１Ｅには、半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、及び半導体装置５６２８の説明を参酌すればよい。

［０３５０］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入できる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅが挙げられる。

［０３５１］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、及び信号入力を行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力を行うためのインターフェースとすることができ

る。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ　Ｓｅｒｉａｌ　Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ　ＡＴＡ）、及びＳＣＳＩ（Ｓｍａｌｌ　Ｃｏｍｐｕｔｅｒ　Ｓｙｓｔｅｍ　Ｉｎｔｅｒｆａｃｅ）等が挙げられる。また、接続端子５６２３、接続端子５６２４、及び接続端子５６２５から映像信号を出力する場合、それぞれの規格としては、例えばＨＤＭＩ（登録商標）が挙げられる。

［０３５２］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続できる。

［０３５３］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続できる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、及びＣＰＵ等が挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０３５４］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続できる。半導体装置５６２８としては、例えば、記憶装置が挙げられる。半導体装置５６２８として、例えば、電子部品７００を用いることができる。

［０３５５］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

［０３５６］

［宇宙用機器］

本発明の一態様の半導体装置は、情報を処理及び記憶する機器等の宇宙用機器に好適に用いることができる。

［０３５７］

本発明の一態様の半導体装置は、ＯＳトランジスタを含むことができる。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

［０３５８］

図２２には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図２２においては、宇宙空間に惑星６８０４を例示している。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書等に記載の宇宙空間は、熱圏、中間圏、及び成層圏を含んでもよい。

［０３５９］

また、図２２には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、又はバッテリ制御回路を設けてもよい。上述のバッテリマネジメントシステム、

又はバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

［０３６０］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、例えば、Ｘ線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、及び中間子線等に代表される粒子放射線が挙げられる。

［０３６１］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［０３６２］

人工衛星６８００は、信号を生成できる。当該信号は、アンテナ６８０３を介して送信され、たとえば地上に設けられた受信機、又は他の人工衛星が当該信号を受信できる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定できる。以上より、人工衛星６８００は、衛星測位システムを構成できる。

［０３６３］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、及び記憶装置の中から選ばれるいずれか１つ又は複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様である半導体装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０３６４］

また、人工衛星６８００は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、たとえば地球観測衛星としての機能を有することができる。

［０３６５］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の半導体装置は、宇宙船、宇宙カプセル、又は宇宙探査機等の宇宙用機器に好適に用いることができる。

［０３６６］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０３６７］

［データセンター］

本発明の一態様の半導体装置は、例えば、データセンターに適用されるストレージシステムに好適

に用いることができる。データセンターは、データの不変性を保障する等、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、等建屋の大型化が必要となる。

［０３６８］

データセンターに適用されるストレージシステムに本発明の一態様の半導体装置を用いることにより、データの保持に要する電力の低減、及びデータを保持する半導体装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、及び冷却設備の小規模化、等を図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０３６９］

また、本発明の一態様の半導体装置は、消費電力が少ないため、回路からの発熱を低減できる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減できる。また、本発明の一態様の半導体装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［０３７０］

図２３にデータセンターに適用可能なストレージシステムを示す。図２３に示すストレージシステム７０００は、ホスト７００１（Ｈｏｓｔ　Ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）及びストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続される形態を図示している。

［０３７１］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０３７２］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

［０３７３］

上述のキャッシュメモリは、ストレージ制御回路７００２及びストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２及びストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１又はストレージ７００３に出力される。

［０３７４］

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくできる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０３７５］

なお、本発明の一態様の半導体装置を、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターの中から選ばれるいずれか１つ又は複数に適用することで、消費電力を低減させる効果が期待される。そのため、半導体装置の高性能化、又は高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の半導体装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の半導体装置は、低消費電力であるため地球温暖化対策としても有効である。

［０３７６］

本実施の形態に示す構成、構造、又は方法等は、他の実施の形態に示す構成、構造、又は方法等と適宜組み合わせて用いることができる。

［０３７７］

＜本明細書等の記載に関する付記＞

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

［０３７８］

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて、本発明の一態様とすることができる。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［０３７９］

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換え等を行うことができる。

［０３８０］

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

［０３８１］

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることができる。

［０３８２］

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら、例えば実際の回路においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合、又は複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

［０３８３］

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値等に限定されない。例えば、ノイズによる信号、電位、若しくは電流のばらつき、又は、タイミングのずれによる信号、電位、若しくは電流のばらつき等を

含むことが可能である。

［０３８４］

また、本明細書等において、「上に」、及び「下に」等の配置を示す語句は、構成同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

［０３８５］

本明細書等において、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第１電極、又は第１端子）、「ソース又はドレインの他方」（又は第２電極、又は第２端子）という表記を用いる。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子、又はソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

［０３８６］

また、本明細書等において「電極」又は「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」又は「配線」の用語は、複数の「電極」又は「配線」が一体となって形成されている場合等も含む。

［０３８７］

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電圧（接地電圧）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも０Ｖを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、例えば配線に与える電位を変化させる場合がある。

［０３８８］

なお本明細書等において、「膜」、及び「層」等の語句は、場合によっては、又は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。又は、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

［０３８９］

本明細書等において、スイッチとは、導通状態（オン状態）、又は、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。又は、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

［０３９０］

本明細書等において、チャネル長とは、例えば、トランジスタの平面図において、半導体（又はトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、又はチャネルが形成される領域における、ソースとドレインとの間の距離をいう。

［０３９１］

本明細書等において、チャネル幅とは、例えば、半導体（又はトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、又はチャネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

［０３９２］

また本明細書等において、ノードは、回路構成、又はデバイス構造等に応じて、端子、配線、電極、導電層、導電体、又は不純物領域等と言い換えることが可能である。また、端子、又は配線等をノードと言い換えることが可能である。

［０３９３］

本明細書等において、ＡとＢとが接続される、とは、ＡとＢとが電気的に接続されるものをいう。ここで、ＡとＢとが電気的に接続されるとは、ＡとＢとの間で対象物（スイッチ、トランジスタ素子、又はダイオード等の素子、あるいは当該素子及び配線を含む回路等を指す）が存在する場合にＡとＢとの電気信号の伝達が可能である接続をいう。なおＡとＢとが電気的に接続される場合には、ＡとＢとが直接接続される場合を含む。ここで、ＡとＢとが直接接続されるとは、上記対象物を介することなく、例えばＡとＢとの間で配線（又は電極）を介してＡとＢとの電気信号の伝達が可能である接続をいう。換言すれば、直接接続とは、等価回路で表した際に同じ回路図として見なせる接続をいう。

［符号の説明］

［０３９４］

１０：半導体装置、１１：ブロック、２０：層、２１：基準信号生成回路、２２：選択信号生成回路、２３：遅延信号生成回路、２４：行回路、２５：列回路、２７：センスアンプ回路、３０：層、３１：記憶部、３２：メモリセル、３３：選択回路、３５：遅延付加回路、３７：バッファ回路、４１：回路、４２：マルチプレクサ回路、４３：フリップフロップ回路、４４：貫通電極、４５：金属バンプ、４６：電極、４７：トランジスタ、４８：電極、４９：トランジスタ、５１：遅延回路、５３：フリップフロップ回路、５５：エンコーダ回路、５７：インバータ回路、６０：回路、６１：遅延回路、６３：選択回路、７１：回路、７３：インバータ回路、７５ａ：トランジスタ、７５ｂ：トランジスタ、８１：トランジスタ、８２：トランジスタ、８４：トランジスタ、８５：トランジスタ、８６：トランジスタ、８７：トランジスタ、１００：ＩＣチップ、１０１：パッケージ基板、１０２：ソルダーボール、１５３：絶縁体、１５６：導電体、１６０ａ：導電体、１６０ｂ：導電体、１６０：導電体、１６１：導電体、２１５：導電体、２８７：絶縁体、３１１：基板、３１３：半導体領域、３１４ａ：低抵抗領域、３１４ｂ：低抵抗領域、３１５：絶縁体、３１６：導電体、３２０：絶縁体、３２２：絶縁体、３２４：絶縁体、３２６：絶縁体、３２８：導電体、３３０：導電体、３５０：絶縁体、３５２：絶縁体、３５４：絶縁体、３５６：導電体、３５７：絶縁体、３５８：導電体、３６０：絶縁体、３６２：絶縁体、３６４：絶縁体、３６６：導電体、３７０：絶縁体、３７２：絶縁体、３７４：絶縁体、３７６：導電体、３８０：絶縁体、３８２：絶縁体、３８４：絶縁体、３８６：導電体、４００：記憶層、４０１：駆動回路層、５００：トランジスタ、５０３ａ：導電体、５０３ｂ：導電体、５０３：導電体、５０５：導電体、５１０：絶縁体、５１２：絶縁体、５１４：絶縁体、５１６：絶縁体、５１８：導電体、５２０：絶縁体、５２２：絶縁体、５２４：絶縁体、５３０ａ：酸化物、５３０ｂ：酸化物、５３０：酸化物、５４０ａ：導電体、５４０ｂ：導電体、５４２ａ：導電体、５４２ｂ：導電体、５４２：導電体、５４３ａ：領域、５４３ｂ：領域、５４４：絶縁体、５４５：絶縁体、５４６：導電体、５４８：導電体、５５０：トランジスタ、５５４：絶縁体、５６０ａ：導電体、５６０ｂ：導電体、５６０：導電体、５７４：絶縁体、５８０：絶縁体、５８１：絶縁体、５８２：絶縁体、５８６：絶縁体、６００：容量、６１０：導電体、６１２：導電体、６２０：導電体、６３０：絶縁体、６４

０：絶縁体、７００：電子部品、７０２：プリント基板、７０４：実装基板、７１０：半導体装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６６００：電子機器、６６１１：筐体、６６１２：キーボード、６６１３：ポインティングデバイス、６６１４：外部接続ポート、６６１５：表示部、６６１６：制御装置、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：ストレージシステム、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ

請求の範囲

［請求項１］

第１の層と、前記第１の層上の第２の層と、前記第２の層上の第３の層と、を有し、

前記第１の層は、遅延信号生成回路と、行回路と、を有し、

前記第２の層は、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、

前記第３の層は、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、

前記遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成し、前記第１の遅延付加回路に供給する機能、及び第２の遅延時間を表す第２の遅延信号を生成し、前記第２の遅延付加回路に供給する機能を有し、

前記行回路は、読み出し動作を行う前記第１又は第２のメモリセルを選択する、行選択信号を生成し、前記第１又は第２の遅延付加回路に供給する機能を有し、

前記第１の遅延付加回路は、前記第１の遅延付加回路に供給された前記行選択信号を、前記第１の遅延時間の経過後に前記第１の記憶部に供給する機能を有し、

前記第２の遅延付加回路は、前記第２の遅延付加回路に供給された前記行選択信号を、前記第２の遅延時間の経過後に前記第２の記憶部に供給する機能を有し、

前記第１の遅延時間は、前記第２の遅延時間より長い半導体装置。

［請求項２］

第１の層と、前記第１の層上の第２の層と、前記第２の層上の第３の層と、を有し、

前記第１の層は、選択信号生成回路と、遅延信号生成回路と、行回路と、を有し、

前記第２の層は、第１の選択回路と、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、

前記第３の層は、第２の選択回路と、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、

前記選択信号生成回路は、選択信号を生成し、前記遅延信号生成回路、前記第１の選択回路、及び前記第２の選択回路に供給する機能を有し、

前記遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成する機能、及び第２の遅延時間を表す第２の遅延信号を生成する機能を有し、

前記遅延信号生成回路は、前記選択信号に基づき、前記第１の遅延信号、又は前記第２の遅延信号の一方を出力して、前記第１の遅延付加回路、及び前記第２の遅延付加回路に供給する機能を有し、

前記行回路は、読み出し動作を行う前記第１又は第２のメモリセルを選択する、行選択信号を生成する機能を有し、

前記行回路は、前記行選択信号を、前記第１の選択回路、及び前記第２の選択回路に供給する機能を有し、

前記第１の選択回路は、前記遅延信号生成回路が前記第１の遅延信号を出力する場合に、前記行選択信号を前記第１の遅延付加回路に供給する機能を有し、

前記第２の選択回路は、前記遅延信号生成回路が前記第２の遅延信号を出力する場合に、前記行

選択信号を前記第２の遅延付加回路に供給する機能を有し、

前記第１の遅延付加回路は、前記第１の遅延付加回路に供給された前記行選択信号を、前記第１の遅延時間の経過後に前記第１の記憶部に供給する機能を有し、

前記第２の遅延付加回路は、前記第２の遅延付加回路に供給された前記行選択信号を、前記第２の遅延時間の経過後に前記第２の記憶部に供給する機能を有し、

前記第１の遅延時間は、前記第２の遅延時間より長い半導体装置。

［請求項３］

請求項１又は２において、

前記第１の層は、基準信号生成回路を有し、

前記第２の層は、第１のバッファ回路を有し、

前記第３の層は、第２のバッファ回路を有し、

前記基準信号生成回路は、基準信号を生成し、前記遅延信号生成回路、前記第１のバッファ回路、及び前記第２のバッファ回路に供給する機能を有し、

前記第１のバッファ回路は、前記第１のバッファ回路に供給された前記基準信号を、第１の遅延時間検出信号として前記遅延信号生成回路に供給する機能を有し、

前記第２のバッファ回路は、前記第２のバッファ回路に供給された前記基準信号を、第２の遅延時間検出信号として前記遅延信号生成回路に供給する機能を有し、

前記遅延信号生成回路は、前記基準信号が入力された第１の時刻と、前記第１の遅延時間検出信号が入力された第２の時刻と、の差を表す第１のデジタル信号を生成し、前記第１のデジタル信号に基づき前記第１の遅延信号を生成する機能を有し、

前記遅延信号生成回路は、前記第１の時刻と、前記第２の遅延時間検出信号が入力された第３の時刻と、の差を表す第２のデジタル信号を生成し、前記第２のデジタル信号に基づき前記第２の遅延信号を生成する機能を有する半導体装置。

［請求項４］

請求項３において、

前記遅延信号生成回路は、第１のインバータ回路と、第２のインバータ回路と、を有し、

前記第１のインバータ回路は、前記第１のデジタル信号が前記第１のインバータ回路に供給された場合に、前記第１の遅延信号を生成する機能を有し、

前記第２のインバータ回路は、前記第２のデジタル信号が前記第２のインバータ回路に供給された場合に、前記第２の遅延信号を生成する機能を有する半導体装置。

［請求項５］

請求項１又は２において、

前記遅延信号生成回路は、第１のトランジスタを有し、

前記第１のメモリセルは、第２のトランジスタを有し、

前記第２のメモリセルは、第３のトランジスタを有し、

前記第１のトランジスタは、チャネル形成領域にシリコンを有し、

前記第２のトランジスタ、及び前記第３のトランジスタは、チャネル形成領域に金属酸化物を有する半導体装置。

［請求項６］

第１のブロックと、第２のブロックと、を有し、

前記第１のブロックは、第１の層と、前記第１の層上の第２の層と、前記第２の層上の第３の層と、を有し、

前記第２のブロックは、第４の層と、前記第４の層上の第５の層と、前記第５の層上の第６の層と、を有し、

前記第１の層は、第１の遅延信号生成回路と、第１の行回路と、を有し、

前記第２の層は、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、

前記第３の層は、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、

前記第４の層は、第２の遅延信号生成回路と、第２の行回路と、を有し、

前記第５の層は、第３の遅延付加回路と、第３のメモリセルがマトリクス状に配列された第３の記憶部と、を有し、

前記第６の層は、第４の遅延付加回路と、第４のメモリセルがマトリクス状に配列された第４の記憶部と、を有し、

前記第１の遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成し、前記第１の遅延付加回路に供給する機能、及び第２の遅延時間を表す第２の遅延信号を生成し、前記第２の遅延付加回路に供給する機能を有し、

前記第２の遅延信号生成回路は、第３の遅延時間を表す第３の遅延信号を生成し、前記第３の遅延付加回路に供給する機能、及び第４の遅延時間を表す第４の遅延信号を生成し、前記第４の遅延付加回路に供給する機能を有し、

前記第１の行回路は、読み出し動作を行う前記第１又は第２のメモリセルを選択する、第１の行選択信号を生成し、前記第１又は第２の遅延付加回路に供給する機能を有し、

前記第２の行回路は、読み出し動作を行う前記第３又は第４のメモリセルを選択する、第２の行選択信号を生成し、前記第３又は第４の遅延付加回路に供給する機能を有し、

前記第１の遅延付加回路は、前記第１の遅延付加回路に供給された前記第１の行選択信号を、前記第１の遅延時間の経過後に前記第１の記憶部に供給する機能を有し、

前記第２の遅延付加回路は、前記第２の遅延付加回路に供給された前記第１の行選択信号を、前記第２の遅延時間の経過後に前記第２の記憶部に供給する機能を有し、

前記第３の遅延付加回路は、前記第３の遅延付加回路に供給された前記第２の行選択信号を、前記第３の遅延時間の経過後に前記第３の記憶部に供給する機能を有し、

前記第４の遅延付加回路は、前記第４の遅延付加回路に供給された前記第２の行選択信号を、前記第４の遅延時間の経過後に前記第４の記憶部に供給する機能を有し、

前記第１の遅延時間は、前記第２の遅延時間より長く、

前記第３の遅延時間は、前記第４の遅延時間より長い半導体装置。

［請求項７］

第１のブロックと、第２のブロックと、を有し、

前記第１のブロックは、第１の層と、前記第１の層上の第２の層と、前記第２の層上の第３の層と、を有し、

前記第２のブロックは、第４の層と、前記第４の層上の第５の層と、前記第５の層上の第６の層と、を有し、

前記第１の層は、第１の選択信号生成回路と、第１の遅延信号生成回路と、第１の行回路と、を有し、

前記第２の層は、第１の選択回路と、第１の遅延付加回路と、第１のメモリセルがマトリクス状に配列された第１の記憶部と、を有し、

前記第３の層は、第２の選択回路と、第２の遅延付加回路と、第２のメモリセルがマトリクス状に配列された第２の記憶部と、を有し、

前記第４の層は、第２の選択信号生成回路と、第２の遅延信号生成回路と、第２の行回路と、を有し、

前記第５の層は、第３の選択回路と、第３の遅延付加回路と、第３のメモリセルがマトリクス状に配列された第３の記憶部と、を有し、

前記第６の層は、第４の選択回路と、第４の遅延付加回路と、第４のメモリセルがマトリクス状に配列された第４の記憶部と、を有し、

前記第１の選択信号生成回路は、第１の選択信号を生成し、前記第１の遅延信号生成回路、前記第１の選択回路、及び前記第２の選択回路に供給する機能を有し、

前記第２の選択信号生成回路は、第２の選択信号を生成し、前記第２の遅延信号生成回路、前記第３の選択回路、及び前記第４の選択回路に供給する機能を有し、

前記第１の遅延信号生成回路は、第１の遅延時間を表す第１の遅延信号を生成する機能、及び第２の遅延時間を表す第２の遅延信号を生成する機能を有し、

前記第１の遅延信号生成回路は、前記第１の選択信号に基づき、前記第１の遅延信号、又は前記第２の遅延信号の一方を出力して、前記第１の遅延付加回路、及び前記第２の遅延付加回路に供給する機能を有し、

前記第２の遅延信号生成回路は、第３の遅延時間を表す第３の遅延信号を生成する機能、及び第４の遅延時間を表す第４の遅延信号を生成する機能を有し、

前記第２の遅延信号生成回路は、前記第２の選択信号に基づき、前記第３の遅延信号、又は前記第４の遅延信号の一方を出力して、前記第３の遅延付加回路、及び前記第４の遅延付加回路に供給する機能を有し、

前記第１の行回路は、読み出し動作を行う前記第１又は第２のメモリセルを選択する、第１の行選択信号を生成する機能を有し、

前記第１の行回路は、前記第１の行選択信号を、前記第１の選択回路、及び前記第２の選択回路に供給する機能を有し、

前記第２の行回路は、読み出し動作を行う前記第３又は第４のメモリセルを選択する、第２の行選択信号を生成する機能を有し、

前記第２の行回路は、前記第２の行選択信号を、前記第３の選択回路、及び前記第４の選択回路に供給する機能を有し、

前記第１の選択回路は、前記第１の遅延信号生成回路が前記第１の遅延信号を出力する場合に、前記第１の行選択信号を前記第１の遅延付加回路に供給する機能を有し、

前記第２の選択回路は、前記第１の遅延信号生成回路が前記第２の遅延信号を出力する場合に、前記第１の行選択信号を前記第２の遅延付加回路に供給する機能を有し、

前記第３の選択回路は、前記第２の遅延信号生成回路が前記第３の遅延信号を出力する場合に、前記第２の行選択信号を前記第３の遅延付加回路に供給する機能を有し、

前記第４の選択回路は、前記第２の遅延信号生成回路が前記第４の遅延信号を出力する場合に、前記第２の行選択信号を前記第４の遅延付加回路に供給する機能を有し、

前記第１の遅延付加回路は、前記第１の遅延付加回路に供給された前記第１の行選択信号を、前記第１の遅延時間の経過後に前記第１の記憶部に供給する機能を有し、

前記第２の遅延付加回路は、前記第２の遅延付加回路に供給された前記第１の行選択信号を、前記第２の遅延時間の経過後に前記第２の記憶部に供給する機能を有し、

前記第３の遅延付加回路は、前記第３の遅延付加回路に供給された前記第２の行選択信号を、前記第３の遅延時間の経過後に前記第３の記憶部に供給する機能を有し、

前記第４の遅延付加回路は、前記第４の遅延付加回路に供給された前記第２の行選択信号を、前記第４の遅延時間の経過後に前記第４の記憶部に供給する機能を有し、

前記第１の遅延時間は、前記第２の遅延時間より長く、

前記第３の遅延時間は、前記第４の遅延時間より長い半導体装置。

［請求項８］

請求項６又は７において、

前記第１の層は、第１の基準信号生成回路を有し、

前記第２の層は、第１のバッファ回路を有し、

前記第３の層は、第２のバッファ回路を有し、

前記第４の層は、第２の基準信号生成回路を有し、

前記第５の層は、第３のバッファ回路を有し、

前記第６の層は、第４のバッファ回路を有し、

前記第１の基準信号生成回路は、第１の基準信号を生成し、前記第１の遅延信号生成回路、前記第１のバッファ回路、及び前記第２のバッファ回路に供給する機能を有し、

前記第２の基準信号生成回路は、第２の基準信号を生成し、前記第２の遅延信号生成回路、前記第３のバッファ回路、及び前記第４のバッファ回路に供給する機能を有し、

前記第１のバッファ回路は、前記第１のバッファ回路に供給された前記第１の基準信号を、第１の遅延時間検出信号として前記第１の遅延信号生成回路に供給する機能を有し、

前記第２のバッファ回路は、前記第２のバッファ回路に供給された前記第１の基準信号を、第２の遅延時間検出信号として前記第１の遅延信号生成回路に供給する機能を有し、

前記第３のバッファ回路は、前記第３のバッファ回路に供給された前記第２の基準信号を、第３の遅延時間検出信号として前記第２の遅延信号生成回路に供給する機能を有し、

前記第４のバッファ回路は、前記第４のバッファ回路に供給された前記第２の基準信号を、第４の遅延時間検出信号として前記第２の遅延信号生成回路に供給する機能を有し、

前記第１の遅延信号生成回路は、前記第１の基準信号が入力された第１の時刻と、前記第１の遅延時間検出信号が入力された第２の時刻と、の差を表す第１のデジタル信号を生成し、前記第１のデジタル信号に基づき前記第１の遅延信号を生成する機能を有し、

前記第１の遅延信号生成回路は、前記第１の時刻と、前記第２の遅延時間検出信号が入力された第３の時刻と、の差を表す第２のデジタル信号を生成し、前記第２のデジタル信号に基づき前記第２の遅延信号を生成する機能を有し、

前記第２の遅延信号生成回路は、前記第２の基準信号が入力された第３の時刻と、前記第３の遅延時間検出信号が入力された第４の時刻と、の差を表す第３のデジタル信号を生成し、前記第３の

デジタル信号に基づき前記第３の遅延信号を生成する機能を有し、

前記第２の遅延信号生成回路は、前記第３の時刻と、前記第４の遅延時間検出信号が入力された第４の時刻と、の差を表す第４のデジタル信号を生成し、前記第４のデジタル信号に基づき前記第４の遅延信号を生成する機能を有する半導体装置。

［請求項９］

請求項８において、

前記第１の遅延信号生成回路は、第１のインバータ回路と、第２のインバータ回路と、を有し、

前記第２の遅延信号生成回路は、第３のインバータ回路と、第４のインバータ回路と、を有し、

前記第１のインバータ回路は、前記第１のデジタル信号が前記第１のインバータ回路に供給された場合に、前記第１の遅延信号を生成する機能を有し、

前記第２のインバータ回路は、前記第２のデジタル信号が前記第２のインバータ回路に供給された場合に、前記第２の遅延信号を生成する機能を有し、

前記第３のインバータ回路は、前記第３のデジタル信号が前記第３のインバータ回路に供給された場合に、前記第３の遅延信号を生成する機能を有し、

前記第４のインバータ回路は、前記第４のデジタル信号が前記第４のインバータ回路に供給された場合に、前記第４の遅延信号を生成する機能を有する半導体装置。

［請求項１０］

請求項６又は７において、

前記第１の遅延信号生成回路は、第１のトランジスタを有し、

前記第１のメモリセルは、第２のトランジスタを有し、

前記第２のメモリセルは、第３のトランジスタを有し、

前記第２の遅延信号生成回路は、第４のトランジスタを有し、

前記第３のメモリセルは、第５のトランジスタを有し、

前記第４のメモリセルは、第６のトランジスタを有し、

前記第１のトランジスタ、及び前記第４のトランジスタは、チャネル形成領域にシリコンを有し、

前記第２のトランジスタ、前記第３のトランジスタ、前記第５のトランジスタ、及び前記第６のトランジスタは、チャネル形成領域に金属酸化物を有する半導体装置。

［請求項１１］

請求項６又は７において、

前記第１の行回路が前記第１の行選択信号を出力するタイミングと、前記第２の行回路が前記第２の行選択信号を出力するタイミングと、が同期されている半導体装置。

図1

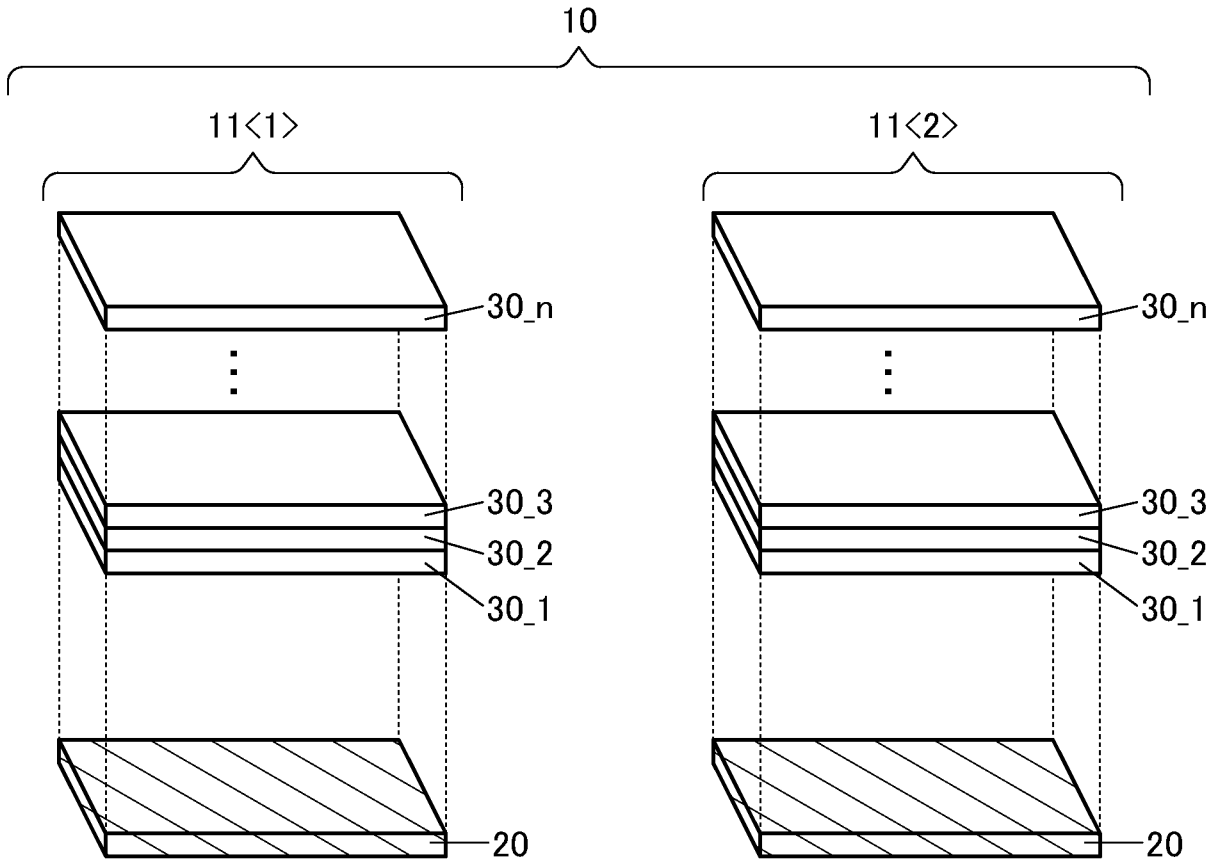


図2

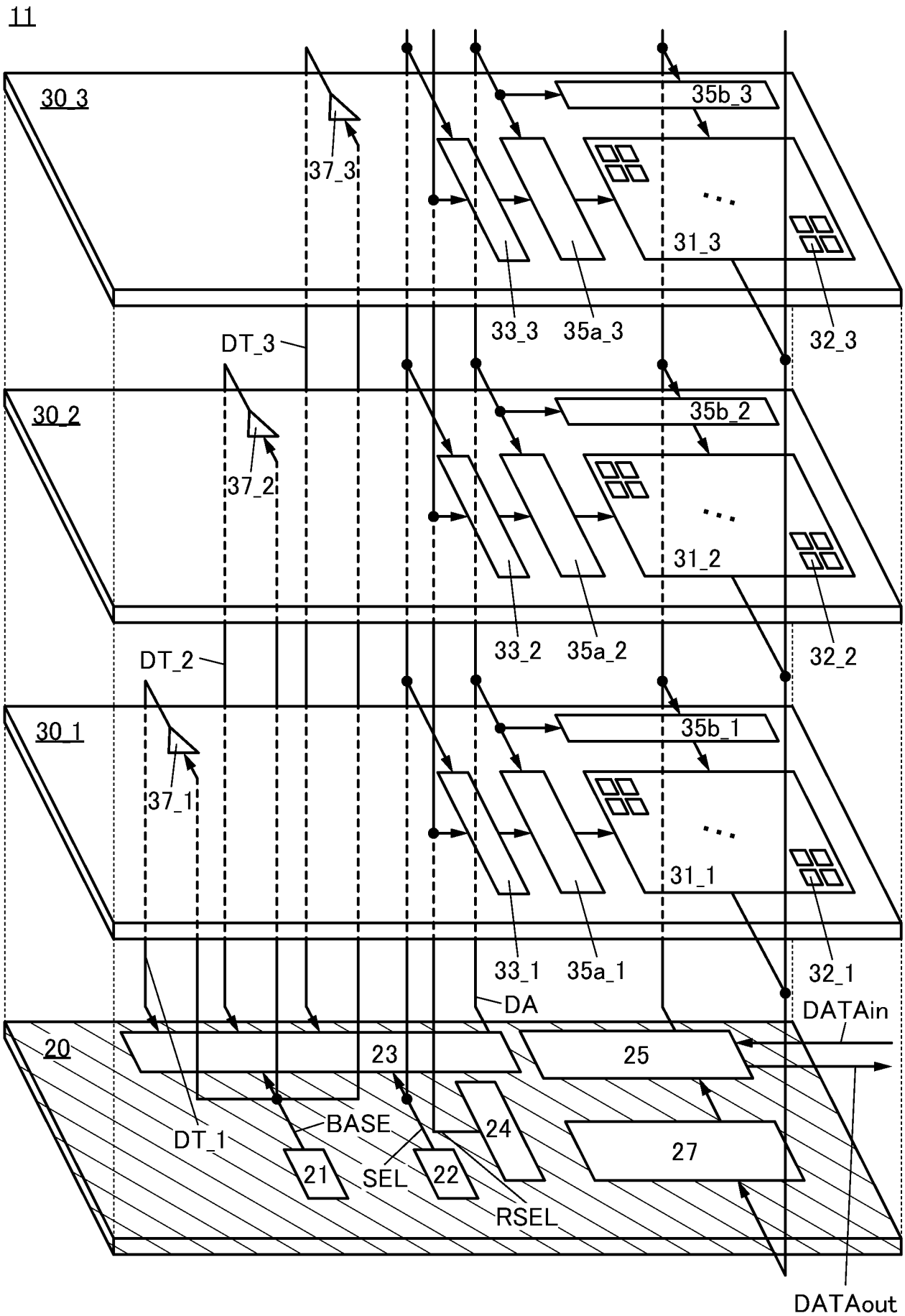

11
30_3
37_3
35b_3
31_3
33_3
35a_3
32_3
DT_3
30_2
37_2
35b_2
31_2
33_2
35a_2
32_2
DT_2
30_1
37_1
35b_1
31_1
33_1
35a_1
32_1
DA
DATAin
20
23
25
DT_1
BASE
24
27
21
SEL
22
RSEL
DATAout

図3

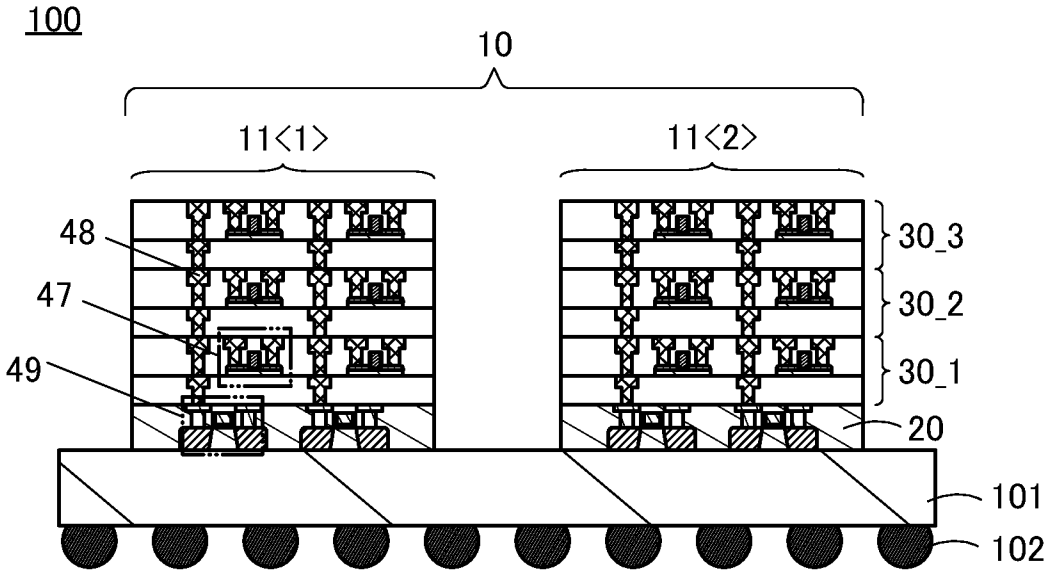


図4

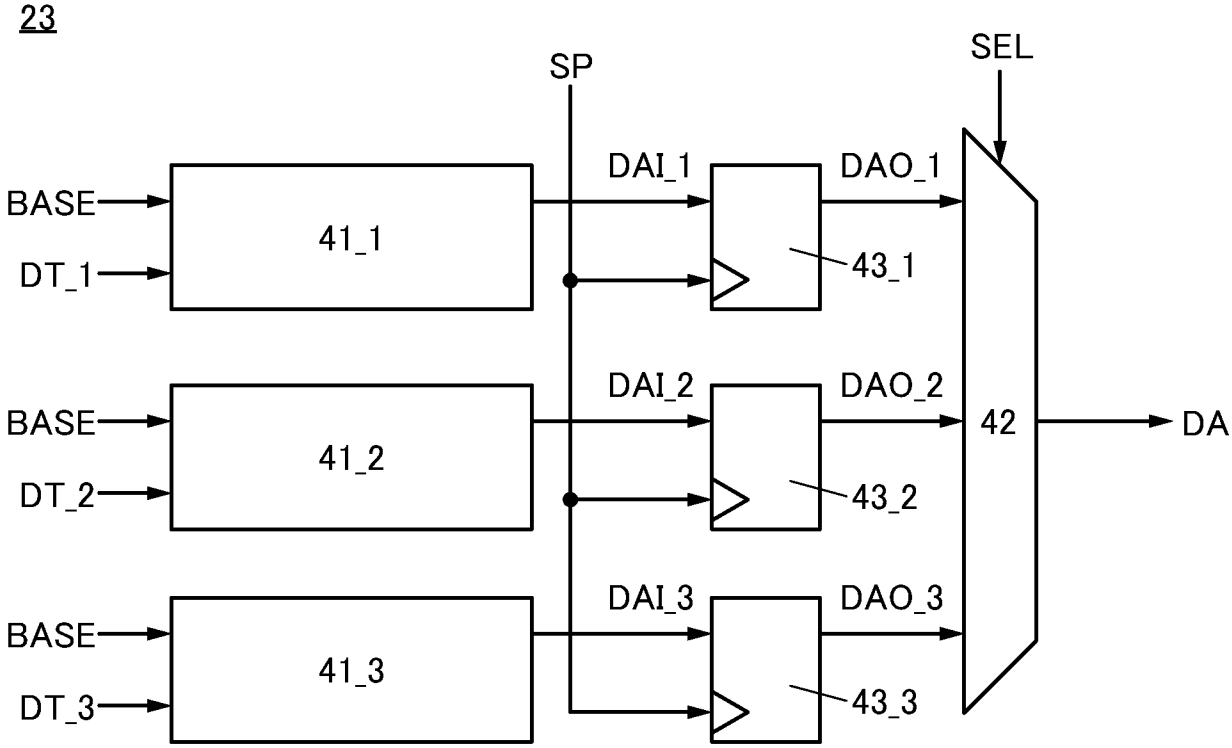

23
SP
SEL
BASE
DT_1
41_1
DAI_1
DAO_1
43_1
BASE
DT_2
41_2
DAI_2
DAO_2
43_2
42
DA
BASE
DT_3
41_3
DAI_3
DAO_3
43_3

図5A

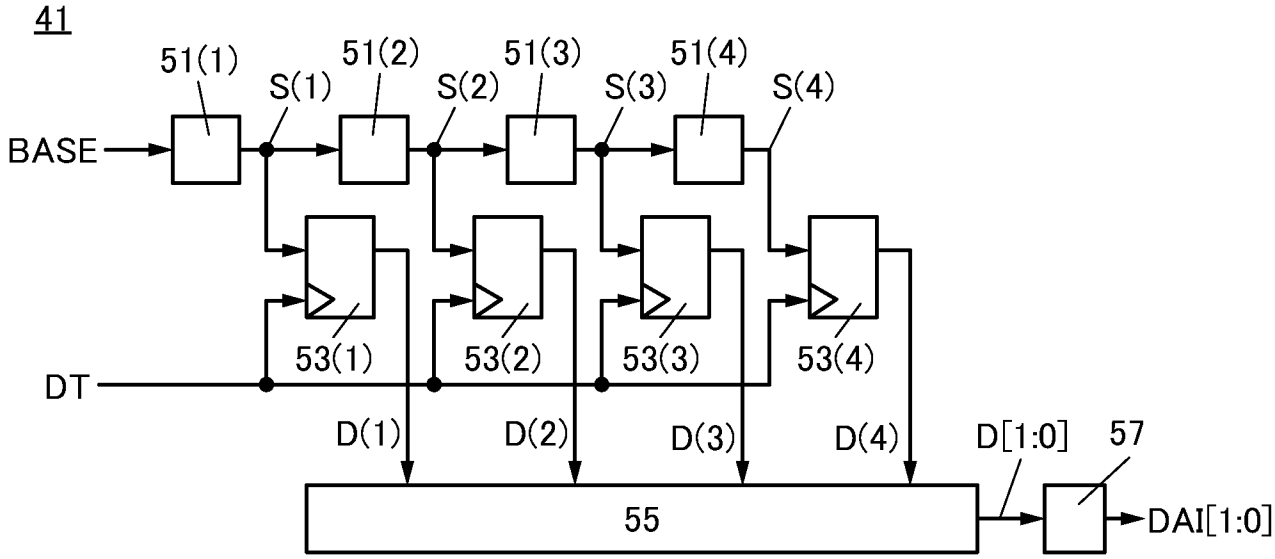

41
51(1)
51(2)
51(3)
51(4)
S(1)
S(2)
S(3)
S(4)
BASE
53(1)
53(2)
53(3)
53(4)
DT
D(1)
D(2)
D(3)
D(4)
D[1:0]
57
55
DAI[1:0]

図5B

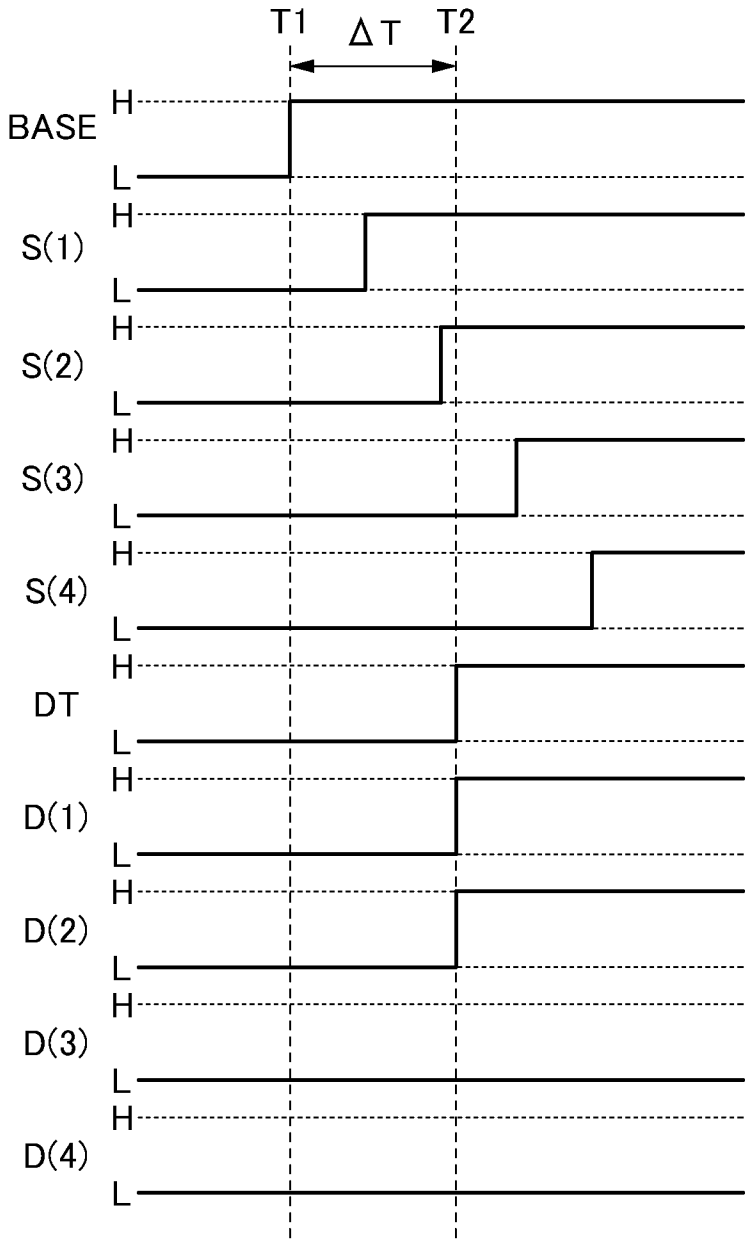

T1
ΔT
T2
BASE
S(1)
S(2)
S(3)
S(4)
DT
D(1)
D(2)
D(3)
D(4)
H
L

図6

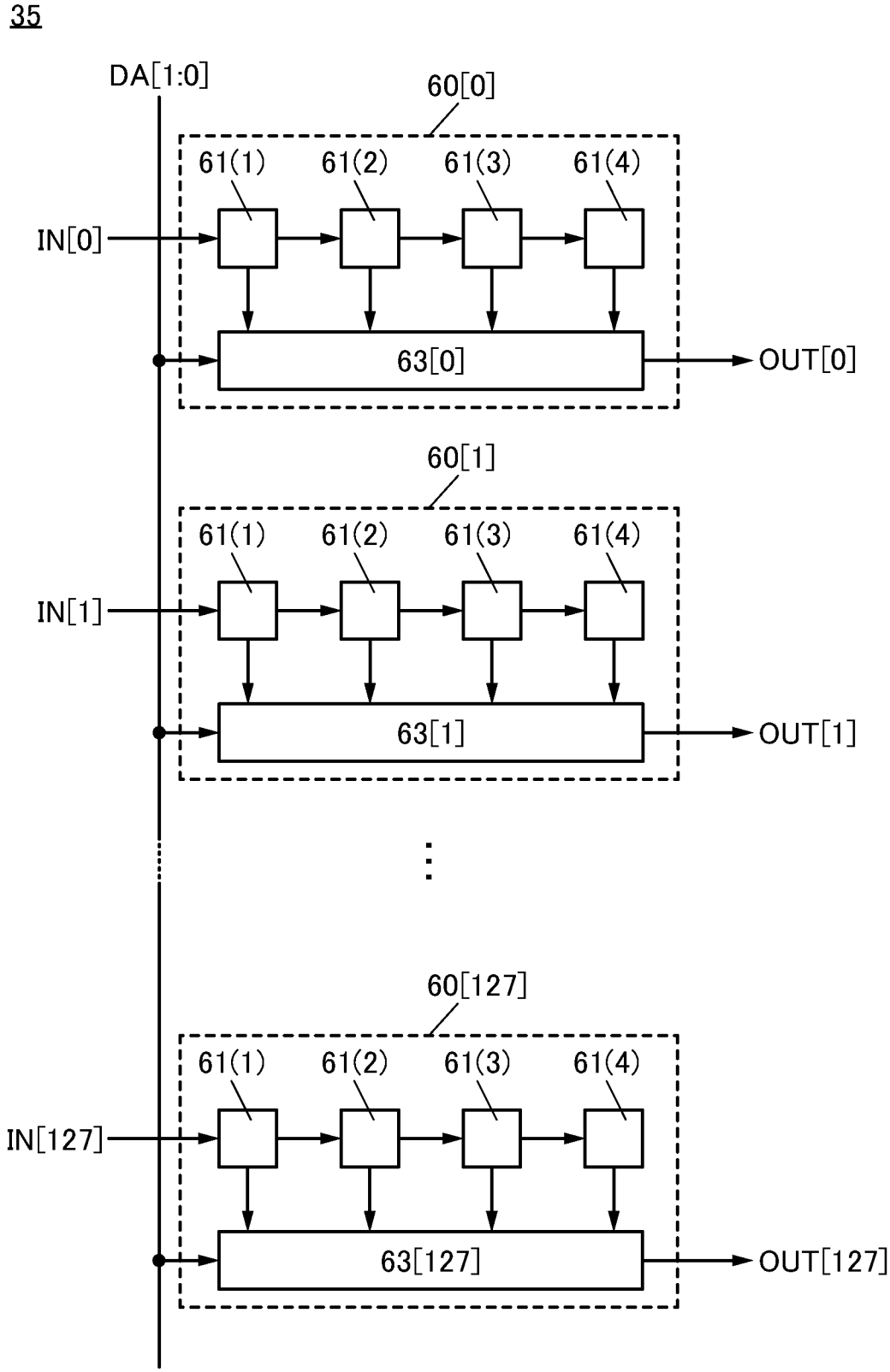

35
DA[1:0]
60[0]
61(1)
61(2)
61(3)
61(4)
IN[0]
63[0]
OUT[0]
60[1]
61(1)
61(2)
61(3)
61(4)
IN[1]
63[1]
OUT[1]
60[127]
61(1)
61(2)
61(3)
61(4)
IN[127]
63[127]
OUT[127]

図7

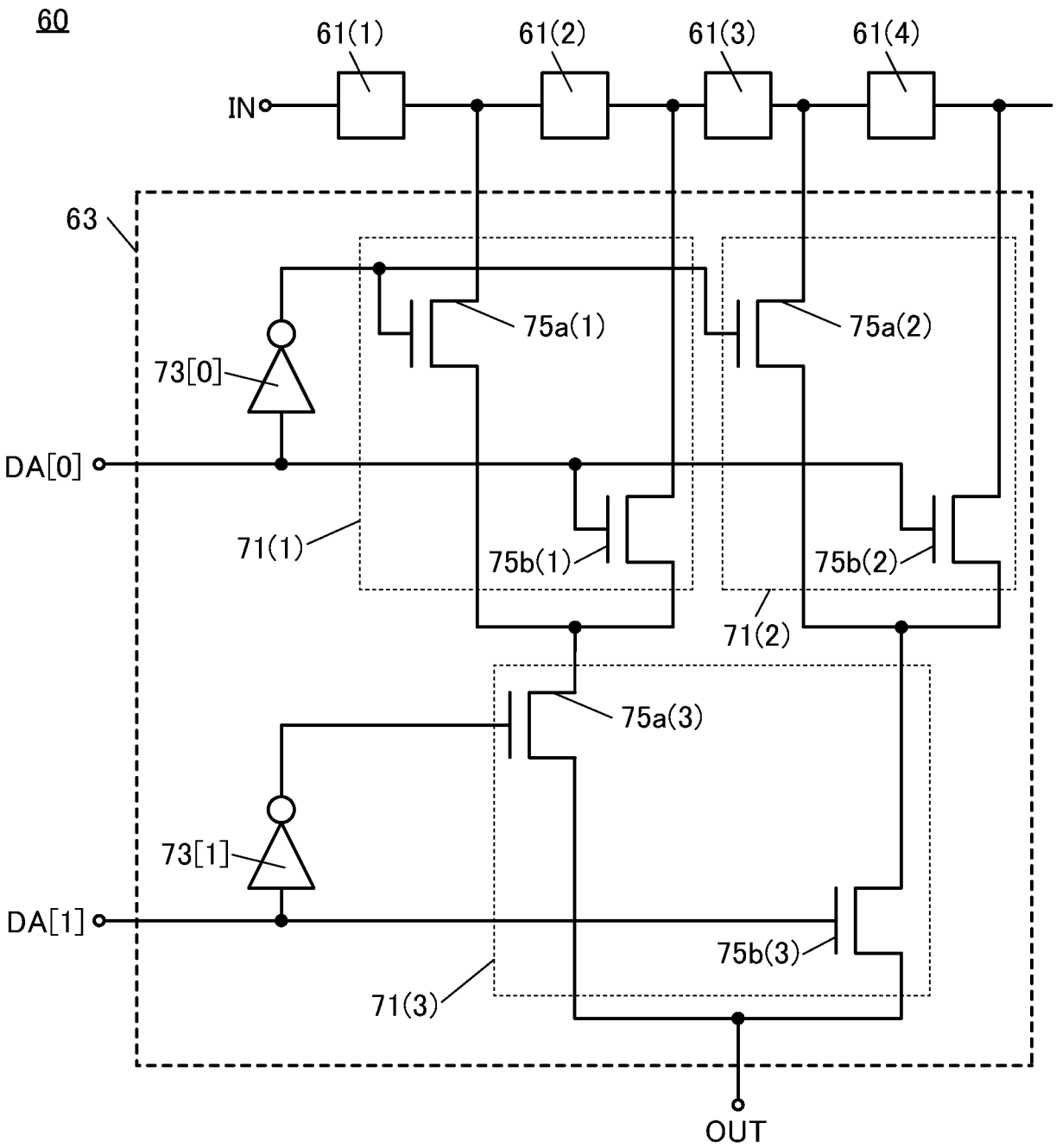

60
61(1)
61(2)
61(3)
61(4)
IN
63
75a(1)
75a(2)
73[0]
DA[0]
71(1)
75b(1)
75b(2)
71(2)
75a(3)
73[1]
DA[1]
75b(3)
71(3)
OUT

図8A

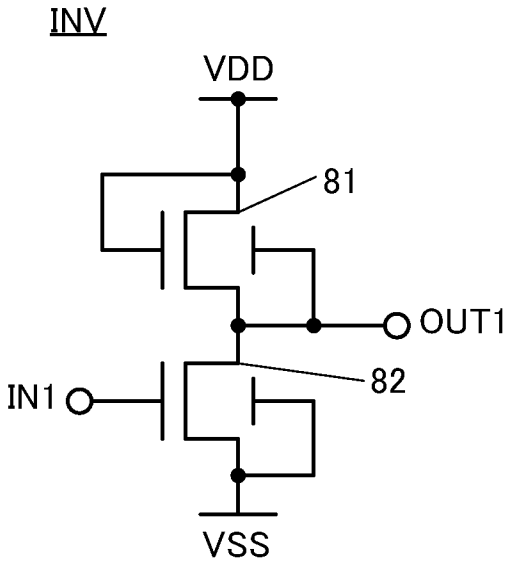


図8B

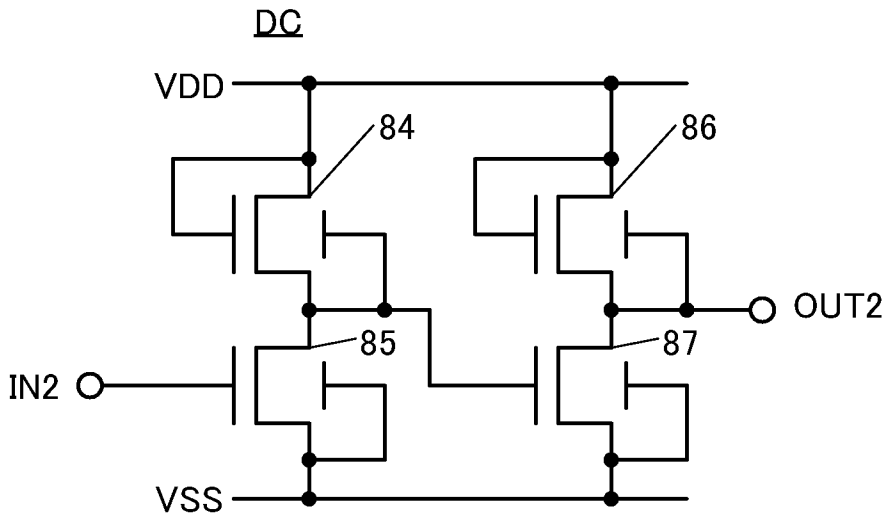


図9

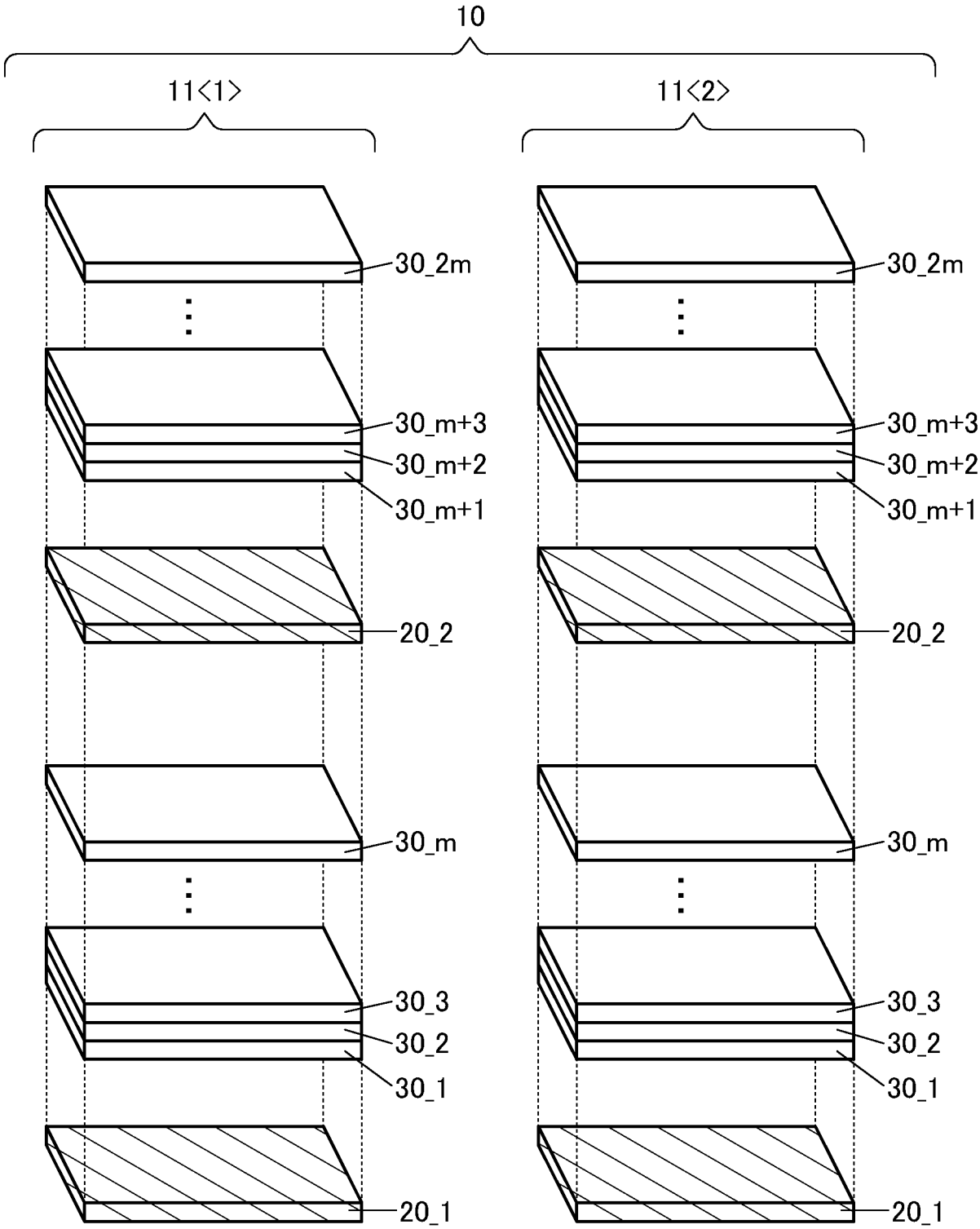


図10

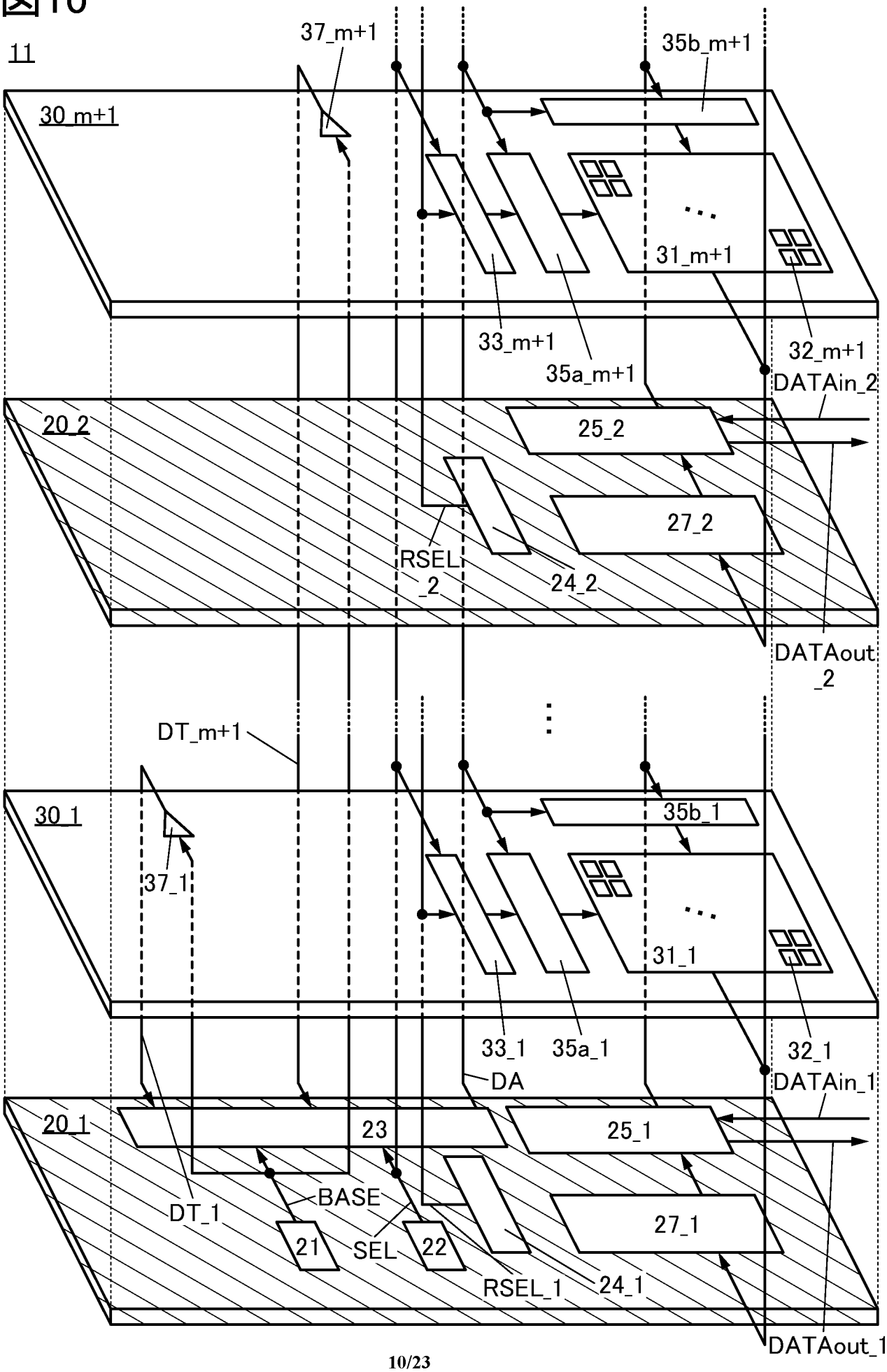

11
37_m+1
35b_m+1
30_m+1
31_m+1
33_m+1
35a_m+1
32_m+1
DATAin_2
20_2
25_2
27_2
RSEL_2
24_2
DATAout_2
DT_m+1
30_1
35b_1
37_1
31_1
33_1
35a_1
32_1
DA
DATAin_1
20_1
23
25_1
BASE
DT_1
27_1
21
SEL
22
RSEL_1
24_1
DATAout_1

図11

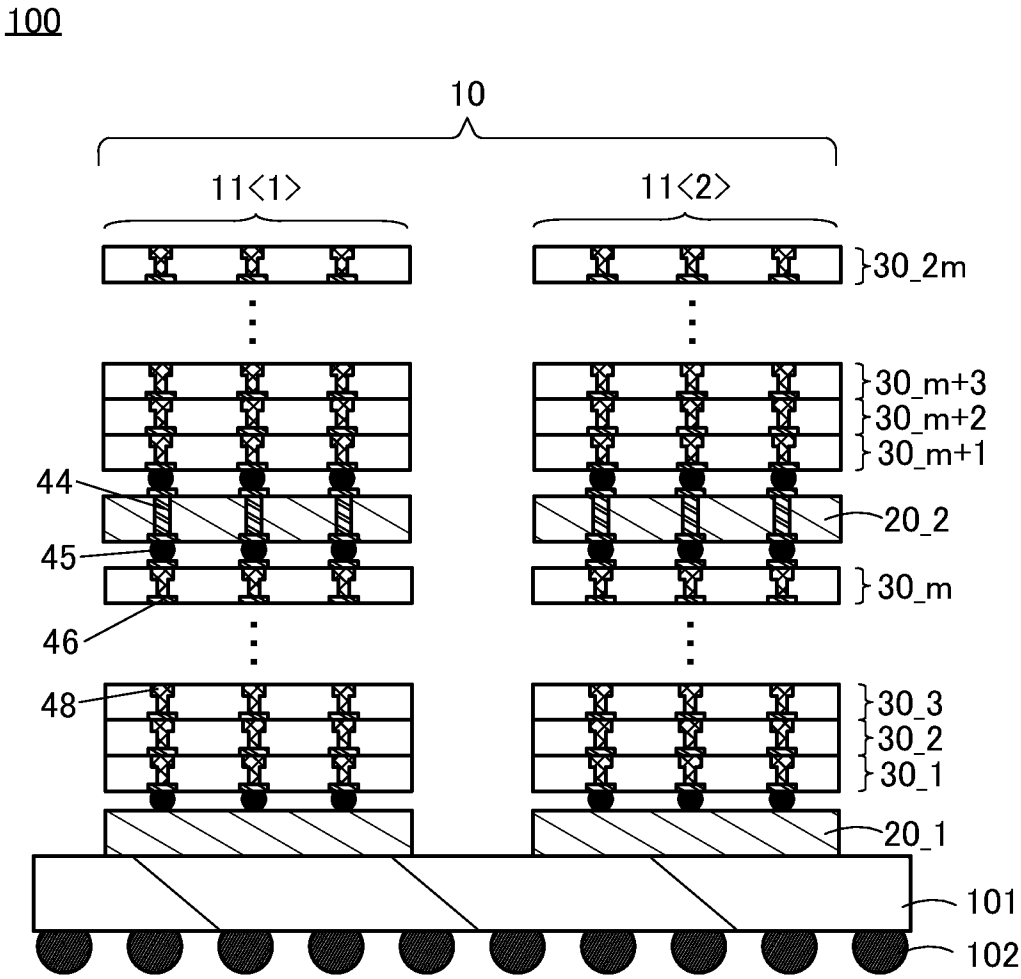

100
10
11<1>
11<2>
30_2m
30_m+3
30_m+2
30_m+1
44
20_2
45
30_m
46
48
30_3
30_2
30_1
20_1
101
102

図12A

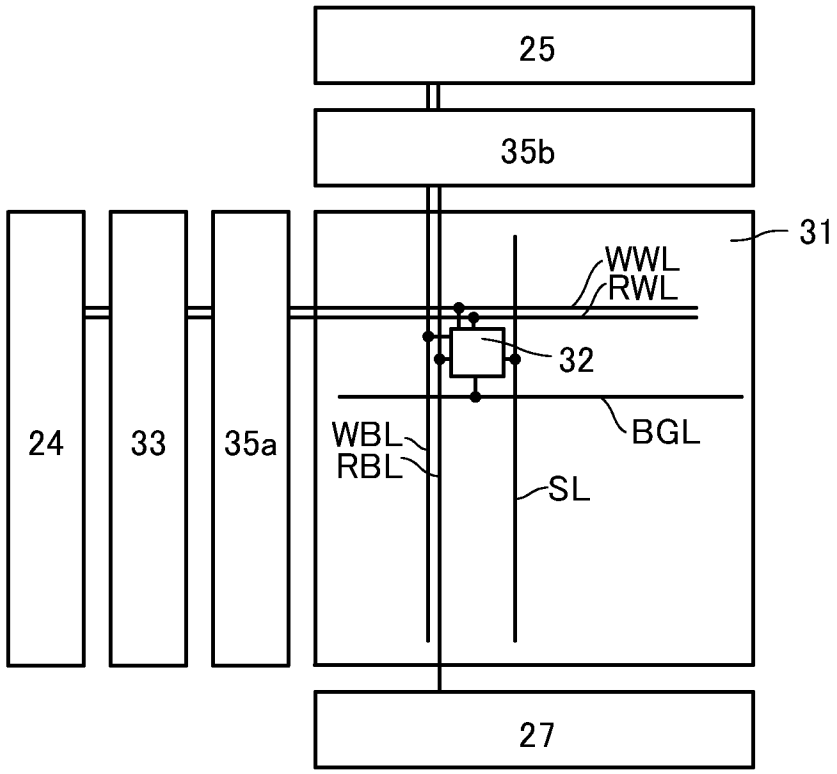

25
35b
31
WWL
RWL
32
BGL
24
33
35a
WBL
RBL
SL
27

図12B

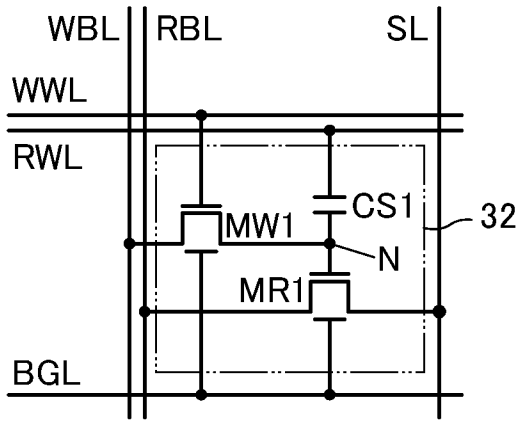

WBL
RBL
SL
WWL
RWL
CS1
32
MW1
N
MR1
BGL

図13A

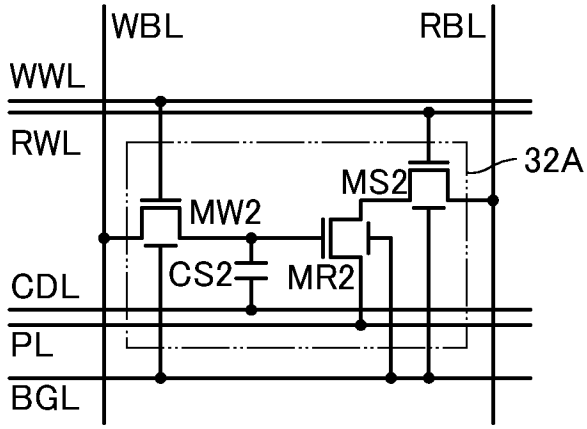


図13B

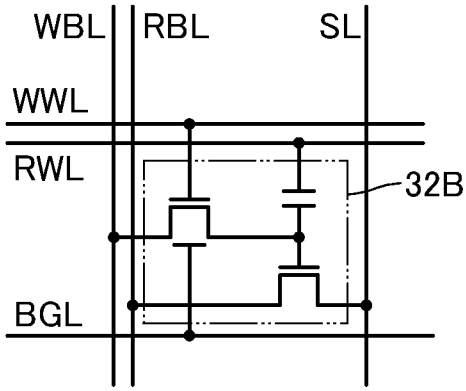


図13C

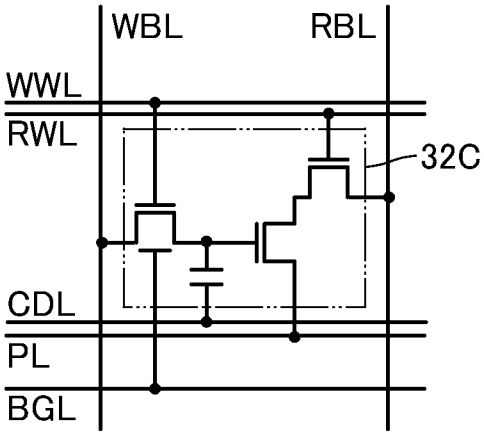


図13D

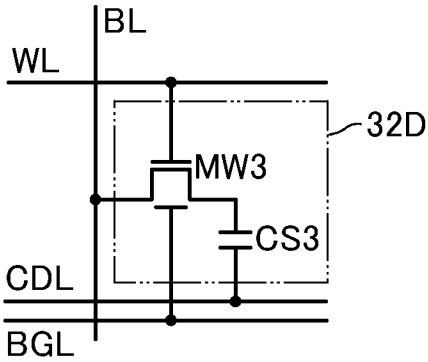


図14

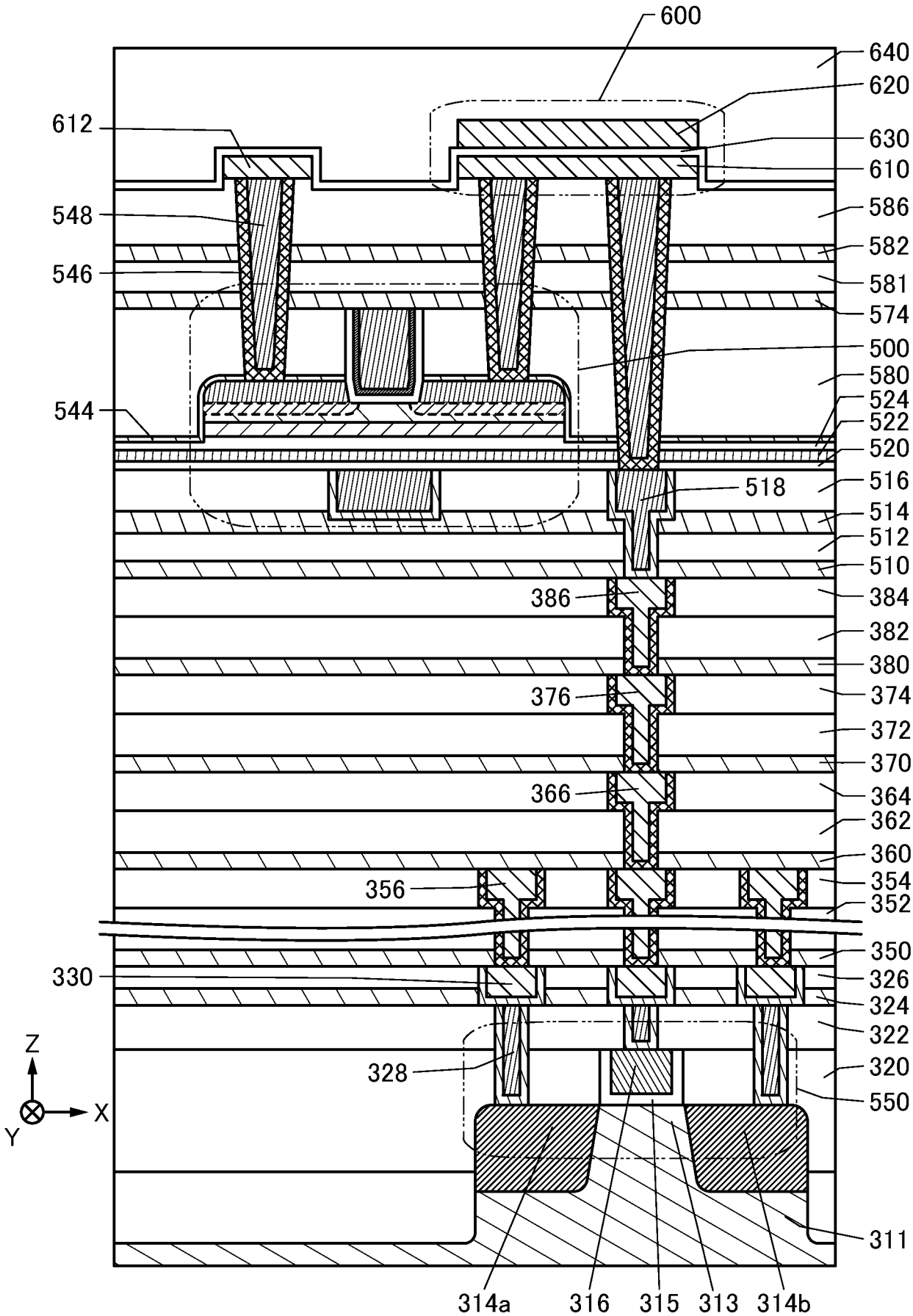

600
640
620
612
630
610
548
586
582
546
581
574
500
580
544
524
522
520
518
516
514
512
510
386
384
382
380
376
374
372
370
366
364
362
360
356
354
352
350
330
326
324
322
328
320
550
311
Z
X
Y
314a
316
315
313
314b

図15A

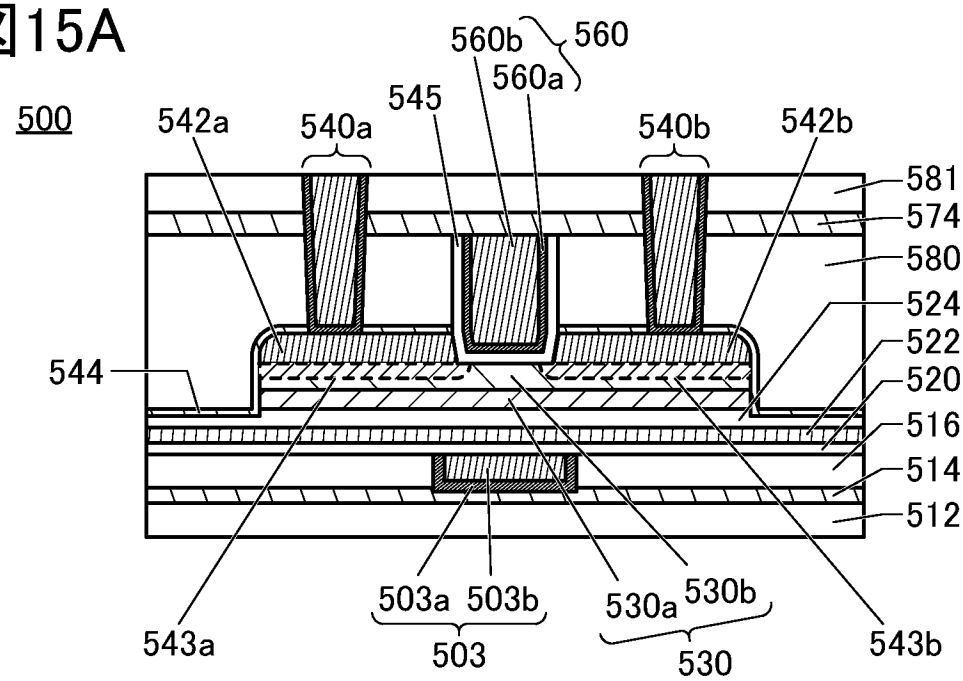


図15B

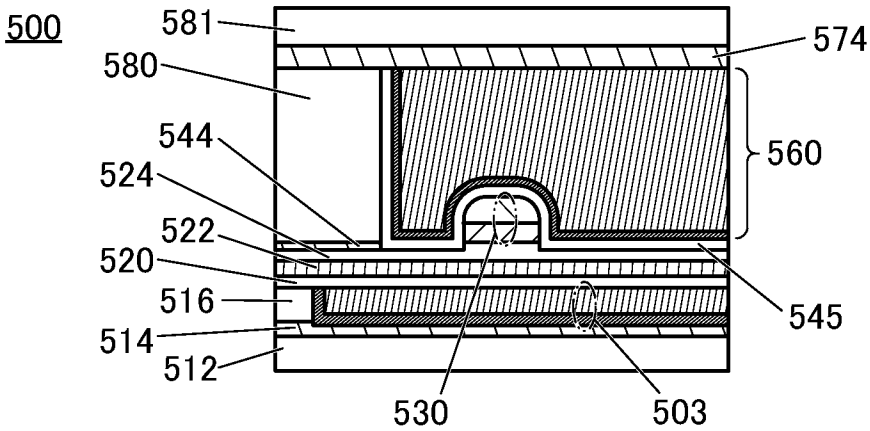


図15C

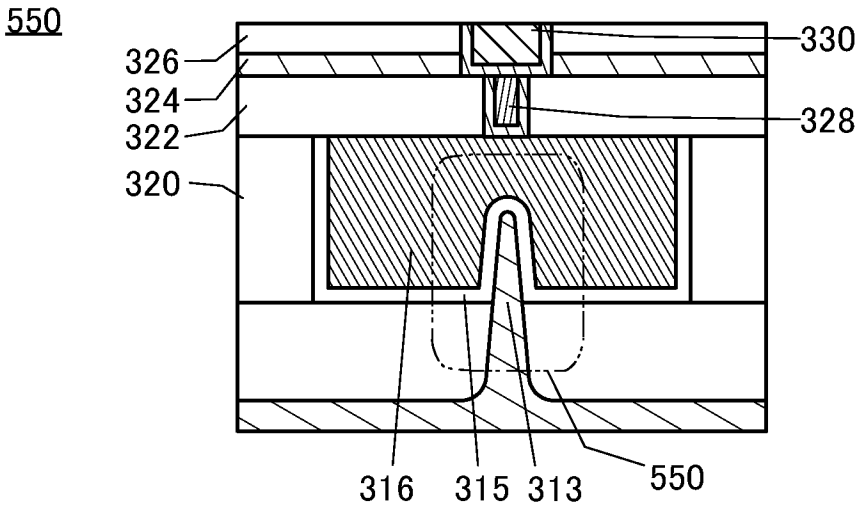


図16

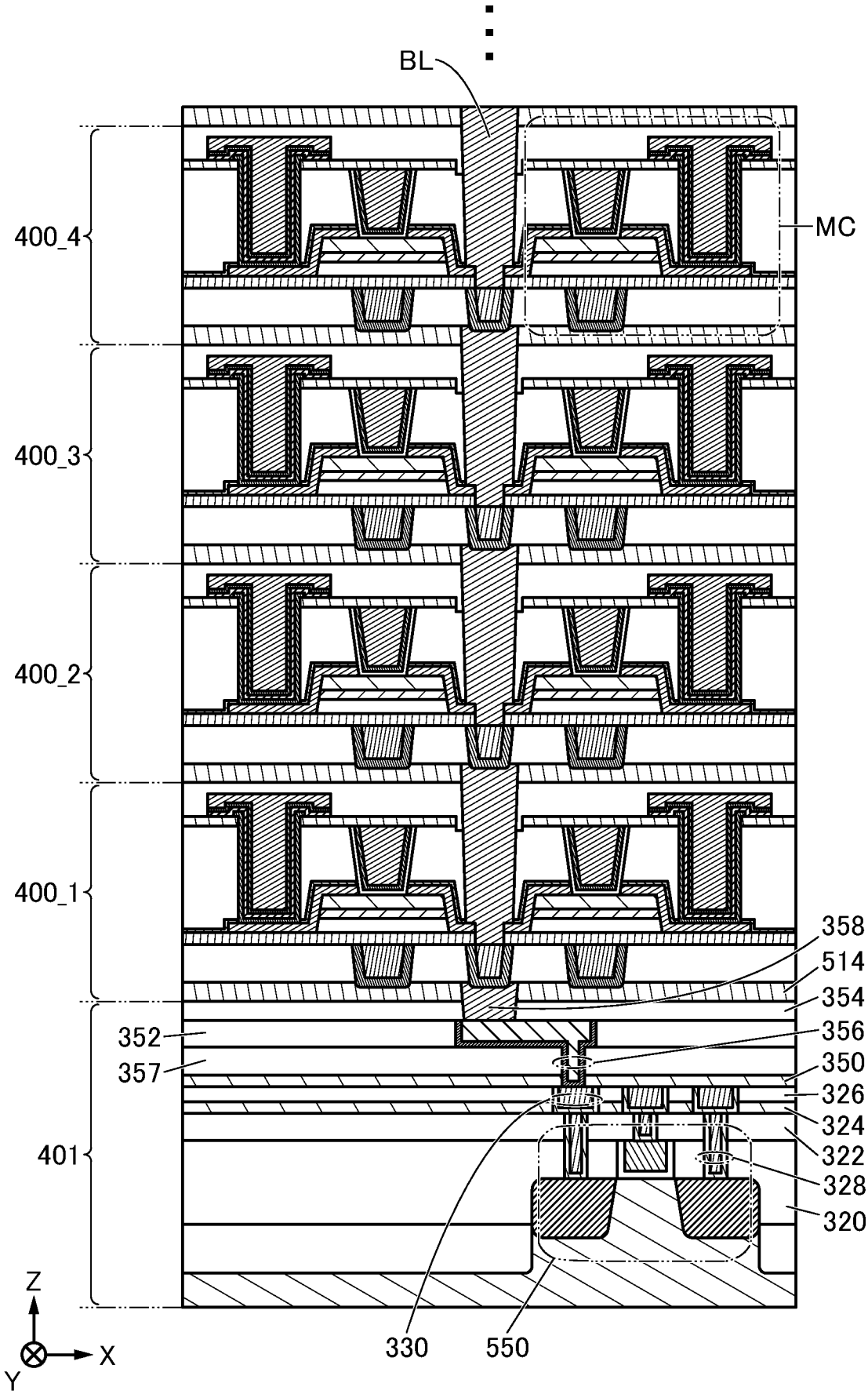

BL
MC
400_4
400_3
400_2
400_1
401
358
514
354
352
356
357
350
326
324
322
328
320
330
550
Z
X
Y

図17A

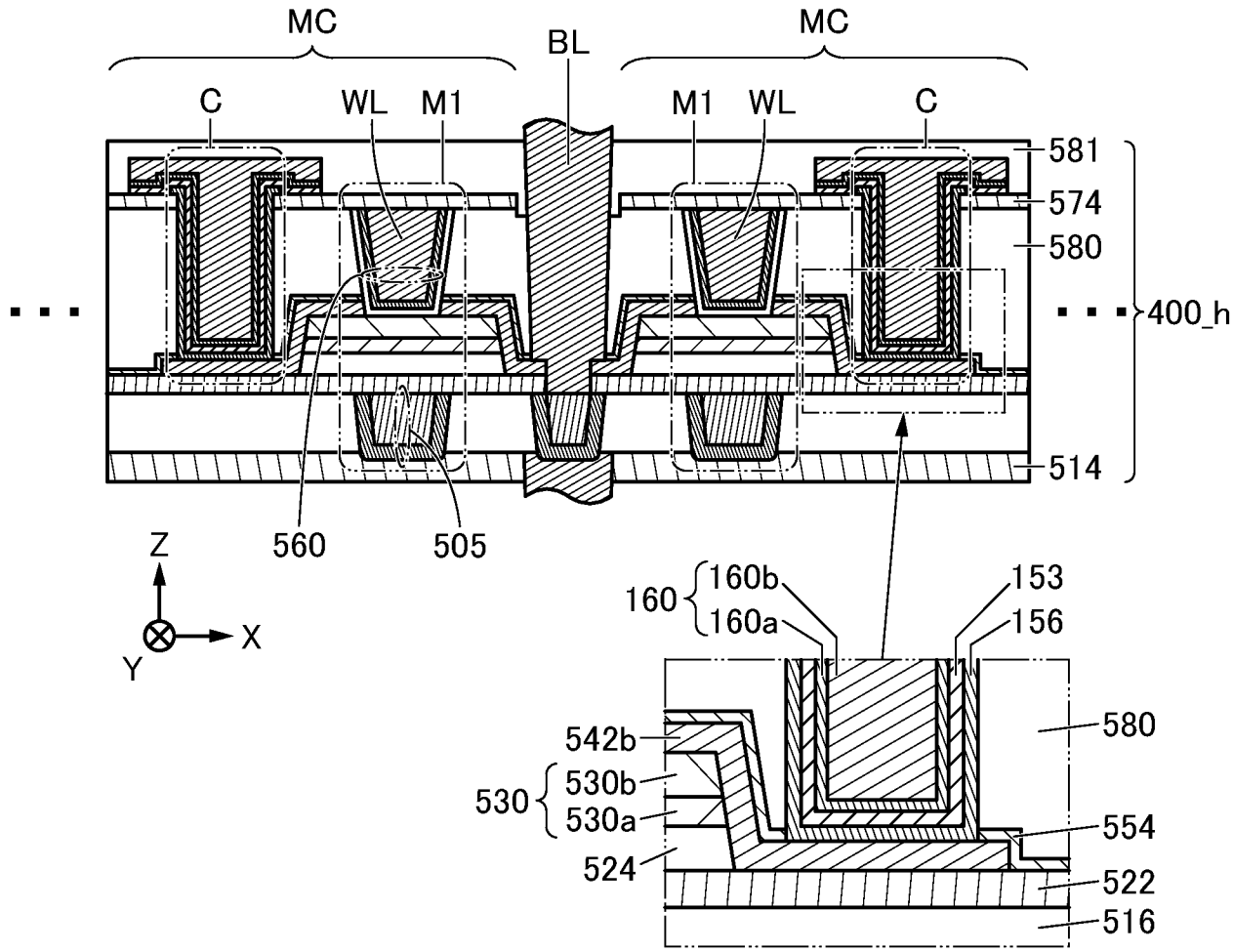

MC
BL
MC
C
WL
M1
M1
WL
C
581
574
580
400_h
514
560
505
Z
X
Y
160
160b
160a
153
156
580
542b
530
530b
530a
554
524
522
516

図17B

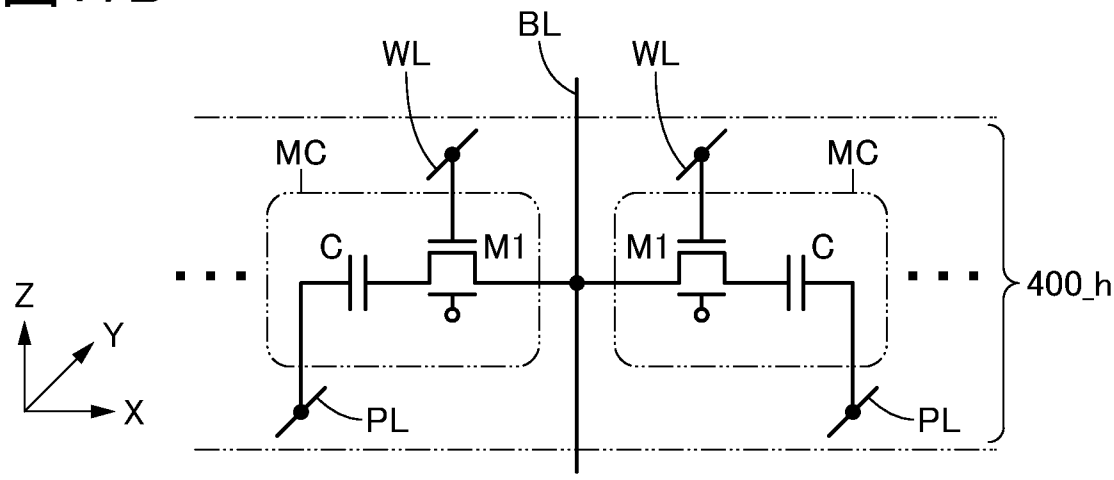

BL
WL
WL
MC
MC
C
M1
M1
C
400_h
Z
Y
X
PL
PL

図18

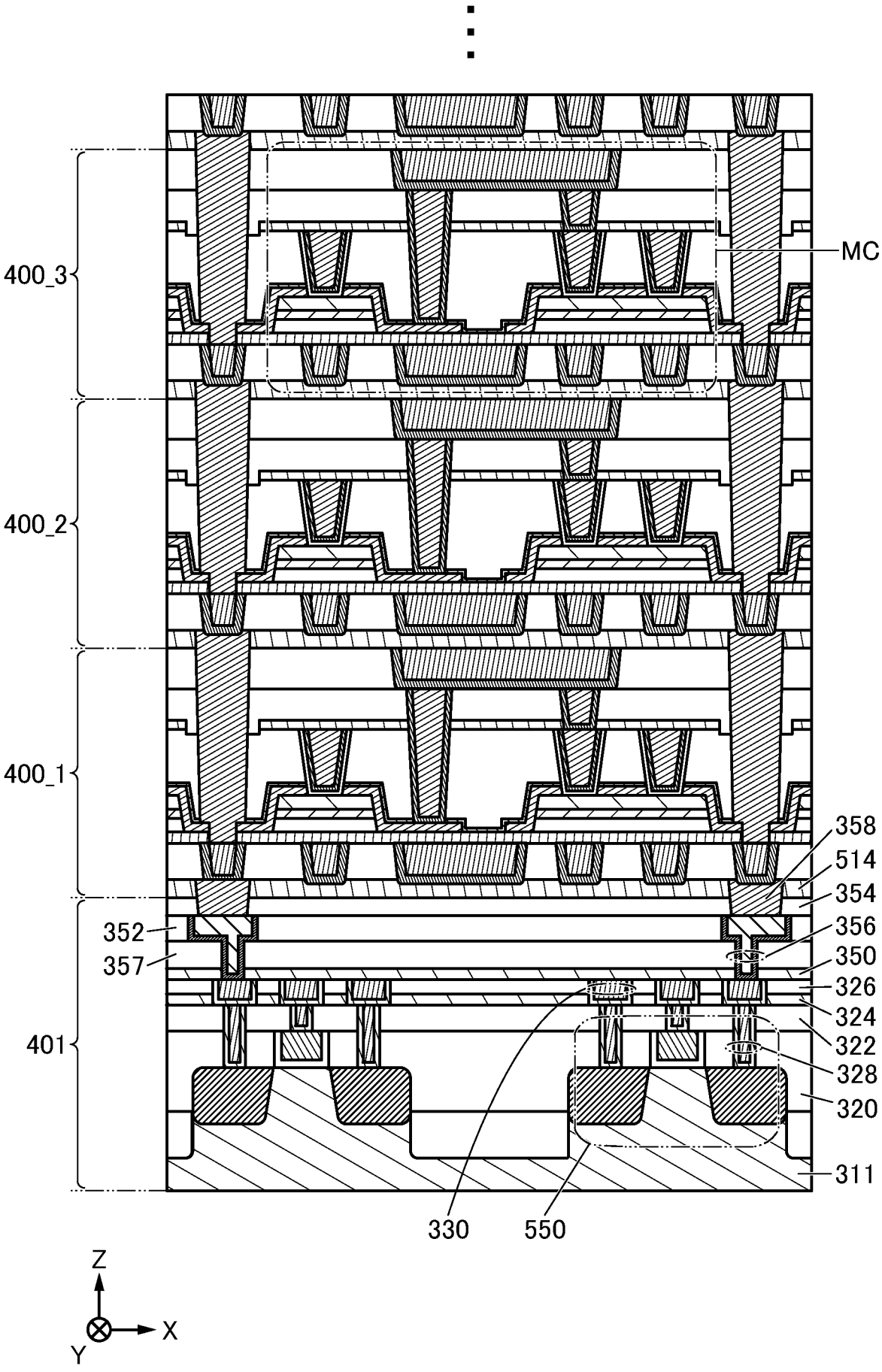

400_3
400_2
400_1
401
MC
358
514
354
356
350
326
324
322
328
320
311
352
357
330
550
Z
X
Y

図19A

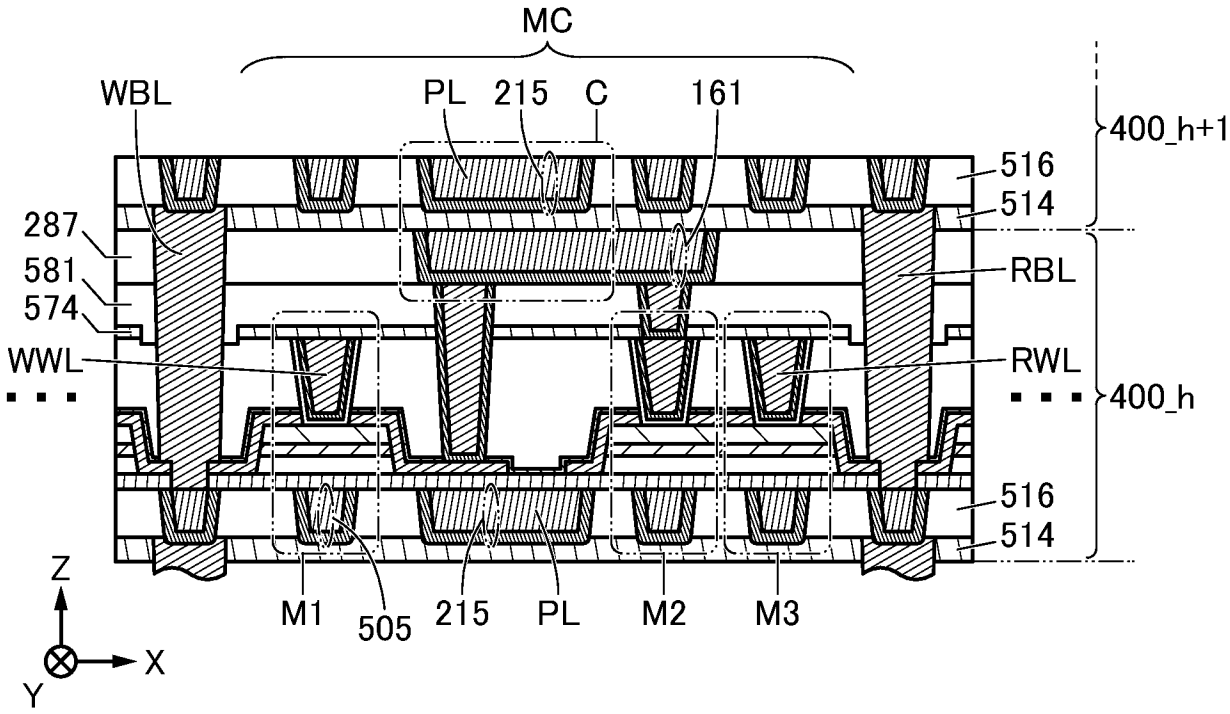

MC
WBL
PL
215
C
161
400_h+1
516
514
287
581
574
RBL
WWL
RWL
400_h
516
514
M1
505
215
PL
M2
M3
Z
X
Y

図19B

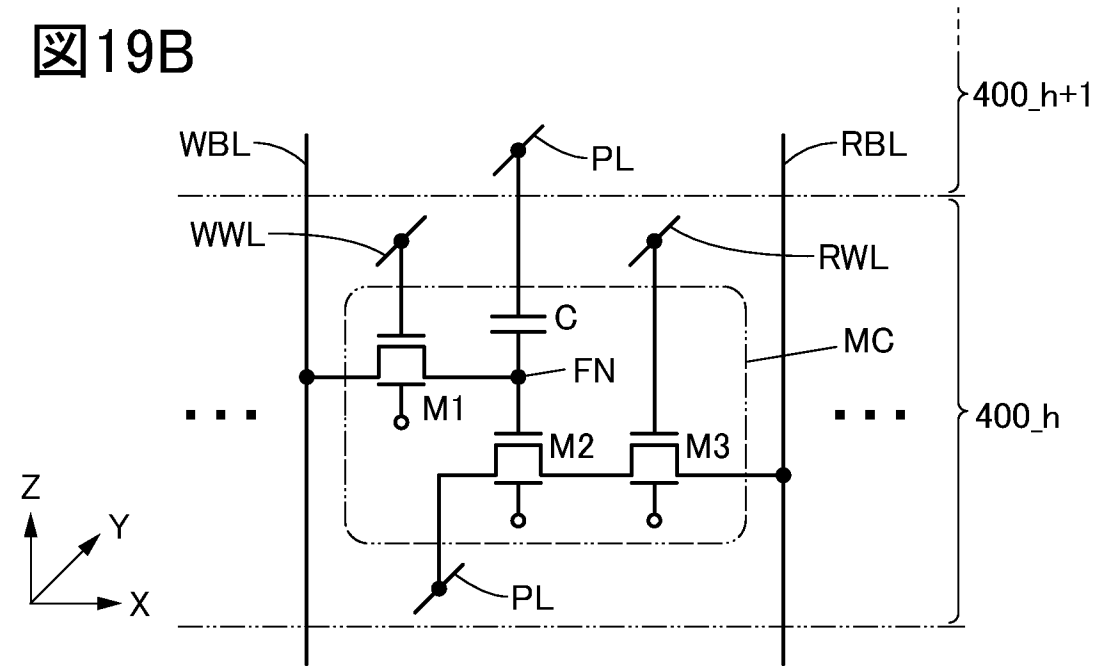

400_h+1
WBL
PL
RBL
WWL
RWL
C
MC
FN
M1
400_h
M2
M3
Z
Y
X
PL

図20A

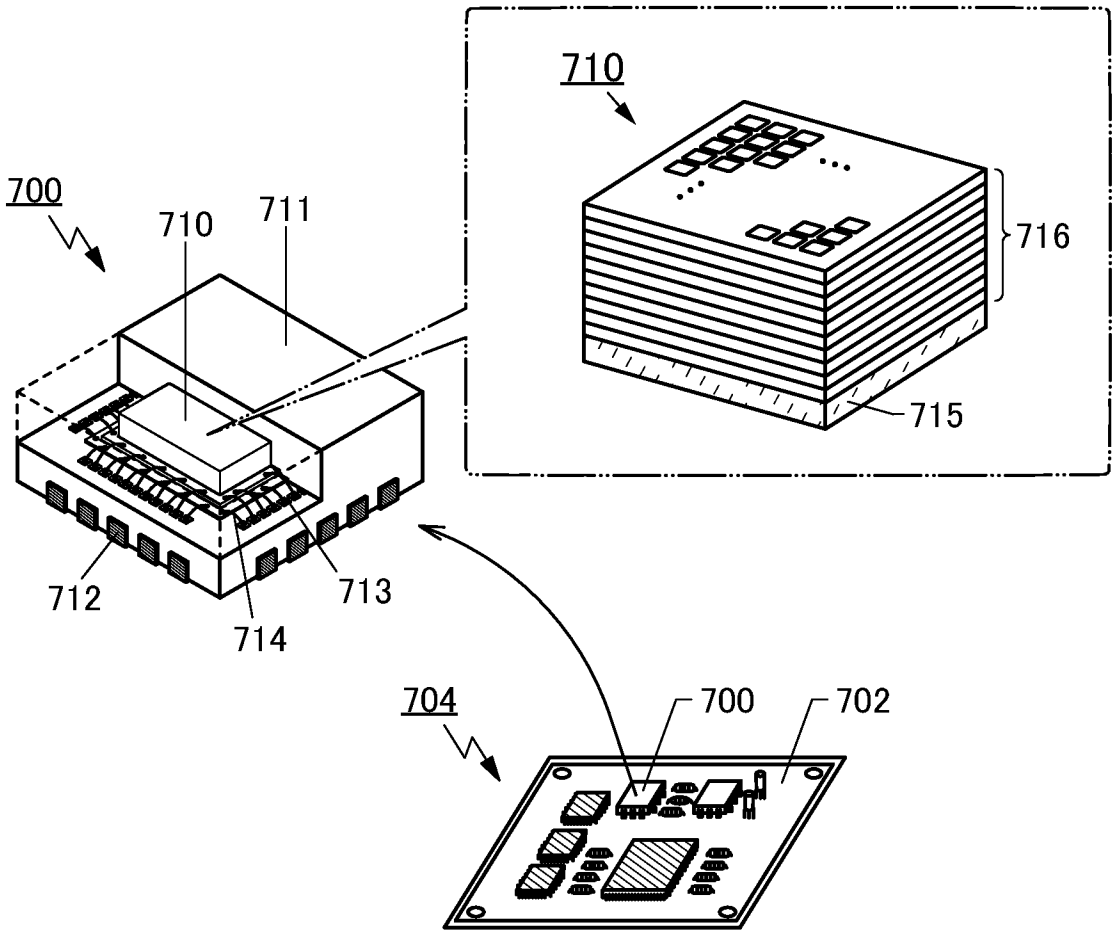

710
700
710
711
716
715
712
713
714
704
700
702

図20B

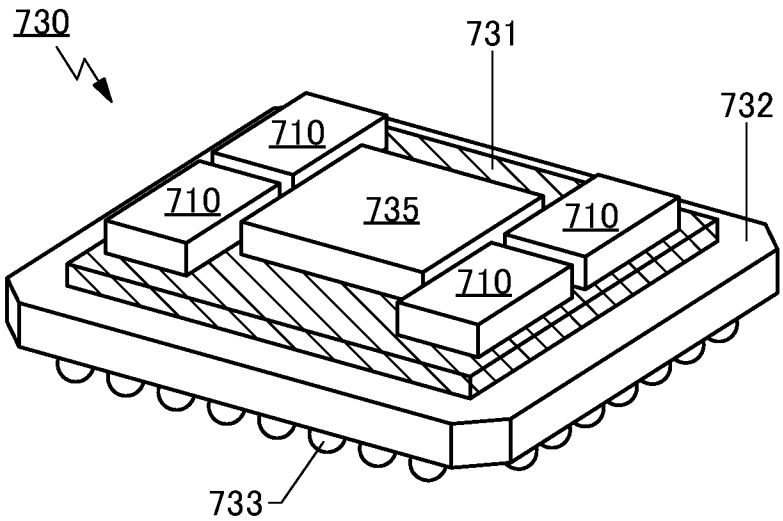

730
731
732
710
710
735
710
710
733

図21A

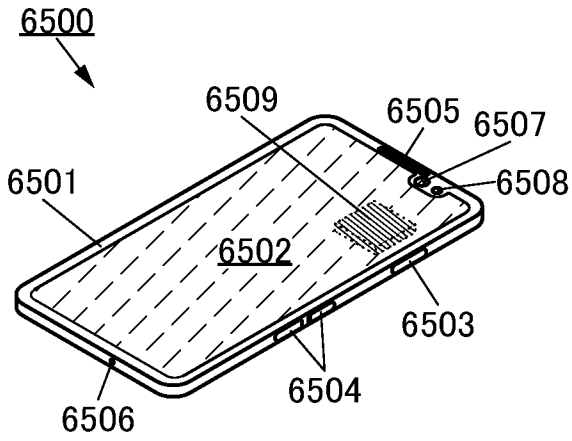


図21B

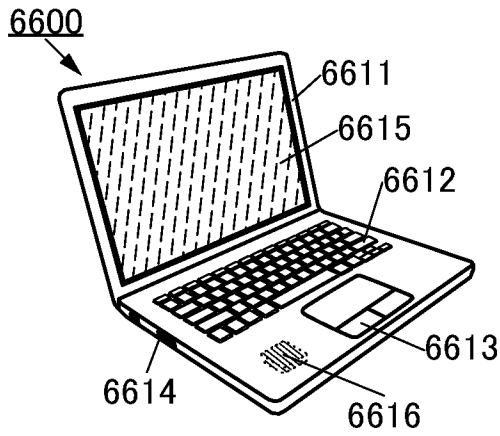


図21C

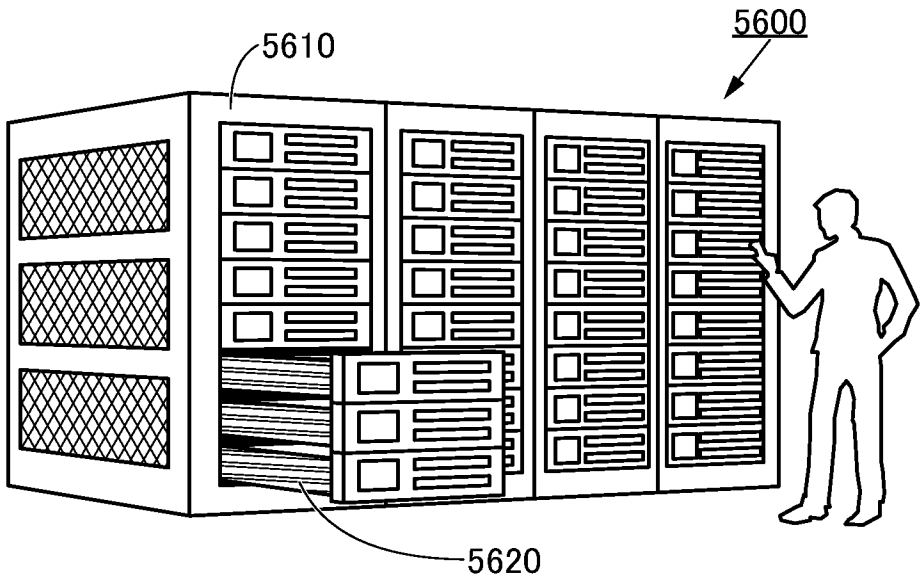


図21D

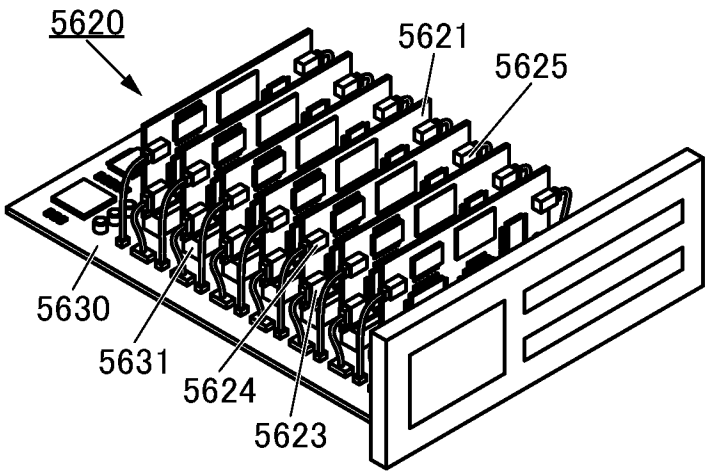


図21E

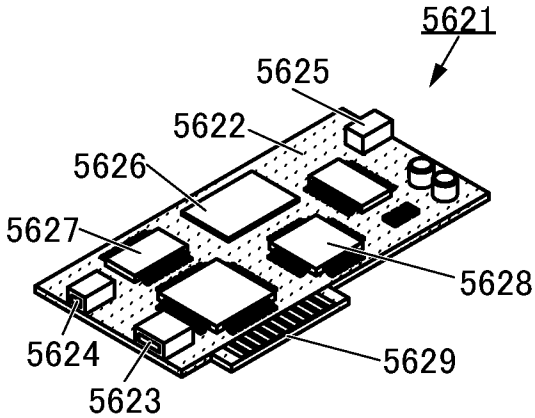


図22

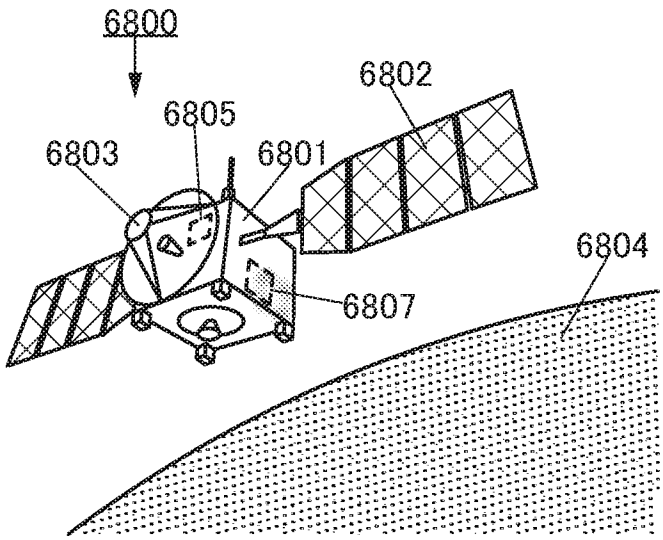
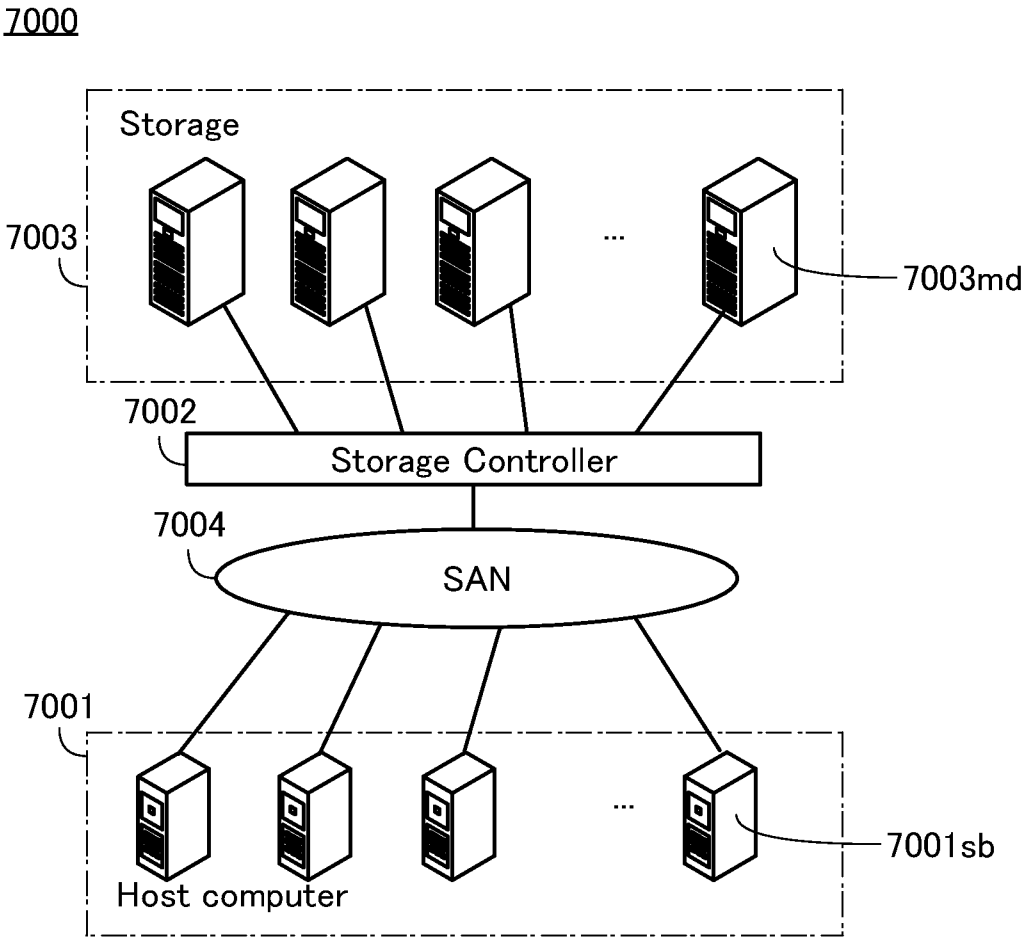


図23


7000
Storage
7003
7003md
7002
Storage Controller
7004
SAN
7001
7001sb
Host computer

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2023/054418

A. CLASSIFICATION OF SUBJECT MATTER

G11C 5/06(2006.01)i; ***G06F 12/00***(2006.01)i; ***G06F 12/06***(2006.01)i; ***G11C 5/04***(2006.01)i; ***G11C 7/12***(2006.01)i; ***G11C 7/22***(2006.01)i; ***H01L 21/336***(2006.01)i; ***H01L 21/8234***(2006.01)i; ***H01L 27/06***(2006.01)i; ***H01L 27/088***(2006.01)i; ***H01L 29/786***(2006.01)i; ***H01L 29/788***(2006.01)i; ***H01L 29/792***(2006.01)i; ***H10B 12/00***(2023.01)i; ***H10B 41/70***(2023.01)i

FI: G11C5/06 100; G06F12/00 564D; H10B12/00 625C; H10B12/00 625Z; H10B12/00 801; H01L29/78 371; H10B12/00 621C; H10B12/00 621Z; G11C5/04 220; H01L27/06 102A; H01L27/088 331E; H01L27/088 E; H01L27/088 H; H10B41/70; H01L29/78 618B; H01L29/78 613Z; G06F12/06 525A; G11C7/12; G11C7/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C5/06; G06F12/00; G06F12/06; G11C5/04; G11C7/12; G11C7/22; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H01L29/788; H01L29/792; H10B12/00; H10B41/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-81731 A (ELPIDA MEMORY INC.) 21 April 2011 (2011-04-21) paragraphs [0064]-[0110], fig. 1, 4-16	1-11

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
03 July 2023	**11 July 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2023/054418

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2011-81731 A	21 April 2011	US 2011/0093735 A1 paragraphs [0084]-[0131], fig. 1, 4-16	

国際調査報告

国際出願番号
PCT/IB2023/054418

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 5/06(2006.01)i; G06F 12/00(2006.01)i; G06F 12/06(2006.01)i; G11C 5/04(2006.01)i; G11C 7/12(2006.01)i; G11C 7/22(2006.01)i; H01L 21/336(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H01L 29/786(2006.01)i; H01L 29/788(2006.01)i; H01L 29/792(2006.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i

FI: G11C5/06 100; G06F12/00 564D; H10B12/00 625C; H10B12/00 625Z; H10B12/00 801; H01L29/78 371; H10B12/00 621C; H10B12/00 621Z; G11C5/04 220; H01L27/06 102A; H01L27/088 331E; H01L27/088 E; H01L27/088 H; H10B41/70; H01L29/78 618B; H01L29/78 613Z; G06F12/06 525A; G11C7/12; G11C7/22

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C5/06; G06F12/00; G06F12/06; G11C5/04; G11C7/12; G11C7/22; H01L21/336; H01L21/8234; H01L27/06; H01L27/088; H01L29/786; H01L29/788; H01L29/792; H10B12/00; H10B41/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-81731 A (エルピーダメモリ株式会社) 21.04.2011 (2011-04-21) 段落[0064]-[0110]、図1,4-16	1-11

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
03.07.2023	11.07.2023

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5S 4226

電話番号 03-3581-1101 内線 3546

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2023/054418

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-81731 A	21.04.2011	US 2011/0093735 A1 段落[0084]-[0131]、図1,4-16	