



(12) 发明专利申请

(10) 申请公布号 CN 104979303 A

(43) 申请公布日 2015. 10. 14

(21) 申请号 201510399162. 1

(22) 申请日 2015. 07. 08

(71) 申请人 气派科技股份有限公司

地址 518000 广东省深圳市龙岗区平湖街道
禾花社区平新大道165号恒顺厂区1栋
1楼105、2-5楼

(72) 发明人 刘兴波 周维 宋波

(74) 专利代理机构 深圳市合道英联专利事务所
(普通合伙) 44309

代理人 廉红果 吴雅丽

(51) Int. Cl.

H01L 23/31(2006. 01)

H01L 23/495(2006. 01)

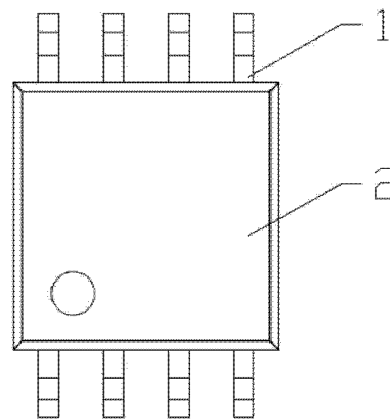
权利要求书1页 说明书5页 附图2页

(54) 发明名称

一种高密度集成电路封装结构

(57) 摘要

本发明公开了一种高密度集成电路封装结构,包括由引线框基岛、内引脚线和外引脚构成的金属引线框架,引线框基岛上固定有芯片,芯片和内引脚线之间设有微连接线,所述的引线框架、芯片和微连接线密封在长方体的塑封体内,所述塑封体的长度A1满足 $5.13\text{mm} \leq A1 \leq 5.23\text{mm}$,塑封体的宽度A2满足 $5.18\text{mm} \leq A2 \leq 5.38\text{mm}$,塑封体的厚度A3满足 $1.70\text{mm} \leq A3 \leq 1.90\text{mm}$;本发明的封装结构能够用于对高频、高带宽、低噪声、高导热、高导电性能有特殊需求的中小规模集成电路,克服了现有技术中的封装结构电路集成度低、封装成本高、性能低的缺点。



1. 一种高密度集成电路封装结构,其特征在于:包括由引线框基岛(5)、内引脚线(3)和外引脚(1)构成的金属引线框架(7),引线框基岛(5)上固定有芯片,芯片和内引脚线(3)之间设有微连接线,所述的引线框架(7)、芯片和微连接线密封在长方体的塑封体(2)内,所述塑封体(2)的长度A1满足 $5.13\text{mm} \leq A1 \leq 5.23\text{mm}$,塑封体(2)的宽度A2满足 $5.18\text{mm} \leq A2 \leq 5.38\text{mm}$,塑封体(2)的厚度A3满足 $1.70\text{mm} \leq A3 \leq 1.90\text{mm}$ 。

2. 根据权利要求1所述的一种高密度集成电路封装结构,其特征在于,所述外引脚(1)的跨度B1满足 $7.70\text{mm} \leq B1 \leq 8.10\text{mm}$,外引脚(1)的间距B2满足 $1.250\text{mm} \leq B2 \leq 2.540\text{mm}$,外引脚(1)的长度B3满足 $B3=(B1-A2)/2$,外引脚(1)的脚掌长度A6满足 $0.60\text{mm} \leq A6 \leq 0.70\text{mm}$,外引脚(1)的宽度B4满足 $0.38\text{mm} \leq B4 \leq 0.48\text{mm}$ 。

3. 根据权利要求1或2所述的一种高密度集成电路封装结构,其特征在于,所述塑封体(2)的宽度A2为 5.28mm ,塑封体(2)的厚度A3为 1.80mm ,所述外引脚(1)的个数B满足 $6 \leq B \leq 40$ 的整数,外引脚(1)的跨度B1为 7.90mm ,外引脚(1)的间距B2为 1.27mm ,外引脚(1)的长度B3为 1.31mm ,外引脚(1)的脚掌长度A6为 0.65mm ,外引脚(1)的宽度B4为 0.415mm ,塑封体(2)的长度A1与外引脚(1)的个数B之间满足 $A1 = 5.23 + (B-8) \times 1.8/2\text{mm}$ 。

4. 根据权利要求3所述的一种高密度集成电路封装结构,其特征在于,所述的外引脚(1)的个数B为八个,塑封体(2)的长度A1为 5.23mm 。

5. 根据权利要求1至4任一项所述的一种高密度集成电路封装结构,其特征在于,所述的引线框基岛(5)背面开设有呈阵列分布的多个锥形的凹坑(4)。

6. 根据权利要求5所述的一种高密度集成电路封装结构,其特征在于,所述的引线框基岛(5)内开有八个长方形孔(6)。

7. 根据权利要求1或2或4或6任一项所述的一种高密度集成电路封装结构,其特征在于,所述的内引脚线(3)为铜线、铜合金线、铁线、铁合金线、铝线或铝合金线,内引脚线(3)上还设有厚度为 $17-76\mu\text{m}$ 的银合金镀层,所述的银合金由质量百分数为 $1.8-2.5\%$ 的Cu、 $1.2-1.5\%$ 的Ge、 $1.5-2.5\%$ 的Sn、 $0.8-1.2\%$ 的In和余量的Ag组成。

8. 根据权利要求7所述的一种高密度集成电路封装结构,其特征在于,所述的引线框基岛(5)由铜、铜合金、铁、铁合金、铝或铝合金制成,引线框基岛(5)的外部边缘表面镀有一圈厚度为 $17-76\text{nm}$ 的氧化层,所述的氧化层的通过溅射沉积,该氧化层由质量百分数为 $45-50\%$ 的氧化镧、 $25-30\%$ 的氧化锡、 $8-10\%$ 的氧化锆和余量的氧化锌组成。

9. 根据权利要求8所述的一种高密度集成电路封装结构,其特征在于,所述的引线框基岛(5)到内引脚线(3)顶端的距离为 0.203mm ,引线框基岛(5)的下沉距离为 0.203mm ,内引脚线(3)的长度为 0.659mm ,所述的塑封体(2)所使用的封装材料为环保树脂塑封料。

10. 根据权利要求1至8任意一项所述的一种高密度集成电路封装结构,其特征在于,所述的引线框架(7)尺寸为长 $300 \pm 0.100\text{mm}$ 、宽 $100 \pm 0.050\text{mm}$ 和厚 0.203mm ,引线框架(7)上设置有多个安装单元,所述的安装单元沿宽度方向列成11排,沿长度方向排成36列,所述的引线框架(7)中间设置有多个工艺孔(8),所述的工艺孔(8)包括长椭圆孔和方形孔。

一种高密度集成电路封装结构

技术领域

[0001] 本发明属于集成电路封装技术领域,特别涉及一种高密度集成电路封装结构。

背景技术

[0002] 集成电路封装不仅起到集成电路芯片内键合点与外部进行电气连接的作用,也为集成电路芯片提供了一个稳定可靠的工作环境,对集成电路芯片起到机械或环境保护的作用,从而使集成电路芯片能够发挥正常的功能,并保证其具有高稳定性和可靠性。总之,集成电路封装质量的好坏,对集成电路整体性能的影响很大。因此,封装应具有较强的机械性能、良好的电气性能、散热性能和化学稳定性。

[0003] 虽然 IC 的物理结构、应用领域、I/O 数量差异很大,但是 IC 封装的作用和功能却差别不大,封装的目的也相当的一致。作为“芯片的保护者”,封装起到了好几个作用,归纳起来主要有以下两个:

[0004] (1) 保护芯片,使其免受物理损伤;

[0005] (2) 重新分布 I/O,获得更易于装配处理的引脚节距。封装还有其他一些次要的作用,比如提供一种更易于标准化的结构,为芯片提供散热通路,避免使芯片产生 α 粒子造成的软错误,以及提供一种更便于测试和老化试验的结构。封装还能用于多个 IC 的互连。

[0006] 随着微电子机械系统 (MEMS) 器件和片上实验室 (lab-on-chip) 器件的不断发展,封装起到了更多的作用:如限制芯片与外界的接触、满足压差的要求以及满足化学和大气环境的要求。最近几年人们对 IC 封装的重要性的和不断增加的功能的看法发生了很大的转变,IC 封装已经成为了和 IC 本身一样重要的一个领域,这是因为在很多情况下,IC 的性能受到 IC 封装的制约。因此,人们越来越注重发展 IC 封装技术以应对新的挑战。

[0007] 随着人们对智能设备功能要求的不断增加,特别是智能家电的兴起,产品需要更多的存储器,以 208mil SOP8 为封装载体的 Flash Memory (闪存) 的需求量急剧上升,以前这块芯片封装市场被韩国、中国台湾的企业所垄断,随着国内设计公司的兴起,技术能力不提高,目前国内已经撑握该芯片设计技术,但封装技术方面韩国、台湾地区的封装厂技术比较成熟,大陆封装厂正在追赶中。

[0008] 目前,国内封装厂还很少有这种 208mil 宽体 SOP8 封装技术,即使有也是技术不够完善,可靠性比较低。而台湾企业在封装代工方面积累了多年的经验,在 208mil 宽体 SOP8 封装技术上比较成熟和完善,在行业内处于垄断地位。因此开发此项电路封装结构及封装技术极为必要。

发明内容

[0009] 本发明的目的是针对上述现有技术的不足,提供一种高密度集成电路封装结构,以增加封装体内的电路密集度、降低封装成本以及提高集成电路封装的可靠性。

[0010] 本发明解决其技术问题所采用的技术方案是:一种高密度集成电路封装结构,包括由引线框基岛、内引脚线 and 外引脚构成的金属引线框架,引线框基岛上固定有芯片,

芯片和内引脚线之间设有微连接线,所述的引线框架、芯片和微连接线密封在长方体的塑封体内,所述塑封体的长度 $A1$ 满足 $5.13\text{mm} \leq A1 \leq 5.23\text{mm}$,塑封体的宽度 $A2$ 满足 $5.18\text{mm} \leq A2 \leq 5.38\text{mm}$,塑封体的厚度 $A3$ 满足 $1.70\text{mm} \leq A3 \leq 1.90\text{mm}$ 。

[0011] 所述的一种高密度集成电路封装结构,其外引脚的跨度 $B1$ 满足 $7.70\text{mm} \leq B1 \leq 8.10\text{mm}$,外引脚的间距 $B2$ 满足 $1.250\text{mm} \leq B2 \leq 2.540\text{mm}$,外引脚的长度 $B3$ 满足 $B3 = (B1-A2)/2$,外引脚的脚掌长度 $A6$ 满足 $0.60\text{mm} \leq A6 \leq 0.70\text{mm}$,外引脚的宽度 $B4$ 满足 $0.38\text{mm} \leq B4 \leq 0.48\text{mm}$ 。

[0012] 所述的一种高密度集成电路封装结构,其塑封体的宽度 $A2$ 为 5.28mm ,塑封体的厚度 $A3$ 为 1.80mm ,所述外引脚的个数 B 满足 $6 \leq B \leq 40$ 的整数,外引脚的跨度 $B1$ 为 7.90mm ,外引脚的间距 $B2$ 为 1.27mm ,外引脚的长度 $B3$ 为 1.31mm ,外引脚的脚掌长度 $A6$ 为 0.65mm ,外引脚的宽度 $B4$ 为 0.415mm ,塑封体的长度 $A1$ 与外引脚的个数 B 之间满足 $A1 = 5.23 + (B-8) \times 1.8/2\text{mm}$ 。

[0013] 所述的一种高密度集成电路封装结构,其外引脚的个数 B 为八个,塑封体的长度 $A1$ 为 5.23mm 。

[0014] 所述的一种高密度集成电路封装结构,其引线框基岛背面开设有呈阵列分布的多个锥形的凹坑。

[0015] 所述的一种高密度集成电路封装结构,其引线框基岛内开有八个长方形孔。

[0016] 所述的一种高密度集成电路封装结构,其内引脚线为铜线、铜合金线、铁线、铁合金线、铝线或铝合金线,内引脚线上还设有厚度为 $17-76\mu\text{m}$ 的银合金镀层,所述的银合金由质量百分数为 $1.8-2.5\%$ 的 Cu 、 $1.2-1.5\%$ 的 Ge 、 $1.5-2.5\%$ 的 Sn 、 $0.8-1.2\%$ 的 In 和余量的 Ag 组成。

[0017] 所述的一种高密度集成电路封装结构,其引线框基岛由铜、铜合金、铁、铁合金、铝或铝合金制成,引线框基岛的外部边缘表面镀有一圈厚度为 $17-76\text{nm}$ 的氧化层,所述的氧化层的通过溅射沉积,该氧化层由质量百分数为 $45-50\%$ 的氧化镉、 $25-30\%$ 的氧化锡、 $8-10\%$ 的氧化锗和余量的氧化锌组成。

[0018] 所述的一种高密度集成电路封装结构,其引线框基岛到内引脚线顶端的距离为 0.203mm ,引线框基岛的下沉距离为 0.203mm ,内引脚线的长度为 0.659mm ,所述的塑封体所使用的封装材料为环保树脂塑封料。

[0019] 所述的一种高密度集成电路封装结构,其引线框架尺寸为长 $300 \pm 0.100\text{mm}$ 、宽 100mm 和厚 0.203mm ,引线框架上设置有多个安装单元,所述的安装单元沿宽度方向列成 11 排,沿长度方向排成 36 列,所述的引线框架中间设置有多个工艺孔,所述的工艺孔包括长椭圆孔和方形孔。

[0020] 本发明的有益效果是:

[0021] 1、通过对塑封体长、宽、高的尺寸设计,使得本封装集成电路产品能够用于对高频、高带宽、低噪声、高导热、高导电性能有特殊需求(如闪存芯片)的大规模集成电路,克服了现有技术中的封装结构电路集成度低、封装成本高、性能较低的缺点。

[0022] 2、通过对引线框基岛到内引脚线间距的设计,使得集成电路产品的电性能明显改善,生产效率、生产合格率、成本等综合效果较好;引线框基岛背面的凹坑和长方形孔能够提高基岛密封塑料的结合强度,避免分层,提高了封装的可靠性。

[0023] 3、本发明所公布的引线框架，每条上的安装单元数量增加了 106.25%，安装单元面积单只减少 21.65%，引线框架的利用率 $\geq 71.4\%$ ，极大的节约了材料；塑封生产效率高达 ≥ 80000 颗 / 小时，增大生产效率。

[0024] 4、本发明所采用的设备为自动设备，塑封时每两片框架组成一组，塑封料从中间溢料填充，最大化的节约了塑封料，塑封料利用率 $\geq 70.0\%$ ，增大了塑封料的利用率；

[0025] 5、本发明使用的切筋成型技术使切筋成型生产效率达到 ≥ 112000 颗 / 小时，增大生产效率；

[0026] 6、本发明塑封后引线框架的翘曲度 (warp) 在 10mm 以下，增强了产品的可靠性；潮湿度敏感等级 (MSL) 3 级以上；封装体热胀冷缩的耐久性 (TCT) 500 次；高温加速老化试验 (HAST) 168 小时；高温使用寿命测试 (HTOL) 1000 小时。

附图说明

[0027] 图 1 为本发明的结构示意图；

[0028] 图 2 为本发明引线框基岛的结构示意图；

[0029] 图 3 为本发明引线框架正面结构的示意图；

[0030] 图 4 为本发明引线框架塑封的结构示意图。

[0031] 其中各标记名称为：1—外引脚、2—塑封体、3—内引脚线、4—凹坑、5—引线框基岛、6—长方形孔、7—引线框架、8—工艺孔、9—溢胶槽。

具体实施方式

[0032] 下面结合附图对本发明作进一步详细说明。

[0033] 如图 1 所示，是本发明一种高密度集成电路封装结构的示意图，包括外引脚 1 和塑封体 2，塑封体 2 的长度 $A1$ 满足关系 $5.13\text{mm} \leq A1 \leq 5.23\text{mm}$ ，塑封体 2 的宽度 $A2$ 满足关系 $5.18\text{mm} \leq A2 \leq 5.38\text{mm}$ ，塑封体 2 的厚度 $A3$ 满足关系 $1.70\text{mm} \leq A3 \leq 1.90\text{mm}$ ，外引脚 1 的跨度 $B1$ 满足 $3.123\text{mm} \leq B1 \leq 5.123\text{mm}$ ，外引脚 1 的跨度 $B1$ 满足 $7.70\text{mm} \leq B1 \leq 8.10\text{mm}$ ，外引脚 1 的间距 $B2$ 满足 $1.250\text{mm} \leq B2 \leq 2.540\text{mm}$ ，外引脚 1 的长度 $B3$ 满足 $B3 = (B1 - A2) / 2$ ，即 $1.26\text{mm} \leq B3 \leq 1.36\text{mm}$ ，外引脚 1 脚掌 $A6$ 满足 $0.60\text{mm} \leq A6 \leq 0.70\text{mm}$ ，外引脚 1 的宽度 $B4$ 满足 $0.38\text{mm} \leq B4 \leq 0.48\text{mm}$ ；通过对以上尺寸的设计，使得本封装集成电路产品能够用于对高频、高带宽、低噪声、高导热、高导电性能有特殊需求（如闪存芯片）的大规模集成电路，克服了现有技术中的封装结构电路积集度低、封装成本高、性能较低的缺点。

[0034] 进一步，所述塑封体 2 的宽度 $A2$ 为 5.28mm，塑封体 2 的厚度 $A3$ 为 1.80mm，所述外引脚 1 的个数 B 满足 $6 \leq B \leq 40$ 的整数，外引脚 1 的跨度 $B1$ 为 7.90mm，外引脚 1 的间距 $B2$ 为 1.27mm，外引脚 1 的长度 $B3$ 为 1.31mm，外引脚 1 的脚掌长度 $A6$ 为 0.65mm，外引脚 1 的宽度 $B4$ 为 0.415mm，塑封体 2 的长度 $A1$ 与外引脚 1 的个数 B 之间满足 $A1 = 5.23 + (B - 8) \times 1.8 / 2\text{mm}$ ，外引脚 1 的个数 B 为八个，塑封体 2 的长度 $A1$ 为 5.23mm。

[0035] 如图 2 所示是本发明引线框基岛 5 的结构示意图，引线框基岛 5 上固定有芯片，芯片和内引脚线 3 之间设有微连接线，所述的引线框架 7、芯片和微连接线密封在长方体的塑封体 2 内，塑封体 2 所使用的封装材料为环保树脂塑封料，引线框基岛 5 到内引脚线 3 间距为 0.203mm 时，电性能明显改善，生产效率、生产合格率、成本等综合效果较好；引线框基岛

5 背面开设有呈阵列分布的多个锥形结构的凹坑 4, 引线框基岛 5 内开有八个长方形孔 6, 凹坑 4 和长方形孔 6 能够提高基岛密封塑料的结合强度, 避免分层, 提高了封装的可靠性。

[0036] 进一步, 所述的内引脚线 3 为铜线、铜合金线、铁线、铁合金线、铝线或铝合金线, 内引脚线 3 上还设有厚度为 17-76um 的银合金镀层, 其中银合金由质量百分数为 1.8-2.5% 的 Cu、1.2-1.5% 的 Ge、1.5-2.5% 的 Sn、0.8-1.2% 的 In 和余量的 Ag 组成; 所述的引线框基岛 5 由铜、铜合金、铁、铁合金、铝或铝合金制成, 引线框基岛 5 的外部边缘表面镀有一圈厚度为 17-76nm 的氧化层, 其中氧化层的通过溅射沉积, 该氧化层由质量百分数为 45-50% 的氧化铜、25-30% 的氧化锡、8-10% 的氧化锆和余量的氧化锌组成; 引线框基岛 5 到内引脚线 3 顶端的距离为 0.203mm, 引线框基岛 5 的下沉距离为 0.203mm, 内引脚线 3 的长度为 0.659mm。

[0037] 如图 3 所示为本发明引线框架正面结构的示意图, 引线框架 7 的长度为 300.00±0.100mm、宽度为 100.00±0.050mm, 厚 0.203mm, 引线框架 7 上设置有多个安装单元, 所述的安装单元沿引线框架 7 的宽度方向列成 11 排, 沿引线框架 7 的长度方向排成 36 列, 排成 11x36 的 IDF 矩阵式结构, 塑封时能封装 39 个芯片, 从第一列安装单元开始, 每相邻两列安装单元组成一个结构单元, 并且上下相邻两列的结构单元相互交错在一起, 结构单元左右之间的框架基板上设有多个长椭圆孔的和方形的工艺孔 8, 相邻安装单元之间的步距为 6.436mm, 相邻两个结构单元之间的步距为 16.622mm。本发明的引线框架与目前行业内排的引线框架尺寸对比, 如表 1 所示:

[0038] 表 1 本发明引线框架与现有 6 排引线框架尺寸对比

[0039]

项目	总长 (mm)	总宽 (mm)	只 / 条	面积 (mm ² / 只)
本设计引线框架	300.00	100.00	396	75.76
现有 6 排引线框架	238.00	78.00	192	96.69

[0040] 从表 1 可以看出, 与现有的 6 排 208mil SOP8 封装引线框结构相比, 本设计所述的引线框架, 每条上的安装单元数量增加了 106.25%, 安装单元面积单只减少 21.65%, 节约了原材料。

[0041] 如图 4 所示为本发明引线框架塑封的结构示意图, 塑封时每两片引线框架 7 的中间设有方形的溢胶槽 9, 本发明所采用的设备为自动设备, 塑封时每两片框架组成一组, 塑封料从中间溢料填充, 最大化的节约了塑封料。

[0042] 本发明的引线框结构中, 分布有 11 排引线框单元, 这样每条引线框结构上的引线框单元共计 396 个, 可装 396 只电路。以每模可产出 8 片封装引线框结构来计算, 可封装电路数达到 3168 只。

[0043] 表 2 本发明引线框架与现有 6 排引线框架塑封生产效率对比

[0044]

项目	只 / 条	只 / 模
本设计引线框架	396	3168

现有 6 排引线框架	192	1536
------------	-----	------

[0045] 同时在塑封料的利用率方面,本发明也将显著提高,目前普通 6 排框架每模塑封料的用量为 2598.4g/模,而本发明所使用的塑封方法为 2923.2g/模,从而可得到如表 3 所示的塑封料利用率,采用本发明的方法,塑封料的利用率可以提高 13.8%,因而技术效果明显。由于本发明所采用的塑封设备为自动化设备,每小时可塑封 12 模的框架,生产效率高达 36950 颗/小时以上。

[0046] 表 3 本发明引线框架与现有 6 排引线框架塑封生产效率对比

[0047]

项目	只/模	塑封料(g)/只	塑封料(g)/模具	利用率
本设计引线框架	396	4.2	2105.6	78.9%
现有 6 排引线框架	192	4.2	1240.6	65.1%

[0048] 如图 3 可以看出本发明的框架结构为每两列一组,共 11 排,为提高生产率,适应大矩阵高密度生产方式,提供了一种切筋成型技术,在本发明的切筋方法中,每次同时冲切 4 列框架单元,这样每次冲切的引线框单元共计 44 个,以每每分钟可以冲切 55 次来计算,则每分钟的冲切引线框单元数量为 2420 颗,而目前普通的 6 排引线框架,每次冲切 24 颗,每分钟冲切 1320 颗,因此在切筋效率上本发明可提高 83.3%。

[0049] 本发明与现有技术相比具有以下有益的技术效果:

[0050] 1. 框架利用率 $\geq 71.4\%$,极大的节约了材料;

[0051] 2. 塑封料利用率 $\geq 70.0\%$,增大了塑封料的利用率;

[0052] 3. 塑封生产效率高达 ≥ 80000 颗/小时,增大生产效率;

[0053] 4. 切筋成型生产效率达到 ≥ 112000 颗/小时,增大生产效率;

[0054] 5. 塑封后引线框的翘曲度(warp)在 10mm 以下,增强了产品的可靠性;

[0055] 6. 潮湿敏感等级(MSL)3 级以上;

[0056] 7. 封装体热胀冷缩的耐久性(TCT)500 次;

[0057] 8. 高温加速老化试验(HAST)168 小时;

[0058] 9. 高温使用寿命测试(HTOL)1000 小时

[0059] 上述实施例仅例示性说明本发明的原理及其功效,以及部分运用的实施例,对于本领域的普通技术人员来说,在不脱离本发明创造构思的前提下,还可以做出若干变形和改进,这些都属于本发明的保护范围。

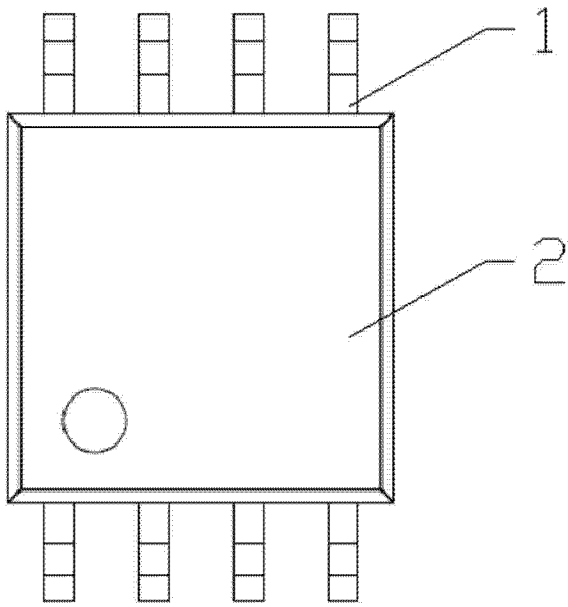


图 1

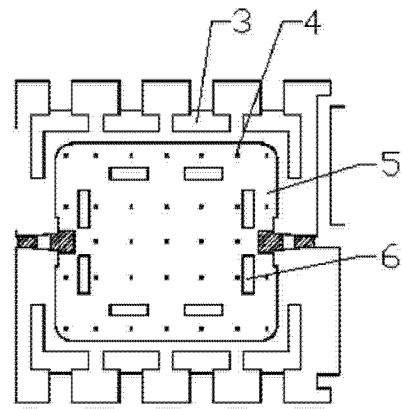


图 2

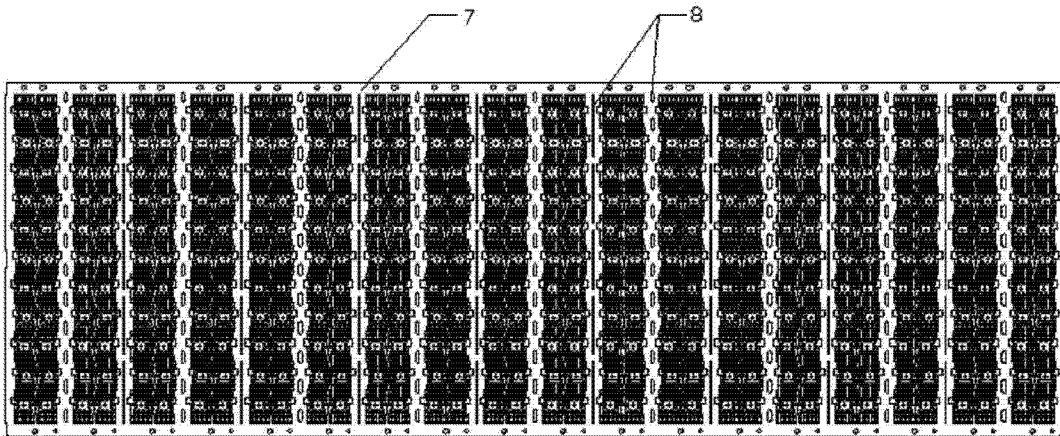


图 3

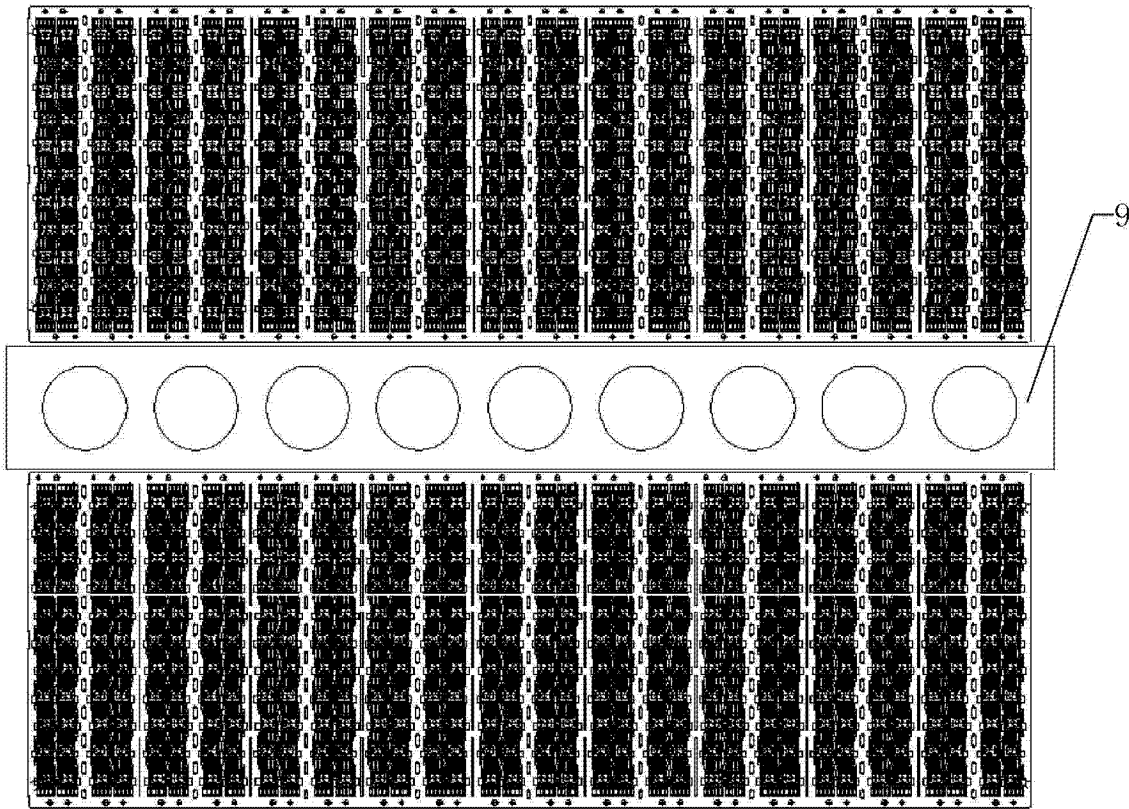


图 4