(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2019 年 10 月 17 日 (17.10.2019)

WIPO | PCT

(10) 国际公布号
WO 2019/196600 A1

(51) 国际专利分类号:
H01L 23/552 (2006.01)

(21) 国际申请号: PCT/CN2019/078567

(22) 国际申请日: 2019 年 3 月 18 日 (18.03.2019)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810312010.7 2018年4月9日 (09.04.2018) CN

(71) 申请人: 华为技术有限公司 (**HUAWEI TECHNOLOGIES CO., LTD.**) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(72) 发明人: 刘宁 (**LIU, Ning**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。 陈钊 (**CHEN, Zhao**); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 广州三环专利商标代理有限公司 (**SCIHEAD IP LAW FIRM**); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) **Title:** CHIP AND COMMUNICATION DEVICE

(54) 发明名称: 芯片及通信设备

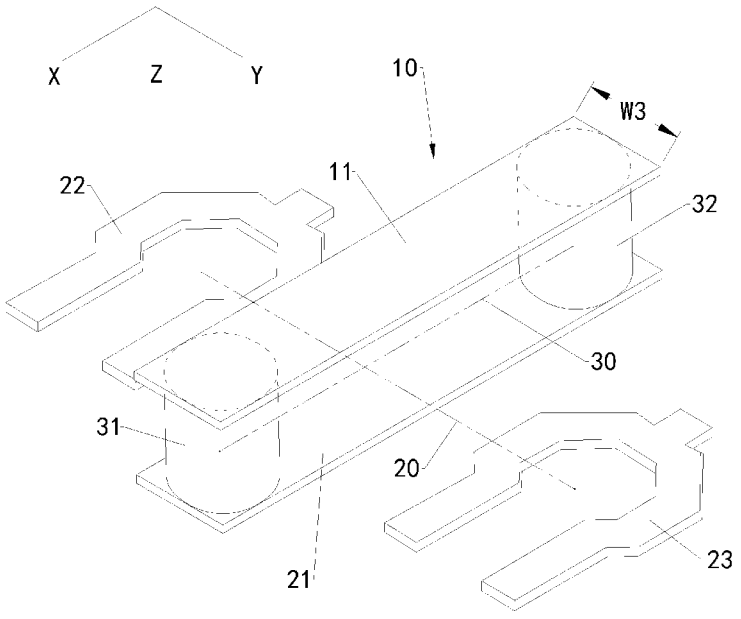


图 3

(57) **Abstract:** Provided is a chip, comprising a substrate, a bare chip, and a solder ball set soldered between the substrate and the bare chip. The solder ball set comprises a first solder ball and a second solder ball spaced apart from each other; a first conductive portion connecting the first solder ball to the second solder ball is arranged on the bare chip; a second conductive portion connecting the first solder ball to the second solder ball is arranged on the substrate; the first solder ball, the first conductive portion, the second solder ball and the second conductive portion form a closed loop; and the bare chip further comprises two inductors distributed at two

WO 2019/196600 A1

[见续页]

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

sides of the closed loop. The chip can ameliorate the crosstalk phenomenon between adjacent inductors. A communication device is further provided.

(57) 摘要：本申请提供一种芯片，包括基板、裸芯片及焊接在基板与裸芯片之间的焊球组，焊球组包括间隔排布的第一焊球和第二焊球，裸芯片上布设有连接第一焊球与第二焊球的第一导电部，基板布设有连接第一焊球与第二焊球的第二导电部，第一焊球、第一导电部、第二焊球及第二导电部形成闭合环路，裸芯片还包括两个电感，两个电感分布在闭合环路的两侧。上述芯片能够改善相邻电感之间的串扰现象。本申请还提供一种通信设备。

芯片及通信设备

技术领域

本申请涉及集成电路领域，尤其涉及一种防串扰的芯片及通信设备。

背景技术

目前，随着通信设备的发展，芯片（Integrated circuit，IC，又称集成电路）也朝着小型化以及多功能方向发展。由于芯片上排布器件的空间有限，为了排布更多的功能 IP（intellectual property，知识产权）模块，各功能 IP 模块之间的间距越来越小，导致各功能 IP 模块之间的串扰成为影响芯片性能的关键问题。其中，相邻的两个电感线圈之间的耦合主要为磁场耦合：当其中一个线圈（激励线圈）中通过交变电流时，该线圈为激励线圈周围空间形成交变磁场，交变磁场的磁感应线穿过另一个线圈（受扰线圈）时，由于受扰线圈包围的磁通量发生变化，就会在受扰线圈中形成感应电流，即为串扰。由于激励线圈和受扰线圈之间的间距较小，导致串扰现象尤为明显。

发明内容

本申请提供一种芯片及一种通信设备。

第一方面，本申请提供了一种芯片。所述芯片包括基板、裸芯片及焊接在所述基板与所述裸芯片之间的焊球组。所述焊球组包括间隔排布的第一焊球和第二焊球。所述第一焊球和所述第二焊球之间有间隙，所述间隙会被胶体或其他粘接剂填充。所述裸芯片上布设有连接在所述第一焊球与所述第二焊球的第一导电部。所述基板上布设有连接在所述第一焊球与所述第二焊球的第二导电部。所述第一焊球、所述第一导电部、所述第二焊球及所述第二导电部形成闭合环路。所述裸芯片还包括两个电感，所述两个电感分布在所述闭合环路的两侧。

在本实施方式中，当两个电感中的其中一个电感为激励线圈时，另一个电感为受扰线圈，所述激励线圈和所述受扰线圈分别位于所述闭合环路的两侧，利用法拉第电磁感应定律，所述激励线圈的磁力线通过所述闭合环路时，会在所述闭合环路中感应出感应电流，以此抵消通过所述闭合环路的磁力线，因此受扰线圈中通过的磁力线就减少了，使得所述激励线圈和所述受扰线圈之间的耦合程度降低，隔离度得到了提高。换言之，由于所述两个电感分布在所述闭合环路的两侧，所述闭合环路能够有效隔离所述两个电感，因此所述两个电感可以利用所述闭合环路降低彼此之间的耦合度，从而改善所述两个电感之间的串扰现象。

其中，所述芯片利用所述裸芯片中的金属走线形成所述第一导电部，利用芯片封装结构中的所述焊球组形成所述第一焊球和所述第二焊球，利用所述基板上的封装金属层形成所述第二导电部，因此所述闭合环路可以充分利用所述芯片的封装结构，提高对所述芯片封装结构的利用率，从而能够降低所述隔离环的成本。

其中，由于所述芯片的所述闭合环路由所述第一焊球、所述第一导电部、所述第二焊球及所述第二导电部依次连接所形成，所述第一导电部形成在所述裸芯片上，所述第二导

电部形成在所述基板上，所述第一焊球和所述第二焊球连接在所述裸芯片与所述基板之间，因此所述闭合环路相对所述裸芯片为立体式的闭合环路。由于所述两个电感分别位于所述闭合环路的两侧，也即所述闭合环路只是设置于所述两个电感的磁力线相互耦合的必经路径上，所述闭合环路不会对所述两个电感的其他方位上的磁力线产生减弱作用，因此所述闭合环路对所述两个电感的电感量和 Q 值（也叫电感的品质因数，是指电感在某一频率的交流电压下工作时，所呈现的感抗与其等效损耗电阻之比）所产生的影响非常小。简言之，所述闭合环路能够在不降低所述两个电感的电感量和 Q 值的情况下，降低所述两个电感之间的耦合度，以改善所述两个电感之间的串扰现象。

其中，所述闭合环路接地设置。当然，在其他实施方式中，所述闭合环路也可以悬空设置，也即所述闭合环路不接入其他电路中。

一种实施方式中，所述裸芯片具有朝向所述基板的连接表面。所述两个电感的中心点的连线为第一连线。所述第一焊球的中心点与所述第二焊球的中心点的连线为第二连线。所述第一连线在所述连接表面上的正投影与所述第二连线在所述连接表面上的正投影相交。此时，所述闭合环路位于所述第一电感与所述第二电感之间较中间的区域，所述闭合环路能够抵消更多磁力线，隔离度更高。

其中，所述第一连线可穿过所述闭合环路，以使所述闭合环路的隔离效果更佳。

其中，所述第一连线在所述连接表面上的正投影穿过所述第二连线在所述连接表面上的正投影的中心。此时，所述闭合环路位于所述第一电感与所述第二电感之间的正中区域，所述闭合环路的隔离效果更佳。

一种实施方式中，所述第一连线在所述连接表面上的正投影垂直于所述第二连线在所述连接表面上的正投影。此时，所述第一电感和所述第二电感大致对称地排布在所述闭合环路的两侧，使得所述闭合环路能够抵消更多磁力线，隔离度更高，且对所述第一电感和所述第二电感的电感量及 Q 值得影响更小。

一种实施方式中，所述第一焊球和所述第二焊球沿第一方向排布。所述第一焊球与所述第二焊球之间的间距为第一长度。所述第一焊球与所述第二焊球之间的间距为所述第一焊球的外轮廓与所述第二焊球的外轮廓之间的最小距离。所述两个电感为第一电感和第二电感。所述第一电感在所述第一方向的长度为第二长度。所述第二电感在所述第一方向的长度为第三长度。所述第二长度大于等于所述第三长度。所述第一长度与所述第二长度的比在 0.75 至 1.25 的范围内。

在本实施方式中，所述第一长度与所述第二长度的比在 0.75 至 1.25 的范围内时，也即所述闭合环路的长度与所述两个电感中长度较长的电感的长度差不多时，所述闭合环路的隔离效果较佳，能够有效地对所述两个电感起到隔离作用。

一种实施方式中，所述第一长度等于所述第二长度。此时，所述闭合环路的长度与所述两个电感中长度较长的电感的长度等长，所述闭合环路能够更好地降低所述第一电感与所述第二电感之间的耦合度，所述闭合环路的隔离效果好。

一种实施方式中，所述第一导电部呈条形，所述第一导电部的延伸方向与所述第一方向一致。此时，所述第一导电部可以为形成在所述裸芯片内的一段金属走线。由于所述第一导电部的延伸方向与所述第一方向一致，因此所述第一导电部长度较短，所述第一导电

部电阻较小，有利于提高所述闭合环路的敏感度，使得所述闭合环路的隔离效果更佳。

一种实施方式中，所述第一焊球在第二方向上具有第一宽度，所述第二方向平行于所述裸芯片且垂直于所述第一方向。所述第二焊球在所述第二方向上的宽度等于所述第一宽度。所述第一导电部在所述第二方向具有第二宽度。所述第二宽度与所述第一宽度的比大于等于0.75。其中，所述第一焊球的外轮廓与所述第二焊球的外轮廓相同或非常相似。由于制造工艺上的误差，所述第二焊球在所述第二方向上的宽度与所述第一宽度有微小偏差时，也认为所述第二焊球在所述第二方向上的宽度等于所述第一宽度。

在本实施方式中，所述第二宽度与所述第一宽度的比大于等于0.75时，也即所述第一导电部的宽度与所述第一焊球的宽度、所述第二焊球的宽度差不多时，所述闭合环路的隔离效果较佳，能够有效地对所述两个电感起到隔离作用。

一种实施方式中，所述第二宽度等于所述第一宽度。此时，所述第一导电部的宽度与所述第一焊球的宽度、所述第二焊球的宽度相同，既可以节约所述第一导电部的材料，并且所述闭合环路也能够很好地降低所述第一电感与所述第二电感之间的耦合度，所述闭合环路的隔离效果好。

一种实施方式中，所述第二导电部呈条形。所述第二导电部的延伸方向与所述第一方向一致。此时，所述第二导电部可以为形成在所述基板内的一段金属走线。由于所述第二导电部的延伸方向与所述第一方向一致，因此所述第二导电部长度较短，所述第二导电部电阻较小，也有利于提高所述闭合环路的敏感度，使得所述闭合环路的隔离效果更佳。

其中，所述第二导电部在所述第二方向上具有第三宽度，所述第三宽度大于等于所述第二宽度。例如，所述第三宽度等于所述第二宽度。此时，所述闭合环路的隔离效果较佳，能够有效地对所述两个电感起到隔离作用。

一种实施方式中，所述焊球组还包括第三焊球。所述第三焊球与所述第一焊球及所述第二焊球排布在同一方向上，且所述第三焊球位于所述第一焊球与所述第二焊球之间。所述第三焊球连接所述第一导电部和所述第二导电部。

在本实施方式中，由于所述第一导电部与所述第二导电部之间连接有所述第一焊球、所述第二焊球及所述第三焊球，因此所述闭合环路内形成了多个并联小环路，使得所述闭合环路的隔离效果更佳。

一种实施方式中，所述第一电感包括上层电感、下层电感及多个导电柱。所述上层电感与所述下层电感间隔地层叠设置，所述多个导电柱连接在所述上层电感与所述下层电感之间。此时，所述第一电感厚度较大，从而增加所述第一电感的Q值。

其中，所述上层电感或所述下层电感与所述第一导电部同层设置。此时，所述第一电感和所述第一导电部的制备过程集成在所述裸芯片的成型过程中，且所述第一导电部能够在所述第一电感的制作工序中同步成型，从而简化了所述裸芯片的制作工序，降低了所述裸芯片的成本。

第二方面，本申请提供了一种通信设备。所述通信设备包括壳体、电路板及芯片。所述芯片采用上述实施例中所描述的芯片。所述电路板收容于所述壳体内部。所述芯片固定于所述电路板且电性连接所述电路板。由于所述芯片能够改善相邻电感之间的串扰问题，所述芯片能够更高质量地处理和传输信号，因此应用所述芯片的所述通信设备的性能较佳。

附图说明

为了更清楚地说明本申请实施方式或背景技术中的技术方案，下面将对本申请实施方式或背景技术中所需要使用的附图进行说明。

图 1 是本申请实施方式所提供的一种可选的芯片的结构示意图；

图 2 是图 1 所示芯片的 A 处结构的放大示意图；

图 3 是图 1 所示芯片的两个电感及闭合环路的一种实施方式的立体结构示意图；

图 4 是基于本申请方案得到的一种可能的芯片与现有芯片的隔离度与频率的关系曲线图；

图 5 是基于本申请方案得到的一种可能的芯片与现有芯片的电感量与频率的关系曲线图

图 6 是基于本申请方案得到的一种可能的芯片与现有芯片的 Q 值与频率的关系曲线图；

图 7 是图 2 所示结构沿 B-B 线处剖开的部分结构示意图；

图 8 是图 1 所示芯片的两个电感及闭合环路的另一种实施方式的立体结构示意图；

图 9 是图 2 中第一电感的结构示意图；

图 10 是本申请实施方式所提供的一种通信设备的结构示意图；

图 11 是图 1 所示芯片的部分结构在裸芯片的连接表面上的正投影的位置关系示意图；

图 12 是图 1 所示芯片的部分结构在裸芯片的连接表面上的正投影的另一种位置关系示意图。

具体实施方式

下面结合本申请实施方式中的附图对本申请实施方式进行描述。

请一并参阅图 1 和图 2，本申请提供一种芯片 100。所述芯片 100 包括基板 1、裸芯片 2（die）及焊接在所述基板 1 与所述裸芯片 2 之间的焊球组 3。

请一并参阅图 2 和图 3，所述焊球组 3 包括间隔排布的第一焊球 31 和第二焊球 32。所述第一焊球 31 和所述第二焊球 32 之间有间隙，所述间隙会被胶体或其他粘接剂填充。所述裸芯片 2 上布设有连接所述第一焊球 31 与所述第二焊球 32 的第一导电部 21。所述基板 1 上布设有连接所述第一焊球 31 与所述第二焊球 32 的第二导电部 11。所述第一焊球 31、所述第一导电部 21、所述第二焊球 32 及所述第二导电部 11 形成闭合环路 10。所述裸芯片 2 还包括两个电感（22、23），所述两个电感（22、23）分布在所述闭合环路 10 的两侧。

在本实施方式中，当两个电感（22、23）中的其中一个电感为激励线圈时，另一个电感为受扰线圈，所述激励线圈和所述受扰线圈分别位于所述闭合环路 10 的两侧，利用法拉第电磁感应定律，所述激励线圈的磁力线通过所述闭合环路 10 时，会在所述闭合环路 10 中感应出感应电流，以此抵消通过所述闭合环路 10 的磁力线，因此受扰线圈中通过的磁力线就减少了，使得所述激励线圈和所述受扰线圈之间的耦合程度降低，隔离度得到了提高。换言之，由于所述两个电感（22、23）分布在所述闭合环路 10 的两侧，所述闭合环路 10 能够有效隔离所述两个电感（22、23），因此所述两个电感（22、23）可以利用所述闭合环路 10 降低彼此之间的耦合度，从而改善所述两个电感（22、23）之间的串扰现象。

其中，请一并参阅图 2 和图 3，所述芯片 100 利用所述裸芯片 2 中的金属走线形成所述第一导电部 21，利用芯片 100 封装结构中的所述焊球组 3 形成所述第一焊球 31 和所述

第二焊球32，利用所述基板1上的封装金属层形成所述第二导电部11，因此所述闭合环路10可以充分利用所述芯片100的封装结构，提高对所述芯片100封装结构的利用率，从而能够降低作为隔离环的闭合环路10的成本。当然，在其他实施方式中，也可采用先进的微机电系统（Micro-Electro-Mechanical System，MEMS）加工技术构建出立体结构的具有闭合环路的隔离环，该隔离环同样可起到提高电感间的隔离度的效果。

其中，请一并参阅图2和图3，由于所述芯片100的所述闭合环路10由所述第一焊球31、所述第一导电部21、所述第二焊球32及所述第二导电部11依次连接所形成，所述第一导电部21形成在所述裸芯片2上，所述第二导电部11形成在所述基板1上，所述第一焊球31和所述第二焊球32连接在所述裸芯片2与所述基板1之间，因此所述闭合环路10相对所述裸芯片2为立体式的闭合环路。由于所述两个电感（22、23）分别位于所述闭合环路10的两侧，也即所述闭合环路10只是设置于所述两个电感（22、23）的磁力线相互耦合的必经路径上，所述闭合环路10不会对所述两个电感（22、23）的其他方位上的磁力线产生减弱作用，因此所述闭合环路10对所述两个电感（22、23）的电感量和Q值（也叫电感的品质因数，是指电感在某一频率的交流电压下工作时，所呈现的感抗与其等效损耗电阻之比）所产生的影响非常小。

如图4所示，图4是基于本申请方案得到的一种可能的芯片100与现有芯片对比下的隔离度与频率的关系曲线图。其中，图4中横坐标表示频率（Frequency），单位为GHz（吉赫）；纵坐标表示隔离度（Isolation），单位为dB。曲线C1代表现有芯片中未设置隔离结构的两个电感之间隔离度与频率的关系，曲线C1的m1点代表频率为10GHz时，两个电感之间的隔离度为59.68dB。曲线C2代表本申请所述芯片100中设置在所述闭合环路10两侧的所述两个电感(22、23)之间的隔离度与频率的关系，曲线C2的m2点代表频率为10GHz时，所述两个电感（22、23）之间的隔离度为70.53dB。由m2数值与m1数值的比对（数值差距较大）、曲线C2与曲线C1的比对（曲线明显分离且间距较大）可知，本申请设置在所述闭合环路10两侧的所述两个电感（22、23）之间的隔离度明显高于未设置隔离结构的两个电感之间的隔离度。

如图5所示，图5是基于本申请方案提供的一种可能的芯片与现有芯片的电感量与频率的关系曲线图。其中，图5中横坐标表示频率（Frequency），单位为GHz（吉赫）；纵坐标表示电感量（Inductance），单位为nH（纳亨）。曲线D1代表现有芯片中未设置隔离结构的两个电感的电感量与频率的关系，曲线D1中m1点代表频率为10GHz时，两个电感的电感量为0.1882nH。曲线D2代表本申请所述芯片100中设置在所述闭合环路10两侧的所述两个电感（22、23）的电感量与频率的关系，曲线D2中m2点代表频率为10GHz时，所述两个电感（22、23）的电感量为0.1875 nH。由m2数值与m1数值的比对（数值相近）、曲线D2与曲线D1的比对（曲线几乎重叠）可知，本申请设置在所述闭合环路10两侧的所述两个电感（22、23）的电感量与未设置隔离结构的两个电感的电感量的差别不大，本申请所述闭合环路10对电感量几乎无影响。

如图6所示，图6是基于本申请方案得到的一种可能的芯片100与现有芯片的Q值与频率的关系曲线图。其中，图6中横坐标表示频率（Frequency），单位为GHz（吉赫）；纵坐标表示Q值（Q factor）。曲线E1代表现有芯片中未设置隔离结构的两个电感的电感量

与频率的关系，曲线 E1 中 m1 点代表频率为 10GHz 时，两个电感的 Q 值为 28.28。曲线 E2 代表本申请所述芯片 100 中设置在所述闭合环路 10 两侧的所述两个电感（22、23）的电感量与频率的关系，曲线 E2 中 m2 点代表频率为 10GHz 时，所述两个电感（22、23）的 Q 值为 28.15。由 m2 数值与 m1 数值的比对（数值相近）、曲线 E2 与曲线 E1 的比对（曲线几乎重叠）可知，本申请设置在所述闭合环路 10 两侧的所述两个电感（22、23）的 Q 值与未设置隔离结构的两个电感的 Q 值的差别不大，本申请所述闭合环路 10 对 Q 值几乎无影响。

简言之，所述闭合环路 10 能够在不降低所述两个电感（22、23）的电感量和 Q 值的情况下，降低所述两个电感（22、23）之间的耦合度，以改善所述两个电感（22、23）之间的串扰现象。

其中，请一并参阅图 3，所述闭合环路 10 接地设置。当然，在其他实施方式中，所述闭合环路 10 也可以悬空设置，也即所述闭合环路 10 不接入其他电路中。

其中，请一并参阅图 3，所述两个电感（22、23）为第一电感 22 和第二电感 23。可以理解的是，当所述第一电感 22 为激励线圈时，则所述第二电感 23 被动地成为受扰线圈；当所述第二电感 23 为激励线圈时，则所述第一电感 22 被动地成为受扰线圈。当所述第一电感 22 和所述第二电感 23 都处于工作状态时，所述第一电感 22 既是激励线圈，也是可能受到所述第二电感 23 干扰的受扰线圈；所述第二电感 23 既是激励线圈，也是可能受到所述第一电感 22 干扰的受扰线圈。

在一种实施方式中，所述芯片 100 可用做网络芯片（networking processor）。此时，所述芯片 100 是一个提供在通信网络中发送和接收数据逻辑（包括声音和视频）的微处理器。所述芯片 100 可用于通信设备（Industrial Communication Device，ICD）中。所述通信设备包括但不限于手机、平板电脑、通信基站等。

其中，所述两个电感（22、23）可应用于配置射频信号的电路中。所述射频信号可以包括但不限于无线局域网（Wireless-Fidelity，Wi-Fi）信号、蓝牙信号、全球导航卫星系统（Global Navigation Satellite System，GNSS）信号、2G（2-Generation wireless telephone technology，第二代无线通信技术）信号、3G（3-Generation wireless telephone technology，第三代无线通信技术）信号、4G（4-Generation wireless telephone technology，第四代无线通信技术）信号或 5G（5-Generation wireless telephone technology，第五代无线通信技术）信号。所述电路可以为储能电路、振荡器电路、谐振电路或者其中信号耦合是关注点的任何其他类型的电路。所述第一电感 22 和所述第二电感 23 可应用于同一电路中的不同位置，也可应用于不同电路中。包括所述第一电感 22 的电路所配置的信号与包括所述第二电感 23 的电路所配置的信号可以是相同的、也可以是不同的，可以是相互配合工作的、也可以是相互独立工作的。

一种实施方式中，请一并参阅图 1，所述芯片 100 还包括罩体 4。所述罩体 4 盖设在所述裸芯片 2 远离所述基板 1 的一侧。所述罩体 4 与所述基板 1 相盖合，以围设出收容空间 40。所述裸芯片收容于所述收容空间 40。所述罩体 4 可采用金属材料，以实现电磁屏蔽。所述罩体 4 与所述裸芯片 3 之间通过第一胶体 5 相固定。所述裸芯片 3 与所述基板 1 之间还设有第二胶体 6。所述第二胶体 6 采用“非接触喷射式”点胶方式等底部填充方式成型。所述第二胶体 6 包围所述焊球组 3。所述芯片 100 还包括球栅阵列（Ball Grid Array，BGA）

7。所述球栅阵列 7 形成在所述基板 1 远离所述裸芯片的一侧。

其中，请一并参阅图 2 和图 3，所述裸芯片 2 包括衬底和形成在所述衬底上的电路走线层。所述第一电感 22、所述第二电感 23 及所述第一导电部 21 形成在所述电路走线层中。电路走线层朝向所述基板 1 的一侧铺设有阻焊层。一种实施方式中，所述第一导电部 21 形成在最靠近所述阻焊层的表层走线层中，所述阻焊层正对所述第一导电部 21 的部分区域设置开窗，使得所述第一导体部 21 的部分区域经所述开窗暴露出来形成焊盘，所述第一焊球 31 和所述第二焊球 32 连接对应焊盘，从而与所述第一导电部 21 连接。另一种实施方式中，所述第一导电部 21 形成在远离所述阻焊层的内层走线层中，靠近所述阻焊层的表层走线层中设置有焊盘，焊盘与所述第一导体部 21 之间通过多个连接孔（内设导电材料）连接，所述阻焊层正对焊盘的区域镂空设置，使得所述第一焊球 31 和所述第二焊球 32 能够通过连接对应焊盘连接至所述第一导体部 21。

所述基板 1 为电路板。所述基板 1 包括层叠的多层导体层。所述基板 1 朝向所述裸芯片 2 的一侧铺设有绝缘的保护层。一种实施方式中，所述第二导电部 11 形成在最靠近所述保护层的表层导体层中，所述保护层正对所述第二导电部 11 的部分区域设置开窗，使得所述第二导电部 11 的部分区域经所述开窗暴露出来形成焊盘，所述第一焊球 31 和所述第二焊球 32 连接对应焊盘，从而与所述第二导电部 11 连接。另一种实施方式中，所述第二导电部 11 形成在远离所述保护层的内层导体层中，靠近所述保护层的表层导体层中设置有焊盘，焊盘与所述第二导电部 11 之间通过多个贯孔（内设导电材料）连接，所述保护层正对焊盘的区域镂空设置，使得所述第一焊球 31 和所述第二焊球 32 能够通过连接对应焊盘连接至所述第二导电部 11。

其中，所述焊球组 3 可采用锡材料。例如，所述焊球组 3 可采用包括铜元素或铝元素中至少一者的锡合金。

一种实施方式中，请一并参阅图 2、图 3 以及图 11，所述裸芯片 2 具有朝向所述基板 1 的连接表面 24。所述两个电感（22、23）的中心点的连线为第一连线 20。所述第一焊球 31 的中心点与所述第二焊球 32 的中心点的连线为第二连线 30。如图 11 所示，所述第一连线 20 在所述连接表面 24 上的正投影与所述第二连线 30 在所述连接表面 24 上的正投影相交。此时，所述闭合环路 10 位于所述第一电感 22 与所述第二电感 23 之间较中间的区域，所述闭合环路 10 能够抵消更多磁力线，隔离度更高。

其中，所述第一连线 20 可穿过所述闭合环路 10，以使所述闭合环路 10 的隔离效果更佳。

其中，如图 3 和图 11 所示，所述第一连线 20 在所述连接表面 24 上的正投影穿过所述第二连线 30 在所述连接表面 24 上的正投影的中心。此时，所述闭合环路 10 位于所述第一电感 22 与所述第二电感 23 之间的正中区域，所述闭合环路 10 的隔离效果更佳。

当然，在其他实施方式中，如图 12 所示，所述第一连线 20 在所述连接表面 24 上的正投影与所述第二连线 30 在所述连接表面 24 上的正投影不相交。此时，所述闭合环路 10 位于所述第一电感 22 与所述第二电感 23 之间较边缘的区域，所述闭合环路 10 能够抵消磁力线的磁力线较少，隔离度效果较差。

一种实施方式中，请一并参阅图 3 和图 11，所述第一连线 20 在所述连接表面 24 上的

正投影垂直于所述第二连线 30 在所述连接表面 24 上的正投影。此时，所述第一电感 22 和所述第二电感 23 大致对称地排布在所述闭合环路 10 的两侧，使得所述闭合环路 10 能够抵消更多磁力线，隔离度更高，且对所述第一电感 22 和所述第二电感 23 的电感量及 Q 值得影响更小。

一种实施方式中，请一并参阅图 3 和图 7，所述第一焊球 31 和所述第二焊球 32 沿第一方向 X 排布。所述第一焊球 31 与所述第二焊球 32 之间的间距为第一长度 L1。所述第一焊球 31 与所述第二焊球 32 之间的间距为所述第一焊球 31 的外轮廓与所述第二焊球 32 的外轮廓之间的最小距离。所述两个电感（22、23）为第一电感 22 和第二电感 23。所述第一电感 22 在所述第一方向 X 的长度为第二长度 L2。所述第二电感 23 在所述第一方向 X 的长度为第三长度 L3。所述第二长度 L2 大于等于所述第三长度 L3。所述第一长度 L1 与所述第二长度 L2 的比在 0.75 至 1.25 的范围内。

在本实施方式中，所述第一长度 L1 与所述第二长度 L2 的比在 0.75 至 1.25 的范围内时，也即所述闭合环路 10 的长度与所述两个电感（22、23）中长度较长的电感的长度差不多时，所述闭合环路 10 的隔离效果较佳，能够有效地对所述两个电感（22、23）起到隔离作用。

一种实施方式中，请一并参阅图 3 和图 7，所述第一长度 L1 等于所述第二长度 L2。此时，所述闭合环路 10 的长度与所述两个电感（22、23）中长度较长的电感的长度等长，所述闭合环路 10 能够更好地降低所述第一电感 22 与所述第二电感 23 之间的耦合度，所述闭合环路 10 的隔离效果好。

例如，所述第二长度 L2 为 0.23mm（毫米），所述第一长度 L1 处于 0.17 mm 至 0.29 mm 范围内。通过实验可知，在频率为 10GHz 时，当所述第一长度 L1 在 0.17mm 至 0.23mm 范围内时，隔离度随所述第一长度 L1 的增加递增；当所述第一长度 L1 在 0.23mm 至 0.29mm 范围内时，隔离度随所述第一长度 L1 的增加递减；当第一长度 L1 在 0.17 mm 至 0.29 mm 范围内时，隔离度大致处于 69 至 70.5 的范围内，隔离度数值较高。

可以理解的是，本申请中不对所述第一电感 22 的位置和所述第二电感 23 的位置作出严格限定，所述第一电感 22 和所述第二电感 23 的位置是可以互相调换的。

一种实施方式中，请一并参阅图 3 和图 7，所述第一导电部 21 呈条形，所述第一导电部 21 的延伸方向与所述第一方向 X 一致。此时，所述第一导电部 21 可以为形成在所述裸芯片 2 内的一段金属走线。由于所述第一导电部 21 的延伸方向与所述第一方向 X 一致，因此所述第一导电部 21 长度较短，所述第一导电部 21 电阻较小，有利于提高所述闭合环路 10 的敏感度，使得所述闭合环路 10 的隔离效果更佳。

一种实施方式中，请一并参阅图 3 和图 7，所述第一焊球 31 在第二方向 Y 上具有第一宽度 W1，所述第二方向 Y 平行于所述裸芯片 2 且垂直于所述第一方向 X。所述第一焊球 31 的外轮廓在所述第二方向 Y 上最大的尺寸为所述第一宽度 W1。所述第一焊球 31 大致呈球形时，所述第一宽度 W1 为所述第一焊球 31 的直径。所述第二焊球 32 在所述第二方向 Y 上的宽度等于所述第一宽度 W1。所述第一导电部 21 在所述第二方向 Y 具有第二宽度 W2。所述第二宽度 W2 与所述第一宽度 W1 的比大于等于 0.75。其中，所述第一焊球 31 的外轮廓与所述第二焊球 32 的外轮廓相同或非常相似。由于制造工艺上的误差，所述第二焊球 32

在所述第二方向 Y 上的宽度与所述第一宽度 W1 有微小偏差时，也认为所述第二焊球 32 在所述第二方向 Y 上的宽度等于所述第一宽度 W1。

在本实施方式中，所述第二宽度 W2 与所述第一宽度 W1 的比大于等于 0.75 时，也即所述第一导电部 21 的宽度与所述第一焊球 31 的宽度、所述第二焊球 32 的宽度差不多时，所述闭合环路 10 的隔离效果较佳，能够有效地对所述两个电感（22、23）起到隔离作用。

一种实施方式中，请一并参阅图 3 和图 7，所述第二宽度 W2 等于所述第一宽度 W1。此时，所述第一导电部 21 的宽度与所述第一焊球 31 的宽度、所述第二焊球 32 的宽度相同，既可以节约所述第一导电部 21 的材料，并且所述闭合环路 10 也能够很好地降低所述第一电感 22 与所述第二电感 23 之间的耦合度，所述闭合环路 10 的隔离效果好。

例如，所述第一焊球 31 的所述第一宽度 W1 为 80um，所述第二宽度 W2 大于等于 60um。通过实验可知，在频率为 10GHz 时，当所述第二宽度 W2 大于等于 60um 时，隔离度大于等于 70.1；随所述第二宽度 W2 的增加，隔离度能够从 70.1 增加到 70.5，隔离度数值处于较高范围内；所述第二宽度 W2 等于 80um 时，隔离度增加到 70.5；所述第二宽度 W2 大于 80um 后，隔离度不再随着所述第二宽度 W2 的增加而变化。

一种实施方式中，所述第一焊球 31 和所述第二焊球 32 的高度为 85um。本申请中不对所述第一焊球 31 和所述第二焊球 32 的长度作出具体限定。本申请中也不对所述第一电感 22 和所述第二电感 23 之间的间距作出具体限定。

一种实施方式中，请一并参阅图 3 和图 7，所述第二导电部 11 呈条形。所述第二导电部 11 的延伸方向与所述第一方向 X 一致。此时，所述第二导电部 11 可以为形成在所述基板 1 内的一段金属走线。由于所述第二导电部 11 的延伸方向与所述第一方向 X 一致，因此所述第二导电部 11 长度较短，所述第二导电部 11 电阻较小，有利于提高所述闭合环路 10 的敏感度，使得所述闭合环路 10 的隔离效果更佳。

其中，请一并参阅图 3 和图 7，所述第二导电部 11 在所述第二方向 Y 上具有第三宽度 W3，所述第三宽度 W3 大于等于所述第二宽度 W2。例如，所述第三宽度 W3 等于所述第二宽度 W2。此时，所述闭合环路 10 的隔离效果较佳，能够有效地对所述两个电感（22、23）起到隔离作用。

当然，在其他实施方式中，所述第二导电部 11 也可以呈其他形状，如方形、圆形等。

一种实施方式中，请一并参阅图 8，所述焊球组 3 还包括第三焊球 33。所述第三焊球 33 与所述第一焊球 31 及所述第二焊球 32 排布在同一方向上（例如所述第一方向 X），且所述第三焊球 33 位于所述第一焊球 31 与所述第二焊球 32 之间。所述第三焊球 33 连接所述第一导电部 21 和所述第二导电部 11。

在本实施方式中，由于所述第一导电部 21 与所述第二导电部 11 之间连接有所述第一焊球 31、所述第二焊球 32 及所述第三焊球 33，因此所述闭合环路 10 内形成了多个并联小环路，使得所述闭合环路 10 的对所述第一电感 22 和所述第二电感 23 的隔离效果更佳。

当然，在其他实施方式中，所述第三焊球 33 的数量可以有多个。多个所述第三焊球 33 排布在所述第一焊球 31 与所述第二焊球 32 之间。其中，本申请中“多个”是指至少两个。

一种实施方式中，请一并参阅图 9，所述第一电感 22 包括上层电感 221、下层电感 222

及多个导电柱 223。所述上层电感 221 与所述下层电感 222 间隔地层叠设置，所述多个导电柱 223 连接在所述上层电感 221 与所述下层电感 222 之间。此时，所述第一电感 22 厚度较大，从而增加所述第一电感 22 的 Q 值。

其中，请一并参阅图 2 和图 9，所述上层电感 221 或所述下层电感 222 与所述第一导电部 21 同层设置。此时，所述第一电感 22 和所述第一导电部 21 的制备过程集成在所述裸芯片 2 的成型过程中，且所述第一导电部 21 能够在所述第一电感 22 的制作工序中同步成型，从而简化了所述裸芯片 2 的制作工序，降低了所述裸芯片 2 的成本。

当然，在其他实施方式中，所述第一电感 22 还可包括其他电感层，其他电感层通过导电柱与所述上层电感 221 或所述下层电感 222 连接。所述第一导电部 21 也可包括多层导电走线。多层导电层的成型过程集成在所述第一电感 22 的制备过程中。当然，所述第一导电部 21 的成型过程也可独立于所述第一电感 22 的制备过程。

其中，一种实施例中，如图 7 所示，所述第一电感 22 采用差分结构，所述第一电感 22 左右对称。所述第一电感 22 的左下角和右下角分别为输入/输出端口，中间的位置是接地端口（可根据需要接地，也可以悬空）。

一种实施方式中，请一并参阅图 2 和图 9，所述第二电感 23 采用与所述第一电感 22 相同或相似的结构。换言之，所述第二电感 23 同样包括多层电感，多层电感之间通过导电柱电连接。所述第二电感 23 与所述第一电感 22 同层设置，使得所述第二电感 23 与所述第一电感 22 在相同的工序中成型，降低所述裸芯片 2 的成本。当然，在其他实施方式中，所述第二电感 23 与所述第一电感 22 也可排布在不同的走线层中。

可以理解的是，由于所述裸芯片 2 的电路走线层的总体厚度（在厚度方向 Z 上的尺寸，厚度方向 Z 如图 2 和图 3 所示，厚度方向 Z 垂直于所述第一方向 X 和所述第二方向 Y）是很薄的（微米级别），当所述第一电感 22 和所述第二电感 23 位于所述闭合环路 10 的两侧时，所述闭合环路 10 能够对处于任意走线层的所述第一电感 22 和所述第二电感 23 起到良好的隔离作用，因此本申请并不严格限定所述第一导电层 21、所述第一电感 22 及所述第二电感 23 所排布走线层之间的位置关系，三者所在的走线层可以是同层排布、也可以是不同层排布。

请一并参阅图 10，本申请实施方式还提供一种通信设备 200。所述通信设备 200 包括壳体 300、电路板 400 及芯片 100。所述芯片 100 采用上述实施例中所描述的芯片。所述电路板 400 收容于所述壳体 300 内部。所述芯片 100 固定于所述电路板 400 且电性连接所述电路板 400。由于所述芯片 100 能够改善相邻电感之间的串扰问题，所述芯片 100 能够更高质量地处理和传输信号，因此应用所述芯片 100 的所述通信设备 200 的性能较佳。所述通信设备 200 包括但不限于手机、平板电脑、通信基站等。

以上所述，仅为本申请的具体实施方式，但本申请的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本申请揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本申请的保护范围之内。因此，本申请的保护范围应以所述权利要求的保护范围为准。

权 利 要 求

1. 一种芯片，其特征在于，包括基板、裸芯片及焊接在所述基板与所述裸芯片之间的焊球组，所述焊球组包括间隔排布的第一焊球和第二焊球，所述裸芯片上布设有连接所述第一焊球与所述第二焊球的第一导电部，所述基板上布设有连接所述第一焊球与所述第二焊球的第二导电部，所述第一焊球、所述第一导电部、所述第二焊球及所述第二导电部形成闭合环路，所述裸芯片还包括两个电感，所述两个电感分布在所述闭合环路的两侧。

2. 根据权利要求 1 所述的芯片，其特征在于，所述裸芯片具有朝向所述基板的连接表面，所述两个电感的中心点的连线为第一连线，所述第一焊球的中心点与所述第二焊球的中心点的连线为第二连线，所述第一连线在所述连接表面上的正投影与所述第二连线在所述连接表面上的正投影相交。

3. 根据权利要求 2 所述的芯片，其特征在于，所述第一连线在所述连接表面上的正投影垂直于所述第二连线在所述连接表面上的正投影。

4. 根据权利要求 1 至 3 任一项所述的芯片，其特征在于，所述第一焊球和所述第二焊球沿第一方向排布，所述第一焊球与所述第二焊球之间的间距为第一长度，所述两个电感为第一电感和第二电感，所述第一电感在所述第一方向的长度为第二长度，所述第二电感在所述第一方向的长度为第三长度，所述第二长度大于等于所述第三长度，所述第一长度与所述第二长度的比在 0.75 至 1.25 的范围内。

5. 根据权利要求 4 所述的芯片，其特征在于，所述第一长度等于所述第二长度。

6. 根据权利要求 4 所述的芯片，其特征在于，所述第一导电部呈条形，所述第一导电部的延伸方向与所述第一方向一致。

7. 根据权利要求 6 所述的芯片，其特征在于，所述第一焊球在第二方向上具有第一宽度，所述第二方向平行于所述裸芯片且垂直于所述第一方向，所述第二焊球在所述第二方向上的宽度等于所述第一宽度，所述第一导电部在所述第二方向具有第二宽度，所述第二宽度与所述第一宽度的比大于等于 0.75。

8. 根据权利要求 7 中所述的芯片，其特征在于，所述第二宽度等于所述第一宽度。

9. 根据权利要求 7 或 8 中所述的芯片，其特征在于，所述第二导电部呈条形，所述第二导电部的延伸方向与所述第一方向一致，所述第二导电部在所述第二方向上具有第三宽度，所述第三宽度大于等于所述第二宽度。

10. 根据权利要求 4 所述的芯片，其特征在于，所述焊球组还包括第三焊球，所述第三焊球与所述第一焊球及所述第二焊球排布在同一方向上，且所述第三焊球位于所述第一焊球与所述第二焊球之间，所述第三焊球连接所述第一导电部和所述第二导电部。

11. 根据权利要求 1 至 10 任一项所述的芯片，其特征在于，所述第一电感包括上层电感、下层电感及多个导电柱，所述上层电感与所述下层电感间隔地层叠设置，所述多个导电柱连接在所述上层电感与所述下层电感之间，所述上层电感或所述下层电感与所述第一导电部同层设置。

12. 一种通信设备，其特征在于，包括壳体、电路板及权利要求 1 至 11 中任一项所述的芯片，所述电路板收容于所述壳体内部，所述芯片固定于所述电路板且电性连接所述电路板。

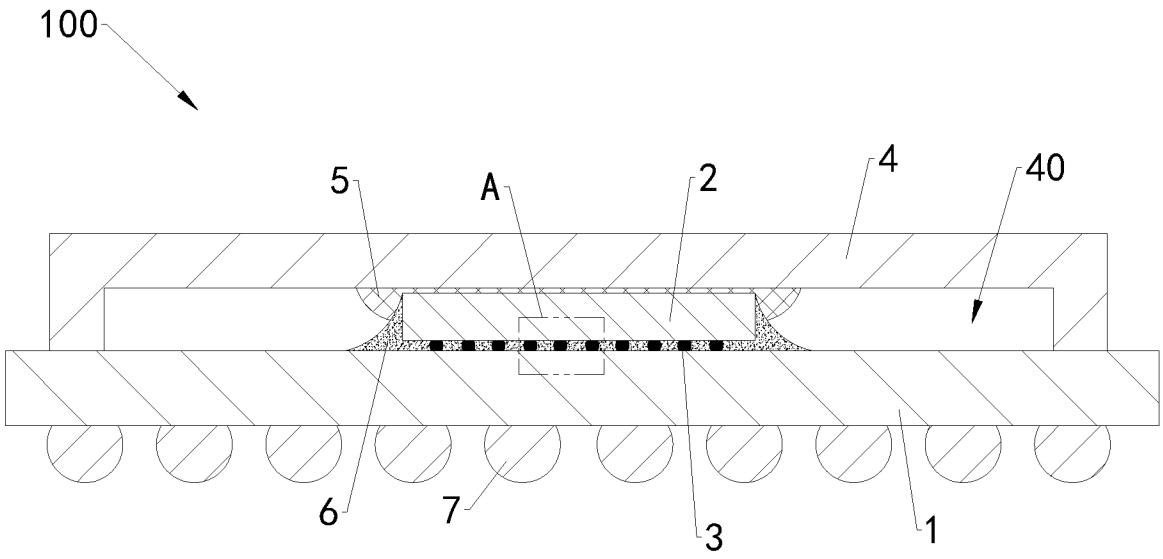


图 1

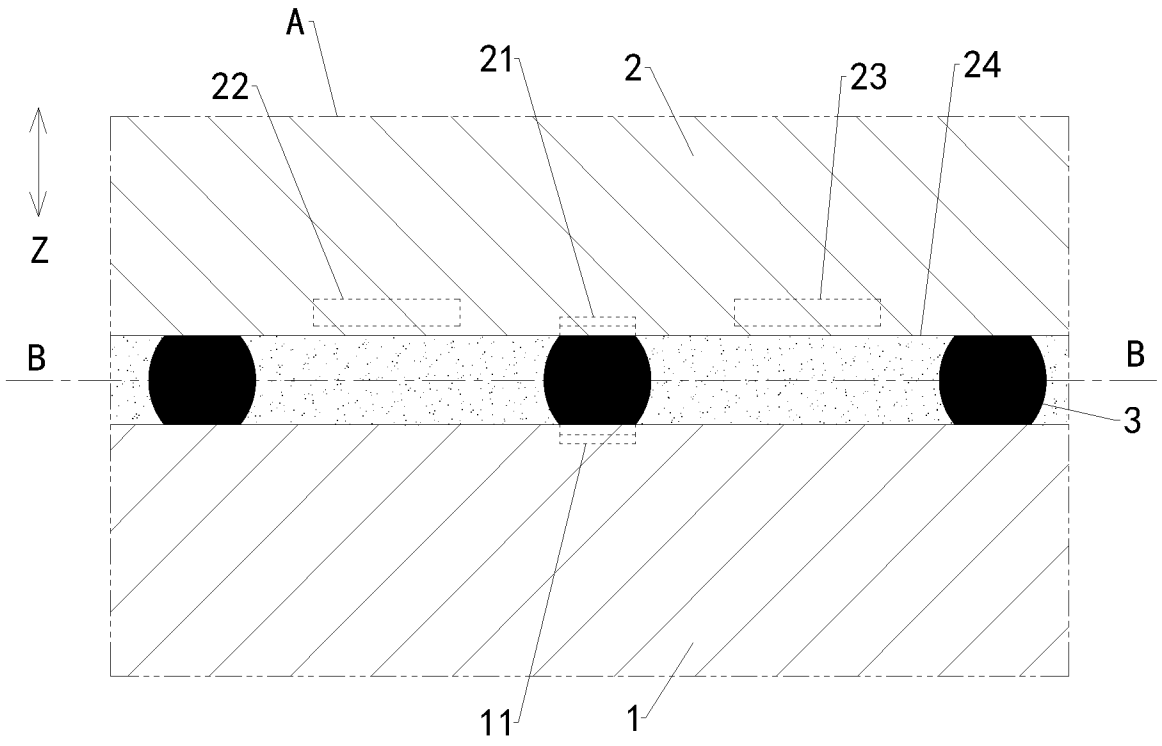


图 2

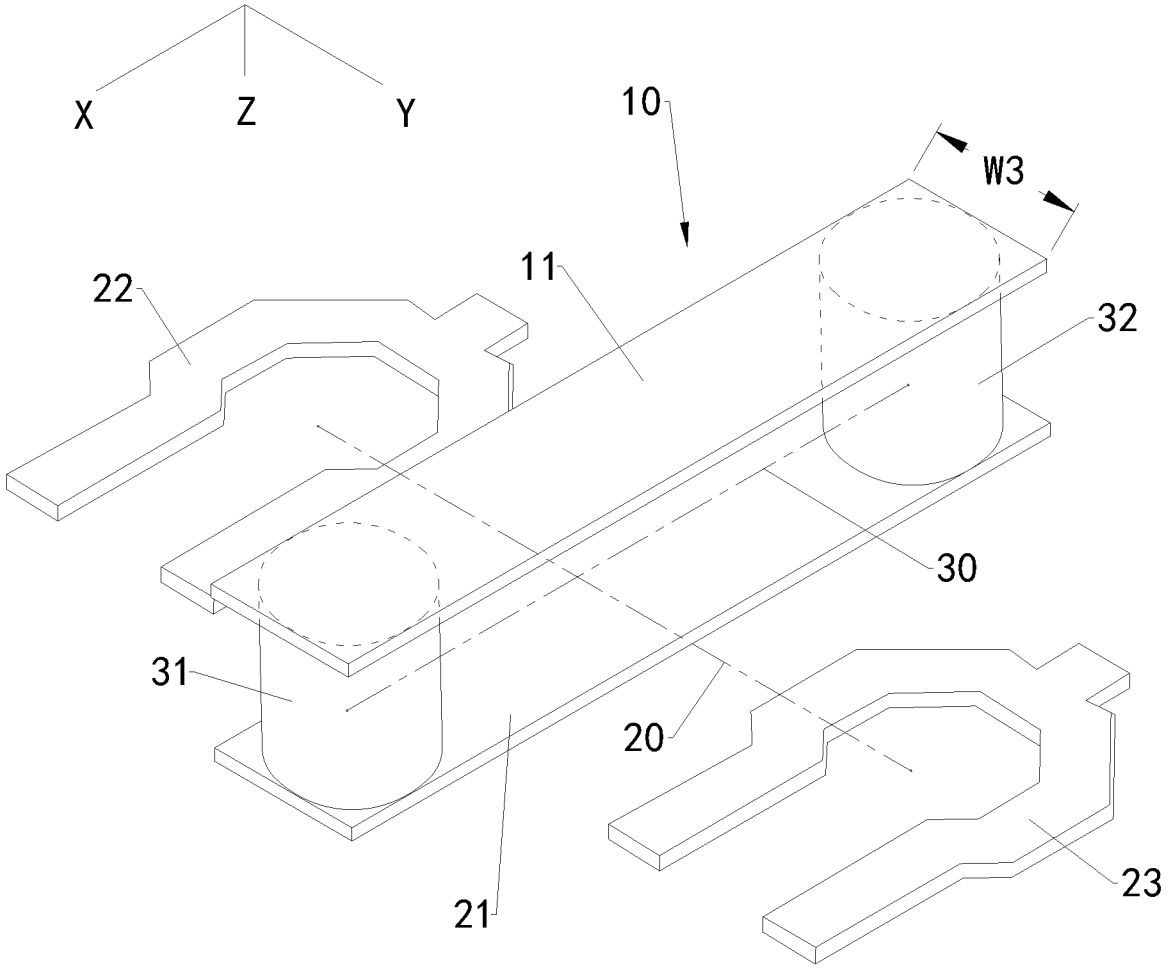


图 3

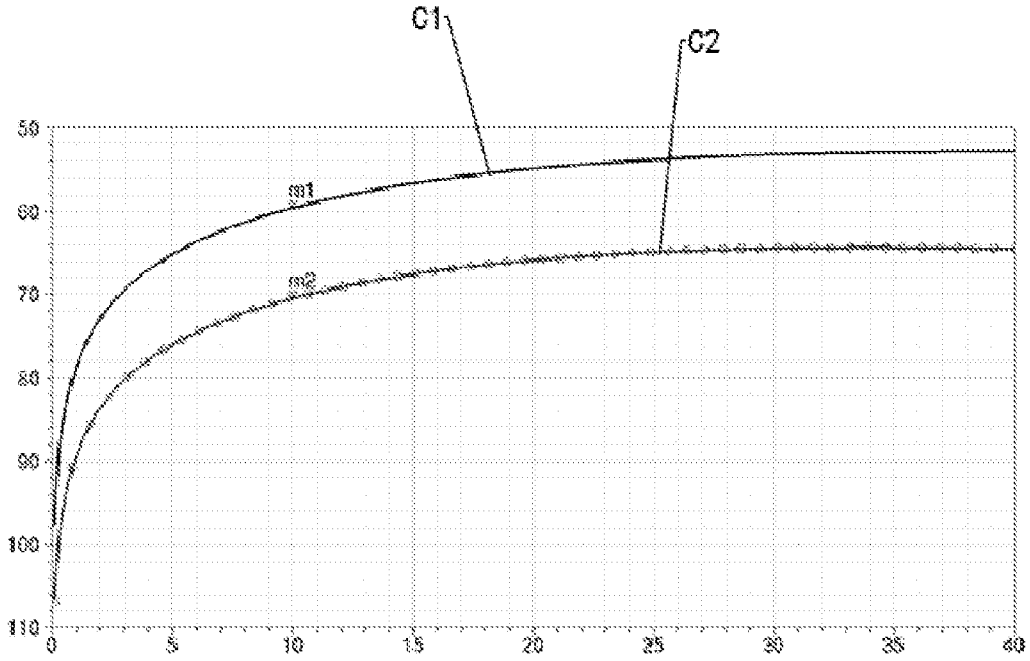

C1
C2
m1
m2
50
60
70
80
90
100
110
0
5
10
15
20
25
30
35
40

图 4

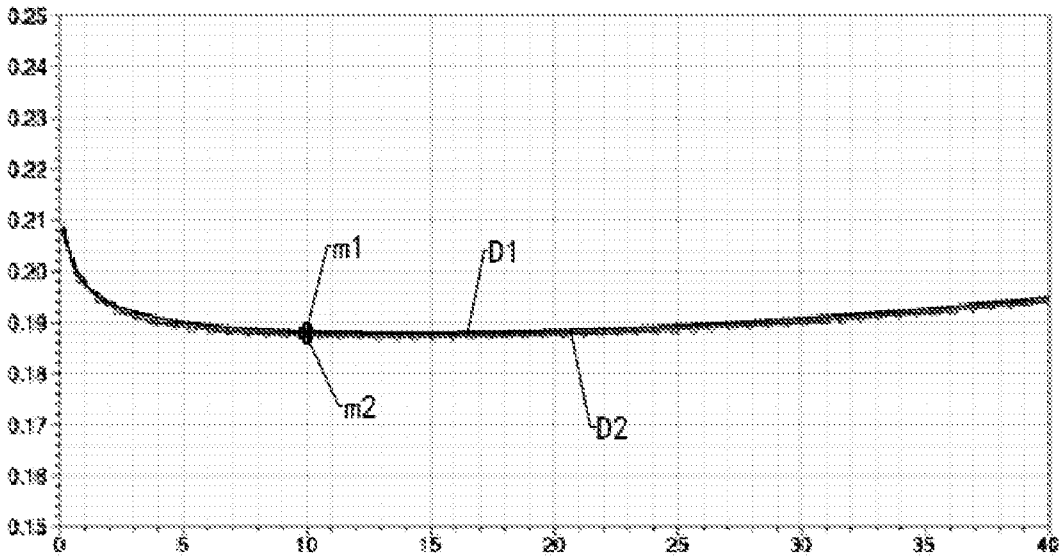

m1
D1
m2
D2
0.25
0.24
0.23
0.22
0.21
0.20
0.19
0.18
0.17
0.16
0.15
0
5
10
15
20
25
30
35
40

图 5

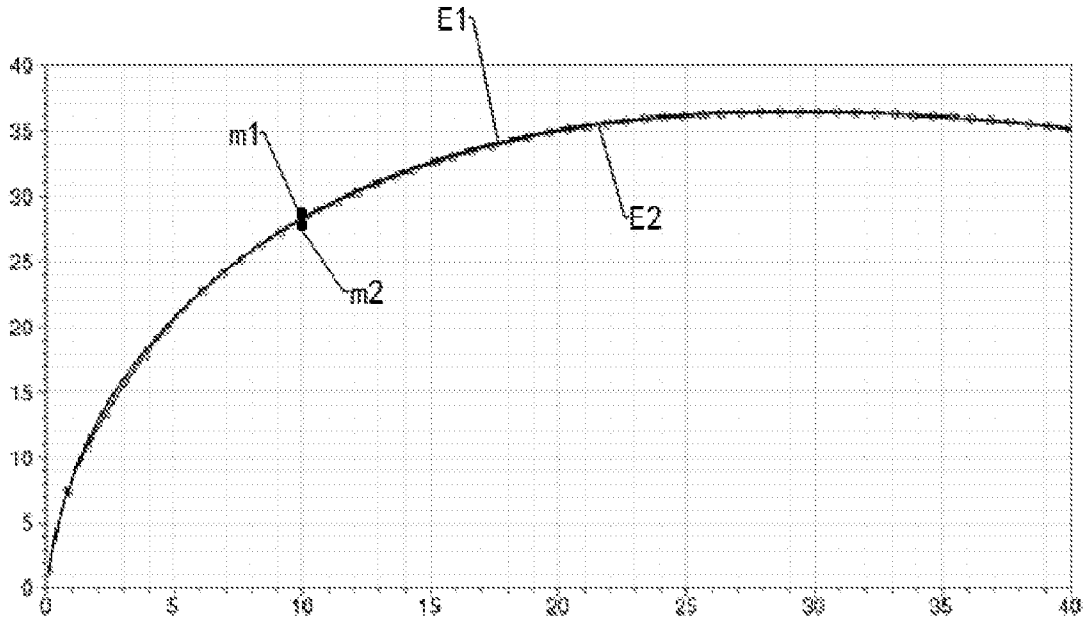

E1
m1
m2
E2
40
35
30
25
20
15
10
5
0
0
5
10
15
20
25
30
35
40

图 6

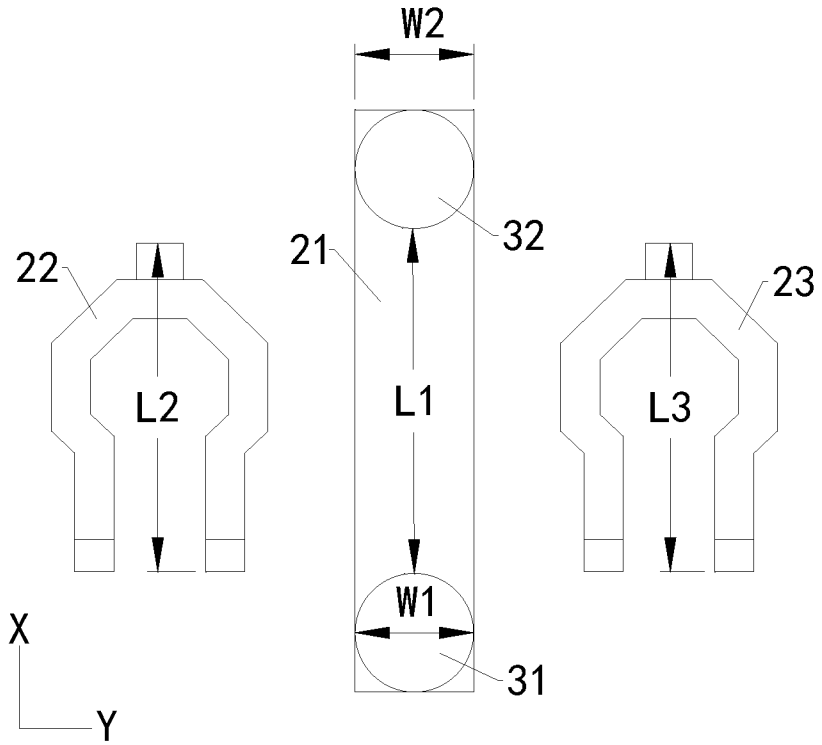

W2
32
21
22
23
L2
L1
L3
W1
31
X
Y

图 7

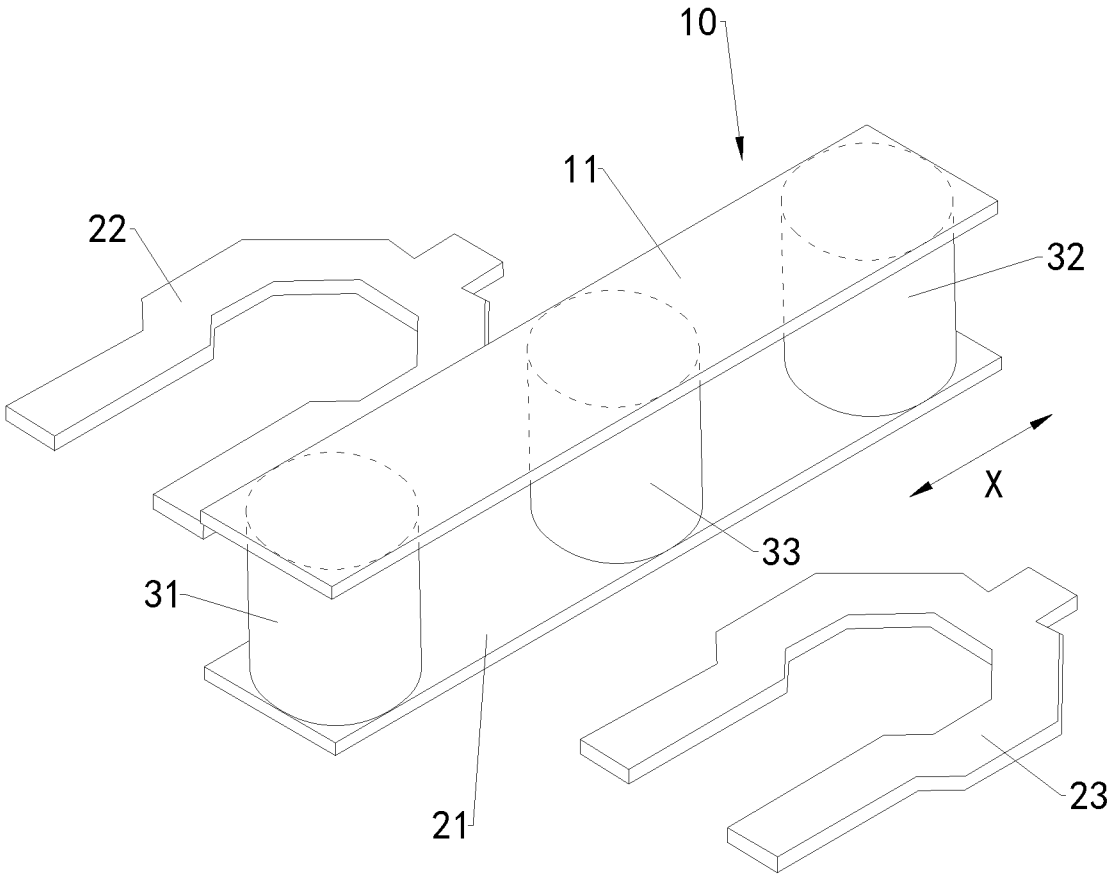


图 8

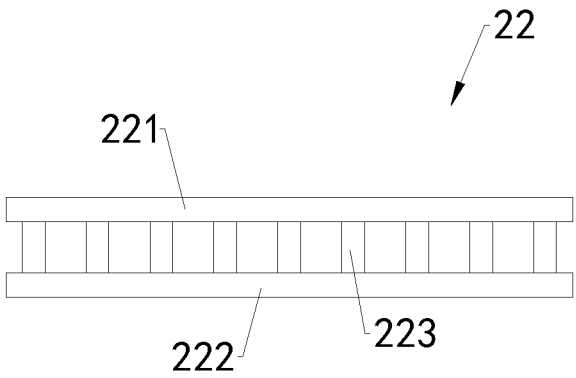


图 9

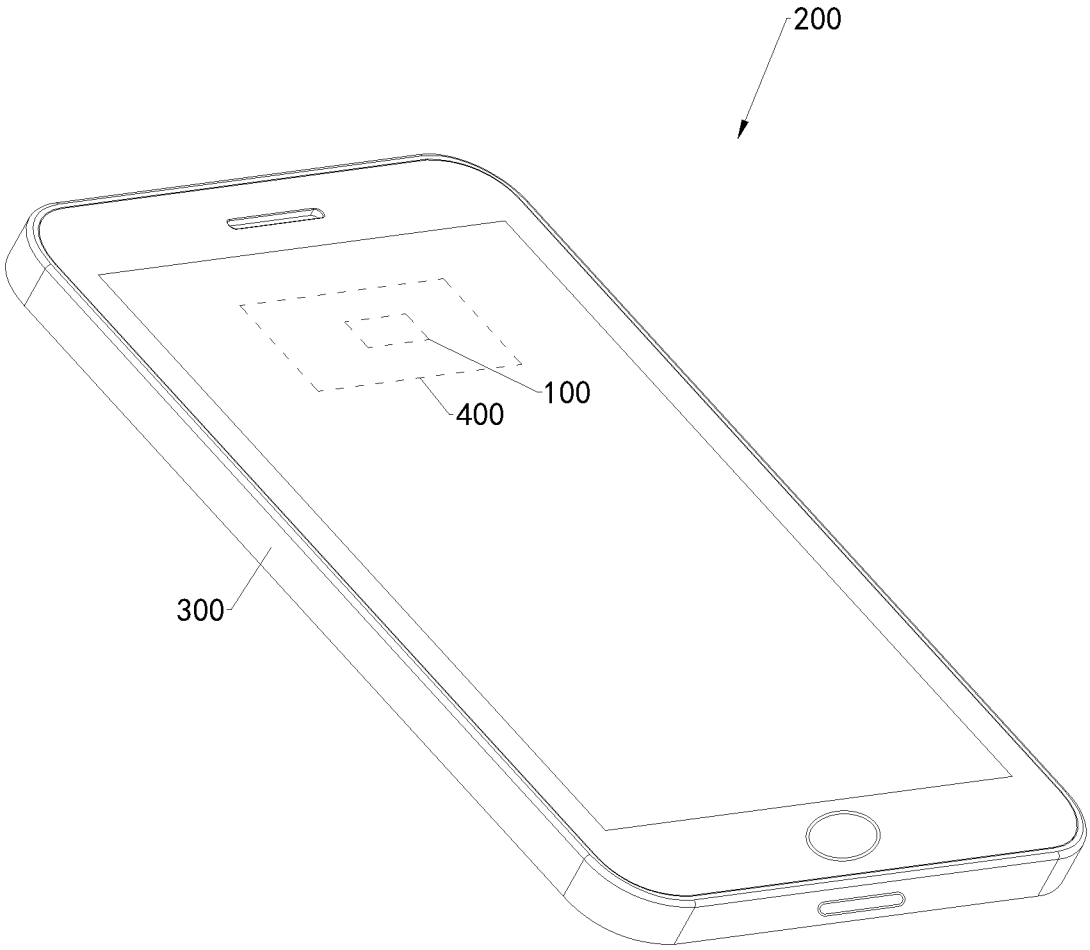


图 10

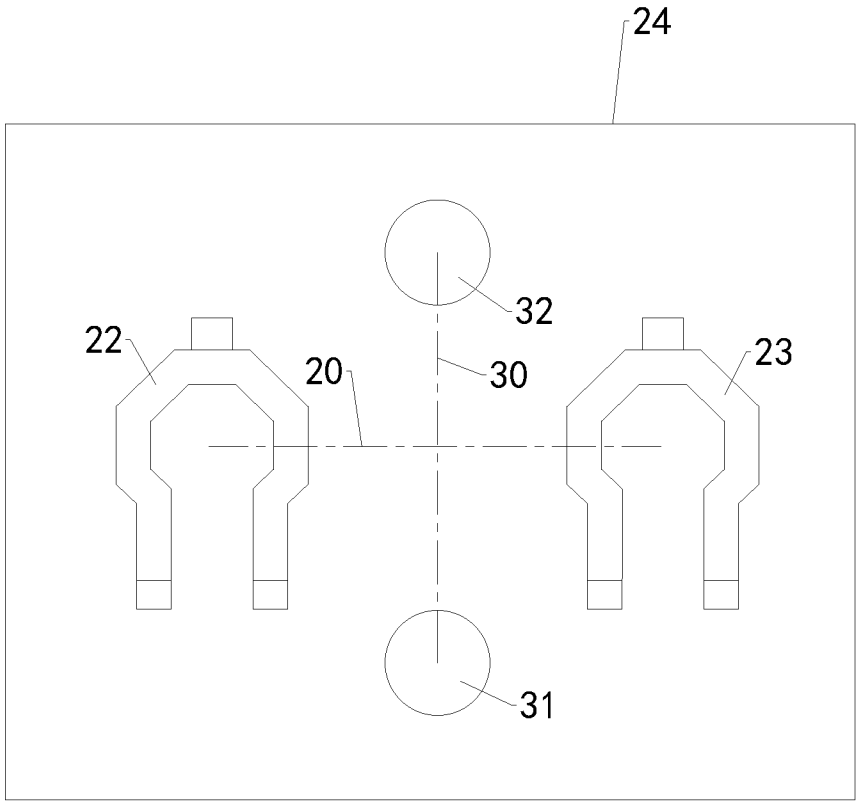


图 11

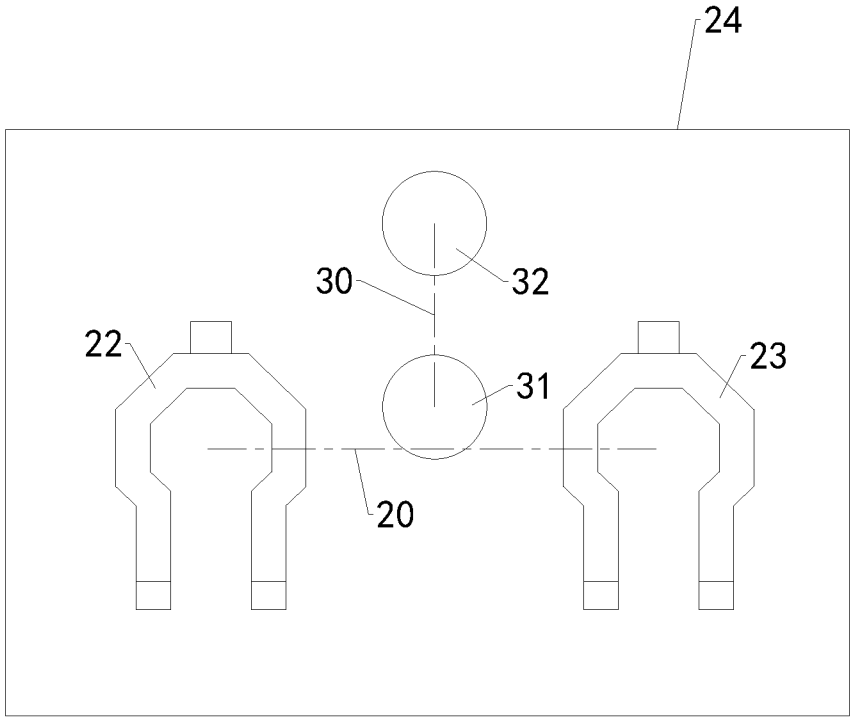


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2019/078567

A. CLASSIFICATION OF SUBJECT MATTER

H01L 23/552(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; H05K

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, WPI, EPODOC, IEEE, 3GPP: 芯片, 封装, 串扰, 电感, 焊球, 导电, 闭合, 环路, 回路, chip, package, crosstalk, inductance, solder ball, conductive, close, loop

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106935572 A (FREESCALE SEMICONDUCTOR INC.) 07 July 2017 (2017-07-07) description, paragraphs [0044]-[0055], and figures 1-4	1-12
A	CN 1938850 A (QUALCOMM INC.) 28 March 2007 (2007-03-28) entire document	1-12
A	CN 103379733 A (CANON INC.) 30 October 2013 (2013-10-30) entire document	1-12
A	US 2017098603 A1 (AVAGO TECHNOLOGIES GENERAL IP SINGAPORE PTE. LTD.) 06 April 2017 (2017-04-06) entire document	1-12

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 May 2019	**29 May 2019**
Name and mailing address of the ISA/CN **State Intellectual Property Office of the P. R. China** **No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing** **100088** **China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2019/078567

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106935572	A	07 July 2017	US	2017092595	A1	30 March 2017
				EP	3151276	A1	05 April 2017
CN	1938850	A	28 March 2007	MX	2006009583	A1	01 April 2007
				TW	200601538	A	01 January 2006
				IN	200601051	P3	20 April 2007
				WO	2005083786	A1	09 September 2005
				US	2005184390	A1	25 August 2005
CN	103379733	A	30 October 2013	JP	2013225610	A	31 October 2013
				US	2013279134	A1	24 October 2013
				EP	2658353	A1	30 October 2013
US	2017098603	A1	06 April 2017	None			

国际检索报告

国际申请号
PCT/CN2019/078567

A. 主题的分类

H01L 23/552(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L; H05K

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI,CNPAT,WPI,EPODOC,IEEE,3GPP:芯片，封装，串扰，电感，焊球，导电，闭合，环路，回路，chip, package, crosstalk, inductance, solder ball, conductive, close, loop

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 106935572 A (飞思卡尔半导体公司) 2017年 7月 7日 (2017-07-07) 说明书第[0044]-[0055]段，图1-4	1-12
A	CN 1938850 A (高通股份有限公司) 2007年 3月 28日 (2007-03-28) 全文	1-12
A	CN 103379733 A (佳能株式会社) 2013年 10月 30日 (2013-10-30) 全文	1-12
A	US 2017098603 A1 (AVAGO TECHNOLOGIES GENERAL IP SINGAPORE PTE. LTD.) 2017年 4月 6日 (2017-04-06) 全文	1-12

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2019年 5月 10日	2019年 5月 29日

ISA/CN的名称和邮寄地址	受权官员
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	刘炯
传真号 (86-10)62019451	电话号码 86-(10)-53961738

表 PCT/ISA/210 (第2页) (2015年1月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/078567

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106935572	A	2017年 7月 7日	US	2017092595	A1	2017年 3月 30日
				EP	3151276	A1	2017年 4月 5日
CN	1938850	A	2007年 3月 28日	MX	2006009583	A1	2007年 4月 1日
				TW	200601538	A	2006年 1月 1日
				IN	200601051	P3	2007年 4月 20日
				WO	2005083786	A1	2005年 9月 9日
				US	2005184390	A1	2005年 8月 25日
CN	103379733	A	2013年 10月 30日	JP	2013225610	A	2013年 10月 31日
				US	2013279134	A1	2013年 10月 24日
				EP	2658353	A1	2013年 10月 30日
US	2017098603	A1	2017年 4月 6日		无		